(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/108 (2006.01)
H01L 21/02 (2006.01)
H01L 21/8232 (2006.01)

(45) 공고일자 2007년08월24일
(11) 등록번호 10-0751744
(24) 등록일자 2007년08월17일

(21) 출원번호 10-2001-7012473
(22) 출원일자 2001년09월28일
심사청구일자 2005년03월30일
번역문 제출일자 2001년09월28일
(86) 국제출원번호 PCT/US2000/008638
국제출원일자 2000년03월30일
(65) 공개번호 10-2002-0003227
(43) 공개일자 2002년01월10일
(87) 국제공개번호 WO 2000/59011
국제공개일자 2000년10월05일

(81) 지정국 국내특허 : 일본, 대한민국,

(30) 우선권주장 09/281,866 1999년03월31일 미국(US)

(73) 특허권자
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650

(72) 발명자
케일,더글라스,엘.
미합중국,캘리포니아주94555,프레몬트,몬트고메리플래이스34421

(74) 대리인
박대진
특허법인코리아나

(56) 선행기술조사문헌
US05808854 A
US05789320 A

심사관 : 퇴-김성회

전체 청구항 수 : 총 9 항

(54) 메모리 셀 커패시터 구조에서 메모리 셀 커패시터 판을형성하는 방법

(57) 요약

본 발명은 메모리 셀 커패시터 판을 형성하는 개선된 방법을 개시하고 있다. 메모리 셀 커패시터 판을 형성하는 방법은 희생층을 증착하는 단계와, 희생층에 개구부를 형성하는 단계와, 희생층의 상면에, 산소에 노출된 직후 전도성을 거의 유지하는 실질적인 전도체를 포함하는 전극재료층을 증착하고 적어도 부분적으로 개구부를 채우는 단계와, 적어도 희생층 상면의 높이까지 전극재료층 부분을 제거하여 메모리 셀 커패시터 판의 상면을 형성하는 단계와, 희생층을 제거하는 단계로 구성되어 있다.

대표도

도 10

특허청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.

희생층을 증착하는 단계,

상기 희생층에 개구부를 형성하는 단계,

상기 희생층의 상면에, 산소에 노출된 직후 전도성을 유지하는 전도체를 포함하는 전극재료층을 증착하고 적어도 부분적으로 상기 개구부를 채우는 단계,

적어도 상기 희생층 상면의 높이까지 상기 전극재료층 부분을 제거하여 상기 메모리 셀 커패시터 판의 상면을 형성하는 단계, 및

상기 희생층을 제거하는 단계를 포함하는, 메모리 셀 커패시터 판을 형성하는 방법에 있어서,

상기 메모리 셀 커패시터 판의 상기 상면은 복수의 뾰족한 모서리를 갖고 있고, 상기 메모리 셀 커패시터 판의 상기 복수의 뾰족한 모서리를 둥글게 하는 단계를 더 포함하는 것을 특징으로 하는, 메모리 셀 커패시터 판을 형성하는 방법.

청구항 5.

제 4항에 있어서,

상기 메모리 셀 커패시터 판의 상기 복수의 뾰족한 모서리를 스퍼터링처리에 의해 둥글게 하는 것을 특징으로 하는 메모리 셀 커패시터 판을 형성하는 방법.

청구항 6.

제 4항에 있어서,

상기 메모리 셀 커패시터 판의 상기 복수의 뾰족한 모서리를 플라즈마에칭처리에 의해 둥글게 하는 것을 특징으로 하는 메모리 셀 커패시터 판을 형성하는 방법.

청구항 7.

제 4항에 있어서,

상기 메모리 셀 커패시터 판의 상기 복수의 뾰족한 모서리를 둥글게 하는데 사용되는 처리는 상기 희생층을 제거하는 데에도 수행되는 것을 특징으로 하는 메모리 셀 커패시터 판을 형성하는 방법.

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.

삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.

희생층을 증착하는 단계와,

상기 희생층에 개구부를 형성하는 단계와,

상기 희생층의 상면에 플래티늄함유층을 증착하고 적어도 부분적으로 상기 개구부를 채우는 단계와,

적어도 상기 희생층 상면의 높이까지 상기 플래티늄함유층의 부분을 제거하여 상기 플래티늄함유 메모리 셀 커패시터 판의 상면을 형성하는 단계와,

상기 희생층을 제거하는 단계를 포함하는, 플래티늄함유 메모리 셀 커패시터 판을 형성하는 방법에 있어서,

상기 플래티늄함유 메모리 셀 커패시터 판의 상면은 복수의 뾰족한 모서리를 갖고, 상기 플래티늄함유 메모리 셀 커패시터 판의 복수의 뾰족한 모서리를 둥글게 하는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀 커패시터 판을 형성하는 방법.

청구항 29.

제 28항에 있어서,

상기 플래티늄함유 메모리 셀 커패시터 판의 복수의 뾰족한 모서리를 둥글게 하는 것은 스퍼터링처리에 의해 수행되는 것을 특징으로 하는 플래티늄함유 메모리 셀 커패시터 판을 형성하는 방법.

청구항 30.

제 28항에 있어서,

상기 플래티늄함유 메모리 셀 커패시터 판의 복수의 뾰족한 모서리를 둥글게 하는 것은 플라즈마 에칭처리에 의해 수행되는 것을 특징으로 하는 플래티늄함유 메모리 셀 커패시터 판을 형성하는 방법.

청구항 31.

제 28항에 있어서,

상기 복수의 뾰족한 모서리를 둥글게 하는데 사용되는 처리는 상기 희생층의 제거에도 수행되는 것을 특징으로 하는 플래티늄함유 메모리 셀 커패시터 판을 형성하는 방법.

청구항 32.
삭제

청구항 33.
삭제

청구항 34.
삭제

청구항 35.
삭제

청구항 36.
삭제

청구항 37.
삭제

청구항 38.

제 31항에 있어서,

상기 메모리 셀 커패시터 위에 캡슐재료층을 증착하는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀 커패시터 판을 형성하는 방법.

청구항 39.
삭제

청구항 40.
삭제

청구항 41.
삭제

청구항 42.
삭제

청구항 43.
삭제

청구항 44.
삭제

청구항 45.
삭제

청구항 46.
삭제

청구항 47.
삭제

청구항 48.
삭제

청구항 49.
삭제

청구항 50.
삭제

청구항 51.
삭제

청구항 52.
삭제

청구항 53.
삭제

청구항 54.
삭제

청구항 55.
삭제

청구항 56.
삭제

청구항 57.
삭제

청구항 58.
삭제

청구항 59.
삭제

청구항 60.
삭제

청구항 61.
삭제

청구항 62.
삭제

청구항 63.
삭제

청구항 64.
삭제

청구항 65.
삭제

청구항 66.
삭제

청구항 67.
삭제

명세서

기술분야

본 발명은 반도체장치에 관한 것으로서, 특히 산소에 노출된 직후 절연체를 형성하지 않는 재료로부터 메모리 셀 커패시터 판(memory cell capacitor plate)을 형성하는 개선된 방법에 관한 것이다. 그러한 특성을 갖는 재료에는 항산소재료(oxygen-resistant material), 산소에 노출된 직후 전도성산화물을 형성하는 전도체 또는 메모리 셀 커패시터장치에서 사용되는 전도성산화물 자체가 있다.

배경기술

반도체 제조업자는 반도체장치의 크기를 최소화하면서도 그 반도체장치의 공정(작업률)과 성능을 끊임없이 개선하여야 한다. 메모리 셀 또는 메모리 셀 커패시터 구조와 같은 집적회로의 제조에 있어서 장치의 크기를 작게 하기 위한 노력으로서, 대부분의 반도체 제조업자는 메모리장치의 각 구성요소를 최소 크기로 줄인다. 이 목적을 달성하기 위해, 제조업자들은 구성요소에 의해 소비되는 장치영역을 줄이는데 바람직한 특징을 갖는 대체 재료에 관심을 돌리고 있다. 그러나, 전통적인 제조과정이 신재료에 적용되기 때문에 새로운 문제가 발생하게 된다. 예를 들면, 강유전체(ferroelectric material)는 높은 유전상수(비유전율), 잔여 분극, 낮은 항전압(coercive voltage) 등의 이점이 있어서, 반도체산업에서 그 재료의 사용이 점점 증가하고 있다.

DRAM에서 그 예를 찾아 볼 수 있는데, 강유전체의 높은 유전상수로 인하여 셀 부피 당 커패시턴스가 증가된다. 즉, 실리콘 산화물이나 질화물을 사용하고 있는 현재의 DRAM 셀과 비교할 때, DRAM 셀 크기를 20 팩터만큼 줄일 수 있다는 것이다. 또한, 잔여 분극에 의해 예를 들면 강유전체의 자기영역에서와 같은 상태저장이 가능하다. 이러한 강유전체의 분극특성으로 인하여 메모리상태를 유지하기 위하여 전계나 전압을 인가할 필요 없이 자성체에서처럼 무한히 정보를 저장할 수 있다. 이러한 이유로 비휘발성메모리어레이를 제조할 때 강유전체는 매우 훌륭한 재료가 된다. 더욱이, 강유전체가 보여주는 낮은 항전압에 의해, 예를 들면 3V와 5V 사이의 기준 공급전압을 사용하여, 비휘발성메모리어레이가 다른 동작모드 사이에서 상태 전환을 할 수 있게 한다.

강유전체는 바람직한 특성을 줄 수 있는 크리스털구조를 얻기 위해서는 일반적으로 고온처리가 필요하고, 강유전체로의 상(相) 형성은 산소의 사용여부에 달려 있다. 따라서, 강유전체는 일반적으로 산소가 포함되어 있는 환경에서 증착되며, 이것은 동일한 장치에서 사용되는 강유전체와 전도체가 서로 양립할 수 없게 되는 결과를 초래하게 된다. 예로서, 커패시터 구조는 강유전체로 만들어진 커패시터 축적소자와 도전금속으로 만들어진 커패시터 판으로 되어 있다. 강유전체의 증착환경에 존재하는 산소는 커패시터 판을 형성하는데 사용되는 도전금속과 결합하여 산화물을 매우 잘 형성한다. 그리고 대부분의 산화물은 절연효과가 있기 때문에, 산화물이 형성되는 경계에서 전기적 접촉을 차단하여 커패시터 특성에 상당히 나쁜 영향을 주게 된다. 강유전체막을 산소환경에서 처리하는데 있어서, 커패시터 판의 재료에는 엄격한 요건이 요구되는데, 그것은 커패시터 판은 일반적으로 산소에 거의 반응하지 않는 재료로 만들어야 한다는 것이다. 강유전체와 함께 양립하여 사용할 수 있는 재료에는 항산소재료, 전도성산화물을 형성하는 전도체 또는 메모리 셀 커패시터장치에서 사용되는 전도

성산화물 자체가 있다. 이러한 재료의 예에는 상기의 재료에 한정되는 것은 아니며 플래티늄, 루테늄, 루테늄산화물, 이리듐, 이리듐산화물 등을 들 수 있다. 그러나, 이러한 전통적이 아닌 재료들은 기존의 전통적인 플라즈마 에칭기술에 잘 적용되지 못한다.

예를 들어, 플래티늄은 에칭에 잘 반응하지 못하는 비교적 불활성재료이다. 도 1은 플래티늄 에칭시 발생하는 문제를 도해한 것으로서, 에칭된 플래티늄함유층(100)을 나타낸다. 플래티늄함유층(100)은 원하는 구조를 형성하기 위해 종종 아르곤과 같은 비활성 기체를 사용하여 스퍼터링 에칭이 된다. 스퍼터링에 의해 반응실벽(chamber wall)에 안착하지 않는 경향이 있는 플래티늄이온을 밀어내지만, 대신에 측벽(sidewall)(102)을 때려 플래티늄함유층(100)에 재증착한다. 플래티늄함유층(100)에 씌운 포토레지스트 마스크를 제거한 직후에, 보통 베일(104)이라고 하는 송곳니 모양의 구조가 형성된다. 이 구조는 또한 재증착(redeposit), 펜스(fence), 왕관(crown), 귀(ear)라고도 한다. 베일(104)의 돌출부는 플래티늄함유층(100)의 테이퍼각(taper angle)과 역관계에 있다. 즉, 측면이 수직에 가까울수록 베일의 돌출부는 더 두드러지게 된다. 그러나, 베일이 형성되지 않을 정도로 테이퍼각이 과도하면 패킹밀도가 낮아지게 되고, 이것은 비효율적이기 때문에 이러한 응용에 실시할 수 없게 된다.

플래티늄 에칭의 이러한 특수한 점 때문에 많은 문제가 있다. 플래티늄함유층(100)의 표면 위로 튀어나온 베일(104)에 의해, 후속 층이 증착되는 면이 평평하게 형성되지 않는다. 게다가, 송곳니 모양의 베일(104)은 극히 낮은 전압으로도 매우 높은 전계를 발생시킬 수 있는 곳으로서 항복(breakdown)이 발생될 수 있는 매우 높은 전위를 갖는다. 바람직한 구조는 패킹밀도를 더 높일 수 있는 가파른 측면각도(즉, 거의 수직각도)를 갖으면서도 장치고장을 일으킬 수 있는 뾰족한 돌출부가 없는 메사구조(mesa)가 될 것이다.

따라서, 산소와 반응하지 않고 절연체를 형성하면서 에칭시에 상기의 문제가 발생하지 않는 재료로 커패시터 판을 제조할 수 있는 개선된 방법이 요구된다.

발명의 상세한 설명

상기 및 그 외의 목적을 달성하기 위한 본 발명에 따르면, 메모리 셀 커패시터 판을 형성하는 개선된 방법과 메모리 셀 커패시터 구조가 개시되어 있다. 본 발명의 실시예에서, 메모리 셀 커패시터 판을 형성하는 방법은, 희생층(sacrificial layer)을 증착한 후 그 희생층에 개구부를 형성하는 단계와, 희생층의 상면에, 산소에 노출된 직후 전도성을 거의 유지하는 실질적인 전도체를 포함하는 전극재료층을 증착하고 적어도 부분적으로 상기 개구부를 채우는 단계와, 적어도 희생층 상면의 높이까지 전극재료층 부분을 제거하여 메모리 셀 커패시터 판의 상면을 형성한 후 희생층을 제거하는 단계로 되어 있다.

본 발명의 다른 실시예에서, 플래티늄함유 메모리 셀 커패시터 판을 형성하는 방법은, 희생층을 증착한 후 그 희생층에 개구부를 형성하는 단계와, 희생층의 상면에 플래티늄함유층을 증착하고 적어도 부분적으로 개구부를 채우는 단계와, 적어도 희생층 상면의 높이까지 플래티늄함유층의 부분을 제거하여 플래티늄함유 메모리 셀 커패시터 판의 상면을 형성한 후 희생층을 제거하는 단계로 구성되어 있다.

본 발명의 또 다른 실시예에서, 메모리 셀 커패시터 구조를 형성하는 방법이 개시되어 있다. 메모리 셀 커패시터 구조를 형성하는 방법은, 제 1희생층을 증착한 후 제 1희생층에 제 2개구부를 형성하는 단계와, 제 1희생층의 상면에, 산소에 노출된 직후 전도성을 거의 유지하는 실질적인 전도체를 포함하는 제 1전극재료층을 증착하고 적어도 부분적으로 개구부를 채운 후에 적어도 제 1희생층 상면의 높이까지 제 1전극재료층 부분을 제거하여 제 1메모리 셀 커패시터 판의 상면을 형성하는 단계와, 제 2희생층을 증착한 후 제 2희생층에 제 2개구부를 형성하는 단계와, 제 2희생층의 상면에, 제 1메모리 셀 커패시터 판과 전기적으로 접촉하는 유전체층을 증착하고 적어도 부분적으로 제 2개구부를 채우는 단계와, 적어도 제 2희생층 상면의 높이까지 유전체층의 부분을 제거하여 메모리 셀 커패시터 축적소자의 상면을 형성하는 단계와, 제 1 및 제 2희생층을 제거하는 단계와, 메모리 셀 커패시터 축적소자에 제 2메모리 셀 커패시터 판을 형성하는 단계로 구성되어 있다.

본 발명의 다른 특징과 이점은 본 발명의 원리를 예로서 도시한 첨부도면과 함께 다음의 상세한 설명에 의해 명백해질 것이다.

실시예

이하, 첨부된 도면에서 도시한 바람직한 실시예를 참조하여 본 발명을 상세하게 설명한다. 다음의 기술에서, 본 발명에 대한 완벽한 이해를 제공하기 위해 여러 구체적이고 상세한 설명을 제시한다. 그러나, 일반적 사항에 대한 상세한 설명은 그 일부나 전부가 없어도 본 발명이 실시될 수 있다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명백한 것이다. 예를 들어, 본 발명이 모호해지지 않게 하기 위해 잘 알려진 처리공정은 상세히 기술되어 있지 않다.

본 발명은 산소에 노출된 직후 절연체를 형성하지 않는 전도체를 사용하여 메모리 셀 커패시터 구조에서 메모리 셀 커패시터 판(memory cell capacitor plate)을 형성할 수 있는 개선된 방법에 관한 것이다. 이 개선된 방법에는 이러한 재료의 에칭은 포함되어 있지 않고, 실제로 이 구성성분을 형성하는데 제안된 시도에 다마신(damascene) 기법으로서 이 분야에서 일반적으로 알려진 에칭 및 마스크단계가 있다. 다마신 기법은 절연층에 복수의 개구부를 형성하고, 그 개구부에 예컨대 플래티늄을 채우고 난 뒤에, 플래티늄이 절연체의 표면까지 연마되어 원하는 금속패턴을 형성시키는 것이다.

본 발명에 의하면, 산소노출 직후에도 거의 전도성을 유지하는 전도체로 만들어진 커패시터 판은 화학적 저항물질을 에칭할 때의 곤란을 방지하기 위해 다마신 기법으로 재료를 처리함으로써 형성된다. 본 발명의 일 실시예에서, 증착에 의해 희생층이 형성된 후에 그 희생층에 개구부가 형성된다. 산소노출 직후에도 거의 전도성을 유지하는 전도체를 포함하는 전극재료층은 희생층의 상면에 증착되고 적어도 부분적으로 개구부를 채우고 있다. 그 후, 전극재료층 부분은 적어도 희생층의 상면높이까지 제거되어 메모리 셀 커패시터 판의 상면을 이루게 된다. 그리고 나서 희생층은 제거되어 거의 전도성을 갖는 메모리 셀 커패시터 판이 형성된다.

본 발명의 다른 실시예에서, 증착에 의해 희생층이 형성된 후에 그 희생층에 개구부가 형성된다. 플래티늄함유층이 희생층의 상면에 증착되고 적어도 부분적으로 개구부를 채우고 있다. 그 후, 플래티늄함유층 부분은 적어도 희생층의 상면높이까지 제거되어 플라티늄함유 메모리 셀 커패시터 판의 상면을 이루게 된다. 그리고 나서 희생층은 제거되어 플라티늄함유 메모리 셀 커패시터 판이 형성된다.

본 발명의 또 다른 실시예에서, 증착에 의해 제 1희생층이 형성된 후에 그 제 1희생층에 제 1개구부가 형성된다. 산소노출 직후에도 거의 전도성을 유지하는 전도체를 포함하는 제 1전극재료층은 제 1희생층의 상면에 증착되고 적어도 부분적으로 개구부를 채우고 있다. 그 후, 제 1전극재료층 부분은 적어도 제 1희생층의 상면높이까지 제거되어 제 1메모리 셀 커패시터 판의 상면을 이루게 된다. 그리고 나서 제 2희생층이 제 1메모리 셀 커패시터 판의 상면에 증착되고, 제 2희생층에 제 2개구부가 형성된다. 그리고, 유전층이 제 2희생층의 상면에 증착되고 이 유전층은 제 1메모리 셀 커패시터 판과의 전기적 접촉을 유지할 수 있을 정도로 적어도 부분적으로 제 2개구부를 채운다. 그 후, 유전층 부분이 적어도 제 2희생층의 상면높이까지 제거되어 메모리 셀 커패시터 축적소자의 상면을 이루게 되고, 다음에 제 1 및 제 2희생층을 제거하게 된다. 제 2메모리 셀 커패시터 판은 메모리 셀 커패시터 축적소자에 형성되어 메모리 셀 커패시터 구조를 완성하게 된다.

이에 대한 논의를 편리하게 하기 위해, 도 2는 메모리 셀 커패시터 판을 제작하는데 있어 기초로서 사용되는, 플러그(202)를 갖는 메모리 셀인 서브스트레이트(substrate)(200)를 나타내고 있다. 플러그(202)는 다결정실리콘(polysilicon), 텅스텐 또는 알루미늄 등의 전도체로 형성되어, 인접하는 메모리 셀 커패시터와 전기적으로 접속될 수 있게 한다. 플러그(202)는 산화물 또는 다른 유전체로 형성된 절연체(204)에 둘러싸여 있다. 또한, 여기 도면에서 나타낸 장치는 단지 설명할 목적으로 간단한 형태로 표현한 것임에 유의하여야 한다. 도시한 층의 위, 아래 또는 그 사이에 다른 층이 있을 수 있다. 또한, 도시한 층이 모두 반드시 필요한 것은 아니며 그 일부 또는 전부라도 다른 층으로 대체할 수도 있다. 여기서 도시하여 논의된 장치의 층은 이 분야의 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있는 것이고, 공지된 적절한 증착처리 예를 들면 스퍼터링과 같은, 화학기상증착(CVD), 플라즈마 인핸스트 화학기상증착(PECVD), 물리기상증착(PVD)을 이용하여 형성될 수 있다.

도 3은 도 2의 예시적인 서브스트레이트(200) 상에 위치하는 선택적 경계층(302)을 나타낸다. 경계층(302)은 예를 들어 티타늄질화물 또는 실리콘질화물로 형성되고, 그 위에 있는 층을 제거할 때 에칭방지층으로서 작용한다. 에칭방지층으로서, 그 목적은 에칭깊이를 일정하게 하고 아래층에 손상이 없게 하는 것이다.

경계층(302)은 확산장벽층으로서의 기능도 갖고 있다. 예를 들면 플래티늄 등의 재료는 산소와 화학적 반응을 일으키지 못하지만 산소에 스며들어 갈 수는 있다. 예를 들어, 플래티늄함유 커패시터 판을 갖는 커패시터를 가정하면 이 판 사이에 있는 강유전체 축적소자가 서브스트레이트(200) 상에 위치하게 된다. 플래티늄은 산소에 투과되기 때문에, 강유전체에서의 산소는 플래티늄함유 커패시터 판으로 확산되고 전도성 플러그(202)와 반응하여 전도성 플러그(202)와 플래티늄함유 커패시터 판 사이에 산화물 접촉면을 형성한다. 대부분 절연체인 산화물은 플러그(202)와 이에 인접한 플래티늄함유 커패

시터 판 사이의 전기적 접속을 끊는다. 이 산화물의 형성에 의해 메모리 셀과 메모리 셀 커패시터 사이의 전기적 접속이 사실상 끊기게 된다. 확산장벽층으로서 작용하는 경계층(302)의 존재로 인하여 강유전체에서의 산소가 플래티늄으로 확산되는 것을 방지함으로써 절연 산화물의 형성을 막게 된다.

그러나, 그 많은 기능에도 불구하고, 경계층은 본 발명에서 필수적인 것이 아닌 선택적인 층이다. 예를 들어 사용되는 플러그재료가 에칭이 어렵고 절연산화물을 형성하는 전위가 없는 경우에는, 그러한 경계층은 불필요하다.

도 4에서, 희생층(402)이 경계층 위에 증착되어 있다. 희생층(402)은 예를 들면 산화물로 형성될 수 있다. 이 희생층의 형성단계 후에 도 5에서 도시한 바와 같이 희생층(402)의 개구부(502)가 형성된다. 개구부(502)는 희생층(502)을 패터닝하고 에칭함으로써 형성되는데, 이것은 금속을 패턴닝하고 에칭하는 것보다 깔끔하고 일손이 덜 가는 처리로 생각된다.

도 6은 플래티늄 등의 전극재료가 희생층(402)에 증착되고 적어도 부분적으로 개구부(502)를 채워서 전극재료층(602)을 형성한 후의 구성을 도시하고 있다. 전극재료층 부분(702)은 적어도 희생층(402)의 상면 높이까지 제거되어 도 7에서 도시된 바와 같이 메모리 셀 커패시터 판(702)의 상면을 이루게 된다. 플라티늄 등의 전극재료의 제거는 화학기계적 연마(CMP) 등의 평면화기법을 사용하여 실행된다. 이어서, 희생층(402)이 제거되어 도 8에 나타낸 것처럼 메모리 셀 커패시터 판(702)을 분리시킨다.

도 8은 가파른 모서리(802)를 갖는 메모리 셀 커패시터 판(702)을 나타내는데, 이것이 집중영역에 강한 전계를 발생시켜서 단락 및 장치고장이 일어나게 된다. 이 상황이 발생하지 않도록 하기 위해, 가파른 모서리를 둥그스름하게 하는 단계가 신뢰성이 높은 장치를 제조하는데 추가적으로 필요하다. 가파른 모서리를 둥글게 깎는 것은 예를 들어 스퍼터링처리나 플라즈마 에칭에 의해 할 수 있다. 이 처리들은 희생층을 제거하는 데에도 사용될 수 있으며, 이에 의해 본 발명을 실행하는데 필요한 단계의 수를 최소함으로써 본 발명을 최적화할 수 있다.

도 9에서, 강유전체층(902)이 메모리 셀 커패시터 판(702)과 희생층(402)의 제거에 의해 노출된 서브스트레이트 위에 균일하게 증착되어 있다. 강유전체는 금속 화학기상증착(Metal CVD), 금속 이온 플라즈마 에칭 등과 같은 다양한 기법에 의해 증착될 수 있다.

강유전체층은 커패시턴스를 축적하는 구성요소로서 기능하고 여러 대체 형상으로 생성될 수 있다. 이전에 나타낸 것처럼 균일증착에 의해서, 또는 메모리 셀 커패시터 판을 형성하는데 사용된 동일한 방법으로 형성될 수 있으며, 이 경우 대응하는 강유전체의 측벽은 선(904)으로 정의된다. 또한, 강유전체층은 강유전체층의 균일증착에 의해 형성되고, 다음 메모리 셀 커패시터 판(702)의 접촉면에서 주어진 거리 내에 있지 않는 강유전체가 제거되는데, 이 경우 대응하는 강유전체의 측벽은 선(906)이 된다. 강유전체층의 지정부분의 제거는 마스킹 재료로 패터닝하고 지정부분을 에칭함으로써 할 수 있다.

더 높은 커패시턴스를 얻기 위해서, 특히 측벽이 커패시턴스의 약 50%에 기여한다고 하면 유전체층(902)이 아래의 메모리 셀 커패시터 판(702)의 측벽을 덮도록 하는 것이 더 좋다. 이것은 그러한 커패시터구조의 종횡비가 매우 크다는 사실과 측벽이 전체구조의 접촉영역의 2/3를 구성한다는 사실에 기인한다. 커패시턴스는 커패시터 판의 표면과 커패시터 축적소자 사이의 접촉을 최대화함으로써 증가될 수 있기 때문에, 메모리 셀 커패시터 판(702)의 측벽을 덮고 있는 균일증착된 강유전체층(902)은 커패시턴스를 증가시킬 수 있는 효과적인 실시예의 하나가 될 수 있다.

도 10에서는, 전극재료층(1002)이 강유전체층(902)에 균일하게 증착되어 전체의 커패시터구조를 완성한 제 2메모리 셀 커패시터 판을 형성하고 있다. 도 10에 나타낸 예시의 메모리 셀 커패시터는 본 발명에서 기술된 방법을 사용하여 하부의 메모리 셀 커패시터 판(702)을 형성함으로써 만들어지고, 다음 강유전체(902)와 전극재료층(1002)의 균일 증착이 연속된다. 또한, 제 2메모리 셀 커패시터 판도 본 발명에 의한 방법에 의해 형성될 수 있다. 도 11과 도 12는 본 발명의 대체적인 실시예에 따라서 제작된 메모리 셀 커패시터 구조의 다른 예를 나타내고 있다.

도 11은 커패시터(1100)를 나타내는데, 커패시터 축적소자뿐만 아니라 각 커패시터 판이 각각의 커패시터 판을 제작하는 본 발명의 방법을 사용하여 제작된 것이다. 본 발명의 방법에 약간의 변경이 가해질 수 있는데, 즉 희생층에 의해 감싸진 구성요소가 형성된 직후에 각 희생층의 제거가 수행되지 않고, 실제로 커패시터의 모든 구성요소가 형성될 때까지 모든 희생층의 제거가 연기된다. 이 경우에 있어서 최종적인 결과는 플래티늄층(1106) 사이에 끼여있는 강유전체층(1104)을 갖는 샌드위치구조이다. 각 플래티늄층(1106)의 뾰족한 모서리(1108) 또한 도 8에서 설명했던 바와 같이 제 1메모리 셀 커패시터 판(702)의 뾰족한 모서리를 둥글게 깎은 것처럼 할 수 있다. 커패시터(1100)는 선택적인 캐핑층(capping layer)(1110)에 의해 캡슐에 넣어진 것처럼 되어 있는데, 이 캐핑층(1110)은 다른 커패시터구조와도 함께 사용되어 커패시터(1110)가 공기, 습기 또는 주변의 다른 불순물과 상호 작용하는 것을 방지하는 보호장벽기능을 제공한다.

도 12는 본 발명의 방법에 따라 제조된 플래티늄 커패시터 판(1202)을 갖는 커패시터(1200)를 나타낸다. 강유전체층(1204)은 플래티늄함유 커패시터 판(1202)에 균일하게 증착된 다음, 플래티늄 커패시터 판(1202)의 접촉면에서 주어진 길이 내에 있지 않는 강유전체층(1204) 부분을 제거한다. 이에 의하여, 강유전체층(1204)이 플래티늄 커패시터 판(1202)의 축벽(1206)과 접촉할 수 있게 함으로써 커패시턴스 축적을 최대화할 수 있다. 이어서, 플래티늄함유층(1208)은 강유전체층(1204)이 남아 있는 부분에 균일하게 증착되어 완성된 커패시터구조를 형성한다. 선택적인 캐핑층은 플래티늄함유층(1208)에 증착되어 보호장벽을 제공하나 설명의 단순화를 위해 도시는 되어 있지 않다.

산업상 이용 가능성

전술한 내용에서 알 수 있는 바와 같이, 본 발명은 다마신기법에 의해 플래티늄과 같은 산화물에 노출된 후에도 전도성이 유지되는 재료로 만든 커패시터 판을 형성하는 방법을 제공한다. 예를 들어, 루테늄, 이리듐 및 그 산화물 등의 재료는 휘발상태에 있을 때 해로울 수 있는 독성물질을 만든다. 희생층의 에칭에 의해 이 재료의 패터닝을 강조하는 다마신기법을 이용함으로써, 이 물질이 휘발상태가 되는 것을 증착단계로 제한할 수 있기 때문에 이 물질이 작업자에게 노출되는 위험을 줄일 수 있게 된다. 게다가, 본 발명에 의한 방법에 의해, 수년간 개발되어 온 깨끗하고 기술적으로 진보된 처리공정인 산화물에칭을 공고히 할 수 있다. 또한, 루테늄, 이리듐 및 그 산화물 등의 재료가 직접 에칭에 의해 커패시터 판으로 형성된다면, 이 재료들의 에칭산물을 증발시키기 위해 더 높은 처리온도가 필요하게 된다. 이 높은 온도는 집적에 대한 선택을 제한하고 이전 제작된 구조에 손상을 줄 위험을 증가시킨다. 루테늄, 이리듐 및 그 산화물 등의 재료에 응용되는 본 발명의 방법은 그러한 염려가 없다.

다른 예에서, 본 발명은 다마신기법을 이용하여 플래티늄함유판이 형성되게 한다. 플래티늄함유구조를 형성하는데 있어서, 구리 등 종래 많이 사용된 재료와 비교하여 볼 때 플래티늄은 증착 및 CMP가 더 어려운 것으로 생각되기 때문에 다마신기법의 사용은 직관적으로는 맞지 않다. 사실, 작업을 매우 어렵게 하는 낮은 저항성과 비휘발성 때문에 플래티늄의 사용을 피하고 싶어한다. 그러나, 불이익한 것으로 생각되는 것들 중의 일부가 플래티늄과 같은 재료와 강유전체와 같은 유일한 유전체의 사용이 양립될 수 있게 하는 특징이다.

본 발명의 다른 이점은 전도판재료를 에칭할 필요를 어떻게 제거하느냐 대신에 거의 산화물로 형성된 희생층에 에칭처리를 어떻게 적용하느냐 하는 것이다. 산화물 재료의 에칭은 플래티늄 등의 전도체를 에칭하는 것에 비해 더 깨끗한 처리로서, 비휘발성 독성 부산물의 증착이 상당히 감소하게 되어 위험하고 빈번하며 광범위한 클리닝의 플라즈마처리가 덜 요구된다. 반응실 클리닝은 사소한 것처럼 보일 수 있으나, 클리닝처리에 소요되는 시간과 자원에 따른 비용을 결정하는데 있어서 중요한 요소이다.

전술한 본 발명은 명료한 이해를 위해 상세히 기술되었지만, 특허청구범위 내에서 변경 및 변화를 가할 수 있음은 명백하다. 예를 들면, 본 발명은 플래티늄함유층과 강유전체 축적소자를 갖는 메모리 셀 커패시터구조를 사용하여 대부분 설명되었지만, 이에 한정되는 것은 아니며 또한 DRAM에서 사용되는 메모리 셀 커패시터 구조의 사용으로 제한되는 것도 아니다. 예로서, 본 발명의 방법은 스마트카드와 같은 DRAM 이외의 장치 제작에서뿐만 아니라 본 실시예에서 설명한 재료 이외의 대체 재료를 사용할 때에도 사용될 수 있다. 따라서, 본 발명의 실시예는 예시적 도시로서 한정된 것이 아님을 이해하여야 하며, 여기서 설명한 내용으로 제한되는 것이 아니라 특허청구범위 및 그 균등한 범위 내에서 변경될 수 있는 것이다.

도면의 간단한 설명

본 발명은 첨부된 도면에서 예로서 도시된 것이며 이에 한정되는 것은 아니다. 다음의 도에서, 동일한 도면부호는 이해의 편의를 돕기 위해 동일 또는 유사한 소자(요소)를 나타내는 것으로 한다.

도 1은 플래티늄에칭에서 발생하는 문제를 설명하는 에칭된 플래티늄함유층을 나타낸다.

도 2는 메모리 셀 커패시터 판을 제작하는데 있어서 기본으로 사용되는 전도성 플러그를 갖는 서브스트레이트를 도시한다.

도 3은 도 2의 서브스트레이트 위에 배치된 선택적인 경계층을 도시한다.

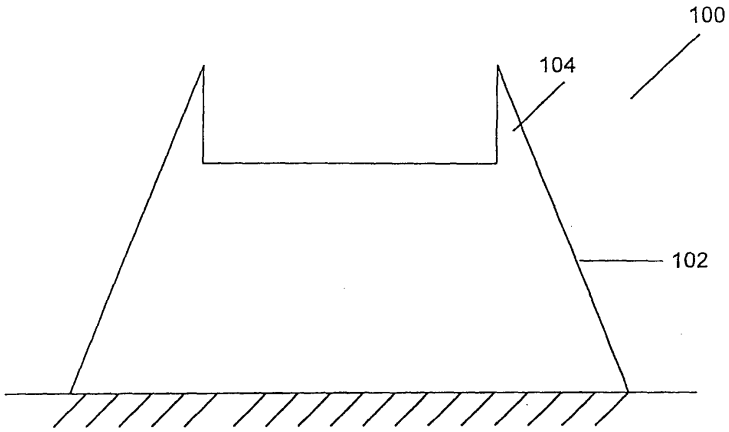
도 4 내지 도 8은 본 발명의 제 1실시예에 의한 도 3의 구조상에 배치된 메모리 셀 커패시터 판을 형성하는 처리과정을 도시한다.

도 9 및 도 10은 도 4 내지 도 8에서 도시한 처리과정에 연속하여 본 발명의 제 2실시예에 의한 도 10의 완성된 형태에서 나타낸 바와 같은 메모리 셀 커패시터 구조의 제작을 완성하기 위한 처리과정을 도시한다.

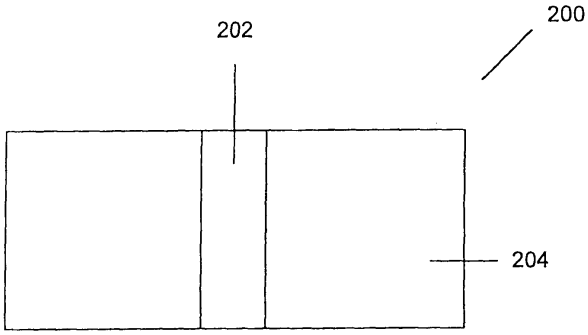
도 11 및 도 12는 본 발명의 대체 실시예에 따라서 제작된 다른 메모리 셀 커패시터 구조를 나타낸다.

도면

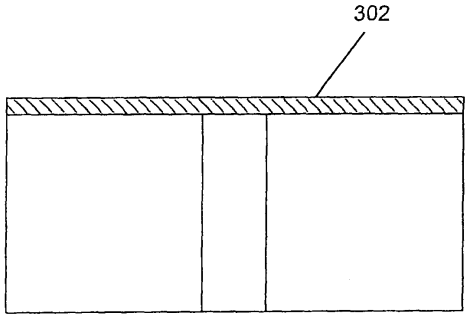
도면1



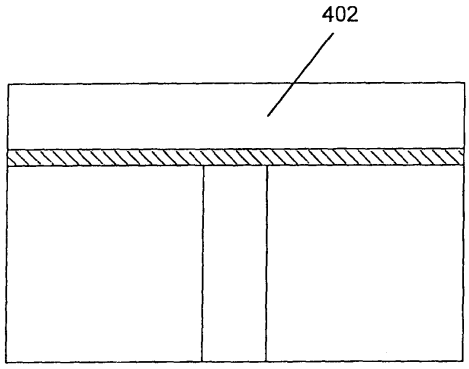
도면2



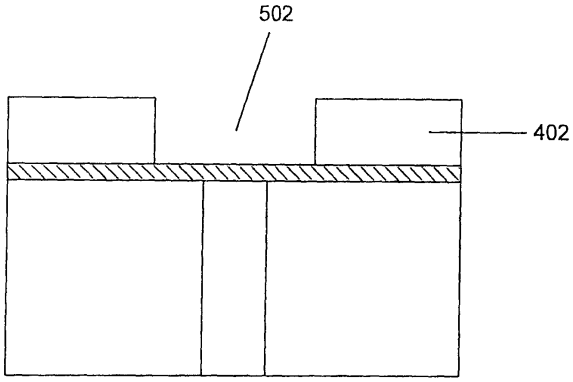
도면3



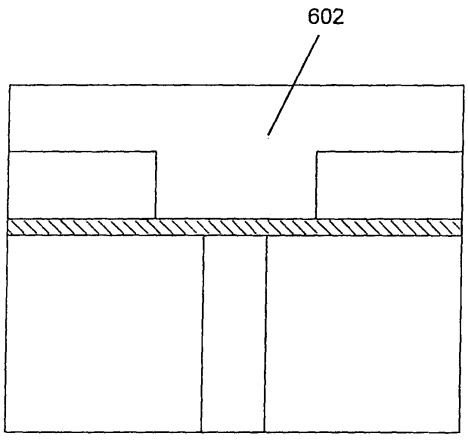
도면4



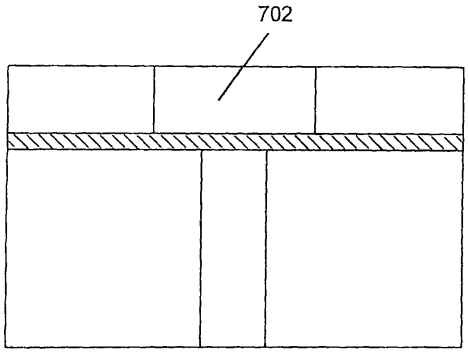
도면5



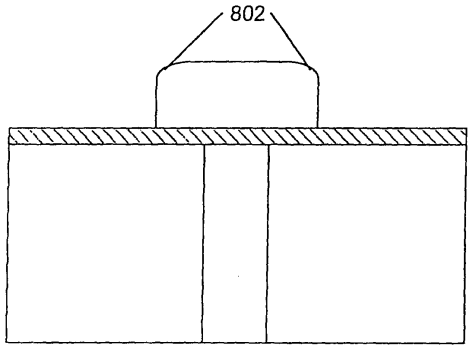
도면6



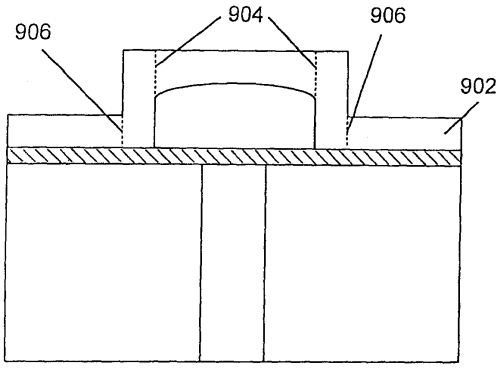
도면7



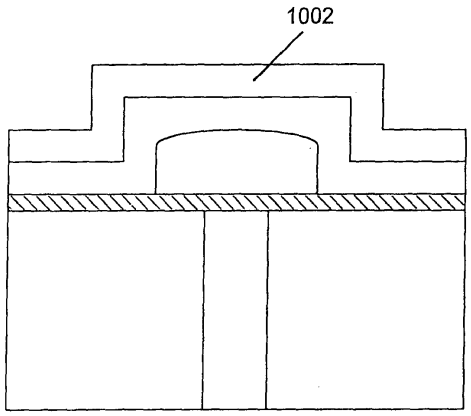
도면8



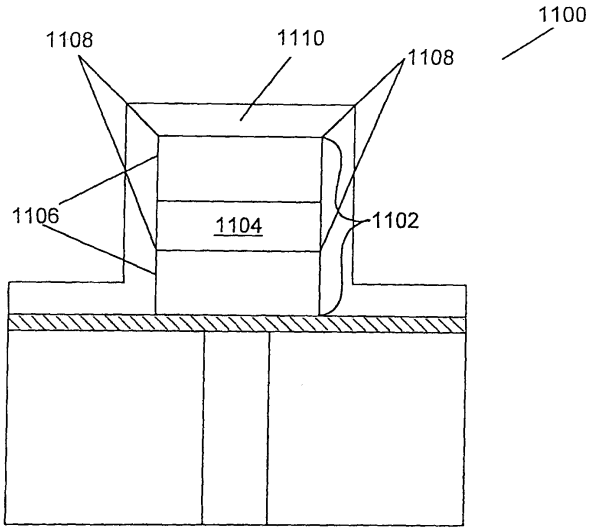
도면9



도면10



도면11



도면12

