

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-502016

(P2013-502016A)

(43) 公表日 平成25年1月17日 (2013.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 9/50 (2006.01)	G06F 9/46 4 6 5 Z	5 B 0 6 0
G06F 12/06 (2006.01)	G06F 12/06 5 1 5 J	

審査請求 有 予備審査請求 未請求 (全 29 頁)

(21) 出願番号	特願2012-524916 (P2012-524916)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成22年8月13日 (2010.8.13)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(85) 翻訳文提出日	平成24年4月13日 (2012.4.13)	(74) 代理人	100159651 弁理士 高倉 成男
(86) 国際出願番号	PCT/US2010/045520	(74) 代理人	100091351 弁理士 河野 哲
(87) 国際公開番号	W02011/020055	(74) 代理人	100088683 弁理士 中村 誠
(87) 国際公開日	平成23年2月17日 (2011.2.17)		
(31) 優先権主張番号	12/540,756		
(32) 優先日	平成21年8月13日 (2009.8.13)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 メモリ管理および効率的なデータ処理のための装置および方法

(57) 【要約】

データにおいて演算するためのハードウェア中で、複数のメモリプールを規定する。少なくとも1つのメモリプールは、より短い待ち時間を有する、他のメモリプール。ハードウェアコンポーネントは、より短い待ち時間のメモリプール中のデータにおいて直接的に演算する。

【選択図】 図10

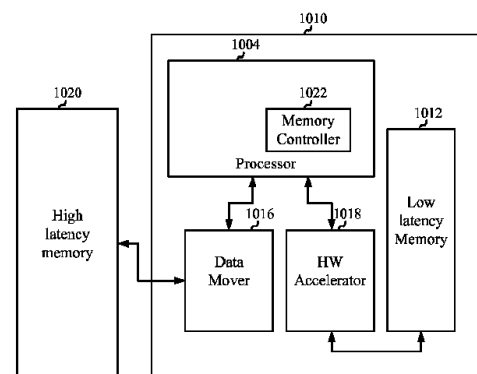


FIG. 10

【特許請求の範囲】**【請求項 1】**

データ処理方法において、

第 1 の物理メモリ中の第 1 のメモリプールを規定することと、

前記第 1 の物理メモリとは異なる第 2 の物理メモリ中の第 2 のメモリプールを規定することと、

1 つ以上の予め定められた基準に基づいて、前記第 1 のメモリプールまたは前記第 2 のメモリプールにおいて演算するようにハードウェアコンポーネントをプログラミングすることを含み、

前記第 2 のメモリプールは、前記第 1 のメモリプールよりも、より短い待ち時間を有する方法。

10

【請求項 2】

スペースが利用可能であるときにいつでも前記第 2 のメモリプールにおいて演算するように前記ハードウェアコンポーネントをプログラミングすることをさらに含む請求項 1 記載の方法。

【請求項 3】

前記 1 つ以上の予め定められた基準は、データ送信特性に基づいている請求項 1 記載の方法。

【請求項 4】

前記第 2 のメモリプールを規定することは、前記第 2 のメモリプールを使用してデータ演算の大部分が実行されるように、メモリプールのサイズを規定することを含む請求項 1 記載の方法。

20

【請求項 5】

前記第 2 のメモリプールは、前記ハードウェアコンポーネントによって、かつ、前記ハードウェアコンポーネントを制御するソフトウェアコンポーネントによってアクセス可能である請求項 1 記載の方法。

【請求項 6】

前記ハードウェアコンポーネントは、ハードウェアアクセラレータを含む請求項 1 記載の方法。

【請求項 7】

30

複数のプロトコルレイヤのそれぞれにおいてデータを処理しているときに、前記第 2 のメモリプール中に記憶されている前記データにおいて演算するように 1 つ以上のハードウェアコンポーネントを構成することをさらに含み、

前記複数のプロトコルレイヤのそれぞれにおいて処理した後に、前記データは前記第 1 のメモリプールにコピーされない請求項 1 記載の方法。

【請求項 8】

少なくとも 1 つのプロセッサにおいて、

第 1 の物理メモリ中の第 1 のメモリプールを規定する第 1 のモジュールと、

前記第 1 の物理メモリとは異なる第 2 の物理メモリ中の第 2 のメモリプールを規定する第 2 のモジュールと、

40

1 つ以上の予め定められた基準に基づいて、前記第 1 のメモリプールまたは前記第 2 のメモリプールにおいて演算するようにハードウェアコンポーネントをプログラミングする第 3 のモジュールとを具備し、

前記第 2 のメモリプールは、より短い待ち時間を有する、前記第 1 のメモリプール、少なくとも 1 つのプロセッサ。

【請求項 9】

コンピュータプログラムプロダクトにおいて、

第 1 の物理メモリ中の第 1 のメモリプールをコンピュータに規定させるための第 1 のセットのコードと、

前記第 1 の物理メモリとは異なる第 2 の物理メモリ中の第 2 のメモリプールを前記コン

50

コンピュータに規定させるための第2のセットのコードと、

1つ以上の予め定められた基準に基づいて、前記第1のメモリプールまたは前記第2のメモリプールにおいて演算するようにハードウェアコンポーネントを前記コンピュータにプログラミングさせるための第3のセットのコードとを含むコンピュータ読み取り可能媒体を具備し、

前記第2のメモリプールは、より短い待ち時間を有する、前記第1のメモリプール、コンピュータプログラムプロダクト。

【請求項10】

装置において、

第1の物理メモリ中の第1のメモリプールを規定する手段と、

10

前記第1の物理メモリとは異なる第2の物理メモリ中の第2のメモリプールを規定する手段と、

1つ以上の予め定められた基準に基づいて、前記第1のメモリプールまたは前記第2のメモリプールにおいて演算するようにハードウェアコンポーネントをプログラミングする手段とを具備し、

前記第2のメモリプールは、より短い待ち時間を有する、前記第1のメモリプール、装置。

【請求項11】

データ処理装置において、

プロセッサと、

20

第1の物理メモリ中の第1のメモリプールと、

前記第1の物理メモリとは異なる第2の物理メモリ中の第2のメモリプールと、

1つ以上の予め定められた基準に基づいて、前記第1のメモリプールまたは前記第2のメモリプールにおいて演算可能なハードウェアコンポーネントとを具備し、

前記第2のメモリプールは、より短い待ち時間を有し、前記第1のメモリプール、

前記ハードウェアコンポーネントは、前記プロセッサによって制御されるデータ処理装置。

【請求項12】

前記ハードウェアコンポーネントは、スペースが利用可能であるときにいつでも前記第2のメモリプールにおいて演算するようにプログラミングされる請求項11記載のデータ処理装置。

30

【請求項13】

前記1つ以上の予め定められた基準は、データ送信特性に基づいている請求項11記載のデータ処理装置。

【請求項14】

前記第2のメモリプールは、データ演算の大部分に対応するための容量を有する請求項11記載のデータ処理装置。

【請求項15】

前記第2のメモリプールは、前記ハードウェアコンポーネントによって、かつ、前記プロセッサ上に記憶されているソフトウェアコンポーネントによってアクセス可能である請求項11記載のデータ処理装置。

40

【請求項16】

前記ハードウェアコンポーネントは、ハードウェアアクセラレータを含む請求項11記載のデータ処理装置。

【請求項17】

複数のプロトコルレイヤのそれぞれにおいてデータを処理しているときに、前記第2のメモリプール中に記憶されているデータにおいて演算する1つ以上のハードウェアコンポーネントをさらに具備し、

前記複数のプロトコルレイヤのそれぞれにおいて処理した後に、前記データは前記第1のメモリプールにコピーされない請求項11記載のデータ処理装置。

50

【発明の詳細な説明】

【背景】

【0001】

分野

本開示は、一般的に、データ処理に関し、さらに詳細には、通信システム中のハードウェアを使用して、より効率的にデータを処理するための技術に関する。

【0002】

背景

一般的に、通信システム内のデータ処理機能は、多数のタスクを実現するためにソフトウェアの使用を用いる。このようなソフトウェアは、通常、いくつかのハードウェア演算のためにインテリジェンスを提供する。したがって、ソフトウェアとハードウェアとの間には密接な対話が必要でなければならないので、いくつかのインスタンスでは、いくつかのタスクを実現するために多くのステップを要求する。ソフトウェアへの依存は、結果として、増加する待ち時間や、浪費される帯域幅や、システムマイクロプロセッサ上での増加する処理負荷や、これらに類するものを含む、多数の短所になる。したがって、データを処理する、より効率的な方法が必要でありながらも、ハードウェアを制御するためのインテリジェンスの大部分を提供するソフトウェアと、このようなハードウェアとの間の密接な対話が必要である現在のパラダイムによって引き起こされる短所を、改善する、または、無くす、より効率的な方法が必要である。

【概要】

【0003】

このような態様の基本的な理解を提供するために、1つ以上の態様の簡略化した概要を以下は示している。この概要は、すべて企図した態様の多彩な概略ではなく、すべての態様の重要なまたは不可欠なエレメントを識別することも、何らかの態様またはすべての態様の範囲を詳細に述べることも意図していない。この唯一の目的は、後に示す、より詳細な説明に対する前置きとして、1つ以上の態様のうちのいくつかの概念を、簡略化した形態で示すことである。

【0004】

いくつかの態様にしたがうと、データ処理方法は、第1の物理メモリ中の第1のメモリプールを規定することと；第1の物理メモリとは異なる第2の物理メモリ中の第2のメモリプールを規定することと；1つ以上の予め定められた基準に基づいて、第1のメモリプールまたは第2のメモリプールにおいて演算するようにハードウェアコンポーネントをプログラミングすることとを含み、第2のメモリプールは、より短い待ち時間を有する、第1のメモリプール。

【0005】

いくつかの態様にしたがうと、データ処理装置は、プロセッサと；第1の物理メモリ中の第1のメモリプールと；第1の物理メモリとは異なる第2の物理メモリ中の第2のメモリプールと；1つ以上の予め規定された基準に基づいて、第1のメモリプールまたは第2のメモリプールにおいて演算可能なハードウェアコンポーネントとを備え、第2のメモリプールは、より短い待ち時間を有する、第1のメモリプール、ハードウェアコンポーネントは、プロセッサによって制御される。

【0006】

先述の関連した目的の達成のために、詳細な説明および添付した図面とともに、1つ以上の態様は、以下で完全に記述した特徴および特許請求の範囲において特に指摘した特徴を含む。以下の説明および添付した図面では、1つ以上の態様のいくつかの例示的な特徴を詳細に述べている。しかしながら、これらの特徴は、ほんの数例のさまざまな方法を示しているにすぎず、ここでは、さまざまな態様の原理を用いてもよく、この記述はこのようなすべての態様、および、これらの均等物を含むことを意図している。

【図面の簡単な説明】

【0007】

開示した態様を図示するように提供されているが、開示した態様を限定するものではない、添付した図面に関連して、開示した態様を以下で記述する。ここでは、同様な呼称は、同じエレメントを示している。

【図 1】図 1 は、さまざまな開示した態様にしたがった、ワイヤレス通信システムを図示している。

【図 2】図 2 は、さまざまな開示した態様にしたがった、ユーザ機器とノード B とを図示している。

【図 3】図 3 は、さまざまな開示した態様にしたがった、受信機を図示している。

【図 4】図 4 は、さまざまな開示した態様にしたがった、データ処理動作を図示しているデータフロー図である。

【図 5】図 5 は、さまざまな開示した態様にしたがった、簡略化したシステム図である。

【図 6】図 6 は、さまざまな開示した態様にしたがった、データ処理動作を図示しているデータフロー図である。

【図 7】図 7 は、さまざまな開示した態様にしたがった、データ処理動作を図示しているフローチャートである。

【図 8】図 8 は、さまざまな開示した態様にしたがった、しきい値処理動作を図示しているフローチャートである。

【図 9】図 9 は、さまざまな開示した態様にしたがった、テンプレート処理を実現するシステム図である。

【図 10】図 10 は、さまざまな開示した態様にしたがった、複数のメモリプールを実現するシステム図である。

【図 11】図 11 は、さまざまな開示した態様にしたがった、プロトコルデータユニット記憶を図示している。

【図 12】図 12 は、さまざまな開示した態様にしたがった、データの処理および記憶を図示している簡略化したブロック図である。

【図 13】図 13 は、典型的なワイヤレスデバイスを図示しているブロック図である。

【図 14】図 14 は、さまざまな開示した態様にしたがった、例示的なワイヤレスデバイスを図示しているブロック図である。

【図 15】図 15 は、さまざまな開示した態様にしたがった、ミニプロセッサを実現する簡略化したブロック図である。

【図 16】図 16 は、さまざまな開示した態様にしたがった、ミニプロセッサを使用するデータ処理方法を図示しているフローチャートである。

【図 17】図 17 は、さまざまな開示した態様にしたがった、コピーエンジンを実現するブロック図である。

【図 18】図 18 は、さまざまな開示した態様にしたがった、例示的なデータフレームを図示している。

【詳細な説明】

【0008】

これから、図面を参照して、さまざまな態様を記述する。以下の記述では、説明の目的のために、1つ以上の態様の完全な理解を提供するために、多数の特定の詳細を述べる。しかしながら、これらの特定の詳細なしに、このような態様を実施してもよいことは明らかである。

【0009】

本出願において使用されているような、「コンポーネント」、「モジュール」、「システム」という用語や、これらに類するものは、コンピュータ関連エンティティを含むことを意図しており、例えば、コンピュータ関連エンティティは、ハードウェア、ファームウェア、ハードウェアとソフトウェアとを組み合わせたもの、ソフトウェア、または実行中のソフトウェアがあるが、これらに限定されない。例えば、コンポーネントは、プロセッサ上で実行しているプロセス、プロセッサ、オブジェクト、実行可能ファイル、実行のスレッド、プログラム、および／またはコンピュータであってもよいが、これらに限定され

10

20

30

40

50

ない。例示として、コンピューティングデバイス上で実行しているアプリケーションおよびコンピューティングデバイスの双方とも、コンポーネントとすることができる。1つ以上のコンポーネントは、実行のプロセスおよび／またはスレッド内に存在することができる。コンポーネントは、1つのコンピュータ上で局所化および／または2つ以上のコンピュータ間で分散されてもよい。さらに、これらのコンポーネントは、そこに記憶されたさまざまなデータ構造を有するさまざまなコンピュータ読み取り可能媒体から実行することができる。コンポーネントは、1つ以上のデータパケットを有する信号にしたがうような、ローカルおよび／またはリモートプロセスによって通信してもよく、例えば、1つ以上のデータパケットには、ローカルシステム中の、分散システム中の別のコンポーネントと対話する1つのコンポーネントからのデータ、および／または、インターネットのようなネットワークにわたって信号を介して他のシステムと対話する1つのコンポーネントからのデータといったものがある。

10

【0010】

さらに、端末に関連して、さまざまな態様をここで記述する。端末は、ワイヤード端末またはワイヤレス端末とすることができる。端末はまた、システム、デバイス、加入者ユニット、加入者局、移動局、移動体、移動体デバイス、遠隔局、遠隔端末、アクセス端末、ユーザ端末、端末、通信デバイス、ユーザエージェント、ユーザデバイス、またはユーザ機器（UE）と呼ぶことができる。ワイヤレス端末は、セルラ電話機、衛星電話機、コードレス電話機、セッション開始プロトコル（SIP）電話機、ワイヤレスローカルループ（WLL）局、パーソナルデジタルアシスタント（PDA）、ワイヤレス接続能力を有するハンドヘルドデバイス、コンピューティングデバイス、またはワイヤレスモデムに接続されている他の処理デバイスであってもよい。さらに、ここでは、さまざまな態様を、基地局に関連して記述している。ワイヤレス端末との通信のために、基地局を利用してもよく、基地局はまた、アクセスポイント、ノードBと呼ばれることがあり、または他の何らかの専門用語で呼ばれることもある。

20

【0011】

さらには、「または」という用語は、排他的な「または」というよりむしろ、包含的な「または」を意味することを意図している。すなわち、特定の明記がない限り、または、文脈から明らかでない限り、「XがAまたはBを用いる」というフレーズは、自然な包含的順列のうちのいずれかを意味することを意図している。すなわち、「XがAまたはBを用いる」というフレーズは、以下の事例：XがAを用いる；XがBを用いる；または、XがAおよびBの双方とも用いる、のうちのいずれのものによって満たされる。加えて、本出願および添付した特許請求の範囲中で使用しているような冠詞「a」および「an」は、特定の明記がない限り、または、単数形に向けられている文脈から明らかでない限り、一般的に、「1つ以上」を意味すると解釈すべきである。

30

【0012】

CDMAや、TDMAや、FDMAや、OFDMAや、SC-FDMAや、他のシステムのような、さまざまなワイヤレス通信システムに対して、ここで記述した技術を使用してもよい。「システム」や「ネットワーク」という用語は、互換性があるように使用されることが多い。CDMAシステムは、ユニバーサル地上無線アクセス（UTRA）、cdma2000等のような無線技術を実現してもよい。UTRAは、ワイドバンドCDMA（W-CDMA）およびCDMAの他の変形を含む。さらに、cdma2000は、IS-2000、IS-95、およびIS-856標準規格をカバーしている。TDMAシステムは、グローバルシステムフォーモバイル通信（GSM）（登録商標）のような無線技術を実現してもよい。OFDMAシステムは、進化したUTRA（E-UTRA）や、ウルトラモバイルブロードバンド（UMB）や、IEEE 802.11（Wi-Fi（登録商標））や、IEEE 802.16（WiMAX）や、IEEE 802.20や、フラッシュOFDM等のような無線技術を実現してもよい。UTRAおよびE-UTRAは、ユニバーサル移動体電気通信システム（UMTS）の一部である。3GPPロングタームエボリューション（LTE）は、ダウンリンク上ではOFDMAを、アップリンク上で

40

50

はSC-FDMAを用いるE-UTRAを使用する、リリースのUMTSである。UTRAや、E-UTRAや、UMTSや、LTEや、GSMは、「第3世代パートナーシッププロジェクト」(3GPP)と名付けられている機関による文書中に記述されている。加えて、cdma2000およびUMBは、「第3世代パートナーシッププロジェクト2」(3GPP2)と名付けられている機関による文書中に記述されている。さらに、このようなワイヤレス通信システムは、対でないライセンスされていないスペクトルや、802.xワイヤレスLANや、ブルートゥース(登録商標)や、他の何らかの短距離または長距離のワイヤレス通信技術を使用していることが多いピアツーピア(例えば、移動体間)のアドホックネットワークシステムを付加的に含んでもよい。

【0013】

多数のデバイスや、コンポーネントや、モジュールや、これらに類するものを含み得るシステムに関して、さまざまな態様または特徴を提示する。さまざまなシステムは、付加的なデバイス、コンポーネント、モジュール等を含んでもよいことを、および／または、図面に関連して説明した、デバイス、コンポーネント、モジュール等のすべてを含んでいなくてもよいことを理解および正しく認識すべきである。これらのアプローチを組み合わせたものまた使用してもよい。

【0014】

図1は、ワイヤレス通信システム100を示しており、このワイヤレス通信システム100は、(i)ユーザ機器(UE)に対する無線通信をサポートする無線アクセスネットワーク(RAN)120と、(ii)通信サービスをサポートするためのさまざまな機能を実行するネットワークエンティティとを備えている。RAN120は、任意の数のノードBと、任意の数の無線ネットワーク制御装置(RNC)とを備えていてもよい。簡単にするために、図1中では、1つのノードB130と、1つのRNC132とだけを示している。一般的に、ノードBは、UEと通信する固定局であり、このノードBは、進化したノードB、基地局、アクセスポイント等と呼ばれることがある。RNC132は、1セットのノードBに結合させ、その制御のもと、ノードBに対する調整および制御を提供する。

【0015】

インターネットプロトコル(IP)ゲートウェイ140は、UEに対するデータサービスをサポートし、また、サービングGPRSサポートノードまたはゲートウェイGPRSサポートノード(SGSNまたはGGSN)、アクセスゲートウェイ(AGW)、パケットデータサービングノード(PDSN)等と呼ばれることがある。IPゲートウェイ140は、UEに対するデータセッションの、確立や、維持や、終了に関与し、動的IPアドレスをUEにさらに割り当ててもよい。IPゲートウェイ140は、データネットワーク150に結合させてもよく、このデータネットワーク150は、コアネットワーク、インターネット等を含んでもよい。IPゲートウェイ140は、データネットワーク150を通して、サーバ160のようなさまざまなエンティティと通信することができてよい。ワイヤレスシステム100は、図1中では示されていない他のネットワークエンティティを含んでもよい。

【0016】

UE110は、サーバ160のような他のエンティティとデータを交換するために、RAN120と通信してもよい。UE110は、動的または静的であってもよく、移動局、端末、加入者ユニット、局等とも呼ばれることがある。UE110は、セルラ電話機、パーソナルデジタルアシスタント(PDA)、ワイヤレス通信デバイス、ワイヤレスモデム、ハンドヘルドデバイス、ラップトップコンピュータ等であってもよい。UE110は、ダウンリンクおよびアップリンクのようなエアインターフェースを通して、ノードB120と通信してもよい。ダウンリンク(すなわちフォワードリンク)は、ノードBからUEへの通信リンクのことを意味し、リバースリンク(すなわちアップリンク)は、UEからノードBへの通信リンクのことを意味する。ダウンリンク上でとともに、アップリンク上でのデータ送信に対して、ここで記述した技術を使用してもよい。

10

20

30

40

50

【0017】

いくつかの態様では、UE 110は、（図1中に示されているような）ワイヤード接続またはワイヤレス接続を通して、端末機器（TE）デバイス112に結合させてもよい。TEデバイス112に対するワイヤレスデータサービスを提供またはサポートするために、UE 110を使用してもよい。TEデバイス112は、ラップトップコンピュータ、PDA、または他の何らかのコンピューティングデバイスであってもよい。

【0018】

図2は、図1中の、UE 110とノードB 130との例示的な設計のブロック図を示している。この例示的な設計では、UE 110は、データプロセッサ210と、外部メモリ260と、無線送信機（TMTR）252と、無線受信機（RCVR）254とを備えている。データプロセッサ210は、制御装置／プロセッサ220と、送信プロセッサ230と、受信プロセッサ240と、内部メモリ250とを備えている。バス212は、プロセッサ220と、プロセッサ230と、プロセッサ240と、メモリ250との間でのデータ転送を促進できる。データプロセッサ210は、特定用途向け集積回路（ASIC）上で実現してもよく、メモリ260は、ASICの外部にあってもよい。

【0019】

アップリンク上でのデータ送信のために、送信プロセッサ230が、1セットのプロトコルにしたがってトラフィックデータを処理し、出力データを提供してもよい。無線送信機252が、出力データを調整（例えば、アナログコンバート、フィルタリング、増幅、および周波数アップコンバート）し、アップリンク信号を発生させてもよく、このアップリンク信号を、ノードB 230に送信してもよい。ダウンリンク上でのデータ受信のために、無線受信機254は、ノードB 230から受信したダウンリンク信号を調整（例えば、フィルタリング、増幅、周波数ダウンコンバート、およびデジタル化）し、受信データを提供してもよい。受信プロセッサ240は、1セットのプロトコルにしたがって受信データを処理し、トラフィックデータを提供してもよい。制御装置／プロセッサ220は、UE 110において、さまざまなユニットの動作を指示してもよい。内部メモリ250は、プロセッサ220と、プロセッサ230と、プロセッサ240とに対する、プログラムコードとデータとを記憶してもよい。外部メモリ260は、UE 110に対するデータとプログラムコードとに対する大容量の記憶を提供してもよい。

【0020】

図2はまた、ノードB 130の例示的な設計のブロック図を示している。無線送信機／受信機264は、UE 110と他のUEとの無線通信をサポートしてもよい。制御装置／プロセッサ270は、ダウンリンク上でのデータ送信と、アップリンク上でのデータ受信とのために、データを処理してもよい。制御装置／プロセッサ270はまた、UEとの通信のために、さまざまな機能を実行してもよい。メモリ272は、ノードB 130に対する、データとプログラムコードとを記憶してもよい。通信（Comm）ユニット274は、他のネットワークエンティティとの通信をサポートしてもよい。

【0021】

図3は、受信機300の例示的な設計を図示しており、この受信機300は、UEの一部であってもよい。受信機300は、大容量のデータ記憶を提供する外部メモリ310と、受信データを処理する受信プロセッサ320と、処理されたデータを記憶する内部メモリ340とを備えている。受信プロセッサ320および内部メモリ340は、ASIC 312上で実現してもよい。

【0022】

受信プロセッサ320内で、RX PHYプロセッサ322が、送信機（例えば、ノードB 130）からPHYフレームを受信し、RANによって使用される無線技術（例えば、CDMA 2000 1Xまたは1xEV-DOまたはLTE）にしたがって、受信したPHYフレームを処理し、受信したフレームを提供してもよい。データプロセッサ324が、受信したフレームをさらに処理（例えば、デコード、解釈、およびデフレーム）してもよい。

10

20

30

40

50

【0023】

データ転送は、典型的に、3つのタスクを伴う。最初に、外部メモリ310のような何らかの位置からデータ中に移動させる。その後、ハードウェアによってデータを演算して、外に出して戻すように移動させる。1つの位置から別の位置にデータを移動させ、ハードウェアアクセラレータ334による処理の後にデータを外に出して戻すように移動させるように、データムーバー336を構成してもよい。ハードウェアアクセラレータ334とデータムーバー336との動作を制御するように、プロセッサ／制御装置330を構成してもよい。

【0024】

図4は、ソフトウェアおよびハードウェア中で生じる典型的なデータ処理動作を図示しているデータフロー図である。図4中で図示されているように、ソフトウェアコンポーネント402は、第1のハードウェアコンポーネント404および第2のハードウェアコンポーネント406のような1つ以上のハードウェアコンポーネントとインターフェースしてもよい。ステップ408において図示されているように、ソフトウェアコンポーネント402が、第1のハードウェアコンポーネント404に第1のセットの命令を発行してもよい。命令は、1つ以上のタスクを実行するための命令を含んでもよい。その後、410において図示されているように、第1のハードウェアコンポーネント404が、最初のセットの命令に応答する。第2のハードウェアコンポーネント406との処理を開始するために、ソフトウェアコンポーネント402が、その後、412において図示されているように、1セットの命令を第2のハードウェアコンポーネント406に送り、414において図示されているように、応答を待ってもよい。タスクが実行されることになるたびに、ソフトウェア402は、416と、418と、420と、422とにおいて図示されているように、指定されたハードウェアコンポーネントに命令または命令のセットを発行し、応答を待たねばならない。

【0025】

図4中で図示されている方法では、すべてのハードウェアの、タスクまたはタスクのセットの後に、ソフトウェア割込を使用しなければならない。すなわち、提供した命令を完了した後、ハードウェアコンポーネントが、割込をソフトウェアに送らなければならない。プログラムコンテンツをストールし、割込を実行するように再び構築してから、ハードウェア処理を再開しなければならないので、これらの割込はコストがかかることがある。さらには、割込は、ロックされる状態になることが多く、結果として、割込のロックが解消されるまでレイテンシ期間になる。

【0026】

図5は、さまざまな開示した態様を図示している簡略化したブロック図である。第1のハードウェアコンポーネント504や、第2のハードウェアコンポーネント506のような、さまざまなハードウェアコンポーネントの動作を制御するように、プロセッサ502を構成してもよい。図4中と同様に、第1のハードウェアコンポーネント504および第2のハードウェアコンポーネント506のそれぞれは、例えば、データムーバーまたはハードウェアアクセラレータのような専用ハードウェアブロックであってもよい。プロセッサ502は、さまざまなタスクを実行するようにハードウェアコンポーネントに命令するソフトウェアをそこに記憶させてもよい。

【0027】

第1のハードウェアコンポーネント504および第2のハードウェアコンポーネント506は、通信可能に互いに結合させてもよい。したがって、これらのコンポーネントは、プロセッサ502上に記憶されているソフトウェアに割り込みをかけずに、互いに情報を提供することができる。例えば、プロセッサ502によって1つ以上のタスクを実行するように、第1のハードウェアコンポーネント504および第2のハードウェアコンポーネント506を予めプログラミングしてもよい。図6中では、さらにより詳細に、このプロセスを図示した。

【0028】

10

20

30

40

50

図 6 中で図示されているように、プロセッサ 502 は、第 1 のハードウェアコンポーネント 504 および第 2 のハードウェアコンポーネント 506 とインターフェースさせてもよい。いくつかの態様にしたがって、第 1 のハードウェアコンポーネント 504 は、外部メモリのようなさまざまなソースから、ローカルバッファ（例えば、データムーバー）の中にデータを移動させるのに適しているものであってもよい。第 2 のハードウェアコンポーネント 506 は、データアクセラレータのようなカスタムハードウェアブロックであってもよい。

【0029】

610 において図示されているように、プロセッサ 502 が、複数のタスクを実行するための第 1 のセットのコマンドを、第 1 のハードウェアコンポーネント 504 に発行してもよい。例えば、プロセッサ 502 が、外部記憶装置の位置からデータのブロックを中に入れるようにハードウェアコンポーネント 504 に命令してもよい。612 において図示されているように、プロセッサ 502 が、その後、複数のタスクを実行するように第 2 のハードウェアコンポーネント 506 をプログラミングしてもよい。例えば、プロセッサ 502 は、第 1 のハードウェアコンポーネント 504 によって中に入れられた、データのブロックにおいて演算するように第 2 のハードウェアコンポーネント 506 に命令してもよい。指定されたタスクを実行するように、第 1 のハードウェアコンポーネントおよび第 2 のハードウェアコンポーネントを予めプログラミングしてもよいが、614 において図示されているように、プロセッサ 502 がトリガメッセージを送るまで、動作は開始しない。

【0030】

トリガメッセージの受信の際、第 1 のハードウェアコンポーネント 504 は、予めプログラミングされたタスクを実行するのを開始してもよい。いくつかの態様にしたがって、最後の命令は、616 において図示されているように、トリガメッセージを第 2 のハードウェアコンポーネント 504 に送るように第 1 のハードウェアコンポーネントに指示してもよい。トリガは、例えば、ハードウェア割込であってもよい。ステップ 618 と、620 と、622 とにおいて図示されているように、それぞれのハードウェアコンポーネントが、それ自体の処理の完了の際に命令を実行するように他のコンポーネントをトリガする。この処理の間、ソフトウェア割込に対する必要性はない。最後の命令が処理されたときに、最後の命令を処理しているハードウェアコンポーネント（ここでは、第 1 のハードウェアコンポーネント）が、624 において図示されているように、割込をプロセッサ 502 に送ってもよい。図 6 中で図示されているように、ソフトウェア割込の数を、大幅に減少させることができる。いくつかの態様では、単一のソフトウェア割込だけが要求される。

【0031】

図 7 は、さまざまな開示した態様にしたがって、さらに詳細にデータ処理動作を図示しているフローチャートである。702 において図示されているように、ソフトウェアコンポーネントが、2 つ以上のハードウェアコンポーネントをプログラミングしてもよい。ハードウェアコンポーネントをプログラミングすることは、それぞれのハードウェアコンポーネントによって実行されるべき一連の命令を提供することを含んでいてもよい。ハードウェアコンポーネントに関係するタスクキュー中に、一連の命令を記憶させてもよい。いくつかの態様にしたがって、1 つより多いハードウェアコンポーネントが、単一のタスクキューを共有してもよく、ここで、それぞれのハードウェアコンポーネントに対する命令は、一緒にインターリーブされる。

【0032】

例示的な態様にしたがって、2 つ以上のハードウェアコンポーネントは、データムーバーと、ハードウェアアクセラレータとを備えていてもよい。代替的に、または、データムーバーとハードウェアアクセラレータとに加えて、他のハードウェアコンポーネントも使用してもよい。データムーバーとハードウェアアクセラレータとに関連して、図 7 中では図示されている残りのプロセスを記述するが、これは、単なる例示であることに留意され

たい。

【0033】

上述したように、それぞれのハードウェアコンポーネントは、タスクキューと関係付けさせることができる。したがって、データムーバーおよびハードウェアアクセラレータそれぞれは、それに関係付けられたタスクキューを有する。タスクキューは、ソフトウェアによって前もって構成されていてもよい。ハードウェアアクセラレータに関係するタスクキューは、ソフトウェアによって制御される書き込みポインタによってゲート制御されてもよい。これもハードウェアアクセラレータに関係付けられている読み取りポインタもハードウェアによって制御されてもよい。

【0034】

プログラミングされているタスクの実行が望まれるとき、704において図示されているように、ソフトウェアコンポーネントが、トリガ信号をデータムーバーに送ってもよい。トリガ信号の受信の際、706において図示されているように、データムーバーが、その第1のタスクを実行してもよい。例えば、第1のブロックのデータを外部メモリ位置から読み取り、そのデータを内部メモリ位置の中に移動させるように、データムーバーは命令されてもよい。ハードウェアアクセラレータに関係する書き込みポインタレジスタに書き込むように、データムーバーはさらに命令されてもよく、それにより、その割り当てられた命令を実行するのを開始するようにハードウェアアクセラレータをトリガする。また、イベントの受信まで、処理を停止するように、データムーバーは命令されてもよい。

【0035】

データムーバーからのトリガの受信の際、708において図示されているように、ハードウェアアクセラレータは、その命令を実行するのを開始してもよい。これは、例えば、データムーバーによってロードされたデータに対してさまざまなタイプの演算を実行することを含んでいてもよい。キュー待ちしているタスクの完了の際、710において図示されているように、ハードウェアアクセラレータが、ハードウェア割込を発行し、これは、動作するのを続けるようにデータムーバーをトリガする。トリガの受信の際、712において図示されているように、データムーバーは、完了するための付加的なタスクをデータムーバーが有しているか否かを決定してもよい。完了するための付加的なタスクをデータムーバーが有している場合には、処理は、ステップ706に戻る。データムーバーが、実行する付加的なタスクを有していない場合、714において図示されているように、データムーバーは、割込をソフトウェアに送ってもよい。ハードウェア割込を介してデータムーバーおよびハードウェアアクセラレータが互いにトリガすることを可能にすることは、割込の待ち時間を減少させ、コンテキスト切り替えの数を減少させる。さらには、データムーバーおよびハードウェアアクセラレータが、より効率的に使用され、これにより、全体の待ち時間を減少させる。

【0036】

上述したように、複数のタスクを実行するように、ハードウェアアクセラレータやデータムーバーのようなハードウェアコンポーネントをソフトウェアによって予めプログラミングしてもよい。あるハードウェアアクセラレータのケースでは、アクセラレータからの出力の長さがランダムであることがある。しかしながら、データムーバーもまた予めプログラミングされていることから、典型的に、ハードウェアアクセラレータから出力される最悪のケースに対して、データムーバアウト命令はプログラミングされる。時間の大半では、出力の長さは、予めプログラミングされた長さよりも、より短いであろうことから、このようなコンフィギュレーションは、帯域幅の不必要な浪費を招くことがある。

【0037】

本装置および方法のいくつかの態様にしたがって、ハードウェアアクセラレータの最も一般的な出力のデータ長に対応するしきい値を規定してもよい。いくつかの態様では、ハードウェアアクセラレータからのすべての出力の大部分がしきい値を超えないように、しきい値を規定するのが好ましいかもしれない。しかしながら、他の何らかの所望のパラメータにしたがって、しきい値を構成してもよい。例えば、少なくとも、アクセラレータの

10

20

30

40

50

すべての出力の予め規定された割合がしきい値を超えないように、または、アクセラレータの出力の少なくとも一部がしきい値を超えないように、しきい値を構成してもよい。図8は、しきい値処理をさらに詳細に図示しているフローチャートである。

【0038】

810において図示されているように、ハードウェアアクセラレータのようなハードウェアコンポーネントが、予めプログラミングされている命令にしたがって、データを受信して処理する。この処理の完了の際、812において図示されているように、データムーバーのような第2のハードウェアコンポーネントによって出力されることになる命令の結果が、予め規定されたしきい値を超えているか否かを、ハードウェアアクセラレータが決定する。さらに詳細には、ハードウェアアクセラレータは、ソフトウェアによって予め構成されているしきい値決定モジュールを備えていてもよい。しきい値は、ハードウェアアクセラレータによって処理されるデータのサイズに対する最大値を設定してもよい。

【0039】

814において図示されているように、しきい値を超えている場合、ムーブアウトタスクが準備されているものでは足りないことを示している割込を、ハードウェアアクセラレータが発生させてもよい。すなわち、データムーバー中で予めプログラミングされたデータのムーブアウトのサイズは、ハードウェアアクセラレータによってちょうど処理されたデータに対応するには十分な大きさではないことを、割込は示している。割込の受信の際、816において図示されているように、プログラミングされたデータのムーブアウトサイズの限界を超えた過剰データを、ソフトウェアが読み取ってもよい。この割込の間、ハードウェアアクセラレータは、ストールされてもよく、いったん、割込が解消されると、ソフトウェアによって「許可」が与えられてもよい。その後、処理が、続いてもよい。例えば、818において図示されているように、ハードウェアアクセラレータまたはソフトウェアコンポーネントが、データムーバーにトリガを送ってもよく、データムーバーが、予めプログラミングされた命令にしたがって、データを外に移動させてもよい。ステップ812において、しきい値を超えていないことが決定された場合、処理はまた、ステップ818において続いてもよく、ここで、データムーバーが、プログラミングされたように、データを外に出してメインメモリに移動させる。

【0040】

いくつかの態様にしたがって、図8に関連して記述したしきい値を、適応的に調整してもよい。例えば、準備されたものでは足りないデータのムーブアウト命令から結果的に生じる割込の頻度が、所定の時間期間にわたって多い場合、ソフトウェアが、しきい値のサイズを増加させるかもしれない。同様に、非常に多くの割込が所定の時間期間にわたって受信されなかった場合、しきい値のサイズは減少されるかもしれない。したがって、準備されていないデータムーブアウト命令の結果として受信したすべての割込を追跡する、タイマーとカウンタとにより、ソフトウェアを構成してもよい。外に出されるデータ量を制御しながら、準備されたものでは足りないことに対処するメカニズムを提供することにより、電力消費とシステムバス帯域幅とを減少させることができる。加えて、より少ない数の割込を得ることによって、ソフトウェアの複雑さを減少させることができる。さらには、例外的なケースを、取り扱いのためにソフトウェアに渡すことによって、ハードウェアはシンプルに保たれる。しきい値を適応的に調整することは、低い割込レートを維持することと、データを不必要に移動させるのを避けることとの間の良好なトレードオフを確実にするのに助けることができる。

【0041】

いくつかの態様にしたがって、ソフトウェア処理および待ち時間を減少させるとともに、バスの帯域幅の使用を減少させるために、ソフトウェア中で典型的に実行される動作をハードウェアに移してもよい。例えば、データフレームヘッダを処理するロジックを有するように、ハードウェアアクセラレータを構成してもよい。典型的に、ハードウェアは、単に、データを解釈し、その後、さらなる処理のために、このデータをソフトウェアに転送する。ソフトウェアは、その後、データを処理するための命令とともに、ハードウェア

にこのデータを転送して戻す。これは、ソフトウェア処理と、待ち時間と、バス帯域幅とを減少させることができる。

【0042】

いくつかの例示的な態様では、例えば、データフレームヘッダをパースし、このヘッダを、複数の予め規定されたテンプレートと比較し、このヘッダに基づいて次の処理ステップを決定するためのロジックを有するように、ハードウェアアクセラレータを構成してもよい。ヘッダのマッチングが見出されなかった場合、または、テンプレートの再構成が必要である場合にのみ、ソフトウェア対話が必要とされる。

【0043】

図9は、テンプレート処理を実現し得る環境の例である。図9中で図示されているように、ハードウェアアクセラレータ922は、制御プロセッサ920によって制御され、入力データを受け取り、フィルタリングモジュール922を通して、その入力データを処理してもよい。フィルタリングモジュール922は、プロセッサ914、メモリ916、またはインターフェース918-1ないし918-Nのうちの1つ以上に、その出力を提供してもよい。メモリ916は、内部メモリまたは外部メモリであってもよい。インターフェース918-1ないし918-Nは、例えば、ラップトップ、PDA、または他の何らかの外部電子デバイスのような外部デバイスへの接続を提供してもよい。例えば、インターフェース918-1ないし918-Nは、USBポート、ブルートゥース、SDIO、SDCC、または他のワイヤードまたはワイヤレスインターフェースを含んでいてもよい。

【0044】

フィルタリングモジュール922は、複数の予め規定されたテンプレートを含んでいてもよく、出力データをどこにルーティングすべきかについてのルーティング決定を行うために、この複数の予め規定されたテンプレートを使用してもよい。例えば、暗号化されたデータが、ハードウェアアクセラレータ912によって受け取られ、解読されてもよい。フィルタリングモジュール922中のプログラミングされたテンプレートに基づいて、解読したデータを、プロセッサ914に、メモリ916に転送してもよく、または、インターフェース918-1ないし918-Nを通して外部デバイスに転送してもよい。いくつかの態様にしたと、ハードウェアアクセラレータ912が処理することが困難である、より複雑な演算のために、プロセッサ914をバックアップフィルタとして使用してもよい。

【0045】

いくつかの態様にしたと、それぞれのトラフィックテンプレートは、1つ以上のパラメータと、それぞれのパラメータに対する特定の値とを含んでいてもよい。それぞれのパラメータは、IP、TCP、UDP、または他の何らかのプロトコルに対するヘッダの特定のフィールドに対応していてもよい。例えば、IPパラメータは、発信元アドレスと、宛先アドレスと、アドレス範囲と、プロトコルとを含んでいてもよい。TCPまたはUDPパラメータは、発信元ポートと、宛先ポートと、ポート範囲とを含んでいてもよい。トラフィックテンプレートは、ヘッダ中のそれぞれのパラメータの位置を特定する。したがって、ハードウェアアクセラレータは、使用中のプロトコルの何らかの実際の知識を有する必要はない。むしろ、ハードウェアは、テンプレートパラメータとの、ヘッダのマッチングを実行する。

【0046】

例えば、宛先ポートxに対するTCPフレームを検出するために、トラフィックテンプレートを規定して、IPv4パケット中で送ってもよい。テンプレートは、以下のように設定される3つのパラメータを含んでいてもよい：バージョン=IPv4、プロトコル=TCP、宛先ポート=x。一般的に、任意のプロトコルヘッダ中の任意のフィールドを、トラフィックテンプレートパラメータとして使用してもよい。任意の数のテンプレートを規定してもよく、それぞれのテンプレートを、任意のセットのパラメータと関係付けてもよい。異なるアプリケーション、ソケット等に対して、異なるテンプレートを規定しても

よく、異なるセットのパラメーにより規定してもよい。

【0047】

それぞれのテンプレートはまた、マッチングが存在した場合に実行するアクションと、マッチングが存在しない場合に実行するアクションとに関係していてもよい。データフレームの受信の際に、フレームの受信値を、テンプレートの特定された値と比較してもよい。受信値が、特定された値とマッチングした場合にはマッチングを宣言してもよく、そうでない場合には、マッチングなしを宣言してもよい。マッチングなしが規定されている場合には、ハードウェアは、ソフトウェア割込を発行して、ソフトウェアがフレームを処理してもよい。

【0048】

ここで記述したように、データ処理は、典型的に、第1の位置からデータを中に移動させることと、データにおいて演算することと、データを外に出して戻すように移動させることとを伴う。典型的に、低コストで、長い待ち時間のメモリ中で、単一の大きいメモリプールを規定する。この長い待ち時間のメモリプールからデータを中に移動させ、演算して、メモリプールに戻すように移動させる。しかしながら、最近アクセスされたデータは、再使用されることが多い。したがって、すべてのアクセスの後に待ち時間の長いメモリプールに向けてデータを外に出して戻すように不必要に移動させることは、システムバス帯域幅を増加させる。本装置および方法のいくつかの態様にしたと、物理メモリ中に複数のメモリプールを規定してもよい。メモリ割振は、利用可能な最良のメモリプールに基づいていてもよく、または、データがどのくらいの頻度でアクセスされる可能性があるかに依存していてもよい。

【0049】

図10は、いくつかの態様にしたと、複数のメモリプールを実現するシステム1000の例である。システム1000は、短い待ち時間のメモリ1012と、プロセッサ1014と、データムーバー1016と、ハードウェアアクセラレータ1018とを備えているASIC910を具備していてもよい。長い待ち時間のメモリ1020も、提供してもよい。短い待ち時間のメモリ912を、内部メモリとして図示し、長い待ち時間のメモリ1020を外部メモリとして図示しているが、このコンフィギュレーションは、単なる例である。いずれかのメモリ、または、両方のメモリは、内部にあっても、または、外部にあってもよい。プロセッサ1004は、メモリ制御装置1022を備えていてもよく、このメモリ制御装置1022は、長い待ち時間のメモリ1020と、短い待ち時間のメモリ1012とへのアクセスを制御する。大部分の演算が短い待ち時間のメモリ1012を使用する場合、より効率的にデータを処理することができる。したがって、長い待ち時間のメモリ1020へのアクセス数を制限するように、メモリ制御装置1022を構成してもよい。

【0050】

通常の演算と同じように、例えば、待ち時間の長いメモリ1020と待ち時間の短いメモリ912との間で、データを入れたり出したりするように、データムーバー1020を構成してもよい。いくつかの例示的な態様にしたと、短い待ち時間のメモリ1012からのデータにおいて直接的に演算するように、ハードウェアアクセラレータ1018を構成してもよい。例えば、いくつかの態様では、スペースが利用可能である限り、短い待ち時間のメモリ1012中に、データを維持してもよい。他の態様では、サービス品質要件、通信チャネルプロパティ、および／または他のファクターのような、特定のデータ送信特性に基づいて、短い待ち時間のメモリ1012中にデータを記憶および維持してもよい。

【0051】

小さくて高速なプールと、大きくてより低速なプールとを規定できるので、複数のメモリプールを提供することは、ハードウェアコストを減少させることができる。さらには、システムバス帯域幅と電力とを減少させることができる。

【0052】

いくつかの態様にしたがうと、短い待ち時間のメモリ1012中に記憶されているデータは、ハードウェアとソフトウェアとの両方によってアクセスされてもよい。ペイロードは、ハードウェアアクセラレータ1018によって処理されてもよく、これにより、短い待ち時間のアクセスが確実になる。ハードウェアアクセラレータ1018の至近距離に、短い待ち時間のメモリ1012を配置してもよい。したがって、データ転送は、システムバスを横切る必要はなく、これにより、電力とシステムバス帯域幅とを節約する。

【0053】

(例えば、ヘッダを除去するとき、複数のフローからデータを多重化するとき、セグメント化／再組み立て等のとき)それぞれのレイヤにおけるインプリメンテーションを簡単にするために、データを処理するとき、データは、複数回コピーされながら、データスタックを通過することが多い。本装置および方法のいくつかの態様にしたがうと、同じ位置にデータを残して、異なるレイヤに同じデータを演算させることによって、反復されるコピーを防ぐことができる。それぞれのデータの演算命令が、ハードウェアまたはソフトウェアによって実行されようとなかろうと、ローカルハードウェアバッファのような同じ位置を指してもよい。例えば、UMTS解読が実行された後、解読されたデータをコピーして、ローカルハードウェアバッファのようなローカルメモリの中に戻してもよい。ソフトウェアが、プロトコルヘッダを評価することによってペイロードを連結させた後に、ソフトウェアは、TCPチェックサム計算またはPPPフレーミングのいずれかを実行するようにハードウェアアクセラレータに命令してもよい。このような処理の間に、外部メモリ位置からデータをあちこちに移動させる必要はない。

【0054】

データ送信のために、データフレームは、典型的に、使用中のプロトコルに依存して、より小さいユニットに区分してもよい。したがって、関連するペイロードは、複数の送信に分割されることが多い。それぞれのユニットに対するメモリブロックは、典型的に、割り振られ、そして、より高いレイヤに渡されるときに、ペイロードをより大きなデータユニットに連結させるために、これらのユニットのリンクされたリストが形成される。

【0055】

図11は、受信パケットデータユニットの典型的な記憶割振を図示している。図11中で図示されているように、到来データフレーム1100は、それぞれが、ヘッダ(H1、H2、H3)とペイロード(P1、P2、P3)とを含んでいる複数のプロトコルデータユニット(PDU)を含んでいてもよい。典型的に、データフレームは、複数のセグメントに区分され、それぞれのセグメントは、別個のデータサービスメモリ(DSM)ユニット中に記憶されている。図11中で示されているように、第1のDSMユニット1104中にPDU1(H1+P1)が記憶され、第2のDSMユニット1106中にPDU2(H2+P2)が記憶され、第3のDSMユニット1108中にPDU3(H3+P3)が記憶されている。

【0056】

この態様でデータを記憶することは、さまざまな理由で非効率である。例えば、それぞれのDSMユニットは、それ自体のヘッダHを含んでおり、これは、オーバーヘッドを増加させる。加えて、DSMプール内のそれぞれのDSMユニットは、サイズが同一にされる。したがって、PDUが、予め構成されているDSMユニットサイズよりも、小さいときに、スペースが浪費される。1104および1108において図示されているように、DSMユニットを埋めるために、パディングデータPが、PDUの後に追加される。さらには、セグメント化されたPDUを後で連結させるために、それぞれのPDUがどこに記憶されているかや、PDUが他のものにどのように関連しているかを示した、リンクされたリストを維持しなければならない。

【0057】

本装置および方法のいくつかの例示的な態様にしたがうと、異なる送信からのチャンネルごとの受信データは、ヘッダを除去することによって、連続したメモリの、より大きいブロックに集約され、これにより、より高いレイヤに対する連続したペイロードを直接的に

連結させることができる。このことは、結果として、アプリケーションデータのコヒーレンシーとなるとともに、連結により付加的なメモリの割り振りに対する必要性を減少させることになるかもしれない。さらには、パディングオーバーヘッド、メモリ割り振り演算、およびメモリオーバーヘッドの減少により、メモリが減少される。

【0058】

上述したように、暗号化されたデータフレームをハードウェアが受信したときに、フレームは、解読され、さらなる処理のためにハードウェアに転送される。いくつかの例示的な態様にしたがうと、フレームをソフトウェアに転送せずに、関連するペイロードを連結させるように、ハードウェアアクセラレータのようなハードウェアコンポーネントをさらに構成してもよい。

10

【0059】

図12は、いくつかの態様にしたがった、データ処理および記憶を図示している簡略化したブロック図である。図12中で図示されているように、到来データフレーム1201は、それぞれが、ヘッダとペイロードとを含んでいる複数のプロトコルデータユニットを含んでいてもよい。区分ユニット1202は、到来データフレーム1201を処理するように構成していてもよい。処理は、例えば、ヘッダとペイロードとを分離させることを含んでいてもよい。関係するペイロードに対するポインタとともに、ヘッダ(H1、H2、H3)を、メモリ1203中に記憶させてもよい。

【0060】

ハードウェア連結ロジック1204が、その後、ペイロードを組み合わせて、これらを単一のDSM中に記憶させてもよい。ソフトウェアロジック1206によって、区分ユニット1202とハードウェア連結ロジック1204との両方をプログラミングおよび／または制御してもよい。例えば、ソフトウェアロジック1206が、ヘッダを除去し、ポインタ情報を発生させるように区分ユニット1202をプログラミングしてもよい。加えて、ソフトウェアロジック1206が、あるペイロードまたはヘッダをフェッチするように連結ロジック1204に指示してもよい。

20

【0061】

いくつかの態様にしたがうと、複数の送信からのデータを単一のDSM中で組み合わせることができる。たとえDSMが一杯でない場合でも、データは、いったんDSM中に記憶されると、他のレイヤに渡されてもよい。加えて、データは、DSMユニットの終わりに追加されてもよい。

30

【0062】

典型的に、データが受信されたとき、ヘッダおよびペイロードは互いに分離されない。むしろ、ヘッダおよびペイロードは、典型的に、一緒に記憶される。しかしながら、パケットをどのように処理するかについての、大部分の決定は、パケットヘッダだけにに基づいている。本装置および方法の、いくつかの態様にしたがうと、ヘッダのみをレイヤからレイヤに移動させることができる。したがって、処理する必要があるときのみ、ペイロードを移動させることができ、したがって、ペイロードデータのコヒーレンシーとキャッシュ効率とを改善させ、バスの利用を減少させる。

【0063】

典型的なワイヤレスデバイスでは、メインプロセッサが、すべてのモデム関連機能性を取り扱う。図13は、典型的なコンフィギュレーションを図示しているブロック図である。メインプロセッサ1304は、複数のバス1306を通して、ハードウェア1308に通信可能に結合されている。ハードウェア1308によって演算されるデータを記憶するために、メモリ1302が提供されている。動作において、メインプロセッサ1304がハードウェア1308に対して命令を発行するときはいつでも、命令は、複数のバス1306を横切らなければならない。さらには、ハードウェア1308は、それぞれの命令を完了した後に、メインプロセッサ1304に戻すようにソフトウェア割込を発行しなければならない。バスを横切ってソフトウェア割込を発行することは、実質的な処理待ち時間を増大させる。

40

50

【0064】

さまざまな例示的な態様にしたがうと、ハードウェアの近くに位置するミニプロセッサを提供してもよい。これにより、待ち時間が減少する。図14は、このようなコンフィギュレーションを図示しているブロック図である。メインプロセッサ1404は、複数のバス1406を通して、ハードウェア1408に通信可能に結合されている。ハードウェア1408によって処理されたデータを記憶させるために、メモリ1402が提供されている。

【0065】

ハードウェア1408の至近距離に、ミニプロセッサ1410が提供されている。ミニプロセッサ1410は、メインプロセッサ1404と同じメモリ1402へのアクセスを有している柔軟にプログラム可能なプロセッサであってもよい。ハードウェア1408と直接的に対話するように、ミニプロセッサ1410をプログラミングしてもよい。ヘッダ抽出、暗号化、解読、データ移動、連続的な記憶、IPフィルタリング、ヘッダ挿入、PPPフレーミング、および／または他のタスクのような、タスクを実行するようにハードウェア1408に指示するように、ミニプロセッサ1410をプログラミングしてもよい。

【0066】

いくつかの態様にしたがうと、ワイヤレスデバイスにおいて新しい情報が受信されたとき、メインプロセッサ1404が、データを処理するのを開始するように、そしてハードウェア1408による処理の後に、その結果をメモリ1402の中に記憶させるように、ミニプロセッサ1410に指示してもよい。したがって、ハードウェアは、それぞれのタスクの後に、もはや、メインプロセッサ1414に戻すように割り込みをかける必要はない。加えて、ミニプロセッサ1410は、プログラム可能であるので、処理要件の変更がある場合には、容易に再プログラム化することができる。例えば、エアインターフェースの変更がある場合には、または、新しいプロトコルリリースが利用可能である場合には、変更を実現するようにミニプロセッサ1410を再プログラミングすることができる。

【0067】

図14中で図示されているコンフィギュレーションにしたがうと、待ち時間が、純粋なソフトウェアインプリメンテーションと比較して減少する。加えて、割込と、メモリアクセスと、バス待ち時間とを減少させることができる。さらには、純粋なソフトウェアアプリケーション中よりもハードウェアメモリの近くにミニプロセッサが実現できるとき、電力消費を減らすことができる。

【0068】

いくつかの態様にしたがうと、メインプロセッサおよびミニプロセッサの両方は、1つ以上の専用ハードウェアブロックへのアクセスを有していてもよい。これを図15中に図示している。メインプロセッサ1502およびミニプロセッサ1504は、複数の専用ハードウェアブロックに通信可能にそれぞれ結合されている。複数の専用ブロックは、第1のハードウェアブロック1506と、第2のハードウェアブロック1508と、第3のハードウェアブロック1510とを含む。ハードウェアブロックは、例えば、ハードウェアアクセラレータ、データムーバー、暗号化エンジン、解読エンジン、および／または他の何らかの専用ハードウェアブロックを含んでいてもよい。

【0069】

メインプロセッサ1502およびミニプロセッサ1504は、ハードウェアブロック1504と、1506と、1508とのうちの異なる1つにそれぞれ同時にアクセスしてもよい。このことは、並列処理を可能にする。例えば、メインプロセッサ1502は、解読専用であってもよい第1のハードウェアブロック1506にアクセスするように構成してもよい一方で、ミニプロセッサ1504は、暗号化専用であってもよい第2のハードウェアブロック1508に同時にアクセスするように構成してもよい。このように、アップリンクおよびダウンリンク処理が、同時に生じることがある。

【0070】

(図15中で図示されているミニプロセッサ1504のような)ミニプロセッサが、複雑なタスクを取り扱うことができないことがある。例えば、パケットの再送信を扱う際に、シーケンス番号がロールオーバーしたときを決定する際に関係する複雑なロジックが存在する。いくつかの態様にしたがうと、メインプロセッサは、ミニプロセッサに対するバックアップとして機能し、ミニプロセッサによって適切に取り扱うことができないこれらの複雑なタスクを取り扱うように構成してもよい。図16は、このような複雑な論理を取り扱うためのプロセスを図示しているフローチャートである。

【0071】

1602において図示されているように、プロセスは、ミニプロセッサが、処理すべきデータを受信したときに開始する。いくつかの態様にしたがうと、予め規定された処理方法を使用して、あるタイプのタスクを常に処理するように、ミニプロセッサをプログラミングしてもよい。したがって、1604において図示されているように、第1の処理方法を使用して、データを処理するようにハードウェアに命令するようにミニプロセッサを構成してもよい。例えば、シーケンス番号がロールオーバーすべきか否かを決定するケースでは、シーケンス番号はロールオーバーしないと常に仮定するようにミニプロセッサを構成してもよい。

【0072】

1606において図示されているように、メインプロセッサが、ハードウェアによって処理されたデータを受け取る。メインプロセッサはまた、どのようにデータが処理されたかの表示を受け取ってもよい。1608において図示されているように、データが正しく処理されたか否かを、メインプロセッサが決定する。データが正しく処理されたことが決定された場合には、1610において図示されているように、メインプロセッサは、そのデータを、メモリのようなその宛先に単に転送する。しかしながら、データが正しく処理されなかったことをメインプロセッサが検出した場合、1612において図示されているように、メインプロセッサは、ハードウェアによって実行されるアクションをリバースし、そのデータを正しく処理するようにハードウェアを再プログラミングすることができる。

【0073】

典型的なデータ移動演算では、プロセッサは、移動させるべき、かなりの量のデータごとにコピータスクを実行するようにデータムーバーをプログラミングする。さまざまな例示的な態様にしたがうと、ハードウェアの近くに位置しているコピーエンジンが備えられていてもよい。図17は、コピーエンジンを組み込んでいるシステム1700のブロック図である。システム1700は、データムーバー1702と、メインメモリ1704と、コピーエンジン1710と、コピーエンジンメモリ1706と、ハードウェア1708とを備えている。コピーおよび／またはデータ移動演算を促進するためにハードウェア1708上に直接的に作用するように、コピーエンジン1710をプログラミングしてもよい。コピーエンジン1710が、コピーエンジン1710自体の専用メモリ1706と関係付けてもよく、この専用メモリ1706は、メインメモリ1704からのデータを記憶および取り出しすることに関係する待ち時間を減少させる。コピーエンジンメモリ1706からのデータをフェッチし、それを、メインメモリ1704中に記憶させるように、データムーバー1702をプログラミングしてもよい。

【0074】

コピーエンジンを備えることは、ビットレベル粒度がビットレベル幅でプロトコルをサポートすることを可能にする。加えて、単一のプログラミングタスクを使用しての、均一に散在されている宛先位置への、均一に散在されているソースデータのコピーを可能にすることによって、プログラミングオーバーヘッドを減少させることができる。さらには、例えば、ヘッダ抽出や、挿入や、データ連結またはセグメント化や、バイト／ワード整理とともに、データ操作に対する通常のデータムーバータスクのような、ソフトウェアによって使用される任意のタイプの動作に対してコピーエンジンを使用してもよい。

【0075】

10

20

30

40

50

いくつかの態様にしたがうと、単一のタスク中に、複数の P D U からのデータをコピーするように、コピーエンジン 1 7 1 0 をプログラミングしてもよい。図 1 8 中で図示されているように、データフレームは、それぞれが、ヘッダ (H 1、H 2、および H 3) と、ペイロード (P 1、P 2、P 3) とを含んでいる複数の P D U を含んでいてもよい。ヘッダとペイロードのサイズはアプリアリに知られていてもよく、これらのサイズを知るようにコピーエンジンをプログラミングしてもよい。例えば、図 1 8 中で図示されているように、ヘッダ 1 8 0 2 のようなすべてのヘッダは、サイズ X のものであってもよい一方で、ペイロード 1 8 0 4 のようなすべてのペイロードは、サイズ Y のものであってもよい。ヘッダおよびペイロードサイズの知識に基づいて、単一のタスク中に、N 個のヘッダまたは N 個のペイロードをコピーするように、コピーエンジンをプログラミングしてもよい。

10

【0076】

ここで開示した実施形態に関連して記述した、さまざまな例示的な、論理、論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタルシグナルプロセッサ (D S P)、特定用途向け集積回路 (A S I C)、フィールドプログラマブルゲートアレイ (F P G A)、あるいは他のプログラマブルロジックデバイス、ディスクリートゲートまたはトランジスタロジック、ディスクリートハードウェアコンポーネント、あるいは、ここで記述した機能を実行するように設計されているこれらの任意の組み合わせで実現しても、あるいは、実行してもよい。汎用プロセッサはマイクロプロセッサであってもよいが、代替実施形態では、プロセッサは、何らかの従来のプロセッサ、制御装置、マイクロ制御装置、または状態機械であってもよい。プロセッサはまた、コンピューティングデバイスの組

20

【0077】

さらに、ここに開示した態様に関連して記述した方法またはアルゴリズムの、ステップおよび／またはアクションは、直接、ハードウェアで、プロセッサにより実行されるソフトウェアモジュールで、あるいは、2つのものを組み合わせたもので具体化してもよい。ソフトウェアモジュールは、R A M メモリ、フラッシュメモリ、R O M メモリ、E P R O M メモリ、E E P R O M メモリ、レジスタ、ハードディスク、リムーバブルディスク、C D - R O M、あるいは技術的に知られている他の何らかの形態の記憶媒体中に存在していてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるようにプロセッサに結合させてもよい。代替実施形態では、記憶媒体はプロセッサと一体化してもよい。さらに、いくつかの態様では、プロセッサおよび記憶媒体は、A S I C 中に存在していてもよい。加えて、A S I C は、ユーザ端末中に存在していてもよい。代替実施形態では、プロセッサおよび記憶媒体は、ユーザ端末において、ディスクリートコンポーネントとして存在していてもよい。加えて、いくつかの態様では、方法またはアルゴリズムのステップおよび／またはアクションは、コンピュータプログラムプロダクトの中に組み込まれていてもよい、機械読み取り可能媒体および／またはコンピュータ読み取り可能媒体上で、1つまたは任意の組み合わせ、あるいは、1つまたは任意のセットのコードおよび／または命令として存在していてもよい。

30

40

【0078】

1つ以上の態様では、記述した機能は、ハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組み合わせ中で実現してもよい。ソフトウェア中で実現した場合、機能は、1つ以上の命令またはコードとしてコンピュータ読み取り可能媒体上に記憶させてもよく、あるいは、1つ以上の命令またはコードとしてコンピュータ読み取り可能媒体上に送信されてもよい。コンピュータ読み取り可能媒体は、1つの場所から別の場所へのコンピュータプログラムの転送を促進する何らかの媒体を含む、コンピュータ記憶媒体および通信媒体の双方を含む。記憶媒体は、コンピュータによってアクセスできる何らか

50

の利用可能な媒体であってもよい。例示によると、このようなコンピュータ読み取り可能媒体は、RAM、ROM、EEPROM、CD-ROM、または他の光ディスク記憶デバイス、磁気ディスク記憶デバイス、または他の磁気記憶デバイス、あるいは命令またはデータ構成の形態で所望のプログラムコードを伝送または記憶するために使用でき、コンピュータによってアクセスできる他の何らかの媒体を含むことができるが、これらに限定されない。また、あらゆる接続は、コンピュータ読み取り可能媒体と呼ばれることがある。例えば、ソフトウェアが、ウェブサイトから、サーバから、あるいは同軸ケーブル、ファイバ光ケーブル、撚り対、デジタル加入者線(DSL)、または赤外線、無線、マイクロ波のようなワイヤレス技術を使用している他の遠隔ソースから送信された場合、同軸ケーブル、ファイバ光ケーブル、撚り対、DSL、あるいは赤外線、無線、およびマイクロ波のようなワイヤレス技術は、媒体の定義に含まれる。ここで使用したようなディスク(diskおよびdisc)は、コンパクトディスク(CD)、レーザディスク、光ディスク、デジタル汎用ディスク(DVD)、フロッピー(登録商標)ディスク、およびブルーレイ(登録商標)ディスクを含むが、ディスク(disk)は、一般的に、データを磁氣的に再生する一方で、ディスク(disc)は、一般的に、データをレーザによって光学的に再生する。先のものを組み合わせたものもまた、コンピュータ読み取り可能媒体の範囲内に含まれるべきである。

10

【0079】

先述した開示は、例示的な態様および／または実施形態を説明しているが、添付した特許請求の範囲によって規定したような、記述した態様および／または実施形態の範囲から逸脱することなく、ここで、さまざまな変更および改良を行うことができることに留意すべきである。さらに、記述した態様および／または実施形態のエLEMENTは単数で記述または主張されていることがあるが、単数形への限定が明示的に述べられていない限り、複数が企図されている。加えて、任意の態様および／または実施形態のすべて、あるいは、任意の態様および／または実施形態の一部は、特に明記がない限り、他の何らかの態様および／または実施形態のすべて、あるいは、他の何らかの態様および／または実施形態の一部により利用されてもよい。

20

【図 1】

図 1

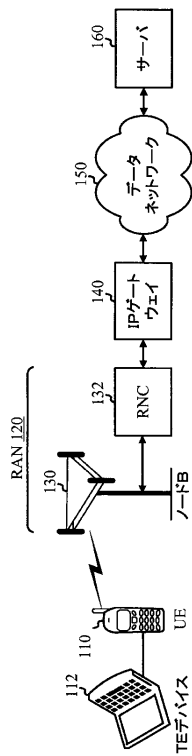


FIG. 1

【図 2】

図 2

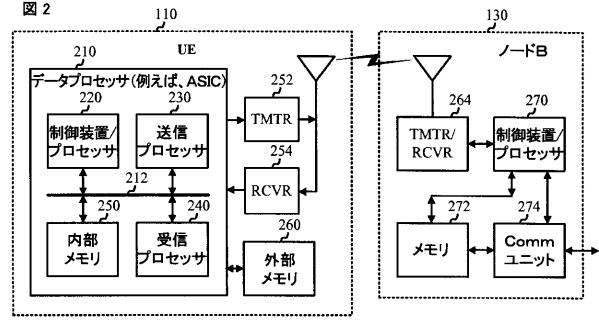


FIG. 2

【図 3】

図 3

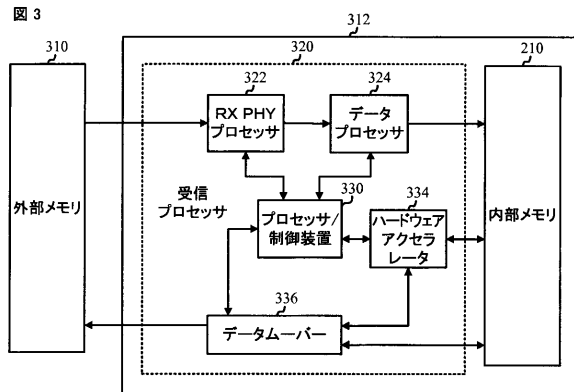
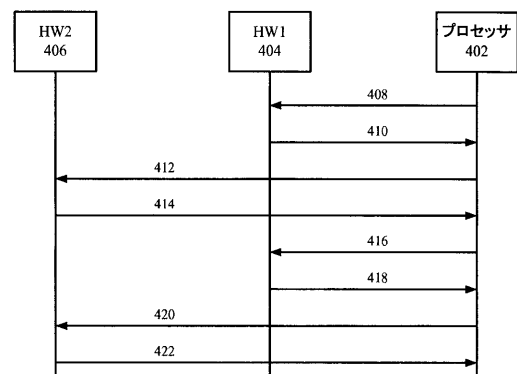


FIG. 3

【図 4】

図 4

FIG. 4
(先行技術)

【図 5】

図 5

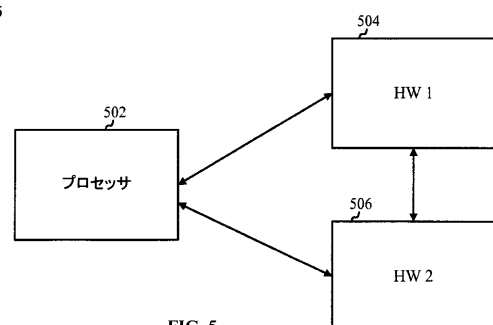


FIG. 5

【図 6】

図 6

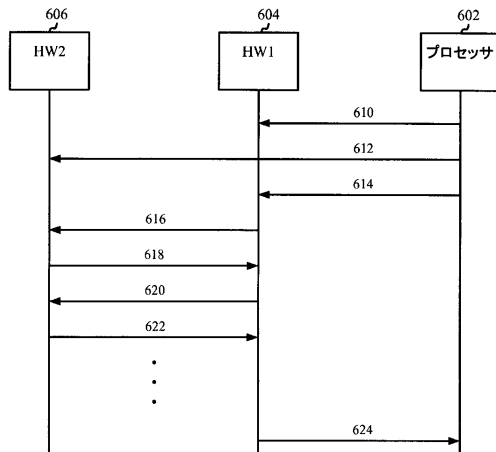


FIG. 6

【図 7】

図 7

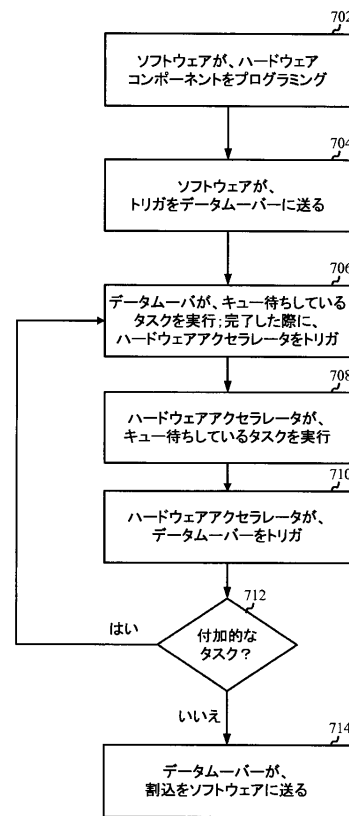


FIG. 7

【図 8】

図 8

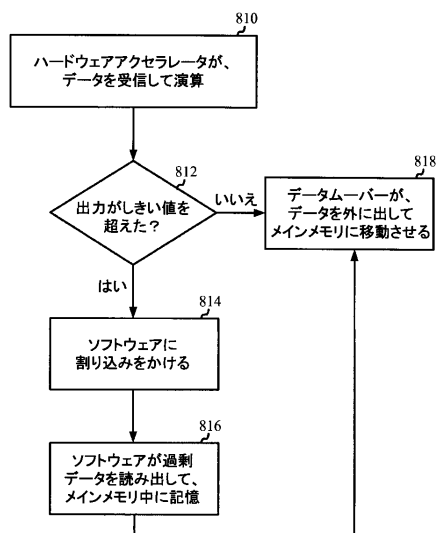


FIG. 8

【図 9】

図 9

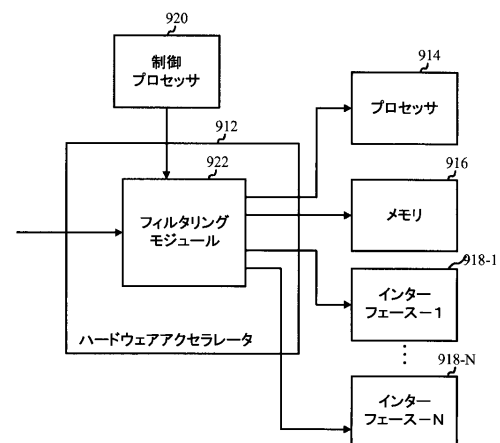


FIG. 9

【図 10】

図 10

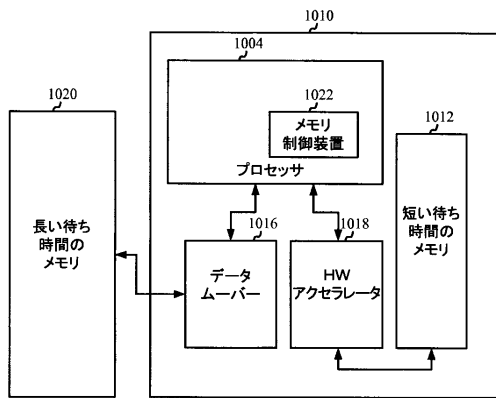


FIG. 10

【図 11】

図 11

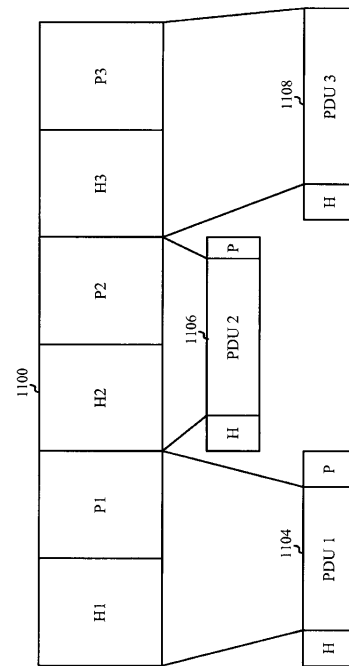


FIG. 11

【図 12】

図 12

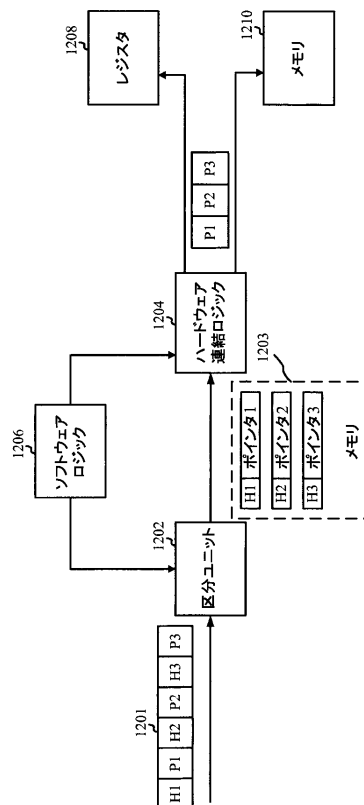


FIG. 12

【図 13】

図 13

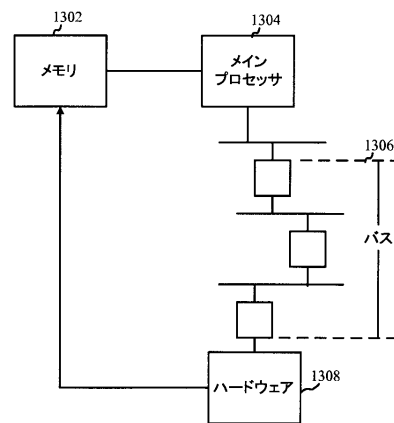
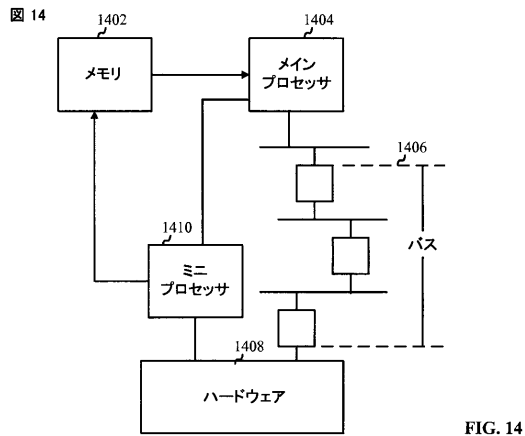
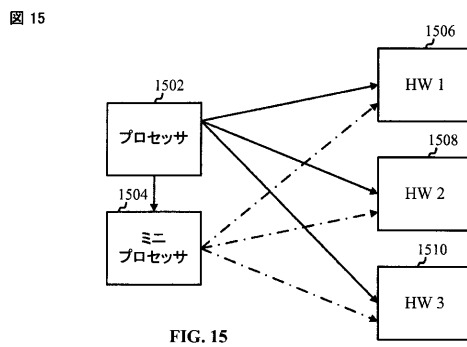


FIG. 13

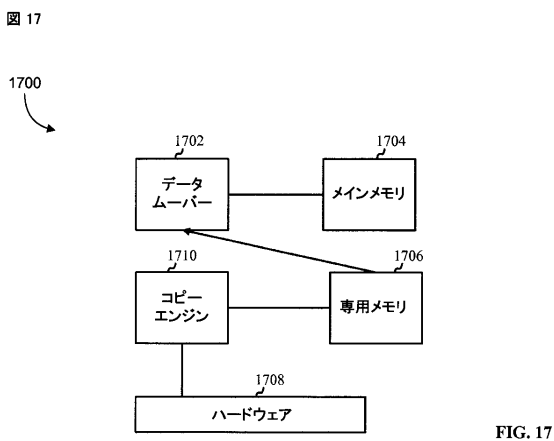
【図 14】



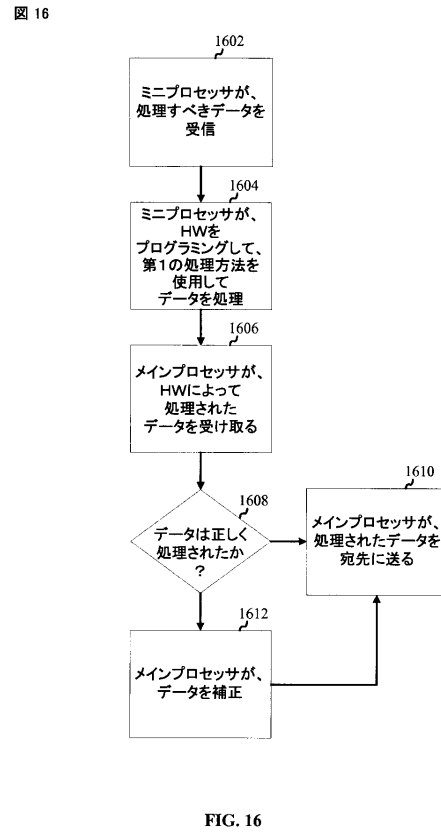
【図 15】



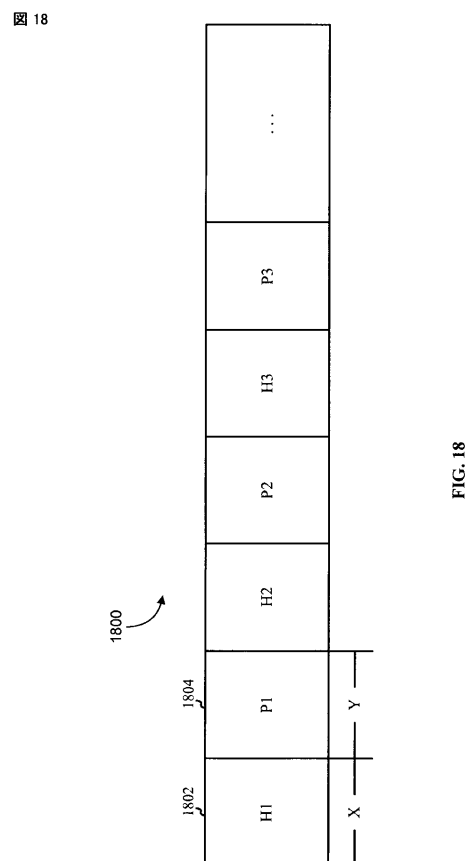
【図 17】



【図 16】



【図 18】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2010/045520

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/50 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 691 288 A2 (BROADCOM CORP [US]) 16 August 2006 (2006-08-16) * abstract paragraph [0009] - paragraph [0019] paragraph [0042] - paragraph [0046]	1-17
A	US 2005/262344 A1 (HEPLER EDWARD L [US] ET AL) 24 November 2005 (2005-11-24) the whole document	1-17
A	US 2009/150135 A1 (CRESSMAN DAVID C [US]) 11 June 2009 (2009-06-11) the whole document	1-17
A	EP 1 313 011 A2 (APLIX CORP [JP]) 21 May 2003 (2003-05-21) the whole document	1-17
-/--		
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 9 November 2010		Date of mailing of the international search report 22/11/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Dewyn, Torkild

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2010/045520

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/088498 A1 (ACCAPADI JOS MANUEL [US] ET AL) 6 May 2004 (2004-05-06) the whole document	1-17
A	US 2007/005925 A1 (BURKLEY PAUL [IE] ET AL) 4 January 2007 (2007-01-04) the whole document	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2010/045520

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1691288	A2	16-08-2006	US 2008276062 A1	06-11-2008
			US 2006184762 A1	17-08-2006
US 2005262344	A1	24-11-2005	AR 049693 A1	30-08-2006
			AR 065977 A2	15-07-2009
			AU 2005332284 A1	11-01-2007
			AU 2008207639 A1	25-09-2008
			AU 2009202654 A1	30-07-2009
			BR PI0511205 A	27-11-2007
			CA 2567818 A1	08-12-2005
			EP 1751909 A2	14-02-2007
			JP 2008500638 T	10-01-2008
			KR 20090085685 A	07-08-2009
			SG 145709 A1	29-09-2008
			US 2010088529 A1	08-04-2010
			WO 2005117329 A2	08-12-2005
US 2009150135	A1	11-06-2009	NONE	
EP 1313011	A2	21-05-2003	AT 381059 T	15-12-2007
			CN 1419191 A	21-05-2003
			DE 60223990 T2	04-12-2008
			US 2003084431 A1	01-05-2003
US 2004088498	A1	06-05-2004	AU 2003267660 A1	25-05-2004
			EP 1573533 A2	14-09-2005
			WO 2004040448 A2	13-05-2004
			JP 2006515444 T	25-05-2006
			KR 20050056221 A	14-06-2005
			TW 238967 B	01-09-2005
US 2007005925	A1	04-01-2007	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 コーレンツ、マティアス
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 ミア、アイドリウス
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 カン、イルファン・アンワー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 サチャナラヤン、マドフスダン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 マヘシュワリ、シャイレシュ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7

7 5

(72)発明者 クリシュナムーアシー、スリビジャ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 ウルガオンカー、サンディーブ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 クリンゲンブラン、トマス
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 リオウ、ティム・ティンフェイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

F ターム(参考) 5B060 MM03