

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年6月20日(2013.6.20)

【公開番号】特開2013-12208(P2013-12208A)

【公開日】平成25年1月17日(2013.1.17)

【年通号数】公開・登録公報2013-003

【出願番号】特願2012-173238(P2012-173238)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 9/52 (2006.01)

【F I】

G 06 F 12/00 5 7 2 A

G 06 F 9/46 4 7 2 Z

【手続補正書】

【提出日】平成25年4月26日(2013.4.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

共有メモリへの排他的アクセスのためにセマフォ予約をクリアする方法であって、
前記共有メモリに関連付けられたセマフォメモリ領域に対してセマフォ予約状態を設定
すること、

前記セマフォメモリ領域を更新するために書き込み要求を送信することと、

前記書き込み要求が前記セマフォメモリ領域を更新することを妨げることと、

前記書き込み要求に応答して、前記セマフォ予約状態をクリアする

ことを含む方法。

【請求項2】

前記書き込み要求が前記セマフォメモリ領域を更新することを妨げることは、前記書き
込み要求が前記セマフォメモリ領域を更新することを妨げる制御信号を送信すること含む
、請求項1記載の方法。

【請求項3】

前記制御信号は、書き込みバイトイネーブルを含む、請求項2記載の方法。

【請求項4】

データバスは、複数のバイトトレーンに亘り前記共有メモリへデータを送信するために与
えられ、前記データバス上の全バイトトレーンをディスエーブルするように前記書き込みバ
イトイネーブルを設定することによって、前記セマフォメモリ領域の内容は1つ以上の処
理構成要素によって更新されることを妨げる、請求項3記載の方法。

【請求項5】

前記セマフォ予約状態は、複数の処理構成要素からの特定の処理構成要素に関連付けら
れ、前記書き込み要求は、前記特定の処理構成要素から送信される、請求項4記載の方法
。

【請求項6】

制御装置は、複数の処理構成要素の各自に対するセマフォ予約状態を含み、前記書き込
み要求は、前記書き込み要求を送信した前記処理構成要素に対してのみ前記制御装置の前
記予約状態の変更を行う請求項5記載の方法。

【請求項 7】

複数の処理構成要素と、

前記複数の処理構成要素によって共有し得る共有メモリ領域および前記共有メモリ領域の排他的書き込みアクセスの使用可能性を示すセマフォメモリ領域を含むメモリと、

セマフォ予約状態を維持する制御装置と、を具備し、前記制御装置の予約状態は、データが前記セマフォメモリ領域に書き込まれることなく、前記複数の処理構成要素の1つから前記セマフォメモリ領域を更新するために書き込み要求に応答してクリアされる、処理システム。

【請求項 8】

前記複数の処理構成要素の前記1つは、制御信号を前記書き込み要求と共に前記制御装置に送信することによって、前記書き込み要求が前記セマフォメモリ領域を更新することを妨げる、請求項7記載の処理システム。

【請求項 9】

前記制御信号は、書き込みバイトイネーブルを含む、請求項8記載の処理システム。

【請求項 10】

前記複数の処理構成要素と前記制御装置との間にデータバスをさらに含み、前記データバスは複数のバイトレーンを有し、前記複数の処理構成要素の前記1つは、前記書き込みバイトイネーブルを前記データバス上のバイトレーンをディスエーブルするように前記書き込みバイトイネーブルを設定することによって、前記セマフォメモリ領域への書き込み要求中に、データが前記セマフォメモリ領域に書き込まれることを妨げる、請求項9記載の処理システム。

【請求項 11】

前記制御装置は、複数の処理構成要素の各々に対する予約状態を含み、前記書き込み要求は、前記書き込み要求を送信した前記処理構成要素に対してのみ前記制御装置の前記予約状態の変更を行う請求項8記載の処理システム。

【請求項 12】

複数の処理構成要素と、

前記複数の処理構成要素によって共有されることができる共有メモリ領域および前記共有メモリ領域の排他的書き込みアクセスの使用可能性を示すセマフォメモリ領域を含むメモリと、

セマフォ予約状態を維持する制御装置とを含み、

前記処理構成要素の各々は、セマフォ予約状態をセマフォメモリ領域に書き込むことなくクリアするセマフォメモリ領域に書き込み要求を送信するように構成されている、処理システム。

【請求項 13】

前記処理構成要素の各々は、制御信号を前記書き込み要求と共に前記制御装置に送信することによって、前記書き込み要求が前記セマフォメモリ領域を更新することを妨げるよう構成されている、請求項12記載の処理システム。

【請求項 14】

前記制御信号は、書き込みバイトイネーブルを含む、請求項13記載の処理システム。

【請求項 15】

前記複数の処理構成要素と前記制御装置との間にデータバスをさらに含み、前記データバスは複数のバイトレーンを有し、前記処理構成要素の各々は、前記データバス上の全バイトレーンをディスエーブルするように前記書き込みバイトイネーブルを設定することによって、前記セマフォメモリ領域への書き込み要求中に、データが前記セマフォメモリ領域に書き込まれることを妨げるようさらに構成されている請求項14記載の処理システム。

【請求項 16】

前記制御装置は、前記処理構成要素の各々に対する予約状態を含み、前記書き込み要求は、前記書き込み要求を送信した前記処理構成要素に対してのみ前記制御装置の前記予約

状態の変更を行う請求項 1 3 記載の処理システム。