

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年2月12日(12.02.2015)



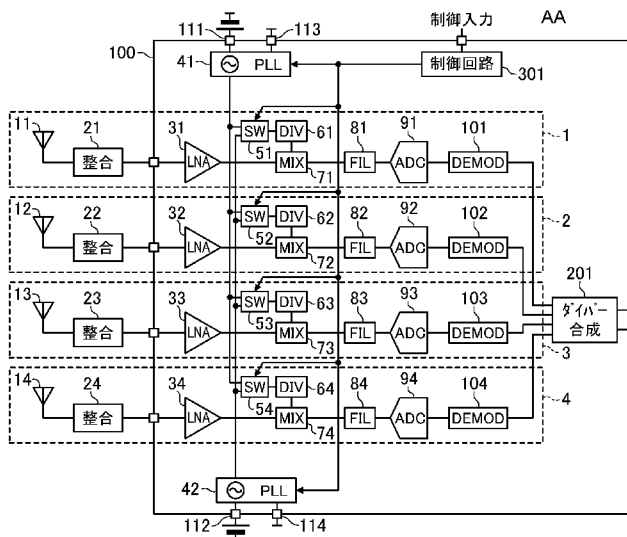
(10) 国際公開番号
WO 2015/019524 A1

- (51) 国際特許分類:
H04B 7/08 (2006.01) *H04B 1/16* (2006.01)
- (21) 国際出願番号: PCT/JP2014/002142
- (22) 国際出願日: 2014年4月15日(15.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-163435 2013年8月6日(06.08.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 大原 淳史(OHARA, Atsushi). 細川 嘉史(HOSOKAWA, Yoshifumi). 奥村 佳弘(OKUMURA, Yoshihiro).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DIVERSITY RECEPTION CIRCUIT

(54) 発明の名称: ダイバーシティ受信回路



21, 22, 23, 24 Matching
201 Diversity combination
301 Control circuit
AA Control input

(57) Abstract: A diversity reception circuit which produces composite outputs (TS1, TS2) on the basis of the signals received by a plurality of antennas (11—14), said diversity reception circuit being provided with a plurality of PLLs (41, 42), each of which outputs a local oscillation signal, a plurality of mixers (71—74), each of which converts a high frequency received signal to a low frequency signal, and switch circuits (51—54), each of which is provided between a respective one of the plurality of mixers (71—74) and the plurality of PLLs (41, 42) and selects and delivers one of the outputs from the plurality of PLLs (41, 42) to the respective one of the plurality of mixers (71—74).

(57) 要約: 複数のアンテナ (11～14) でそれぞれ受信した信号をもとに合成出力 (TS1, TS2) を得るダイバーシティ受信回路において、各々局部発振信号を出力する複数のPLL (41, 42) と、各々高周波受信信号を低周波信号に変換する複数のミキサ (71～74) と、各ミキサ (71～74) の前にて複数のPLL (41, 42) の出力のいずれかを選択して当該各ミキサ (71～74) へ供給するスイッチ回路 (51～54) とを設ける。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：ダイバーシティ受信回路

技術分野

[0001] 本発明は、ダイバーシティ受信回路に関するものである。

背景技術

[0002] 例えば車載のテレビチューナにおいて、受信状態が時々刻々と変化する走行中においても安定して放送波を受信できるように、複数のアンテナから放送波を受信してその信号を合成するダイバーシティ受信の技術が知られている（特許文献1～3参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開平9－284191号公報

特許文献2：特開2006－197168号公報

特許文献3：特開2007－074605号公報

発明の概要

発明が解決しようとする課題

[0004] 例えば4つのチューナを1チップのモノリシック半導体回路に集積する場合に、ダイバーシティ受信回路中の各ブランチに独立したPLL（phase-locked loop）を局部発振部として設けることとすると、4つのPLLを1チップ上に集積することになる。この場合には、個々のPLLが比較的大きな面積を占めるので、チップ面積が大きくなる。また、発振周波数が互いに近似する複数のPLL間の干渉が生じる結果、スプリアスやノイズが増加し、受信感度の劣化等のリスクが増大する。

[0005] 一方、単純に複数ブランチでPLLを共有する構成では、PLLを共有するブランチの周波数が同一に固定されるため、自由度が低い。

[0006] 本発明の目的は、スプリアスやノイズを低減し、受信感度等の性能を向上できる小面積のダイバーシティ受信回路を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、複数のアンテナでそれぞれ受信した信号をもとに合成出力を得るダイバーシティ受信回路において、各々局部発振信号を出力する複数の局部発振部と、各々高周波受信信号を低周波信号に変換する複数の周波数変換部と、当該複数の周波数変換部のうちの少なくとも1つの周波数変換部の前にて複数の局部発振部の出力のいずれかを選択して当該周波数変換部へ供給するスイッチ回路とを備えることとしたものである。

発明の効果

[0008] 本発明に係るダイバーシティ受信回路は、各ブランチに独立した局部発振部を備える構成と比べ、回路面積を削減でき、かつ干渉によるスプリアスやノイズを低減し、受信感度等の性能を向上できる。また、スイッチ回路の切り替えにより局部発振部の選択を柔軟に行えるので、高い自由度が得られる。

図面の簡単な説明

[0009] [図1]本発明の第1の実施形態に係るダイバーシティ受信回路の構成を示すブロック図である。

[図2]図1のダイバーシティ受信回路における状態遷移の一例を示す図である。

[図3]図1中のスイッチ回路の詳細構成例を示す回路図である。

[図4]図1中のスイッチ回路の他の詳細構成例を示す回路図である。

[図5]図1中のスイッチ回路の更に他の詳細構成例を示す回路図である。

[図6]図1のダイバーシティ受信回路における電源配線及び接地配線の例を示す回路図である。

[図7]図1のダイバーシティ受信回路における電源配線及び接地配線の他の例を示す回路図である。

[図8]図1のダイバーシティ受信回路における電源配線及び接地配線の更に他の例を示す回路図である。

[図9]図1のダイバーシティ受信回路における状態遷移の他の例を示す図である。

[図10]図1のダイバーシティ受信回路における状態遷移の更に他の例を示す図である。

[図11]図1のダイバーシティ受信回路の変形例を示すブロック図である。

[図12]図11のダイバーシティ受信回路における電源配線及び接地配線の例を示す回路図である。

[図13]図11のダイバーシティ受信回路における電源配線及び接地配線の他の例を示す回路図である。

[図14]本発明の第2の実施形態に係るダイバーシティ受信回路の構成を示すブロック図である。

[図15]図14のダイバーシティ受信回路における状態遷移の一例を示す図である。

発明を実施するための形態

[0010] 以下、本発明の実施形態を図面に基づいて詳細に説明する。

[0011] 《第1の実施形態》

図1は、本発明の第1の実施形態に係るダイバーシティ受信回路の構成を示すブロック図である。図1のダイバーシティ受信回路は、4本のアンテナ11～14でそれぞれ受信した信号をもとに合成出力TS1, TS2を得るように、テレビチューナ用のモノリシック半導体回路100として構成されている。アンテナ11～14から入力された高周波受信信号は、整合回路21～24によって整合され、モノリシック半導体回路100に入力される。モノリシック半導体回路100では、整合された高周波信号が最初にLNA (low noise amplifier) 31～34で増幅される。一方、第1及び第2のPLL 41, 42で作成された局部発振信号は、スイッチ回路(SW) 51～54で選択され、分周回路(DIV) 61～64でそれぞれ分周される。LNA 31～34の出力は、分周回路61～64の出力により、ミキサ(MIX) 71～74にて低周波信号へと変換され、フィルタ(FIL) 81～8

4で帯域制限され、ADC (analog-to-digital converter) 91～94にてデジタル信号に変換され、復調回路 (DEMOD) 101～104にて復調され、ダイバー合成回路201にてダイバー合成され、トランスポートストリーム信号TS1, TS2として出力される。制御回路301は、制御入力に基づいてモノリシック半導体回路100の各ブロックを制御するが、図1では簡略化のため特に本発明に関する第1及び第2のPLL41, 42並びにスイッチ回路51～54への制御のみ記載している。また、アンテナ11、整合回路21、LNA31、スイッチ回路51、分周回路61、ミキサ71、フィルタ81、ADC91、復調回路101により構成される部分をブランチ1とし、以下同様にしてブランチ2～4とする。

[0012] 第1のPLL41の電源及び接地と、第2のPLL42の電源及び接地とは、互いに分離されている。図1において、111は第1のPLL41の電源パッド、112は第2のPLL42の電源パッド、113は第1のPLL41の接地パッド、114は第2のPLL42の接地パッドである。

[0013] このように、第1の実施形態においては、スイッチ回路51～54を有するため、第1及び第2のPLL41, 42のどちらか任意出力を分周回路61～64を介してミキサ71～74へ伝達することができる。

[0014] 例えば、アンテナ11～14から $f_{RF1} = 473\text{MHz}$ と $f_{RF2} = 707\text{MHz}$ との信号が入力されたとする。分周回路61～64は4分周の機能を有し、第1のPLL41は 707MHz の4倍の $f_{PLL1} = 2828\text{MHz}$ の信号を出力し、第2のPLL42は 473MHz の4倍の $f_{PLL2} = 1892\text{MHz}$ の信号を出力するものとする。ここで、3つのスイッチ回路51, 52, 53は第1のPLL41の出力を選択し、1つのスイッチ回路54は第2のPLL42の出力を選択するとすると、

ミキサ71～73の出力は、 $f_{RF2} = 707\text{MHz}$ に対し、

$$|f_{RF2} - f_{PLL1}/4| = |707 - 2828/4| = 0$$

となり、DC付近に変換される。

[0015] 一方、 $f_{RF1} = 473\text{MHz}$ に対しては、

$$|f_{RF1} - f_{PLL1}/4| = |473 - 2828/4| = 234 \text{ MHz}$$

となり、フィルタ81～83のカットオフ周波数を例えば3MHzとすると、 f_{RF1} を周波数変換した成分は減衰し、 f_{RF2} を周波数変換した成分のみをADC91～93に伝達し、復調回路101～103で復調し、ダイバー合成回路201にて合成する。

[0016] 同様にして、ミキサ74の出力は、 $f_{RF1} = 473 \text{ MHz}$ に対し、

$$|f_{RF1} - f_{PLL2}/4| = |473 - 1892/4| = 0$$

となり、DC付近に変換される。

[0017] 一方、 $f_{RF2} = 707 \text{ MHz}$ に対しては、

$$|f_{RF2} - f_{PLL2}/4| = 707 - 1892/4 = 234 \text{ MHz}$$

となり、フィルタ84のカットオフ周波数が3MHzのとき、 f_{RF2} を周波数変換した成分は減衰し、 f_{RF1} を周波数変換した成分のみをADC94に伝達し、復調回路104で復調され、ダイバー合成回路201に入力される。

[0018] ダイバー合成回路201では、このようにして $f_{RF2} = 707 \text{ MHz}$ を変換・復調・合成した信号をTS1として出力し、 $f_{RF1} = 473 \text{ MHz}$ を変換・復調した信号をTS2として出力する。

[0019] 図2は、図1のダイバーシティ受信回路における状態遷移の一例を示す図である。例えばメイン画面を視聴しながら他の系列局をサーチする、といった使い方の場合、図1のダイバーシティ受信回路では、スイッチ回路51～54において第1及び第2のPLL41, 42を任意に選択できる。したがって、例えばブランチ3の感度が他のブランチに比べて悪い場合、ブランチ1、2、4を第1のPLL41で選局しTS1として出力し、メインの画面にしたまま、ブランチ3を第2のPLL42で選局し、TS2で出力し、他局のサーチ用に用いる、といった使用法が可能である（状態（2））。

[0020] その後、また、ブランチ1、2、4で視聴していたTS1出力のメイン視聴画面の感度が悪くなってきて、ブランチ3のTS2でのサーチが完了し、

TS 2 側の感度が上がってくると、全てをTS 2 側のチャンネルに変更することができる（状態（４）→状態（５））。このとき、スイッチ回路5 1～5 4 が全て第2のPLL 4 2を選択するようにすれば、第1のPLL 4 1にて周波数設定をやり直すのではなく、第2のPLL 4 2の出力をそのまま用いることができ、サーチ動作選局の切替も円滑にできるメリットを有する。

[0021] 図3は、図1中のスイッチ回路5 1の詳細構成例を示す回路図である。他のスイッチ回路5 2～5 4も図3と同様である。図3のスイッチ回路5 1は、第1のPLL 4 1の出力と分周回路6 1の入力との間に挿入された1段のトランスファークゲートと、第2のPLL 4 2の出力と分周回路6 1の入力との間に挿入された1段のトランスファークゲートとで構成される。前者のトランスファークゲートは、バックゲートが電源VDDAに接続されたPMOSトランジスタMP 1と、バックゲートが接地VSSAに接続されたNMOSトランジスタMN 1とからなる。後者のトランスファークゲートは、バックゲートが電源Vddbに接続されたPMOSトランジスタMP 2と、バックゲートが接地VSSBに接続されたNMOSトランジスタMN 2とからなる。

[0022] 図3の構成によれば、スイッチ回路5 1が第1のPLL 4 1の出力を選択しているとき、すなわちMP 1及びMN 1がオンのとき、MP 2及びMN 2がオフである。一方、スイッチ回路5 1が第2のPLL 4 2の出力を選択しているとき、すなわちMP 2及びMN 2がオンのとき、MP 1及びMN 1がオフである。

[0023] 図4は、図1中のスイッチ回路5 1の他の詳細構成例を示す回路図である。他のスイッチ回路5 2～5 4も図4と同様である。図4のスイッチ回路5 1は、第1のPLL 4 1の出力と分周回路6 1の入力との間の第1経路に挿入された2段のトランスファークゲートと、第2のPLL 4 2の出力と分周回路6 1の入力との間の第2経路に挿入された2段のトランスファークゲートとで構成される。第1経路にて、1段目のトランスファークゲートは、バックゲートが電源VDDAに接続されたPMOSトランジスタMP 1と、バックゲートが接地VSSAに接続されたNMOSトランジスタMN 1とからなり、

2 段目のトランスファークゲートは、バックゲートが電源 V_{DDA} に接続された PMOS トランジスタ MP 3 と、バックゲートが接地 V_{SSA} に接続された NMOS トランジスタ MN 3 とからなる。第 2 経路にて、1 段目のトランスファークゲートは、バックゲートが電源 V_{ddb} に接続された PMOS トランジスタ MP 2 と、バックゲートが接地 V_{SSB} に接続された NMOS トランジスタ MN 2 とからなり、2 段目のトランスファークゲートは、バックゲートが電源 V_{ddb} に接続された PMOS トランジスタ MP 4 と、バックゲートが接地 V_{SSB} に接続された NMOS トランジスタ MN 4 とからなる。また、第 1 経路にて、1 段目のトランスファークゲートと 2 段目のトランスファークゲートとの接続ノードは、NMOS トランジスタ MN 5 を介して接地 V_{SSA} に接続されている。更に、第 2 経路にて、1 段目のトランスファークゲートと 2 段目のトランスファークゲートとの接続ノードは、NMOS トランジスタ MN 6 を介して接地 V_{SSB} に接続されている。

[0024] 図 4 の構成によれば、例えば、スイッチ回路 5 1 が第 1 の PLL 4 1 の出力を選択しているとき、MP 1、MN 1、MP 3 及び MN 3 がオンとなり、MN 5 がオフとなって、第 1 の PLL 4 1 の出力が分周回路 6 1 に伝達される。一方、MP 2、MN 2、MP 4 及び MN 4 はオフであるが、MN 6 をオンさせることにより、非選択である第 2 の PLL 4 2 側の 2 段のトランスファークゲートの接続ノードを接地することができる。つまり、図 4 のスイッチ回路 5 1 は、非選択入力と出力との間のアイソレーション性能が確保できるように構成されており、これにより第 1 の PLL 4 1 の出力と第 2 の PLL 4 2 の出力との干渉を低減することができる。なお、3 段以上のトランスファークゲートを用いてもよい。

[0025] 図 5 は、図 1 中のスイッチ回路 5 1 の更に他の詳細構成例を示す回路図である。他のスイッチ回路 5 2 ~ 5 4 も図 5 と同様である。図 5 のスイッチ回路 5 1 は、第 1 の PLL 4 1 の出力と分周回路 6 1 の入力との間の第 1 経路に挿入された 2 段のトリスステートインバータ INV 1、INV 3 と、第 2 の PLL 4 2 の出力と分周回路 6 1 の入力との間の第 2 経路に挿入された

2 段のトリスステートインバータ I N V 2, I N V 4 とで構成される。第 1 経路上の 2 段のトリスステートインバータ I N V 1, I N V 3 は電源 V D D A 及び接地 V S S A に、第 2 経路上の 2 段のトリスステートインバータ I N V 2, I N V 4 は電源 V D D B 及び接地 V S S B にそれぞれ接続されている。また、第 1 経路にて、1 段目のトリスステートインバータ I N V 1 と 2 段目のトリスステートインバータ I N V 3 との接続ノードは、N M O S トランジスタ M N 5 を介して接地 V S S A に接続されている。更に、第 2 経路にて、1 段目のトリスステートインバータ I N V 2 と 2 段目のトリスステートインバータ I N V 4 との接続ノードは、N M O S トランジスタ M N 6 を介して接地 V S S B に接続されている。

[0026] 図 5 の構成によれば、例えば、スイッチ回路 5 1 が第 1 の P L L 4 1 の出力を選択しているとき、I N V 1 及び I N V 3 がオンとなり、M N 5 がオフとなって、第 1 の P L L 4 1 の出力が分周回路 6 1 に減衰することなく伝達される。一方、I N V 2 及び I N V 4 はオフであるが、M N 6 をオンさせることにより、非選択である第 2 の P L L 4 2 側の 2 段のトリスステートインバータ I N V 2, I N V 4 の接続ノードを接地することができる。つまり、図 5 のスイッチ回路 5 1 は、非選択入力と出力との間のアイソレーション性能が確保できるように構成されており、これにより第 1 の P L L 4 1 の出力と第 2 の P L L 4 2 の出力との干渉を低減することができる。なお、3 段以上のトリスステートインバータを用いてもよい。

[0027] 図 6 は、図 1 のダイバーシティ受信回路における電源配線及び接地配線の例を示す回路図である。図 6 に示すように、第 1 の P L L 4 1 と第 2 の P L L 4 2 との間の干渉を防ぐため、第 1 の P L L 4 1 の電源 V D D A 及び接地 V S S A と、第 2 の P L L 4 2 の電源 V D D B 及び接地 V S S B とは、互いに分離されている。スイッチ回路 5 1 ~ 5 2 及び分周回路 6 1 ~ 6 2 は V D D A 及び V S S A に固定的に接続され、スイッチ回路 5 3 ~ 5 4 及び分周回路 6 3 ~ 6 4 は V D D B 及び V S S B に固定的に接続される。

[0028] 図 7 は、図 1 のダイバーシティ受信回路における電源配線及び接地配線の

他の例を示す回路図である。図7によれば、第1のPLL41の電源VDDA及び接地VSSAと、第2のPLL42の電源VDDB及び接地VSSBとは、互いに分離されている。しかも、スイッチ回路51～54及び分周回路61～64の各々のために、VDDスイッチ51D～54Dと、VSSスイッチ51S～54Sとが設けられている。VDDスイッチ51D～54D及びVSSスイッチ51S～54Sは、対応するスイッチ回路により選択されているPLLに供給されている電源電圧又は接地電圧を、当該対応するスイッチ回路と分周回路とに供給するように、スイッチ回路51～54と連動するように制御される。例えば、スイッチ回路51が第1のPLL41の出力を選択しているとき、VDDスイッチ51Dは第1のPLL41のVDDAをスイッチ回路51及び分周回路61に接続し、VSSスイッチ51Sは第1のPLL41のVSSAをスイッチ回路51及び分周回路61に接続する。逆に、スイッチ回路51が第2のPLL42の出力を選択しているときには、VDDスイッチ51Dは第2のPLL42のVDDBをスイッチ回路51及び分周回路61に接続し、VSSスイッチ51Sは第2のPLL42のVSSBをスイッチ回路51及び分周回路61に接続する。これにより、スイッチ回路51～54の任意の選択状況に応じて常に適切な電源配線及び接地配線をスイッチ回路51～54及び分周回路61～64へ接続することができるので、第1のPLL41と第2のPLL42との間の干渉を効果的に防ぐことができる。

[0029] 図8は、図1のダイバーシティ受信回路における電源配線及び接地配線の更に他の例を示す回路図である。図8によれば、第1のPLL41の電源VDDA及び接地VSSAと、第2のPLL42の電源VDDB及び接地VSSBとは、互いに分離されている。しかも、ブランチ1のスイッチ回路51及び分周回路61は電源VDDC及び接地VSSCに、ブランチ2のスイッチ回路52及び分周回路62は電源VDDD及び接地VSSDに、ブランチ3のスイッチ回路53及び分周回路63は電源VDEE及び接地VSEEに、ブランチ4のスイッチ回路54及び分周回路64は電源VDDF及び接地

VSS Fにそれぞれ接続されており、第1のPLL 41のVDDA及びVSS A並びに第2のPLL 42のVDD B及びVSS Bから独立している。このようにスイッチ回路51～54及び分周回路61～64に独立した電源配線及び接地配線を用いることによっても、第1のPLL 41と第2のPLL 42との間の干渉を防ぐことができる。

[0030] さて、図1の構成では、4ブランチのダイバーシティ受信回路にて、任意のPLLの出力を選択可能な構成にしたことにより、各々のブランチに対して専用のPLLが不要となり、2つのPLL 41, 42により任意のチャンネルを選択できる機能を実現可能である。一般にダイバーシティ受信回路に用いるPLLは位相雑音の低いLCタンク型のVCO (voltage-controlled oscillator) を有し、面積を要する。したがって、PLLをブランチ数より少なくできることにより、モノリシック半導体回路100の面積の削減、すなわちローコスト化に寄与することができる。更に、PLLの数が増えると、その分PLLの相互の干渉のリスクが高くなるが、PLLの数を2つに削減することにより、2つのPLL 41, 42間の干渉のみに注意すればよい。

[0031] このとき、図1に示されるように、第1のPLL 41の電源パッド111及び接地パッド113と、第2のPLL 42の電源パッド112及び接地パッド114とを互いに分離することにより、第1のPLL 41と第2のPLL 42との間の干渉を低減できる。また、図1に示されるように、モノリシック半導体回路100の互いに異なる辺の近傍に各パッド111～114を配置することにより、配線インダクタのカップリングの影響や、半導体基板の影響も低減することができる。

[0032] 図9は、図1のダイバーシティ受信回路における状態遷移の他の例を示す図である。例えば片方のPLLの系がサーチ動作を行っている間に同じチャンネルになった時や、2画面で両方同じチャンネルを選択したとき等に、図9の状態(3)に示されるように、視聴していた方のPLLをサーチ中のブランチを含む全てのスイッチ回路51～54で選択し、不使用のPLLの動

作を停止するように制御回路301にて構成しておけば、同じ周波数を受信したときの干渉の影響を低減できる。また、各々のPLLの動作周波数が近いときに干渉しやすくなるので、不使用のPLLを使用するPLLとは異なる周波数に設定しておいてもよい。サーチに使用するブランチの数を2以上に変更することも可能である。

[0033] 図10は、図1のダイバーシティ受信回路における状態遷移の更に他の例を示す図である。図2の状態(5)ではサーチ終了時の第2のPLL42のチャンネルをそのまま用いることとしたが、図10に示すように、サーチ終了後、改めて最も適切なチャンネルを第1のPLL41で選択してもよい。このとき、第1のPLL41を高性能、第2のPLL42を低消費電力等と性能の異なるPLLを用い、例えば2画面のうちメイン画面や通常受信をするブランチには高性能な第1のPLL41を選択し、2画面のうちサブ画面やサーチ受信をするブランチには低消費電力の第2のPLL42を選択することとすれば、全体の高性能と低消費電力との両立も可能である。

[0034] 図11は、図1のダイバーシティ受信回路の変形例を示すブロック図である。図11では、第1のPLL41とスイッチ回路51～54との間に第1の分周回路61が、第2のPLL42とスイッチ回路51～54との間に第2の分周回路62がそれぞれ挿入されている。

[0035] 図12は、図11のダイバーシティ受信回路における電源配線及び接地配線の例を示す回路図である。図12によれば、第1のPLL41及び第1の分周回路61の電源VDDA及び接地VSSAと、第2のPLL42及び第2の分周回路62の電源VDDB及び接地VSSBとが、互いに分離されている。しかも、スイッチ回路51～54の各々のために、VDDスイッチ51D～54Dと、VSSスイッチ51S～54Sとが設けられている。VDDスイッチ51D～54D及びVSSスイッチ51S～54Sは、対応するスイッチ回路により選択されているPLL及び分周回路に供給されている電源電圧又は接地電圧を、当該対応するスイッチ回路に供給するように、スイッチ回路51～54と連動するように制御される。例えば、スイッチ回路5

1が第1のPLL41の出力を選択しているとき、VDDスイッチ51Dは第1のPLL41及び第1の分周回路61のVDDAをスイッチ回路51に接続し、VSSスイッチ51Sは第1のPLL41及び第1の分周回路61のVSSAをスイッチ回路51に接続する。逆に、スイッチ回路51が第2のPLL42の出力を選択しているときには、VDDスイッチ51Dは第2のPLL42及び第2の分周回路62のVDDBをスイッチ回路51に接続し、VSSスイッチ51Sは第2のPLL42及び第2の分周回路62のVSSBをスイッチ回路51に接続する。これにより、スイッチ回路51～54の任意の選択状況に応じて常に適切な電源配線及び接地配線をスイッチ回路51～54へ接続することができるので、第1のPLL41と第2のPLL42との間の干渉を効果的に防ぐことができる。

[0036] 図13は、図11のダイバーシティ受信回路における電源配線及び接地配線の他の例を示す回路図である。図13によれば、第1のPLL41及び第1の分周回路61の電源VDDA及び接地VSSAと、第2のPLL42及び第2の分周回路62の電源VDDB及び接地VSSBとが、互いに分離されている。しかも、ブランチ1のスイッチ回路51は電源VDDC及び接地VSSCに、ブランチ2のスイッチ回路52は電源VDDD及び接地VSSDに、ブランチ3のスイッチ回路53は電源VDEE及び接地VSEEに、ブランチ4のスイッチ回路54は電源VDDF及び接地VSSFにそれぞれ接続されており、第1のPLL41及び第1の分周回路61のVDDA及びVSSA並びに第2のPLL42及び第2の分周回路62のVDDB及びVSSBから独立している。このようにスイッチ回路51～54に独立した電源配線及び接地配線を用いることによっても、第1のPLL41と第2のPLL42との間の干渉を防ぐことができる。

[0037] 《第2の実施形態》

図14は、本発明の第2の実施形態に係るダイバーシティ受信回路の構成を示すブロック図である。本実施形態では、2ブランチのダイバーシティ受信回路に2つのPLL41, 42を設けている。ブランチ1の分周回路61

及びミキサ 7 1 の前に第 1 及び第 2 の PLL 4 1 , 4 2 の出力のいずれかを選択するスイッチ回路 5 1 が設けられ、ブランチ 2 の分周回路 6 2 及びミキサ 7 2 の前に第 1 及び第 2 の PLL 4 1 , 4 2 の出力のいずれかを選択するスイッチ回路 5 2 が設けられている。

[0038] 図 1 5 は、図 1 4 のダイバーシティ受信回路における状態遷移の一例を示す図である。スイッチ回路 5 1 , 5 2 の各々にて第 1 及び第 2 の PLL 4 1 , 4 2 の出力を任意に選択できるため、状態 (1) や状態 (5) 等の 1 画面での通常受信や、状態 (3) のようにサーチ中や 2 画面使用時において同じチャンネルを選択したときに、1 つの PLL で動作することにより干渉を防ぐことができる。また、状態 (4) から状態 (5) への遷移のように、サーチ終了した PLL をそのまま通常受信に用いることにより、円滑な受信が実現できる。

[0039] 以上のように、本願において開示する技術の例示として、第 1 及び第 2 の実施形態を説明した。しかしながら、本願における技術は、これに限定されず、適宜、変更、置き換え、付加、省略等を行った実施形態にも適用可能である。また、上記で説明した各構成要素を組み合わせ、新たな実施形態とすることも可能である。

[0040] 例えば、上記の例では全ミキサ 7 1 ~ 7 4 の前にスイッチ回路 5 1 ~ 5 4 を置いているが、一部のみでも構わない。その場合でも、スイッチ回路を置いたミキサについては切り替えが可能であるため効果がある。また、図 6 ~ 図 8 等で電源配線及び接地配線の両方を分離した例を示しているが、片側でも構わない。

産業上の利用可能性

[0041] 本発明に係るダイバーシティ受信回路は、複数の周波数の信号を受信するときの干渉によるスプリアスやノイズを低減し、受信感度等の性能を向上し、実装面積及びチップ面積を削減できる技術として有用である。

符号の説明

[0042] 1 ~ 4 ブランチ

1 1 ～ 1 4 アンテナ
2 1 ～ 2 4 整合回路
3 1 ～ 3 4 L N A
4 1 , 4 2 P L L
5 1 ～ 5 4 スイッチ回路
5 1 D ～ 5 4 D V D D スイッチ
5 1 S ～ 5 4 S V S S スイッチ
6 1 ～ 6 4 分周回路
7 1 ～ 7 4 ミキサ
8 1 ～ 8 4 フィルタ
9 1 ～ 9 4 A D C
1 0 0 モノリシック半導体回路
1 0 1 ～ 1 0 4 復調回路
1 1 1 , 1 1 2 電源パッド
1 1 3 , 1 1 4 接地パッド
2 0 1 ダイバー合成回路
3 0 1 制御回路

請求の範囲

- [請求項1] 複数のアンテナでそれぞれ受信した信号をもとに合成出力を得るダイバーシティ受信回路であって、
各々局部発振信号を出力する複数の局部発振部と、
各々高周波受信信号を低周波信号に変換する複数の周波数変換部と、
前記複数の周波数変換部のうちの少なくとも1つの周波数変換部の前にて、前記複数の局部発振部の出力のいずれかを選択して当該周波数変換部へ供給するスイッチ回路とを備えたことを特徴とするダイバーシティ受信回路。
- [請求項2] 請求項1記載のダイバーシティ受信回路において、
前記複数の局部発振部の個数は、前記複数の周波数変換部の個数より少ないことを特徴とするダイバーシティ受信回路。
- [請求項3] 請求項1記載のダイバーシティ受信回路において、
モノリシック半導体上に構成されたことを特徴とするダイバーシティ受信回路。
- [請求項4] 請求項1記載のダイバーシティ受信回路において、
前記スイッチ回路は、非選択入力と出力との間のアイソレーション性能が確保できるように構成されたことを特徴とするダイバーシティ受信回路。
- [請求項5] 請求項1記載のダイバーシティ受信回路において、
前記スイッチ回路は、2段以上のトランスファークロスタックを有することを特徴とするダイバーシティ受信回路。
- [請求項6] 請求項5記載のダイバーシティ受信回路において、
前記スイッチ回路は、非選択時に前記2段以上のトランスファークロスタックの接続ノードを接地するスイッチを更に有することを特徴とするダイバーシティ受信回路。
- [請求項7] 請求項1記載のダイバーシティ受信回路において、

前記スイッチ回路は、２段以上のトライステートインバータを有することを特徴とするダイバーシティ受信回路。

[請求項8] 請求項 7 記載のダイバーシティ受信回路において、

前記スイッチ回路は、非選択時に前記２段以上のトライステートインバータの接続ノードを接地するスイッチを更に有することを特徴とするダイバーシティ受信回路。

[請求項9] 請求項 1 記載のダイバーシティ受信回路において、

前記複数の局部発振部の電源及び接地のうち少なくとも一方は、互いに分離されていることを特徴とするダイバーシティ受信回路。

[請求項10] 請求項 9 記載のダイバーシティ受信回路において、

前記複数の局部発振部の電源及び接地のうち互いに分離されたものは、互いに分離されたパッドに接続され、

前記パッドの各々は、モノリシック半導体の互いに異なる辺の近傍に配置されたことを特徴とするダイバーシティ受信回路。

[請求項11] 請求項 9 記載のダイバーシティ受信回路において、

前記複数の局部発振部のうち前記スイッチ回路により選択されている局部発振部に供給されている電源電圧又は接地電圧を前記スイッチ回路へ供給するように制御されるスイッチを更に備えたことを特徴とするダイバーシティ受信回路。

[請求項12] 請求項 9 記載のダイバーシティ受信回路において、

前記スイッチ回路の電源及び接地のうち少なくとも一方は、前記複数の局部発振部の電源及び接地から独立していることを特徴とするダイバーシティ受信回路。

[請求項13] 請求項 1 記載のダイバーシティ受信回路において、

前記複数の局部発振部と前記スイッチ回路との間にそれぞれ挿入された複数の分周回路を更に備えたことを特徴とするダイバーシティ受信回路。

[請求項14] 請求項 1 3 記載のダイバーシティ受信回路において、

前記複数の局部発振部及び前記複数の分周回路の電源及び接地のうち少なくとも一方は、互いに分離されていることを特徴とするダイバーシティ受信回路。

[請求項15]

請求項14記載のダイバーシティ受信回路において、

前記複数の局部発振部及び前記複数の分周回路の電源及び接地のうち互いに分離されたものは、互いに分離されたパッドに接続され、

前記パッドの各々は、モノリシック半導体の互いに異なる辺の近傍に配置されたことを特徴とするダイバーシティ受信回路。

[請求項16]

請求項14記載のダイバーシティ受信回路において、

前記複数の局部発振部及び前記複数の分周回路のうち前記スイッチ回路により選択されている局部発振部及び分周回路に供給されている電源電圧又は接地電圧を前記スイッチ回路へ供給するように制御されるスイッチを更に備えたことを特徴とするダイバーシティ受信回路。

[請求項17]

請求項14記載のダイバーシティ受信回路において、

前記スイッチ回路の電源及び接地のうち少なくとも一方は、前記複数の局部発振部及び前記複数の分周回路の電源及び接地から独立していることを特徴とするダイバーシティ受信回路。

[請求項18]

請求項1記載のダイバーシティ受信回路において、

前記複数の周波数変換部が同じ周波数の局部発振部からの出力を使用して動作するときに、前記スイッチ回路にていずれか1つの局部発振部のみを選択するように制御する制御回路を更に備えたことを特徴とするダイバーシティ受信回路。

[請求項19]

請求項1記載のダイバーシティ受信回路において、

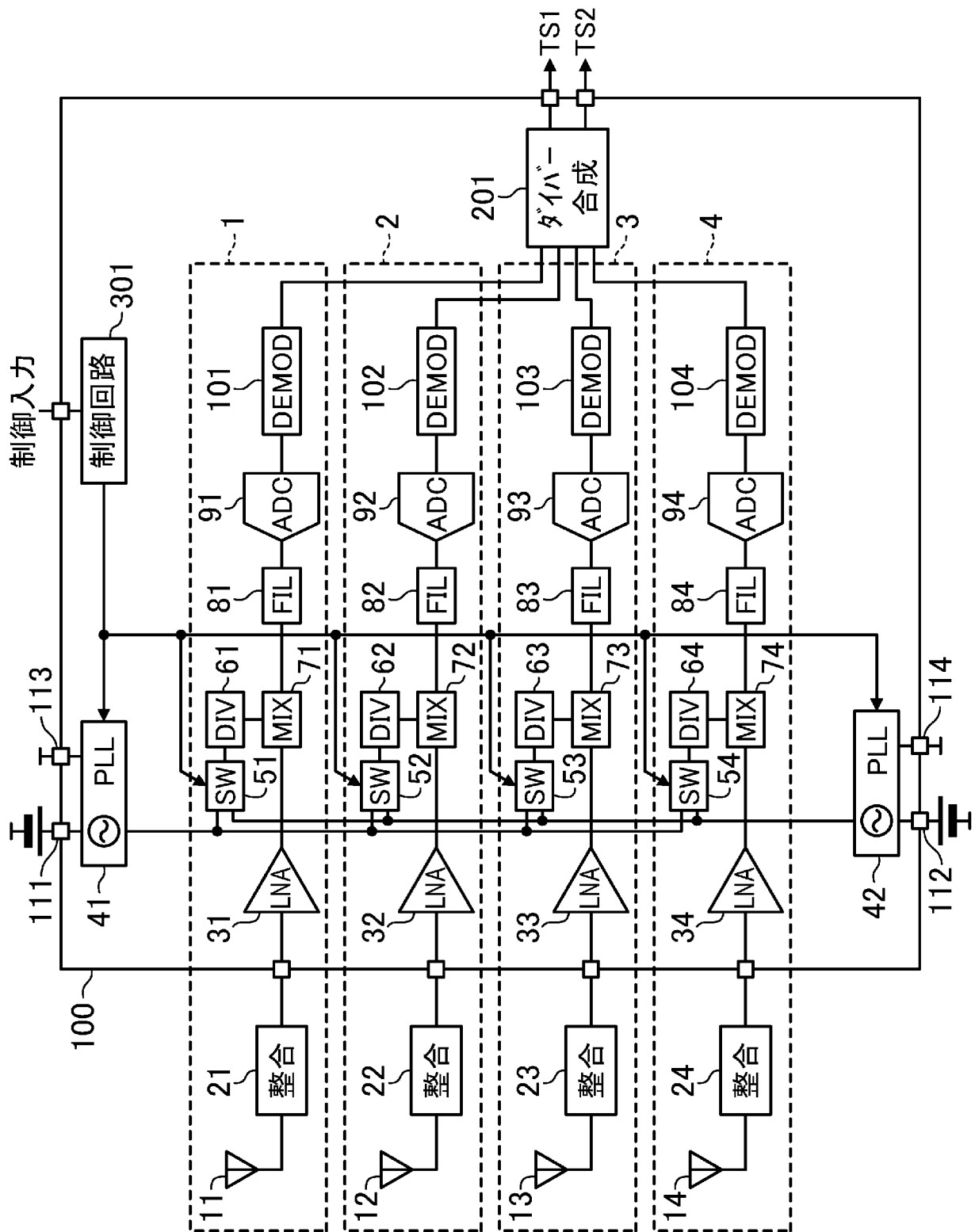
前記複数の周波数変換部が同じ周波数の局部発振部からの出力を使用して動作するときに、前記スイッチ回路にていずれか1つの局部発振部のみを選択し、かつ選択されていない局部発振部の動作を停止するように制御する制御回路を更に備えたことを特徴とするダイバーシティ受信回路。

[請求項20]

請求項1記載のダイバーシティ受信回路において、

前記複数の周波数変換部が同じ周波数の局部発振部からの出力を使用して動作するときに、前記スイッチ回路にていずれか1つの局部発振部のみを選択し、かつ選択されていない局部発振部は異なる周波数を発振するように制御する制御回路を更に備えたことを特徴とするダイバーシティ受信回路。

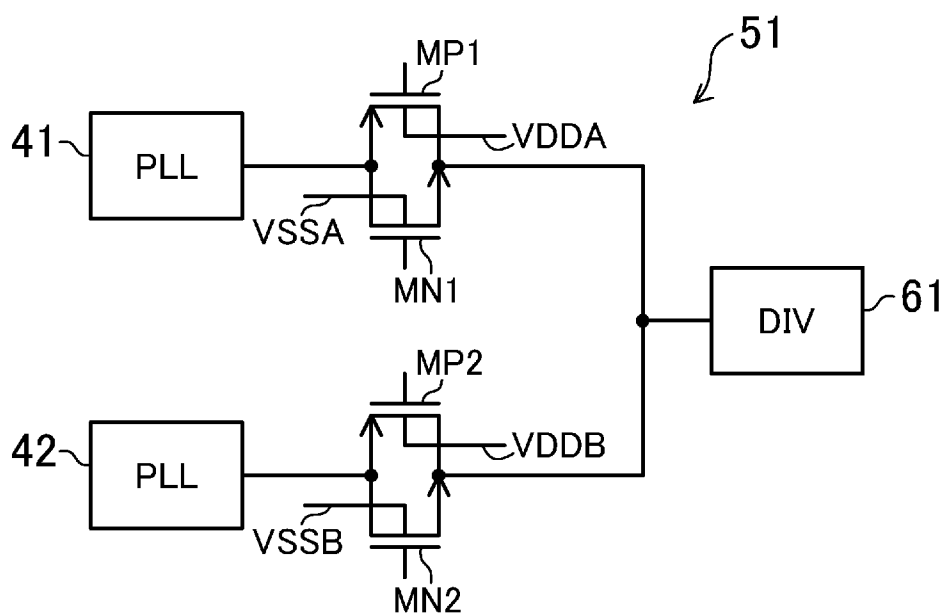
[図1]



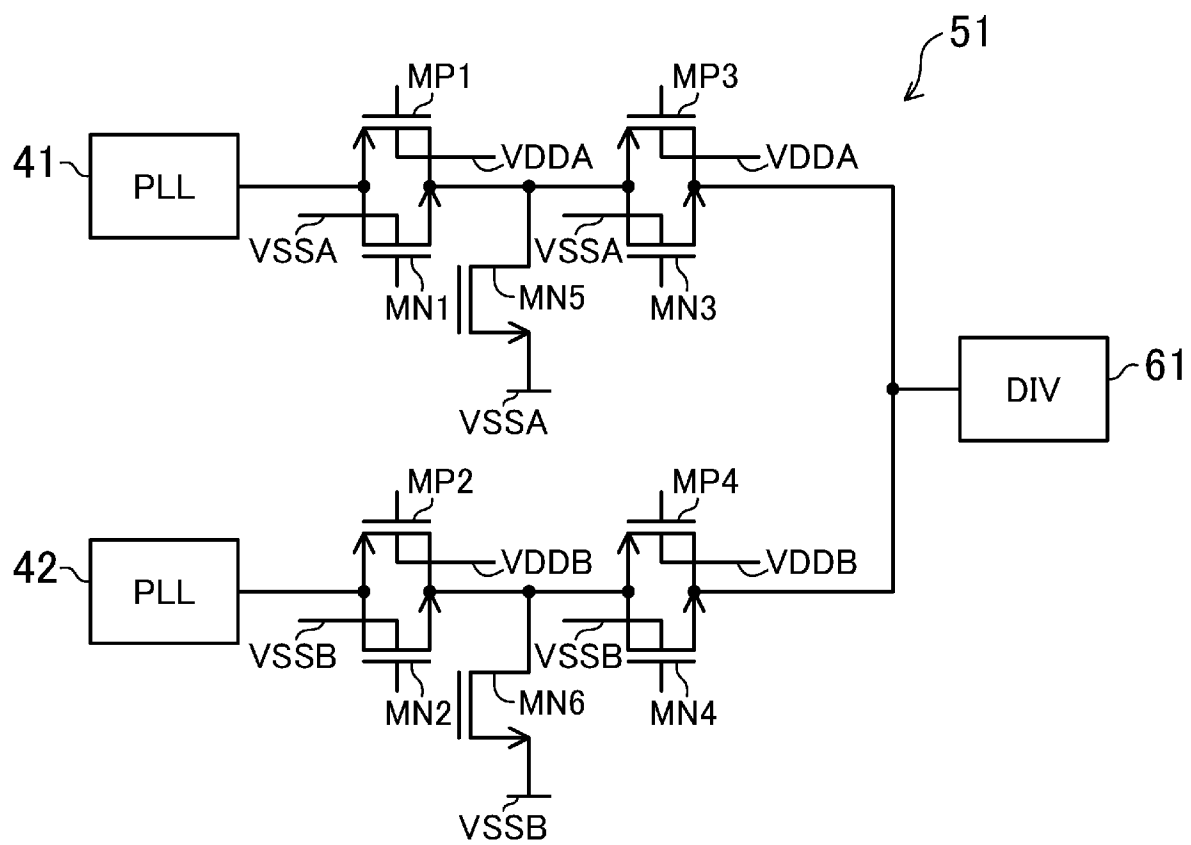
[図2]

	状態(1) 4ダイバー	状態(2) 3+1	状態(3) 3+1	状態(4) 3+1	状態(5) 4ダイバー
ブランチ1 (SW51)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信
ブランチ2 (SW52)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信
ブランチ3 (SW53)	Ch30:PLL41 TS1 通常受信	Ch13:PLL42 TS2 サーチ中	Ch14:PLL42 TS2 サーチ中	Ch32:PLL42 TS2 サーチ終了	Ch32:PLL42 TS1 通常受信
ブランチ4 (SW54)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信

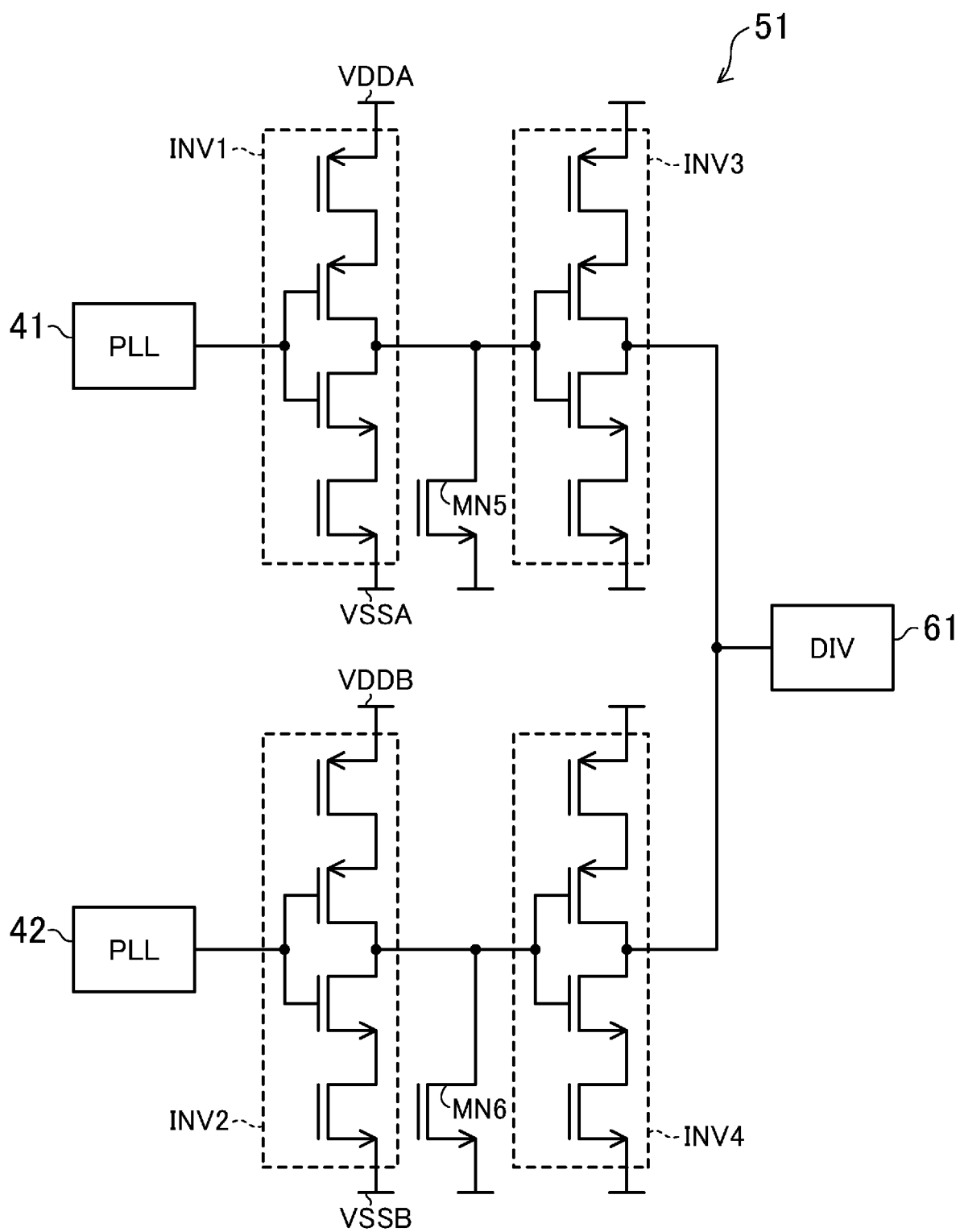
[図3]



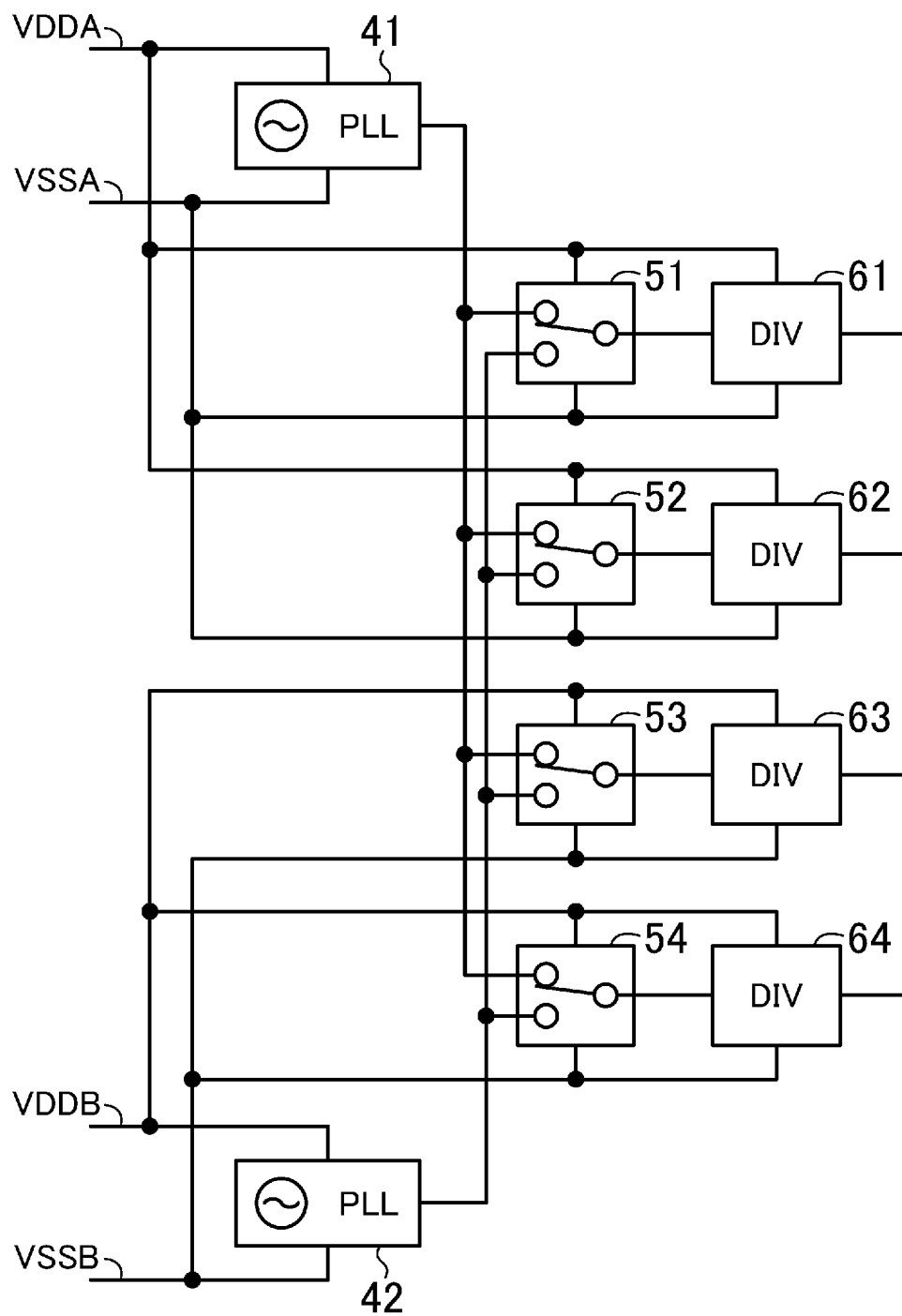
[図4]



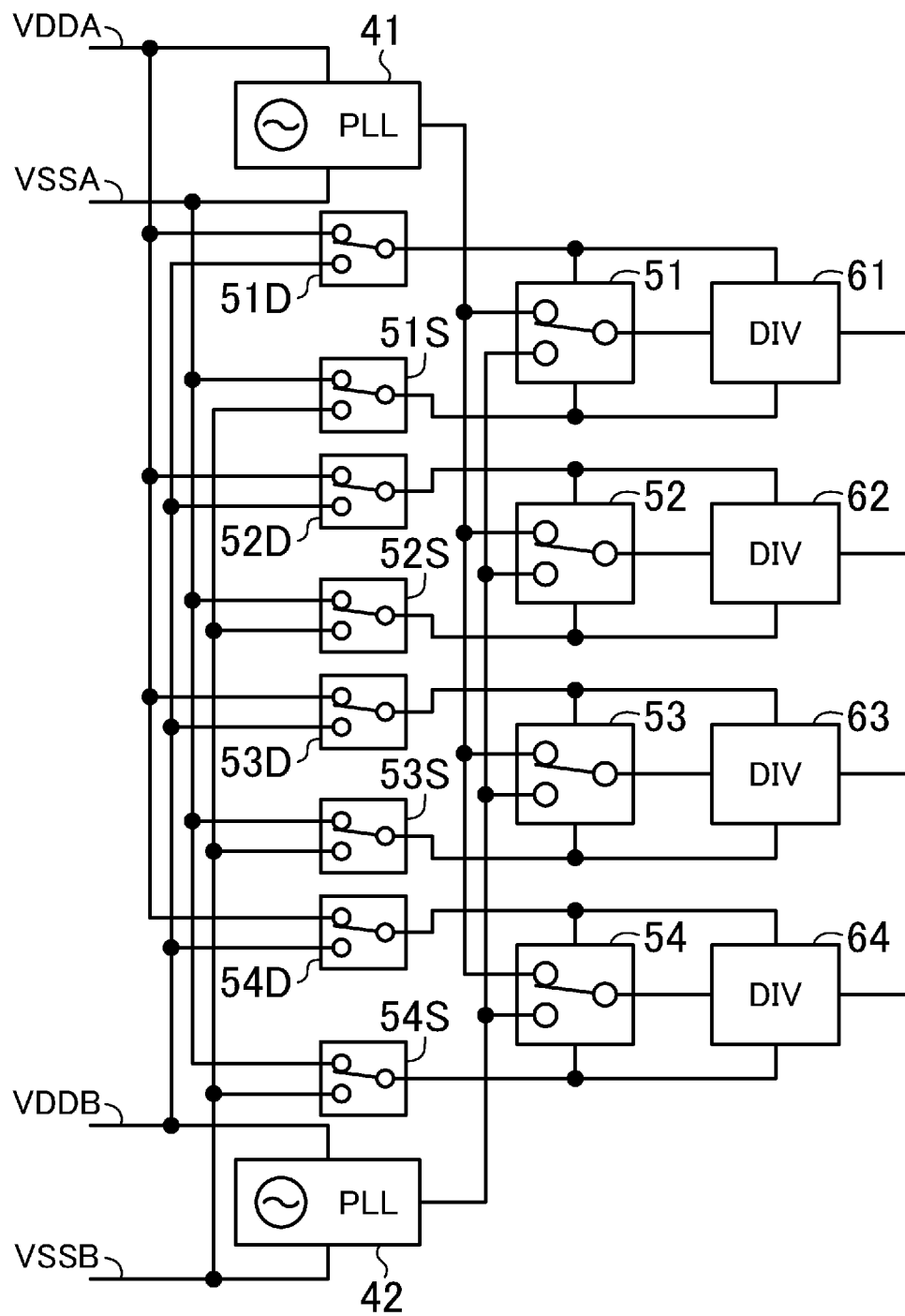
[図5]



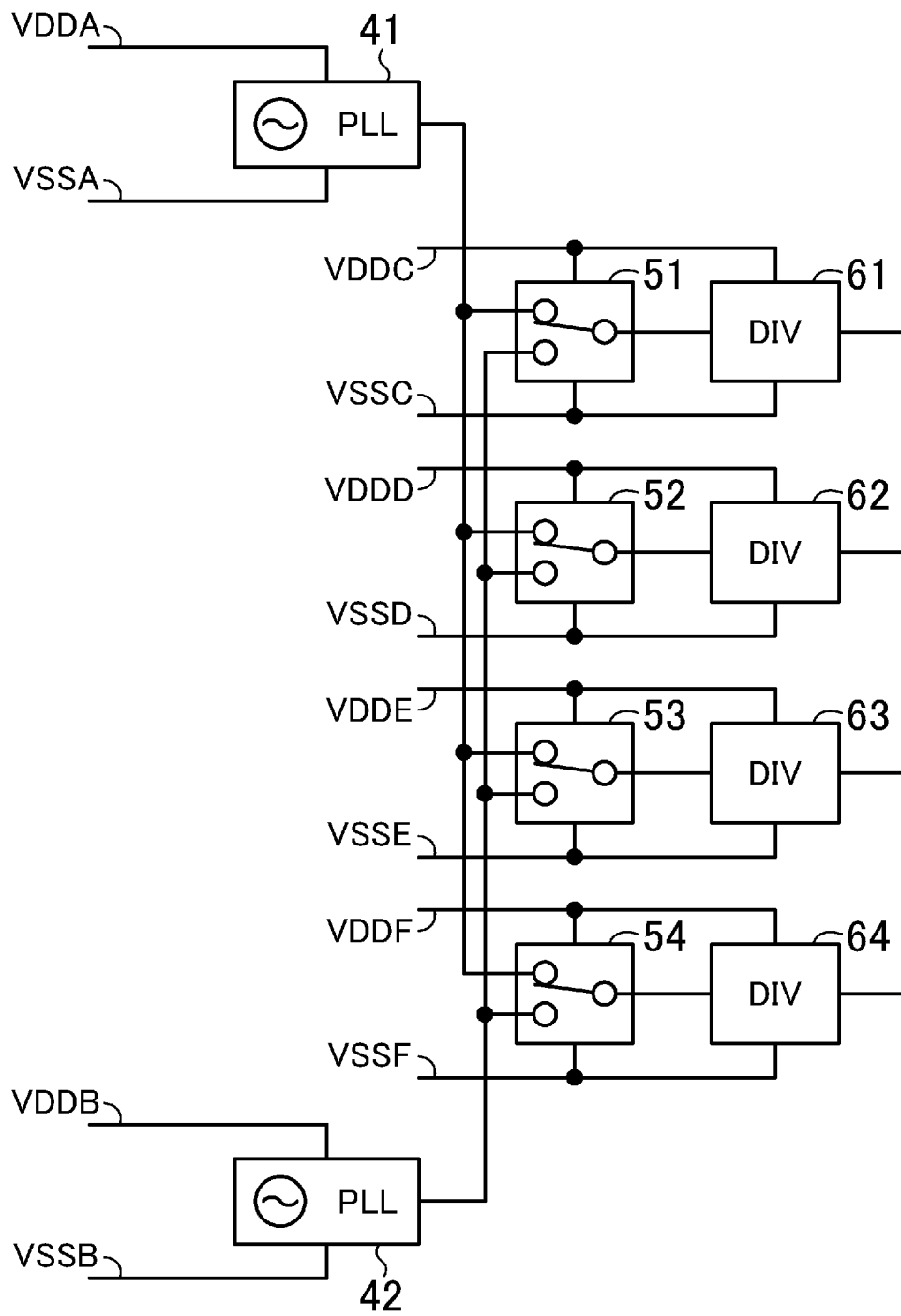
[図6]



[図7]



[図8]



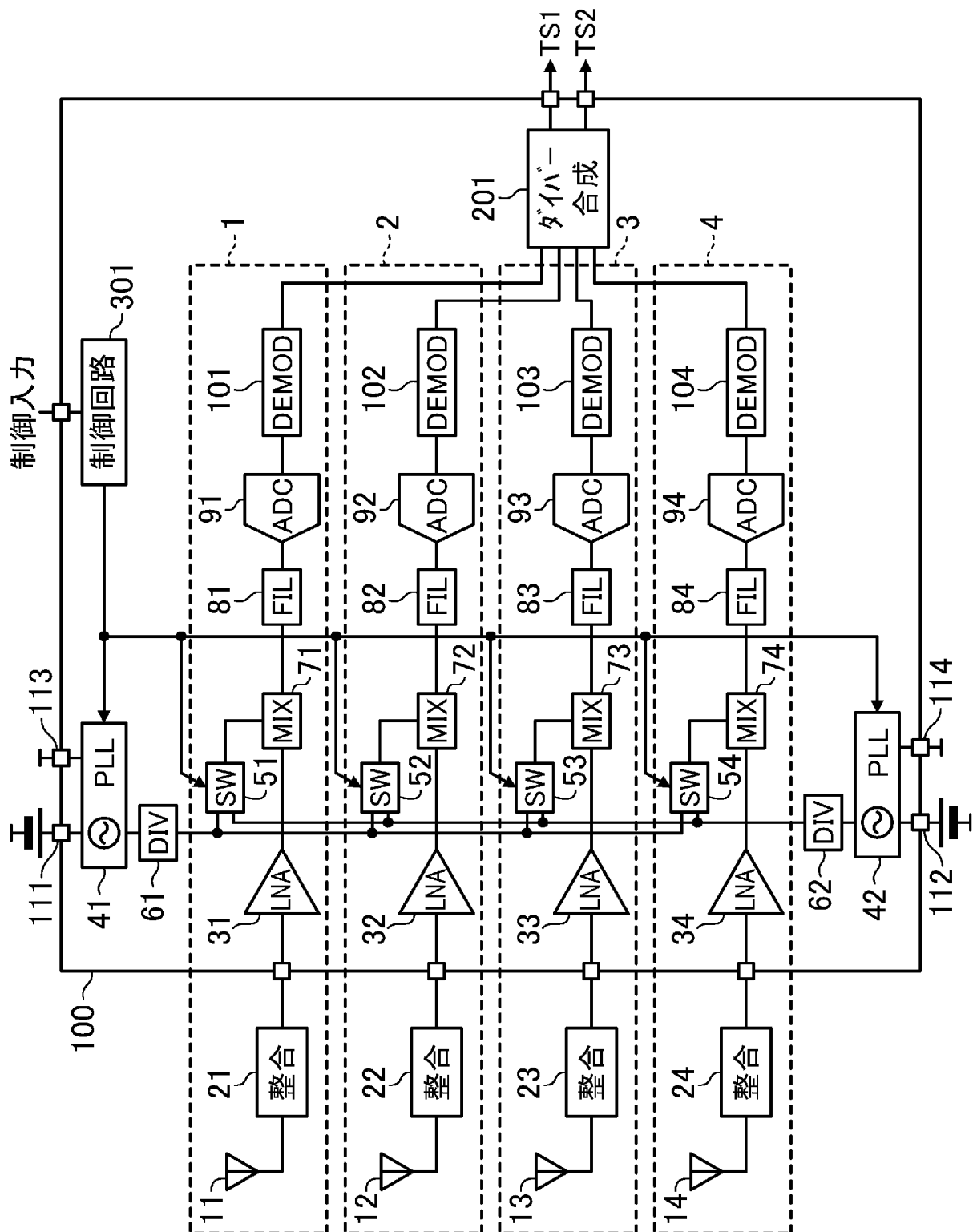
[図9]

	状態(1) 4ダイバー	状態(2) 3+1	状態(3) 3+1	状態(4) 3+1	状態(5) 4ダイバー
ブランチ1 (SW51)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信
ブランチ2 (SW52)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信
ブランチ3 (SW53)	Ch30:PLL41 TS1 通常受信	Ch13:PLL42 TS2 サーチ中	Ch30:PLL41 TS2 サーチ中	Ch32:PLL42 TS2 サーチ終了	Ch32:PLL42 TS1 通常受信
ブランチ4 (SW54)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信

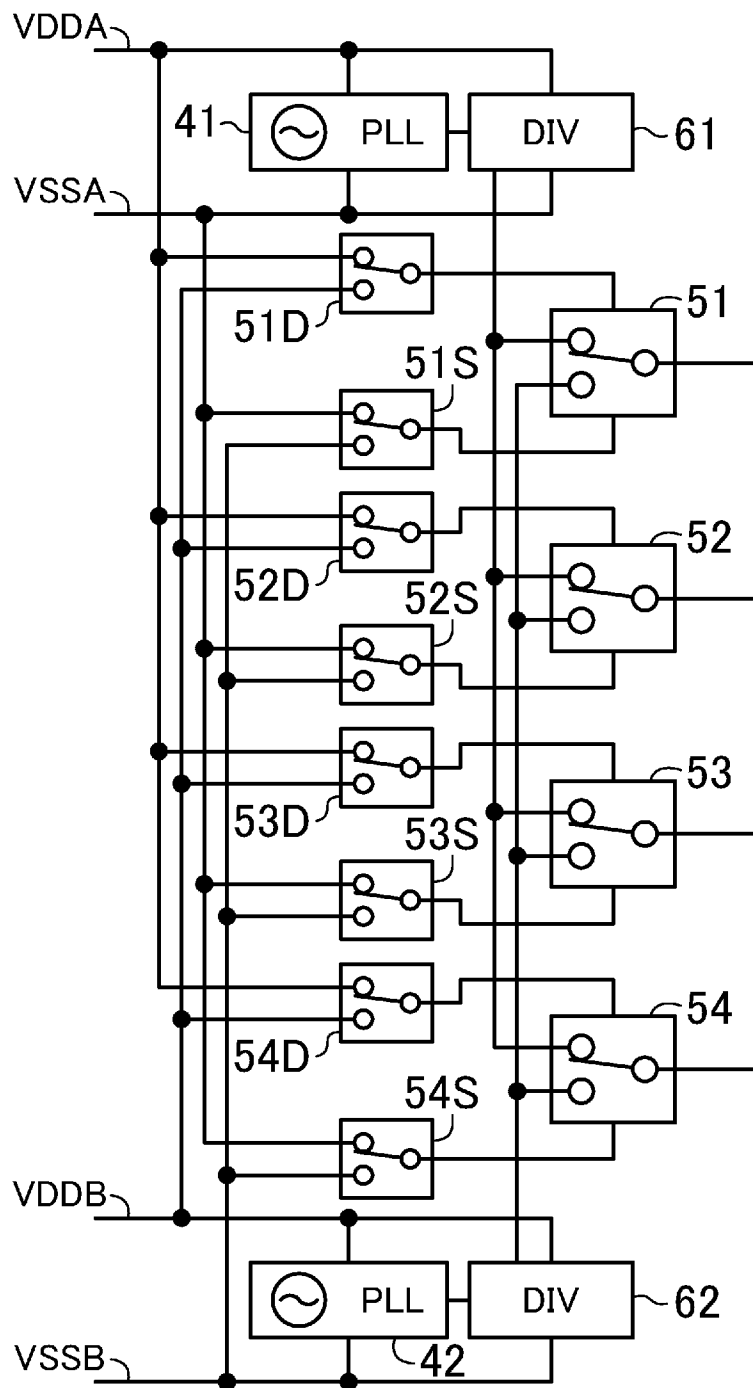
[図10]

	状態(1) 4ダイバー	状態(2) 3+1	状態(3) 3+1	状態(4) 3+1	状態(5) 4ダイバー
ブランチ1 (SW51)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch13:PLL41 TS1 通常受信
ブランチ2 (SW52)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch13:PLL41 TS1 通常受信
ブランチ3 (SW53)	Ch30:PLL41 TS1 通常受信	Ch13:PLL42 TS2 サーチ中	Ch14:PLL42 TS2 サーチ中	Ch32:PLL42 TS2 サーチ終了	Ch13:PLL41 TS1 通常受信
ブランチ4 (SW54)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch13:PLL41 TS1 通常受信

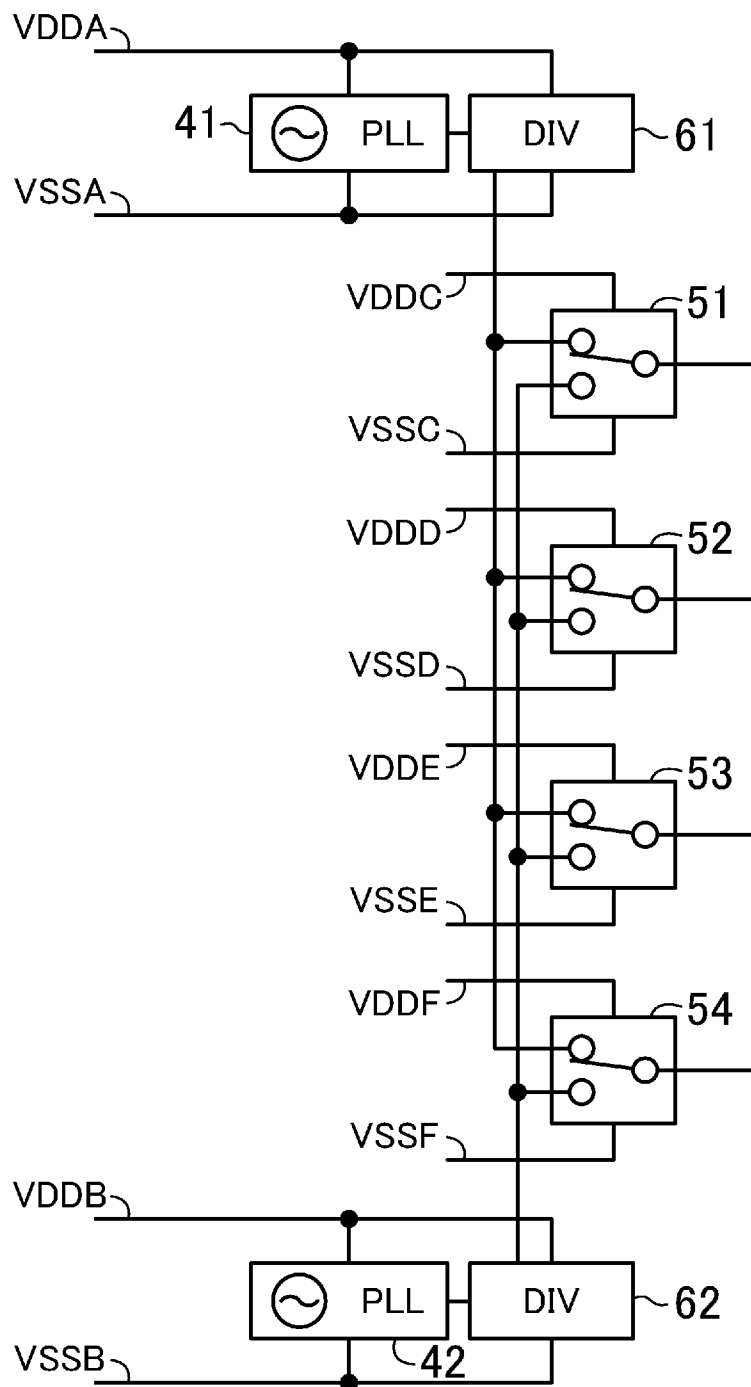
[図11]



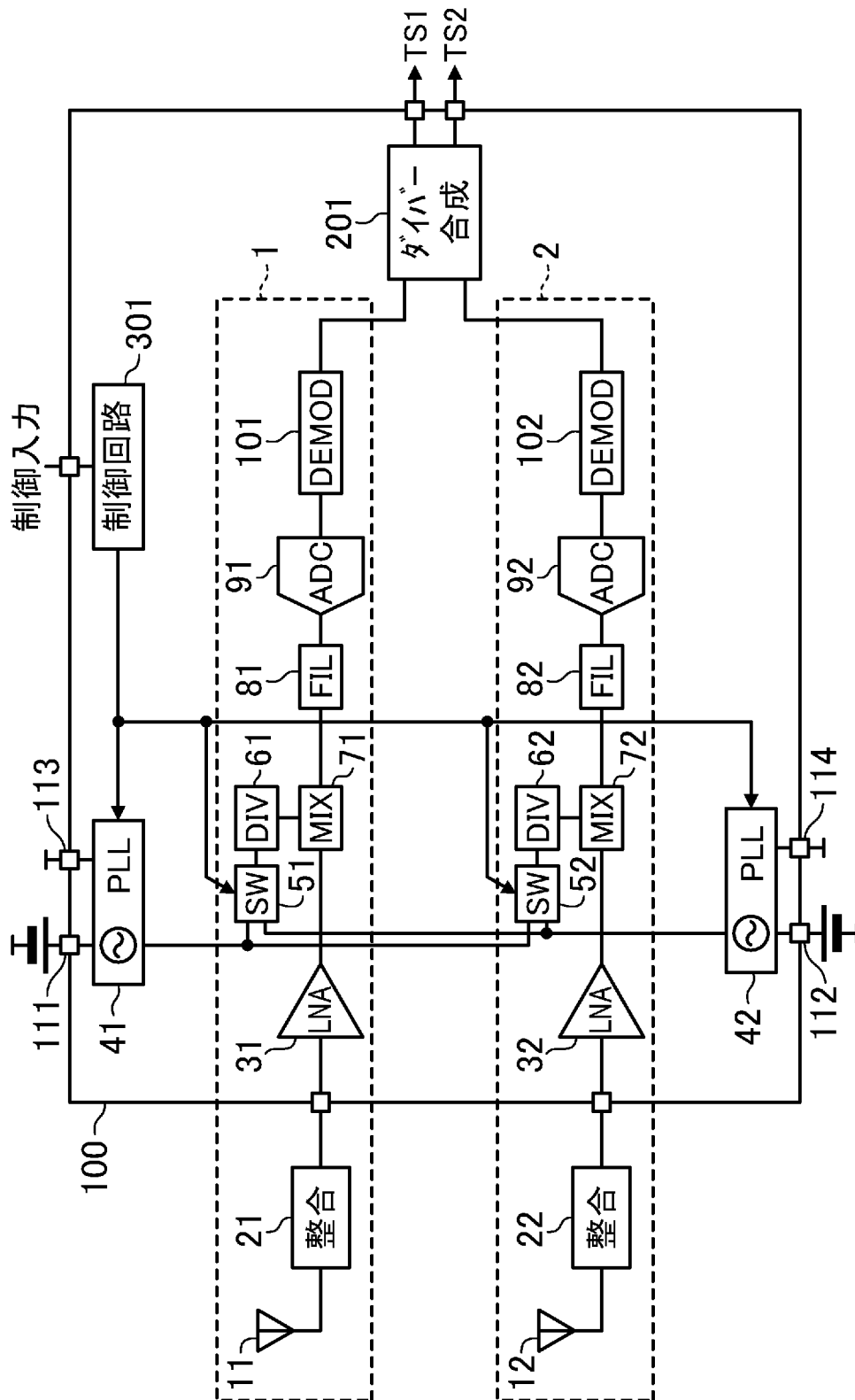
[図12]



[図13]



[図14]



[図15]

	状態(1) 2ダイバー	状態(2) 1+1	状態(3) 1+1	状態(4) 1+1	状態(5) 2ダイバー
ブランチ1 (SW51)	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch30:PLL41 TS1 通常受信	Ch32:PLL42 TS1 通常受信
ブランチ2 (SW52)	Ch30:PLL41 TS1 通常受信	Ch13:PLL42 TS2 サーチ中	Ch30:PLL41 TS2 サーチ中	Ch32:PLL42 TS2 サーチ終了	Ch32:PLL42 TS1 通常受信

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002142

A. CLASSIFICATION OF SUBJECT MATTER

H04B7/08(2006.01)i, H04B1/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B7/08, H04B1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014

Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-235817 A (NEC Corp.), 19 August 2004 (19.08.2004), paragraphs [0023] to [0026]; fig. 1 (Family: none)	1, 3-8, 18 2, 19, 20 9-17
Y	JP 2009-44446 A (Sanyo Electric Co., Ltd.), 26 February 2009 (26.02.2009), fig. 5 (Family: none)	2
Y	JP 2006-203653 A (Matsushita Electric Industrial Co., Ltd.), 03 August 2006 (03.08.2006), abstract; paragraphs [0063] to [0069]; fig. 6 & US 2006/0166638 A1 & CN 1808917 A	19, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 April, 2014 (30.04.14)

Date of mailing of the international search report

13 May, 2014 (13.05.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002142

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-341188 A (Mitsubishi Electric Corp.), 08 December 2000 (08.12.2000), abstract; fig. 1 (Family: none)	20

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H04B7/08(2006.01)i, H04B1/16(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H04B7/08, H04B1/16		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004-235817 A（日本電気株式会社）2004.08.19, 段落[0023]-[0026], 図1（ファミリーなし）	1, 3-8, 18 2, 19, 20 9-17
Y	JP 2009-44446 A（三洋電機株式会社）2009.02.26, 図5 （ファミリーなし）	2
Y	JP 2006-203653 A（松下電器産業株式会社）2006.08.03, 要約、 段落[0063]-[0069], 図6 & US 2006/0166638 A1 & CN 1808917 A	19, 20
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 30.04.2014	国際調査報告の発送日 13.05.2014	
国際調査機関の名称及びあて先 日本国特許庁（I S A/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 野元 久道 電話番号 03-3581-1101 内線 3576	5W 9184

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-341188 A (三菱電機株式会社) 2000. 12. 08, 要約、図 1 (ファミリーなし)	20