

297928

申請日期	85.3.22
案 號	85103442
類 別	H01L 328

A4
C4

公 告 本

(以上各欄由本局填註)

Int. Cl⁶

297928

發明專利說明書

一、發明 名稱	中 文	使用圖案化蝕刻阻擋物及擴散源之高速雙極性電晶體
	英 文	A HIGH SPEED BIPOLAR TRANSISTOR USING A PATTERNED ETCH STOP AND DIFFUSION SOURCE
二、發明 創作人	姓 名	強考特 (F. Scott Johnson)
	國 籍	美國
	住、居所	美國德克薩斯州波拉洛區波瑞登路3700號 3700 Preston Road, Apt. 523, Plano, TX 74379, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 William E. Hiller

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：西元1995年 案號：08/370,137，☐有 ☒無主張優先權
1月9日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之領域

本發明係概括關於半導體結構及方法，尤指雙極性電晶體。

發明之背景

雙極性電晶體(BJT)常用於半導體裝置，特別是供高速操作及大驅動電流應用。圖1中示一種雙多晶矽BJT 10。供BJT 10之區域被場氧化物12所隔離。集電極14為一種電導型之輕度摻雜外延層，並且基極部位由相反電導型之摻雜部位16及18所形成。摻雜部位16稱作本徵基極部位，而部位18為非本徵基極部位。基極電極20包含一第一摻雜多晶矽層。射極部位22為一與集電極相同電導型之摻雜部位，並且位於本徵基極部位16以內。射極電極24係以一第二摻雜多晶矽層所完成。氧化物部位26及基極射極隔片28使射極電極24與基極電極20隔離。雙多晶矽BJT具有優於單多晶矽BJT之較低基極電阻及降低非本徵電容之優點。然而此項優點為增加諸如與自有源裝置區域蝕刻多晶矽，及自高摻雜多晶矽擴散源極向外擴散基極直接摻雜部位關連之方法複雜性所獲得。

圖1之BJT一般為在矽有源區域(集電極14)及場氧化物12上面形成摻雜多晶矽層及氧化物層所形成。然後如圖2中所示蝕刻多晶矽及氧化物層，以形成基極電極20。然而，因為直接在矽有源區域上面蝕刻多晶矽，故發生過度蝕刻及除掉若干矽有源區域14。此係由於難以就矽選擇性蝕刻多晶矽。這導致一種非平面有源裝置區域。過度蝕刻

五、發明說明(2)

之量難以控制，引起表面粗糙，並在表面引起缺陷及摻雜。

請參照圖3，非本徵基極部位18自第一多晶矽層（基極電極20）擴散。基極連接（非本徵及本徵基極部位間之連接）係藉自基極電極20向外擴散所完成。然後植入本徵基極部位16，並形成基極射極隔片28。供低電阻基極連接之擴散長度隨過度蝕刻而變化。"過度連接"之基極減低射極基極結點之擊穿電壓，"低度連接"之基極則增加非本徵基極之電阻。再者，必須調節基極電極之薄片電阻，以控制非本徵基極部位18之深度。該過程繼續形成第二摻雜多晶矽層，以形成射極電極24，並自射電極24擴散摻雜物，以形成射極部位22。

目前必須使雙多晶矽BJT之優點對上述之過程複雜性得到平衡。因之，需要一種形成BJT，降低過程複雜性之方法。

發明之概述

本案揭示一種雙極性電晶體，及一種形成該電晶體之方法。在集電極之一部份上面形成一基極連接擴散源層。基極連接擴散源層包含一種能用作摻雜物源，並能就矽予以選擇性蝕刻之材料。在基極連接擴散源層之至少一端部上面形成一基極電極，並除去基極連接擴散源層。一非本徵基極部位自基極電極擴散，並且一基極電連部位自基極連接擴散源層擴散。然後可繼續處理，以形成一本徵基極部位，射極部位，及射極電極。

五、發明說明(3)

本發明之一項優點，為提供一種形成雙極性電晶體之方法，其消除射極之多晶矽部份蝕刻期間之過度蝕刻及損壞。

本發明之另一優點，為提供一種形成雙極性電晶體之方法，其中基極連接擴散不與基極電極摻雜物濃度具有關連。

本發明之另一優點，為提供一種形成雙極性電晶體之方法，其消除射極之多晶矽部份蝕刻期間之過度蝕刻及損壞，並且其也與習知之自動對準BJT處理相容。

精於此項技藝者參照詳細說明，配合附圖，將會明白此等及其他諸多優點。

附圖之簡要說明

在附圖中：

圖1為一種先前技藝BJT之剖面圖；

圖2~3為圖1之先前技藝BJT，在不同製造階段之剖面圖；

圖4為根據本發明之BJT之剖面圖；以及

圖5~9為圖4之BJT，在不同製造階段之剖面圖。

在不同之諸圖中，除非另外指明，對應之數字及符號指對應之部份。

較佳實施例之詳細說明

本發明現將配合一種使用BiCMOS法所形成之雙多晶矽雙極性電晶體(BJT)予以說明。精於此項技藝者將會明白，本發明也可應用於其他BiCMOS法及裝置，以及應用於雙

五、發明說明(4)

極性方法及裝置。

圖4中示一根據本發明之BJT 100。場絕緣部位104使BJT 100與其他裝置(未示)，諸如其他BJT，MOS電晶體，二極管及電阻器等絕緣。部位102為集電極部位。很多適當之集電極部位為此項技藝上所熟知者。例如，集電極部位102可含一埋入集電極及一輕摻雜外延層，諸如在1990年9月18日所授予，並讓渡予Texas Instruments, Inc.之美國專利4,958,213號中所說明者。

基極部位106由一本徵基極部位108，一非本徵基極部位110，及一基極連接部位112所構成。本徵基極部位108為射極部位所位於其內之部位。非本徵基極部位110提供一區域供連接至基極部位106。基極連接部位112在非本徵與本徵基極部位(110, 108)之間提供低電阻連接。本徵，非本徵，及基極連接部位(108, 110, 及112)均具有相同之電導型。例如，如果集電極部位102為n型，則基極部位108, 110, 及112為p型。要不然，如果集電極部位102為p型，則基極部位108, 110, 及112為n型。

基極電極114包含摻雜多晶矽，並且連接至非本徵基極部位110。基極電極114為供形成非本徵基極部位110之摻雜物源。因此，就NPN BJT而言，基極電極114為摻雜p型。或則，就PNP BJT言，基極電極114為摻雜n型。基極電極114之摻雜予以調整，以提供希望之電導供基極電極。對照而言，先前技藝技術要求依據提供低電阻連接部位而調整基極電極之摻雜。因為基極電極114不是供基極連接

五、發明說明(5)

部位112之摻雜物源，故基極電極之摻雜物濃度與基極連接部位112之電阻率不具有關連。

基極連接擴散源層118位於基極電極114之端部下面，並為供基極連接部位112之摻雜物源。層118包含一種能作用如供n型及／或p型摻雜物之摻雜物源，並可就矽予以選擇性蝕刻之材料。其也應與習知之半導體處理相容。實例包括矽酸鹽玻璃，諸如硼矽酸鹽玻璃及硼矽酸鹽玻璃(BSG)及磷矽酸鹽玻璃(PSG)，以及矽鍺(SiGe)。

基極射極隔片120在射極部位126之末端與本徵基極部位108之末端間提供間隔。另外，基極射極隔片120與電介質層122之組合使射極電極124及基極電極114隔離，射極電極124較佳為包含摻雜多晶矽，並為供射極部位126之摻雜物源。射極電極124具有基極電極114之相反電導性。

圖5例示一在形成集電極部位102及場絕緣部位104後之半導體主體101。集電極部位102可如此項技藝上所熟知，包含一埋入層，一外延層及一深N⁺集電極凹溝。現將說明根據本發明之BJT 100形成為圖5之結構。

請參照圖6，在圖5之結構上面將基極連接擴散源層118數著至厚度約為500埃。如以上所討論，基極連接擴散源層118包含一種材料，其可就矽予以選擇性蝕刻，並且其可作用如一摻雜物源供稍後在過程中所將形成之基極連接部位。層118為絕緣或為導電並不重要。基極連接擴散源層118較佳為在數著後在原位置摻雜或植入摻雜。例如，基極連接擴散源層可包含BSG，PSG，或摻雜SiGe。基極

五、發明說明(6)

連接擴散源層118之摻雜物濃度，由隨後所形成之基極連接部位之希望電阻所決定。層118然後作成圖案，並例如使用射極圖案之加大複製品予以蝕刻。供118之圖案可在一側或多側重疊場氧化物104，以縮小裝置面積，而犧牲增加之非本徵基極電阻。這在少於四側面留下觸點至基極部位。所希望之蝕刻化學作用對矽具有高度選擇性。精於此項技藝者參照詳細說明，將會明白適當之蝕刻化學作用。

其次，一第一層多晶矽及一共聚電介質分別敷著至厚度約為2千埃及3千埃。第一層多晶矽可在敷著後在原位置摻雜或植入摻雜，以便可自其形成低電阻基極電極114。然後如圖7中所示，蝕刻第一層多晶矽及共聚電介質，以形成基極電極114及射極窗。共聚電介質蝕刻停止於多晶矽，並且多晶矽蝕刻停止於基極連接擴散源層118。因此，有源區域受到保護，以防過度蝕刻及晶體損壞。如圖7中所示，基極電極114重疊基極連接擴散源層118之末端。重疊之量依設計而變，但可約為0.2微米。供基極電極114之圖案可在一側或多側重疊場氧化物104，以縮小裝置面積。這在少於四側留下觸點至基極部位。

然後如圖8中所示，除去基極連接擴散源層118之露出部份。例如，可使用選擇性乾蝕刻。不過，蝕刻對矽具有高度選擇性。因此，避免對有源區域之損壞，諸如自矽直接蝕刻除掉多晶矽所見者。繼之為退火循環。退火用以增長屏蔽氧化物130，同時使非本徵基極部位110自基極電極

五、發明說明(7)

114擴散，及使基極連接部位112自基極連接擴散源層118之其餘部份擴散。圖9中示此情形。因為基極連接部位112係自基極連接擴散源層118所擴散，故調整基極連接擴散源層之摻雜物濃度，提供低電阻基極連接部位112，而不影響基極電極114之電阻。在介面之表面摻雜物濃度較佳約為 $5E19$ /立方厘米。

處理以習知方式繼續，以完成圖4之結構。通過屏蔽氧化物130植入本徵基極部位108並予擴散。然後形成基極射極隔片120，使隨後所形成之射極部位邊緣與本徵基極部位邊緣隔開。基極射極隔片120可例如包含二氧化矽。然後數著第二層多晶矽132至厚度約為2.5千埃。多晶矽層132可在數著後在原位置摻雜或植入摻雜。最後，將第二多晶矽層作成圖案並予蝕刻，以形成基極電極124，並在第二多晶矽蝕刻前或其後，使射極部位126自第二多晶矽層/射極電極擴散。

雖然本發明業經參照例證性實施例予以說明，但此項說不意為以限制性意義予以闡釋。精於此項技藝者參照該說明，將會明白例證性實施例之各種修改及組合，以及本發明之其他實施例。因此後附之申請專利範圍意為包含任何此等修改或實施例。

四、中文發明摘要(發明之名稱：使用圖案化蝕刻阻擋物及擴散源之高)

速雙極性電晶體

一種雙極性電晶體(100)及一種形成該電晶體之方法。在集電極部位(102)之一部份上面形成一基極連接擴散源層(118)。基極連接擴散源層(118)包含一種能用作摻雜物源極，並能就矽予以選擇性蝕刻之材料。在基極連接擴散源層(118)之至少一端部上面形成一基極電極(114)，並除去基極連接擴散源層(118)之露出部份。一非本徵基極部位(110)自基極電極(114)擴散，並且一基極連接部位(112)自基極連接擴散源層(118)擴散。然後可繼續處理，以形成一本徵基極部位(108)，射極部位(126)，及射極電極(124)。

英文發明摘要(發明之名稱： AHIGH SPEED BIPOLAR TRANSISTOR USING A
PATTERNED ETCH STOP AND DIFFUSION SOURCE)

A bipolar transistor (100) and a method for forming the same. A base-link diffusion source layer (118) is formed over a portion of the collector region (102). The base-link diffusion source layer (118) comprises a material that is capable of being used as a dopant source and is capable of being etched selectively with respect to silicon. A base electrode (114) is formed over at least one end portion of the base-link diffusion source layer (118) and the exposed portions of the base-link diffusion source layer (118) are removed. An extrinsic base region (110) is diffused from the base electrode (114) and a base link-up region (112) is diffused from the base-link diffusion source layer (118). Processing may then continue to form an intrinsic base region (108), emitter region (126), and emitter electrode (124).

六、申請專利範圍

1. 一種形成雙極性電晶體之方法，包含下列步驟：

形成一集電極部位；

在該集電極部位之一部份上面形成一基極連接擴散源層；

形成一基極電極覆蓋該基極連接擴散源層之至少一端部；

除了該至少一端部外，除去該基極連接擴散源層，以及

使一非本徵基極部位自上述基極電極擴散，及使一基極連接部位自上述基極連接層之至少一端部擴散。

2. 根據申請專利範圍第 1 項之方法，其中上述基極連接擴散源層包含一種矽酸鹽玻璃。

3. 根據申請專利範圍第 1 項之方法，其中上述基極連接擴散源層包含硼矽酸鹽玻璃。

4. 根據申請專利範圍第 1 項之方法，其中上述基極連接擴散源層包含磷矽酸鹽玻璃。

5. 根據申請專利範圍第 1 項之方法，其中上述基極連接擴散源層包含矽-鋅。

6. 根據申請專利範圍第 1 項之方法，其中形成上述基極電極之步驟包含下列步驟：

在上述集電極及基極連接擴散源層上面敷著一第一層多晶矽；以及

蝕刻該第一層多晶矽，以形成上述基極電極，其中上述基極連接擴散源層作用如一蝕刻阻擋物。

六、申請專利範圍

7. 根據申請專利範圍第 6 項之方法，另包含下列步驟：

在上述第一層多晶矽上面形成一電介質層；以及
蝕刻該電介質層，以在蝕刻該第一層多晶矽之步驟前，除去基極連接擴散源層上面之電介質層之一部份。

8. 根據申請專利範圍第 1 項之方法，另包含下列步驟：

植入一本徵基極部位；

在該本徵基極部位上面形成一射極電極；以及

在該本徵基極部位內形成一射極部位。

9. 一種形成一雙多晶矽雙極性電晶體之方法，包含下列步驟：

形成一集電極部位；

在該集電極部位之第一部位上面形成一基極連接擴散源層；

在該集電極部位及基極連接擴散源層上面敷著第一層多晶矽；

蝕刻該第一層多晶矽，以形成一基極電極覆蓋基極連接擴散源層之至少一端部，其中該基極連接擴散源層作用如一蝕刻阻擋物；

除了該至少一端部外，除去該基極連接擴散源層，以使集電極部位之一第二部份露出，該第二部份在第一部份以內；以及

使一非本徵基極部位自上述基極電極擴散，及使一基極連接部位自上述基極連接層之至少一端部擴散。

10. 根據申請專利範圍第 9 項之方法，另包含下列步驟：

六、申請專利範圍

將一本徵基極部位植入上述集電極之第二部份；
靠近上述基極電極形成一基極射極隔片；
在上述本徵基極部位及基極射極隔片上面形成一射極電極；以及

在上述本徵基極部位內形成一射極部位。

11. 根據申請專利範圍第9項之方法，其中上述基極連接擴散源層包含一種矽酸鹽玻璃。
12. 根據申請專利範圍第9項之方法，其中上述基極連接擴散源層包含硼矽酸鹽玻璃。
13. 根據申請專利範圍第9項之方法，其中上述基極連接擴散源層包含磷矽酸鹽玻璃。
14. 根據申請專利範圍第9項之方法，其中上述基極連接擴散源層包含矽-鋅。
15. 一種雙極性電晶體包含：
 - 一集電極部位；
 - 一在該集電極部位內之本徵基極部位；
 - 一在該集電極部位內之非本徵基極部位；
 - 一在該集電極部位內，在該本徵基極部位與非本徵基極部位中間之基極連接部位；
 - 一在該基極連接部位上面之基極連接擴散源層；
 - 一覆蓋該基極連接擴散源層及非本徵基極層之基極電極；以及
 - 一在該本徵基極部位內之射極部位。
16. 根據申請專利範圍第15項之雙極性電晶體，其中上述

六、申請專利範圍

基極連接擴散源層包含一種矽酸鹽玻璃。

17. 根據申請專利範圍第15項之雙極性電晶體，其中上述基極連接擴散源層包含硼矽酸鹽玻璃。
18. 根據申請專利範圍第15項之雙極性電晶體，其中上述基極連接擴散源層包含磷矽酸鹽玻璃。
19. 根據申請專利範圍第15項之雙極性電晶體，其中上述基極連接擴散源層包含矽-銻。
20. 根據申請專利範圍第15項之雙極性電晶體，其中該雙極電晶體包含二層多晶矽。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

297928

85103442

TI-19243

1 of 2

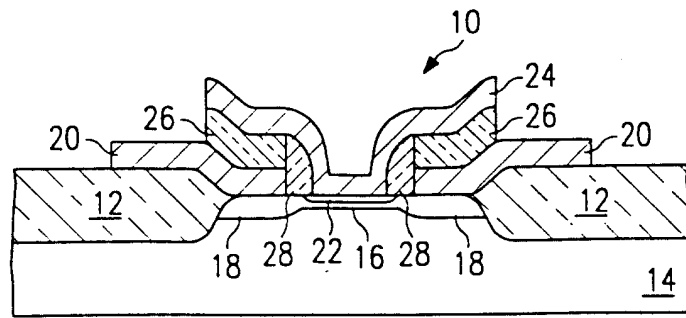


圖 1

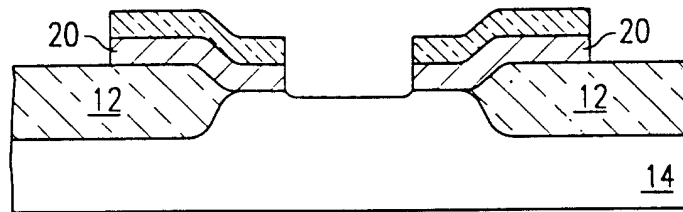


圖 2

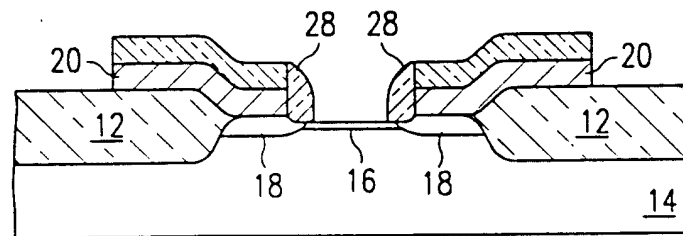


圖 3

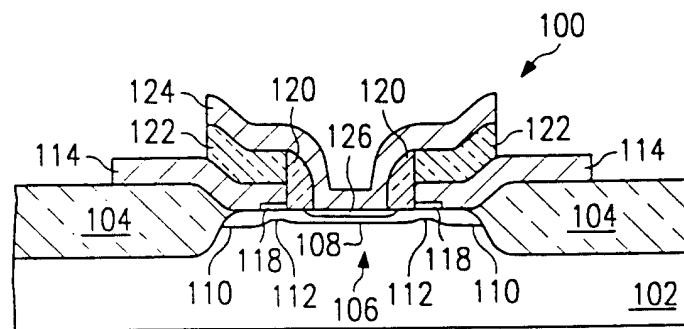


圖 4

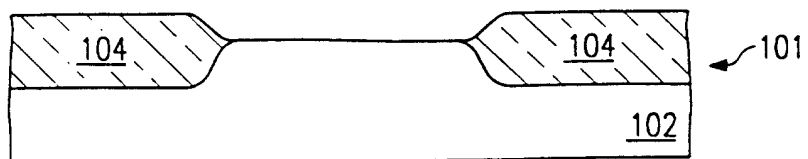


圖 5

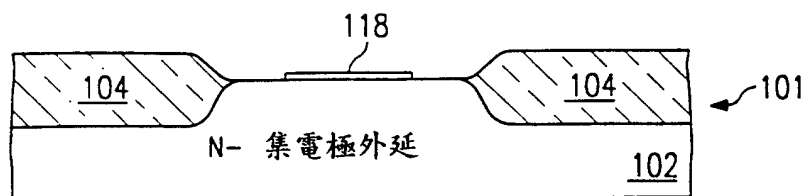


圖 6

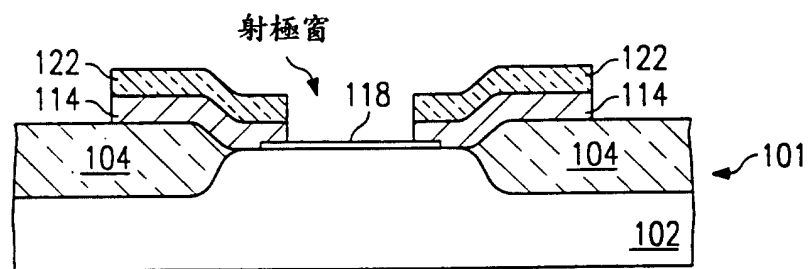


圖 7

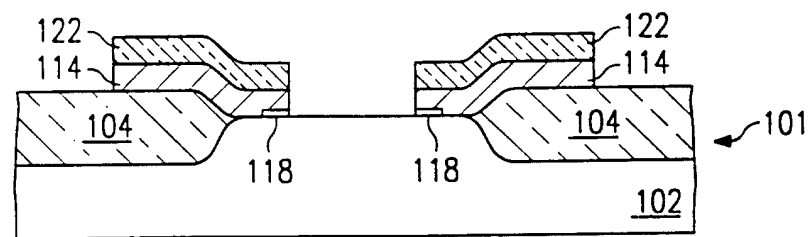


圖 8

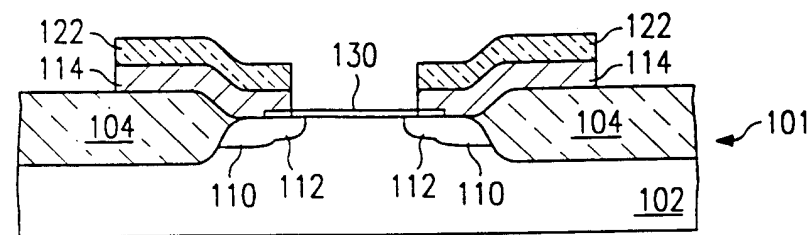


圖 9