

公告本

8

申請日期	86 年 6 月 26 日
案 號	86108987
類 別	G02F 1/32

A4
C4

425485

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	顯示裝置及其驅動方法
	英 文	
二、發明 創作人	姓 名	(1) 森山直己 (2) 增田陽一
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國神奈川縣横浜市都筑區仲町台四丁目一九番一八-四一四號 (2) 日本國神奈川縣横浜市西區宮個谷二五番地二三澤高級市鎮一號棟九一三號
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 名 姓	(1) 西室泰三

裝

訂

線

425485

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本	1996 年 7 月 11 日	08-182318	☒ 有主張優先權
日本	1997 年 5 月 13 日	09-122254	☒ 有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明所屬之技術領域〕

本發明係為關於顯示裝置及其驅動方法。

〔先行技術〕

近年，液晶顯示裝置對於達成輕量且低消耗電力之平坦狀面板顯示器已受注重。其中，在每顯示像素設置薄膜電晶體（以下，稱為TFT）等的開關元件之主動矩陣形液晶顯示裝置，因得有無串音的高精細顯示畫像，所以作為TV用的OA用等各種顯示器所利用。近年，由於要求顯示畫面的大型化，因而作為投射型而使用此樣液晶顯示裝置。

作為投射型而使用此樣主動矩陣型的顯示裝置時，在達成小型化，低價化，低耗電化下，必須是小型化學系，因此必須將液晶顯示裝置自體形成為了吋程度的小型化。

此處，在於此樣的顯示裝置，嘗試將用作驅動各顯示像素之驅動電路一體形成在與顯示畫像部同一基板上。

〔發明所欲解決之課題〕

在長寬比16:9的畫像數之顯示裝置使其顯示長寬比4:3的電腦影像訊號等，顯示裝置對應於複數個影像規格已漸形重要。此情況，影像訊號的水平回歸線期間也包含之水平像素數的設定，比構成顯示面板的一水平像素線之顯示像數還少時也被考量。此樣之時，在無所對應的影像訊號之顯示像素使其顯示非顯示資料。作為驅動電路

五、發明說明(2)

側所對應的方法，使用資訊框記憶體而改變影像訊號之驅動周波數後，預先在影像訊號的水平掃描期間充填非顯示資料也被考量，但此方法耗費成本。

作為別種方法，顯示資料係為準備非顯示資料，配合影像規格於顯示裝置側在每像素選擇顯示資料與非顯示資料且使其顯示也被考量，在顯示裝置使其作此樣的動作時，將在SID.93 DIGEST P.338-P. 386 "A 1.9-in, 1.5-Mpixel Driver Fully-Integrated Poly-Si TFT-LCD for HDTV Projection"等所示的移位暫存器構成為主體之驅動電路，移位暫存器為依順傳送訊號的形態之原因下，配合影像訊號規格而切換在顯示面板之中所驅動的訊號較為困難。

本發明考慮到上述情況，而提供可以容易地進行顯示非顯示領域的非顯示資料之顯示裝置及其驅動方法。

〔用以解決課題之手段〕

本發明第1形態的顯示裝置其特徵為具備：具有被配置成矩陣狀之複數個像素電極，與對應於各像素電極而設置之開關元件，與共通連接對應於朝前述像素電極當中相同行方向所配置的像素電極之開關元件而同時為了輸送所使其開閉動作的控制訊號之掃描線，與在朝前述像素電極當中相同列方向配置之像素電極，介由所對應的開關元件輸送影像訊號之影像訊號線，與對向配置在前述複數個像素電極之所被配置之對向電極等之顯示面板部；及

五、發明說明(3)

在收訊影像資料之前生成生因應於所收訊的重設訊號之第1時間訊號，根據此第1時間訊號，選擇同步於前述重設訊號後所送來的非顯示資料，將此所選擇的非顯示資料送出至對應於前述第1時間訊號之前述影像訊號線，此後，根據第2時間訊號選擇所送來的前述影像資料，將此所選擇的影像資料送出至對應於前述第2時間訊號之前述影像訊號線之影像訊號線驅動電路。

另外，前述影像訊號線驅動電路，係為以具備根據n位元的位址訊號與前述重設訊號而輸出前述第1或是第2時間訊號之邏輯電路，及根據此邏輯電路的輸出而選擇前述影像資料或是非顯示資料之選擇電路所構成亦可。

另外前述影像訊號線驅動電路，係為以具備根據n位元的位址訊號而輸出前述第1或是第2時間訊號之邏輯電路，及根據前述第1時間訊號而選擇前述非顯示資料之第1選擇電路，及根據前述第2時間訊號而選擇前述影像資料之第2選擇電路所構成等亦可。

另外前述影像訊號驅動電路，係為具備以所縱向連接的複數個正反器所形成，收訊啓起脈衝波，將此開始脈衝波同步於時訊訊號後依順傳送至後端的正反器之移位暫存器電路，及具有根據此移位暫存器電路各段的正反器輸出與前述重設訊號而輸出前述第1或是第2時間訊號的重設電路之邏輯電路，及根據前述第1或是第2時間訊號而選擇前述影像資料或是前述非顯示資料之選擇電路等所構成亦可。

五、發明說明(4)

另外，具備被設在前述移位暫存器電路所定的段之正反器與次段正反器之間，因應於所顯畫面的長寬比，而使其選擇前述所定之段的正反器輸出，或是選擇分歧被輸入至初段正反器的啟動脈衝波之脈衝波訊號而切換連接，將此所選擇的訊號送出至前述次段正反器之切換手段所構成亦可。

使其前述切換手段選擇前述所被分歧的脈衝訊號而切換連接時，前述邏輯電路更而具備使其不輸出根據含有前述初段至前述所定段的正反器之複數段的正反器的輸出之前述第2時間訊號之手段亦可。

另外前述顯示面板部係為以具備：形成前述像素電極，前述像素電極，前述像素電極，前述開關元件，前述掃描線與前述影像訊號線之陣列基板；及形成前述對向電極之對向基板；及被挾持在前述陣列基板與前述對向基板之間之液晶層等所構成亦可。

另外前述影像訊號線驅動電路係為能形成在前述陣列基板上。

另外，本發明第2形態之顯示裝置其特徵為具備：具有配置成矩陣狀之複數個電極，與對應於各像素電極而設置之開關元件，與共連連接對應於朝前述像素電極當中相同行方向所配置的像素電極之開關元件而同時為了輸送所使其開閉動作的控制訊號之掃描線，與在朝前述像素電極當中相同列方向所配置的像素電極，介由所對應的開關元件輸送影像訊號之影像訊號線，與對向配置在前述像素電

五、發明說明(5)

極之對向電極等之顯示面板；及具有未收訊重設訊號時在第1時間選擇掃描線，收訊重設訊時在與第1時間相異的第2時間選擇掃描線之邏輯電路，與將掃描電位供給至根據前述邏輯電路的輸出而選擇的掃描線之緩衝增幅器部之掃描線驅動電路部。

另外前述邏輯電路係為以根據m位元的位址訊號與前述重設訊號而選擇掃描線所構成亦可。

另外前述邏輯電路係為以具有以所被縱向連接的複數個正反器所形成，收訊啟動脈衝波，將此啟動脈衝波同步於時訊訊號後依順傳送至後段的正反器之移位暫存器電路，根據此移位暫存器電路各段之正反器的輸出與前述重設訊號而輸送為選擇前述掃描線的訊號之重設電路所構成亦可。

另外具備：被設在前述移位電路所定段的正反器與次段的正反器之間，因應於所顯示畫面的長寬比，使其選擇所述所定段正反器的輸出，或是選擇分歧被輸入至初段的正器之啟動脈衝波之脈衝波訊號而切換連接，將此所選擇的訊號送出至前述次段的正反器之切換手段所構成亦可。

另外在使其前述切換手段選擇前述所被分歧的訊號而切換連接時，前述邏輯電路進而可以具備使其不輸出為選擇根據含有前述初段至前述所定之段的正反器之複數段的正反器的輸出之前述掃描線的訊號之手段所構成。

另外，前述顯示面板部具備：以前述像素電極，前述開關元件，前述掃描線及前述影像訊號線所形成之陣列基

五、發明說明(6)

板；及形成前述對向電極之對向基板；及被挾持在前述陣列基板與前述對向基板之間之液晶層等所構成亦可。

另外前述掃描線驅動電路係為能形成在前述陣列基板上。

另外，本發明第3形態之驅動方法其特徵為：在一水平回歸線期間中寫入非顯示資料，在一水平掃描期間中寫入影像資料。

另外在前述一水平回歸線期間中所被寫入之前述非顯示資料的訊號之極性，在同一水平像素線中的顯示領域就是與在前述水平掃描期間中所寫入之前述影像資料的訊號之極性相同亦可。

另外在前述非顯示資料的顯示，使用被用在顯示前述影像資料的像素電極與對向電極之間的電位差的領域外之電位差亦可。

另外，本發明第4形態之驅動方法，係為針對以複數個顯示像素所形成之水平像素線，在複數個所被配列而成的顯示面板形成根據影像資料的顯示畫像的顯示裝置之驅動方法；其特徵為：設定含有前述影像資料的垂直回歸線期間之一垂直掃描期間之水平像素線數比顯示面板之水平像素線數還少時，在第1期間同時將非顯示資料寫入至未對應於前述影像資料之複數條水平像素線，同時在與前述第1期間相異之第2期間將前述影像資料寫入至對應於該資料的至少1條的前述水平像素線。

另外前述第1期間為一垂直回歸線期間，前述第2期

五、發明說明(7)

間為垂直掃描期間較為理想。

〔發明之實施形態〕

第1圖表示本發明顯示裝置的第1實施形態之構成。此實施形態的顯示裝置501係為液晶顯示裝置而被用在投射型EDTV(Extended Definition Television)，如第1圖所示具備對角3吋的顯示領域281。

此液晶顯示裝置501，係為在矩陣陣列基板101與對向基板(未圖示)之間介由以聚醯亞胺所形成的配向膜而保持TN(Twisted Nematic)型的液晶層351所構成。

如第1圖所示，矩陣基板101係為在顯示領域281與其周邊部分一體地具備影像訊號線驅動電路291及掃描線驅動電路293。對向電極驅動電路295與像素電位保持容量線驅動電路296被設置在矩陣陣列基板101的外部。在顯示領域281，被設有連接在影像驅動電路291，相互略平行地隔著所定間隔而配置的m條影像訊號線 $X_1, \dots, X_m$ ，及連接在掃描線驅動電路293，與影像信號線 X_i ($i = 1, \dots, m$)略正交而配置的n條掃描線 $Y_1, \dots, Y_n$ 。

在一方各掃描線 Y_j ($j = 1, \dots, n$)與各影像訊號線 X_i ($x = 1, \dots, m$)的交點部分被配置在n通道的TF121，且被配置有介由該TF121而以ITO(Indium Tin Oxide)所形成的像素電極151。

訂

五、發明說明(8)

然而，T F T 1 2 1 被連接至所對應的影像訊號線 X_i ($i = 1, \dots, m$)。另外在像素電極 1 5 1，保持像素電位的保持容量線 2 1 1 對於各像素電極 1 5 1 為與掃描線 Y_j ($j = 1, \dots, n$) 略平行地被配置。

上述對向基板係為具備以 I T O 所形成使其導電連接在對向電極驅動電路 2 9 5 而形成在透明的玻璃基本上之對向電極 3 0 1，及被配置在其對向電極上之配向膜所構成。另外以鉻 (C r) 等的金屬所形成之遮光層被配成使其遮蔽不必要的光，例如遮蔽入射至 T F T 1 2 1 的光。

根據影像訊號進行像素顯示時，掃描線驅動電路 3 9 3 依順將閘極 O N 電壓 V_g 輸出至掃描線 Y_1 ，掃描線 Y_2 ， $\dots$ 掃描線 Y_n 。接受此閘極 O N 電壓 V_g 而導通各 T F T 1 2 1 的汲極・源極間，由於此因，介由對應從影像訊號線 X_i ($i = 1, \dots, m$) 的影像訊號 V_s 之 T F T 1 2 1 而被導至各像素電極 1 5 1。因此，上述對向電極與像素電極 1 5 1 之間的電位差被加入至液晶層，根據此電位差形成顯示的同時，在像素電極 1 5 1 與保持容量線 2 1 1 之間也保持有電荷。然且由於保持電荷因而補償被保持在液晶層 3 5 1 的電荷變動而維持各場區期間，顯示畫像。

其次參照第 2 圖說明實施形態的液晶顯示裝置 5 0 1 之影像訊號驅動電路 2 9 1 的構成。此影像訊號線驅動電路 2 9 1，如第 2 圖所示，具備矩陣配線部 2 0 1，及邏輯電路 2 0 2，被連接在此邏輯電路 2 0 2 的緩衝增幅器

五、發明說明(9)

電路 204，及被連接至此緩衝增幅器電路 204 之影像訊號選擇電路 205，及被連接至此影像選擇電路 205 之保持容量 206。然而邏輯電路 202，緩衝增幅器電路 204，影像訊號選擇電路 205，及保持容量被設在各影像訊號線。

矩陣配線部例如 $A_0 \cdots \cdots A_9$ (A_i ($i = 0, \cdots \cdots 9$) 具有 0 或是 1 之值作為用以選擇訊號線 X_i ($i = 1, \cdots \cdots m$) 之位址訊號，則具有 21 條配線。在 21 條配線當中 1 條的配線輸入重設訊號，在剩餘 20 條的配線則輸入位址訊號的 10 位元 $A_0 \sim A_9$ 的各個數值 $D_0 \sim D_9$ ，及各自反轉這些 10 位 $A_0 \sim A_9$ 的數值 $D_{10} \sim D_{19}$ 。

邏輯電路 202 具備了輸入 NAND 閘 NA1，NA2，NA3，NA4；及 2 輸入 NAND 閘 NA5，NA6；及 2 輸入 NOR 閘 NO1，NO2。在 3 輸入 NAND 閘 NA1，NA2，NA3，NA4，以每位元 1 種類輸入數位式數值訊號 DA0 ~ DA9、或是其反轉數位式數值部號 DA10 ~ DA19。3 輸入 NAND 閘 NA1，NA2 的輸出被連接至 NOR 閘 NO1 的輸入端；NAND 閘 NA3，NA4 的輸出被連接至 NOR 閘 NO2 的輸入端。NOR 閘 NO1，NO2 的輸出被連接至 NAND 閘 NA5 的輸入端。NAND 閘 NA5 的輸出被連接至 NAND 閘 NA6 的輸入端。邏輯電路 203 最終端的 NAND 閘 NA6 之輸出形成為樣本脈衝波。

五、發明說明(10)

N A N D 閘 N A 6 的輸出被連接至緩衝增幅器電路 2 0 4

。

緩衝增幅器 2 0 4 具有 3 個緩衝器 2 0 4 a ,

2 0 4 b , 2 0 4 c 。 N A N D 閘 N A 6 的輸出係為以緩衝器 2 0 4 a 而被反轉增幅；此所被反轉增幅之訊號被輸入至構成影像訊號選擇電路 2 0 5 之轉移閘的 P 通道 T F T 2 0 5 a 之閘極。

另外 N A N D 閘 N A 6 的輸出，係為以串聯的緩衝器 2 0 4 b , 2 0 4 c 所形成的增幅電路而被增幅，此所被增幅的訊號被輸入至構成影像訊號選擇電路 2 0 5 之轉移閘的 n 通道 T F T 2 0 5 b 之閘極。然而以 T F T 2 0 5 a , 2 0 5 b 所形成的轉移閘係為被用在選擇影像訊號。

此轉移閘的汲極被連接至影像訊號匯流排線 2 0 7 , 從邏輯電路 2 0 2 的樣本脈衝波在 O N 期間之間，影像訊號為樣本。轉移閘的源極，被連接在所對應的影像訊號線同時也被連接至保持以影像選擇電路 2 0 5 所選擇的影像訊號之保持容量 2 0 6 。

其次參照第 2 圖說明影像訊號線驅動電路 2 9 1 之動作。在各矩陣配線部 2 0 1 被連接在 3 輸入 N A N D 閘 N A 1 , N A 2 , N A 3 , N A 4 之數值訊號線的組合分別相異。

在 N A N D 閘 N A 1 , 輸入數位式數值訊號 D A 0 或是其反轉訊號 D A 1 0 的其中 1 個，數位式數值訊號

五、發明說明(11)

D A 1 或是其反轉訊號 D A 1 1 的其中 1 個，數位式數值訊號 D A 2 或是其反轉訊號 D A 1 2 的其中 1 個。在 N A N D 閘極 N A 2，輸入數位式數值訊號 D A 3 或是其反轉訊號 D A 1 3 的其中 1 個，數位式數值訊號 D A 4 或是其反轉訊號 D A 1 4 的其中 1 個，數位式數值訊號 D A 5 或是其反轉訊號 D A 1 5 的其中 1 個。在 N A N D 閘 N A 3，輸入數位式數值訊號 D A 6 或是其反轉訊號 D A 1 6 的其中 1 個，數位式數值訊號 D A 7 或是其反轉訊號 D A 1 7 的其中 1 個，數位式數值訊號 D A 8 或是其反轉訊號 D A 1 8 的其中 1 個。N A N D 閘極 N A 4 的輸入之中，1 輸入輸入數位式數值訊號 D A 9 或是其反轉訊號 D A 1 9 的其中 1 個，在其他 2 輸入通常輸入「H」準位的訊號。N A N D 閘 N A 6 的單方面之輸入全部與重設訊號線連接。

在於此樣所構成的影像訊號線驅動電路 2 9 1，只 N A N D 閘 N A 1，N A 2，N A 3，N A 4 的全部輸入形成爲「H」準位時，解碼器（邏輯電路）2 0 2 的 N A N D 閘 N A 5 輸出「L」準位的訊號。在於此情況，寫入顯示領域的影像訊號資料時，重設訊號由於形成爲「H」準位，所以從邏輯電路 2 0 2 最終段的 N A N D 閘 N A 6，樣本脈衝波被輸出至緩衝增幅器 2 0 4。由於此因，以影像訊號選擇電路 2 0 5 而選擇，輸出影像訊號。

對於此點，當寫入非顯示資料，重設訊號由於形成爲「L」準位，所以無關此時的 N A N D 閘 N A 1，N A 2

五、發明說明(12)

， $N A 3$ ， $N A 4$ 之輸入，從全部邏輯電路202最終段的 $N A N D$ 閘 $N A 6$ ，樣本脈衝波被輸出至緩衝增幅器電路204。

由於同步於重設訊號形成爲「L」準位而從影像訊號匯流排線207供給必要的非顯示資料，因而從全部的影像訊號選擇電路205輸出非顯示影像訊號。

顯示畫面如第4圖所示，以例列舉以 640×480 像素所形成的顯示領域502，及以 107×48 像素所形成的非顯示領域503，及以 106×480 像素所形成的非顯示領域504而被構成的情況，參照第3圖說明本實施形態的液晶顯示裝置之動作。此情況的液晶顯示裝置具有853條影像訊號線及480條掃描線。

在於時刻 t_0 ，從掃描線驅動電路293，「H」準位的電壓 $V_g(N-1)$ 輸入至 $N-1$ 項的掃描線 Y_{N-1} ，所以被連接至此掃描線 Y_{N-1} 之 $T F T 121$ 形成爲ON。此時，從108項的影像訊號線 X_{108} 被連接至747項的影像訊號線 X_{747} 之邏輯電路202依順輸出樣本脈衝波的形態之位址訊號，被輸送至影像訊號驅動電路291的矩陣配線部201。所以從影像訊號線驅動電路291，影像訊號依順被輸送至影像訊號線 X_{108} ， $\dots$
 $\dots X_{747}$ ，介由被連接至掃描線 Y_{N-1} 的 $T F T 121$ ，而在所對應的像素電極151寫入影像訊號資料（第3圖所示的一水平掃描期間之間）。由於此因從第4圖所示的顯示領域502之中，在 $N-1$ 行項的像素顯示顯示資料

五、發明說明 (13)

然且，掃描線 Y_{N-1} 的電壓 $V_g(N-1)$ 形成爲「L」準位時（時刻 t_1 ）經過所定時間 Δt ，則 N 項目的掃描線 Y_N 之電壓 $V_g(N)$ 形成爲「H」準位的同時，重設訊號形成爲「H」準位（參照第 3 圖所示的時刻 t_2 ）。由於 N 項目的掃描線 Y_N 之電位 $V_g(N)$ 形成爲「H」準位，因而被連接至此掃描線 Y_N 之 T F T 1 2 1 形成爲 O_N 。此時，將重設訊號爲「L」準位的同時將非顯示資料，例如黑色顯示的電位供給至影像訊號匯流排線 207，則介由被連接至掃描線 Y_N 之 T F T 1 2 1 而在 $m (= 853)$ 個的像素電極 151 寫入非顯示資料的影像訊號。

在於時刻 t_3 終了水平回歸線間後重設訊號形成爲「H」準位，則與上述過同樣從 108 項目的影像訊號線 X_{108} 被連接至 747 項目的影像訊號線 X_{747} 之邏輯電路 202 依順輸出樣本脈衝波之形態的位址訊號，被輸送至影像訊號線驅動電路 291 的矩陣配線部 201。所以從影像訊號驅動電路 291，影像訊號依順被輸送至影像訊號線 $X_{108}, \dots, X_{747}$ ，介由被連接至掃描線 Y_N 的 T F T 1 2 1，而在所對應的像素電極 151 寫入影像訊號資料。

因此，從顯示畫面之上對應於 N 行項的像素之像素電極當中，在對應於非顯示領域 503，504 的像素之像素電極 151 寫入非顯示資料例如寫入黑色顯示的電位，

五、發明說明(14)

在對應於顯示領域 502 的像素之像素電極 151 寫入顯示資料。

由於此因，在顯示領域 502 顯示顯示資料，在非顯示領域 503，504，顯示非顯示資料，上述的情況顯示「黑色」。

然而，第 3 圖所示之 Δt 係為因掃描線的時定數之影響而延遲以行項的掃描線所控制的 TFT 121 所 OFF 之時間，防止，將寫入至 Y_N 行的影像訊號保持 Y_{N-1} 行項的像素電極 151。

如以上所說明過依據本實施形態的顯示裝置，在只使其變化重設訊號下，於水平回歸線期間，能將非顯示資料寫入至非顯示領域的信號線寫入非顯示資料，且可以容易地進行顯示非顯示領域之非顯示資料。

然而，在於上述實施形態之液晶顯示裝置，以同資訊框指定寫入至像素電極的影像訊號與同極性的訊號作為非顯示資料，而在水平回歸線期間預先寫入，即是因預通電所以能進行顯示資料的充分寫入，且可以得到高對比度的顯示。

另外，在於本實施形態，因以重設訊號對於一水平全像素進行非顯示資料的寫入，所以以驅動電路朝顯示畫面上的水平方向任意地選擇顯示領域時，在未被選擇的顯示像素，已經保持有非顯示資料。因此在影像訊號不加入手操作就可以任意地選擇顯示領域。

其次參照第 5 圖及第 6 圖說明本發明顯示裝置第 2 實

五、發明說明 (15)

施形態的構成。此實施形態的顯示裝置，在於第 1 圖至第 2 圖所示的第 1 實施形態之液晶顯示裝置，將影像訊號線驅動電路 2 9 1 的構成更換成第 5 圖所示構成的影像訊號線驅動電路的同時取代影像訊號匯流排線 2 0 7 而設置影像訊號匯流排線 4 0 7 A，4 0 7 B。

此第 5 圖所示的影像訊號線驅動電路，具備矩陣配線部 4 0 1，及 2 種類的驅動部；一方的驅動部被用於驅動顯示領域的影像訊號線，他方的驅動部被用於驅動非顯示領域的影像訊號線。

上述一方的驅動部如第 5 (a) 圖所示被設在顯示領域的每影像訊號線，具備邏輯電路 4 0 2 A，接收此邏輯電路 4 0 2 A 的輸出之緩衝增幅器電路 4 0 4 A，及根據此緩衝增幅器電路 4 0 4 A 的輸出選擇影像訊號之影像訊號選擇電路 4 0 5 A。另外上述他方的驅動部被設在非顯示領域的每影像訊號線，具備邏輯電路 4 0 2 B，及接受此邏輯電路 4 0 2 B 的輸出之緩衝增幅器電路 4 0 4 B，及根據此緩衝增幅器電路 4 0 4 B 選擇影像訊號之影像訊號選擇電路 4 0 5 B。

矩陣配線部 4 0 1 形成為與第 2 圖所示的矩陣配線部 2 0 1 同樣的構成。另外邏輯電路 4 0 2 A，4 0 2 B 形成為與第 2 圖所示的邏輯電路 2 0 2 同樣的構成。緩衝增幅器電路 4 0 4 A，4 0 4 B 形成為與第 2 圖所示的緩衝增幅器電路 2 0 4 同樣的構成。然而矩陣配線部 4 0 1 與邏輯電路 4 0 2 A，在所驅動的影像訊號線之位址被輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

至矩陣配線部 4 0 1 A 時，使影像資料送出至上述所驅動的影像訊號線而被連接。另外矩陣配線部 4 0 1 與邏輯電路 4 0 2 B 的連接也是同樣。然而，在於第 5 圖應被連接至影像訊號選擇電路之保持量未被圖示。

然後，緩衝增幅器電路 4 0 4 A 係為增幅及反轉增幅邏輯電路 4 0 2 A 的輸出；緩衝增幅器電路 4 0 4 B 係為增幅及反轉緩衝增幅邏輯電路 4 0 2 B 的輸出。另外，影像訊號選擇電路 4 0 5 具有 2 個轉移閘 4 0 5 A，4 0 5 B。轉移閘 4 0 5 A 係為根據緩衝增幅器電路 4 0 4 的輸出而選擇介由影像訊號匯流排線 4 0 7 A 所送來的影像訊號 V i d e o 1；轉移閘 4 0 5 B 係為根據緩衝增幅器電路 4 0 4 B 的輸出而選擇介由影像訊號匯流排線 4 0 7 B 所送來的影像訊號 V i d e o 2。

以此樣的構成，對應於顯示面板內的非顯示資料內容，若先作連接 T F T 1 2 1 的輸入配線（影像訊號線）而分配在影像訊號匯流排線 4 0 7 A 及影像訊號匯流排線 4 0 7 B，則如第 6 圖所示在影像訊號不必要插入非顯示資料。另外在水平回歸線期間也能同時地寫入別的顯示資料，在一水平像素線內可以分別設定為了預通電至顯示領域的電壓及為了預通電至非顯示領域之非顯示資料的電壓。例如如第 4 圖所示顯示畫像的情況，使影像訊號 V i d e o 1 輸入至對應於顯示領域 5 0 2 的訊號線而連接，且使影像訊號 V i d e o 輸入至對應於非顯示領域 5 0 4 的訊號線而連接。在未顯示非顯示資料時影像訊號

五、發明說明 (17)

V i d e o 1 與影像訊號 V i d e o 2 完全相同，但在顯示非顯示資料時影像訊號 V i d e o 1 保持原樣，影像訊號 V i d e o 2 形成爲非顯示資料。然而，設定預通電用電壓而欲輸入時，如第 7 圖所示將影像訊號 V i d e o 1 的水平回歸線期間之電壓設定爲 $\pm V_1$ 。

此第 2 實施形態的液晶顯示裝置當然可能達到與第 1 實施形態同樣的效果。

其次參照第 8 圖及第 9 圖說明本發明顯示裝置第 3 實施形態的構成。此實施形態的顯示裝置，係爲針對第 1 圖至第 2 圖所示第 1 實施形態的液晶顯示裝置，將影像訊號線驅動電路 291 的構成更換成第 8 圖所示構成的影像訊號線驅動電路，同時取代影像訊號匯流排線 207 改而設置影像訊號匯流排線 607 及掃描訊號匯流排線 608A，608B。

此第 8 圖所示之影像訊號線驅動電路具備矩陣配線部 601 及 2 種類的驅動部。2 種類的驅動部當中的一方的驅動部如第 8 (a) 圖所示被設在所驅動的每訊號線，具備邏輯電路 602A；及緩衝增幅器電路 604A₁，604A₂；及以轉移閘所形成的影像訊號選擇電路 605A₁，605A₂。另外他方的驅動部如第 8 (b) 圖所示被設在所驅動的每訊號線，具備邏輯電路 602B；及緩衝增幅器電路 604B₁，604B₂；及以轉移閘所形成之影像訊號選擇電路 605B₁，605B₂。然而在於第 8 圖保持容量則未被圖示。

裝

訂

五、發明說明 (18)

矩陣配線部 6 0 1 形成爲與第 2 圖所示的矩陣配線部 2 0 1 同樣的構成。邏輯電路 6 0 2 A, 6 0 2 B 係爲各個從第 2 圖所示的邏輯電路 2 0 2 削除 N A N D 閘 N A 6。緩衝增幅器電路 6 0 4 A₁, 6 0 4 B₂, 6 0 4 C₁, 6 0 4 D₂ 係爲各個具有與第 2 圖所示緩衝增幅器電路 2 0 5 同樣的構成。然且緩衝增幅器電路 6 0 4 B₁ 係爲增幅及反轉增幅邏輯電路 6 0 2 A 的輸出；緩衝增幅器電路 6 0 4 B₁ 係爲增幅及反轉增幅邏輯電路 6 0 2 B 的輸出。另外緩衝增幅器電路 6 0 4 A₂, 6 0 4 A₃ 各個增幅及反轉增幅重設訊號 (在於本實施形態爲正值邏輯)。

轉移閘 6 0 5 A₁ 係爲根據緩衝增幅器電路 6 0 4 A₁ 的輸出而選擇介由影像訊號匯流排線 6 0 7 所送來的影像訊號；轉移閘 6 0 5 B₁ 係爲根據緩衝增幅器電路 6 0 4 B₁ 的輸出而選擇介由影像訊號匯流排線 6 0 7 所送來的影像訊號。另外轉移閘 6 0 5 A₂, 係爲根據緩衝增幅器電路 6 0 4 A₂ 的輸出, 而選擇介由掃描訊號匯流排線 6 0 8 A 所送來的掃描訊號 R a s t e r 1；轉移閘 6 0 5 B₂ 係爲根據緩衝增幅器電路 6 0 4 B₂ 的輸出, 而選擇介由掃描訊號匯流排線 6 0 8 B 所送來的掃描訊號 R a s t e r 2。

以此樣的構成, 與表示顯示資料之影像訊號不同地輸入表示非顯示資料或是預通電用電壓之掃描訊號 R a s t e r 1, R a s t e r 2 的情況形成爲可能。如第 9 圖所示, 不必要修正影像訊號水平回歸線期間的資料

五、發明說明(19)

。另外在以不同的配線供給掃描訊號 R a s t e r 1 與掃描訊號 R a s t e r 2 下，與第 2 實施形態同樣地，在一水平像素線內分別設定非顯示資料與預通電用電壓後可以輸入。

此第 3 實施形態的顯示裝置當然也可以達到與第 1 實施形態的顯示裝置同樣的效果。

以上，已說明過本發明顯示裝置的第 1，2，3 實施形態，但這些是在各影像訊號線設置邏輯電路之例。對於此點，如本發明第 4 實施形態，以 1 個的邏輯電路可以同時驅動複數個影像訊號線。參照第 10 圖，第 11 圖說明或第 4 實施形態。此實施形態的顯示裝置係為針對第 1 圖至第 2 圖所示第 1 實施形態的液晶顯示裝置，將緩衝增幅器電路及影像訊號選擇電路更換成第 10 圖所示的緩衝增幅器部 704 及影像訊號選擇電路部 705。緩衝增幅器部 704 係為具有 2 個的緩衝增幅器電路 704，

704b；影像訊號選擇電路部 705 係為具有以轉移閘所形成的影像訊號選擇電路 705a 及以轉移閘所形成的影像訊號選擇電路 705b。

從邏輯電路 702 所輸出之樣本脈衝波被輸入至 2 個緩衝增幅器 704a，704b。這些緩衝增幅器電路 704a，704b 係為增幅，反轉增幅樣本脈衝波後分別輸入至轉移閘 705a，705b。轉移閘 705a 係為選擇介由影像訊號匯流排線 706a 所送來的影像訊號 V i d e o 1；轉移閘 705b 係為選擇介由影像訊號匯

五、發明說明 (20)

流排線 706b 所送來的影像訊號 Video 2。然且如第 11 圖所示，在影像訊號匯流排線 706a，供給寫入至奇數項目的影像訊號線之影像訊號，在影像訊號匯流排線 706b 供給寫入至偶數項目的影像訊號線之影像訊號。但是第 11 圖所示影像訊號 Video 1, 2 的波形，由於難於圖示對應於奇數項目，或是偶數項目的影像訊號線之訊號內容，所以取其模式性表現。

然後與第 1 實施形態同樣地，輸入至 NAND 閘 NA1, NA2, NA3, NA4 的數位式數值訊號，全部形成爲「H」時從邏輯電路 702 輸出樣本脈衝波後選擇，輸出影像訊號。另外同步於重設訊號形成爲「L」準位，而從影像訊號匯流排線 706a, 706b 供給必要的非顯示資料，因而從對應於影像訊號線全部之影像訊號選擇電路部 705 輸出非顯示影像訊號。然而，在此第 4 實施形態數位式輸入訊號 D₀~D₁₉ 的周波數及影像訊號的周波數可以以實施形態的一半進行與第 1 實施形態同樣的顯示。另外用此驅動法，轉移閘的影像訊號之充分的寫入形成爲可能。本發明第 4 實施形態不僅是可以適用於第 1 實施形態，當然也可以適用於第 2, 3 實施形態。

然而，在以上所說明過的實施形態，根據重設訊號選擇非顯示資料，但如本發明第 5 實施形態，就是無根據重設訊號選擇非顯示資料之電路時也能顯示非顯示資料。參照第 12 圖，第 13 圖說明此第 5 實施形態之顯示裝置。

第 12 圖表示此第 5 實施形態顯示裝置之影像訊號線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

驅動電路291的構成。此實施形態之影像訊號線驅動電路，如第12圖所示具備矩陣配線部801，及邏輯電路802，及緩衝增幅器電路804，及影像訊號選擇電路805。矩陣配線部801係為從第2圖所示第1實施形態的矩陣配線部201前除重設訊號用的配線。另外邏輯電路802係為從第2圖所示第1實施形態的邏輯電路202削除最終端的NAND閘NA6。然而，緩衝增幅器電路804及影像訊號選擇電路805形成為與第2圖所示第1實施形態的緩衝增幅器電路204及影像訊號選擇電路205分別同樣的構成。

如第13圖所示，選擇，輸出非顯示資料時，將輸入至NAND閘NA1，NA2，NA3，NA4之數位式數值訊號DA0～DA19，全部設為「H」，使其同步於此後將非顯示資料供給至影像訊號匯流排線。由於此因可以對於全部的影像訊號線寫入非顯示資料。

針對以上所述實施形態的顯示裝置，如第4圖所示說明在顯示畫面的左右具有非顯示領域的情況。如本發明顯示裝置的第6實施形態，就是在顯示畫面的上下具有非顯示領域的情況，也可以容易地進行非顯示資料的顯示。參照第14圖至第16圖說明此第6實施形態的顯示裝置。

此第6實施形態之顯示裝置，係為針對第1至第4的任何實施形態之顯示裝置，掃描線驅動電路293具有第15圖所示的構成。然且形成為容易地顯示第14圖所示的顯示畫面。

五、發明說明 (22)

針對第 1 4 圖在顯示資料顯示領域 9 0 2，依順將閘極 O N 電壓 V_g 輸出至掃描線 Y_1 ，掃描線 Y_2 ，... 掃描線 Y_n 。針對此點，在上下的非顯示資料顯示領域

9 0 3，9 0 4 之非顯示資料的寫入，掃描線驅動電路 2 9 3 係為對於非顯示領域的掃描線全部而同時輸出閘極 O N 電壓 V_g 。

加諸在此實施形態之掃描線驅動電路 2 9 3，具有矩陣配線部 1 0 0 5 a，1 0 0 5 b，1 0 0 5 c；及重設訊號配線部 1 0 8；進而具有被設在各掃描線的邏輯電路 1 0 0 6 a，1 0 0 6 b，1 0 0 6 c，1 0 0 6 d 及緩衝增幅器電路 1 0 0 7。

將為了選擇掃描線 Y_j ($j = 1, \dots, n$) 之位址訊號設為 $A_0 \dots A_8$ (A_i ($i = 0, \dots, 8$) 具有 0 或是 1 之值)，則在矩陣配線部 1 0 0 5 a，1 0 0 5 b，1 0 0 5 c 全體具有 1 8 條的配線。在此 1 8 條的配線輸入位址訊號的 9 位元 $A_0 \dots A_8$ 各個的數值 D A Y 0 ~ D A Y 8，及各自反轉這些個 1 0 位元 $A_0 \dots A_8$ 之數值 D A Y 9 ~ D A Y 1 7。

矩陣配線部 1 0 0 5 a 係為以輸入數值 D A Y 6 ~ D A Y 8 之 3 條配線，及輸入數值 D A Y 1 5 ~ D A Y 7 之 3 條配線所形成；矩陣配線部 1 0 0 5 b 係為以輸入數值 D A Y 3 ~ D A Y 5 之 3 條配線，及輸入數值 D A Y 1 2 ~ D A Y 1 4 之 3 條配線所形成；矩陣配線部 1 0 0 5 c 係為以輸入數值 D A Y 0 ~ D A Y 2 之 3 條配

五、發明說明 (23)

線，及輸入數值 DAY 9 ~ DAY 11 之 3 條配線所形成。

另外重設訊號配線部 1008 具有輸入重設訊號 Reset Y1 之配線及輸入重設訊號 Reset Y2 之配線。

邏輯電路 1006 a，1006 b，1006 c 分別以 3 輸入 NAND 閘 NA1，NA2，NA3 所形成。邏輯電路部 1006 d 分別以 2 輸入 NOR 閘 NO1，NO2 所形成。NAND 閘 NA1 係為輸入數值訊號 DAY 6 或是 DAY 15 的其中 1 個，數值訊號 DAY 7 或是 DAY 16 的其中 1 個，數值訊號 DAY 8 或是 DAY 17 的其中 1 個。NAND 閘 NA2 係為輸入數值訊號 DAY 3 或是 DAY 12 的其中 1 個，數值訊號 DAY 4 或是 DAY 13 的其中 1 個，數值訊號 DAY 5 或是 DAY 14 的其中 1 個。NAND 閘 NA3 係為輸入數值訊號 DAY 0 或是 DAY 9 的其中 1 個，數值訊號 DAY 1 或是 DAY 10 的其中 1 個，數值訊號 DAY 2 或是 DAY 11 的其中 1 個。在 NOR 閘 NO1 輸入 NAND 閘 NA1，NA2，NA3 的輸出。對於所相異的掃描線係為被連接至 3 個 NAND 閘 NA1，NA2，NA3 之數值訊號的組合分別相異。

在 NOR 閘 NO2 以 2 輸入的 NOR 閘輸入 NOR 閘 NO1 的輸出及重設訊號。另外，重設訊號配線部 1008，在選擇顯示領域的掃描線 A 之邏輯電路

五、發明說明 (24)

1 0 0 d 輸入重設訊號 R e s e t Y 1 ; 在選擇非顯示領域的掃描線 B 之邏輯電路 1 0 0 d 輸入重設訊號

R e s e t Y 2 。如上述所連接的 N A N D 閘 N A 1 , N A 2 , N A 3 的全部輸入形成為「H」時或是重設訊號形成為「H」時, 解碼器的 N O R 閘 N O 2 輸出「L」。

此處, 在顯示面板的上下未顯示非顯示資料時, 重設訊號 R e s e t Y 1 , R e s e t Y 2 由於都通常形成為「L」, 所以掃描訊號驅動電路 2 9 3 只在垂直掃描期間依順輸出掃描電壓。對於此點, 顯示顯示面板的上下為非顯示資料時, 重設訊號 R e s e t Y 1 通常形成為「L」, 重設訊號 R e s e t Y 2 係為垂直掃描期間形成「L」; 垂直回歸線期間形成為「H」(參照第 1 6 圖)。由於此因, 在垂直掃描線期間, 輸入重設訊號 R e s e t Y 2 之全部的邏輯電路 1 0 0 d 無關 N A N D 閘 N A 1 , N A 2 , N A 3 , N A 4 的輸入, 同時對於緩衝增幅器電路 1 0 0 7 輸出樣本脈衝波且輸出掃描電壓(參照第 1 6 圖)。配合此狀態, 影像訊號線驅動電路 2 9 1 係為在垂直掃描期間之間, 由於輸出非顯示資料所以在複數個水平像素線進行非顯示資料的寫入。

在上述實施形態, 重設訊號 R e s e t Y 1 由於通常為「L」, 所以就是不設定重設訊號 R e s e t Y 1 與 N O R 閘 N O 2 的輸入之電路也是可能。但在本實施形態, 在各段的動作速度使其不出現差, 而在全部之段設置 N O R 閘 N O 2 之電路。

五、發明說明 (25)

在第 14 圖表示與在前述過水平回歸線期間寫入左右的非顯示資料同時，使用上述過驅動電路及驅動方法而也在上下顯示非顯示資料之顯示畫面例。以持有 853×480 個的顯示像素之顯示裝置在 640×400 像素的顯示領域 902 進行根據電腦的影像訊號之顯示，在剩餘的顯示領域 903，904，905，906 使其顯示非顯示資料。

然而在比上述 2 種類還多地設定重設訊號下，當然形成爲可以對應於更多的垂直像素數的影像訊號規格。

在於上述第 1 至第 6 的實施形態，作爲影像訊號線驅動電路 291 及掃描線驅動電路 293 的邏輯電路係爲使用解碼器但也可以使用移位暫存器。說明在影像訊號線驅動電路的邏輯電路使用移位暫存器的情況作爲第 7 實施形態。

參照第 17 圖至第 19 圖說明本發明顯示裝置的第 7 實施形態。此實施形態的顯示裝置係爲針對第 1 圖所示之液晶顯示裝置，將影像訊號線驅動電路 291 更換成第 19 圖所示構成的影像訊號線驅動電路。

在此第 19 圖所示之影像訊號線驅動電路，具備邏輯電路 20，及緩衝增幅器部 30，及影像訊號選擇電路 40。邏輯電路 20 係爲根據啓動脈衝波，長寬比切換訊號及重設訊號而從影像訊號匯流排線 50 依順產生爲了取出影像資料或是非顯示資料之時間訊號；具備水平移位暫存器電路 21，及長寬比切換電路 24，及重設電路 26

五、發明說明(26)

本實施形態之顯示裝置的顯示領域281之橫的像素數與縱的像素如第4圖所示為853×480的情況，即是認為是長寬比為16：9的情況。此情況，移位暫存器電路21具備對應於上述橫的像素數而設置的853個例如D型正反器22₁，……22₈₅₃，及輸入段切換電路23。853個正反器22₁，……22₈₅₃為縱向連接。

然且在上述顯示領域如第4圖所示在對應於形成為顯示畫面502的開始之橫的像素之正反器22₁₀₈與此正反器22₁₀₈的前段之正反器22₁₀₇之間設置輸入切換電路23。從外部的啟動脈衝波被輸入至正反器22₁，則同步於時訊脈衝波（未圖示）後上述啟動脈衝波被傳送至後段的正反器22₂，同時為移位正反器電路21的輸出之時間訊號被輸送至長寬比切換電路24。此狀態在各段的正反器依順被返復。正反器22₁₀₇的輸出被輸送至輸入段切換電路23。

輸入段切換電路23，在顯示領域281顯示長寬比16：9的顯示畫面時，選擇正反器22₁₀₇的輸出；顯示長寬比4：3的顯示畫面時，選擇所被分歧的啟動脈衝波後送出至次段的正反器22₁₀₈。正反器22₁₀₈係為輸入段切換電路23的輸出（啟動脈衝波），同步於上述時訊脈衝波後傳送至後段的正反器22₁₀₉，同時被輸送至長寬比切換電路24。此狀態在各段的正反器被返復，啟

五、發明說明 (27)

動脈衝波依順被傳送後段的正反器，同時被送出至長寬切比切換電路 24。

長寬比切換電路 24 具有 853 個 NOR 電路 25_i，
 …… 25₈₅₃。NOR 電路 25_i (i = 1, ……
 107, 748, …… 853) 係為根據長寬比切換訊
 號及正反器 22_i 的輸出而進行 NOR 運算且將運算結果
 送出至重設電路 26。NOR 電路 25_i (i = 108,
 …… 747) 係為根據長寬比切換電路 24 之 NOR 電
 路 25_i 的輸出，及重設訊號後進行 NOR 運算，且將運
 算結果送出至緩衝增幅器部 30。

緩衝增幅器部 30 具有 853 個緩衝增幅器電路
 32_i，…… 32₈₅₃。另外影像訊號選擇電路 40 具備
 853 轉移閘 42_i，…… 42₈₅₃。緩衝增幅器電路
 32_i (i = 1, …… 853) 係為增幅及反轉增幅
 NOR 電路 27_i 的輸出，各別被輸入至構成轉移閘
 42_i 之 p 通道 TFT 及 n 通道 TFT 的閘。在此轉移閘
 42_i (i = 1, …… 853) 形成為 ON 的期間之間
 ，介由影像訊號匯流排線所送來的影像資料或是非顯示資
 料被樣本化，被輸送至所對應的影像訊號線 X_i (i = 1
 ，…… 853)。

參照第 18 圖及第 19 圖說明此實施形態之顯示裝置
 的動作。第 18 圖係為顯示長寬比為 16 : 9 的顯示畫面
 時的時間圖。第 19 圖係為表示長寬比為 4 : 3 的顯示畫
 面之時的時間圖。

五、發明說明 (28)

在顯示長寬比為 16 : 9 的顯示畫面時，長寬比切換訊號被設定為「L」準位。然後以輸入段切換電路 23 使其選擇正反器 22₁₀₇ 的輸出後被輸送至正反器 22₁₀₈ 而切換連接。因此在一水平掃描期間的開始時從外部輸入至水平移位暫存器電路 21 之啟動脈衝波同步於時訊訊號後依順被傳送至正反器 22₁，……… 22₈₅₃，同時從這些各正反器 22_i ($i = 1, \dots, 853$) 時訊訊號被送出至長寬比切換電路所對應的 NOR 電路 25_i。然而啟動脈衝波及時間訊號，在於此實施形態是如第 18 圖所示形成為負值邏輯的同時重設訊號形成為正值邏輯。從各正反器 22_i ($i = 1, \dots, 853$) 時間訊號被送至所對應的 NOR 電路 25_i，則從 NOR 電路 25_i 輸出「H」準位的訊號後被發訊至重設電路 26 所對應的 NOR 電路 27_i。

上述一水平掃描期間中，重設訊號因被設定為「L」準位所以 NOR 電路 25_i 的輸出只在「H」時從 NOR 電路 27_i ($i = 1, \dots, 853$) 輸出「L」準位的訊號，且介由緩衝增幅器電路 32；而對應的轉移閘 42_i 為 ON。因此以轉移閘 42_i ($i = 1, \dots, 853$) 而從影像訊號匯流排線 50 載入至影像資料所對應的影像訊號線 X_i (參照第 18 圖)。經此在一水平掃描期間中影像資料依順被轉入至影像訊號線 X₁……… X₈₅₃。

另外在於此實施形態，由於在水平回歸線期間的一定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

期間重設訊號形成爲「H」準位（參照第 1 8 圖），從重設電路 2 6 的各個 NOR 電路 2 7_i（ $i = 1, \dots, \dots 853$ ）輸出「L」準位的訊號，全部的轉移閘 4 2_i， $\dots, \dots 42_{853}$ 形成爲 DN。此時將非顯示資料，例如黑色顯示的電位供給至影像訊號匯流排線 5 0，則此非顯示資料被輸送至介由轉移閘 4 2_i（ $i = 1, \dots, \dots 853$ ）所對應的影像訊號線 X_i。然後在與第 1 實施形態的情況同樣地，以掃描線驅動電路 2 9 3 介由被連接至現在所選擇的掃描線之 TFT 1 2 1 而在 8 5 3 個像素電極寫入上述非顯示資料。

另則，在顯示長寬比爲 4 : 3 顯示畫面時，如第 1 9 圖所示，長寬比切換訊號被固定爲「H」準位。因此長寬比切換電路 2 4 的 NOR 電路 2 5₁ ~ 2 5₁₀₇及 NOR 電路 2 5₇₄₈ ~ 2 5₈₅₃的輸出各別通常形成爲「L」準位。在水平回歸線期間的一定期間重設訊號因形成爲「H」準位（參照第 1 9 圖），所以與長寬比爲 1 6 : 9 的情況同樣地，以掃描線驅動電路 2 9 3 介由被連接至現在所選擇的掃描線之 TFT 1 2 1 而在 8 5 3 個像素電極寫入非顯示資料形成爲可能。

然且在於一水平掃描期間，如上述 NOR 電路 2 5₁ ~ 2 5₁₀₇及 NOR 電路 2 5₇₄₈ ~ 2 5₈₅₃的輸出通常爲「L」準位；如第 1 9 圖所示重設訊號因是「L」準位，所以重設電路 2 6 的 NOR 電路 2 7₁ ~ 2 7₁₀₇及 NOR 電路 2 7₇₄₈ ~ 2 7₈₅₃的輸出，各別形成爲「H」準位。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(30)

因此，在一水平掃描期間內，轉移閘 $42_1 \sim 42_{107}$ 及轉移閘 $42_{748} \sim 42_{853}$ 未成為 ON，介由 T F T 121 而被連接至所對應的影像訊號線 $X_1 \sim 27_{107}$ 及 $X_{748} \sim X_{853}$ 之像素電極，未被寫入影像資料。上述像素電極係為在水平回歸線期間保持所被寫入的資料。

另外，在一水平掃描期間中，從外部送出而來的啟動脈衝波係為被輸入至正反器 22_1 ，同時介由輸段切換電路 23 而被輸入至正反器 22_{108} 。然後同步於時訊訊號後正反器 22_1 至正反器 22_{107} 為止，依順傳送啟動脈衝波的同時；從正反器 23_{108} 至最終端的正反器 22_{853} 為止，依順傳送啟動脈衝波。然而，正反器 22_{107} 的輸出係為不以輸入段切換電路 23 輸送至正反器 22_{108} 。

然後同步於啟動脈衝波後從各段的正反器 22_i ($i = 1, \dots, 853$) 輸出啟動脈衝波的同時在所對應的 NOR 電路 25_i 送出時間訊號。

此樣在一水平掃描期間中，在各 NOR 電路 25_i ($i = 1, \dots, 853$) 送出時間訊號，但如前述轉移閘 $42_1 \sim 42_{107}$ 及轉移閘 $42_{748} \sim 42_{853}$ 未形成為 ON。

對於此點，轉移閘 $42_{108} \sim 42_{747}$ 係為與長寬比 16 : 9 的情況同樣地，因是因應於上述時間訊號而形成為 ON，所以載入影像資料成為可能。因此在介由 T F T 121 而被連接至影像訊號線 X_i ($i = 108, \dots, 747$) 之像素電極寫入影像資料，例如如第 4 圖所示在

裝

訂

五、發明說明 (31)

顯示領域 5 0 2 顯示影像資料；在非顯示領域 5 0 3，
5 0 4 顯示非顯示資料。

然而在於此第 7 實施形態，取代解碼器改用移位暫存器作為第 1 實施形態的影像訊號線驅動電路 2 9 1 之邏輯電路，但當然能取代解碼器改用移動暫存器作為第 2，第 4 及第 5 實施形態的影像訊號線驅動電路之邏輯電路。

然而，在於本實施形態，為了選擇影像資料及非顯示資料之開關由於使用共用的類比式開關，所以形成為能縮小影像訊號線驅動電路，且可以縮小被稱為被置影像訊號線驅動電路之顯示畫面的周圍幅緣之領域。另外，從顯示領域的兩側設置影像訊號線驅動電路而形成為能從兩側驅動，且可以更高精細化。

其次，以掃描線驅動電路 2 9 3 的邏輯電路說明使用移位暫存器的情況，作為第 8 實施形態。

參照第 2 0 圖至第 2 2 圖說明本發明顯示裝置的第 8 實施形態。此第 8 實施形態的顯示裝置，係為例如針對第 7 實施形態的顯示裝置，在掃描線驅動電路 2 9 3 的邏輯電路使用移位暫存器。此掃描線驅動電路 2 9 3 係為具備邏輯電路 6 0 及緩衝增幅器電路 7 0。

邏輯電路 6 0 係為根據啟動脈衝波，長寬比切換訊號及重設訊號而依順產生為了選擇掃描線的時間訊號；具備移位暫存器電路 6 1，及長寬比切換電路 6 4，及重設電路 6 6。

本實施形態的顯示裝置的顯示領域 2 8 1 (參照第 1

五、發明說明 (32)

圖) 之橫的像素數與縱的像素數, 如第 1 4 圖所示為 853×480 的情況, 即是認為是長寬比為 $16:9$ 的情況。此情況, 移位暫存器電路 6 1 具備對應於上述縱的像素數而設置的 480 個例如 D 型的正反器 $63_1, \dots \dots 63_{480}$, 及輸入段切換電路 6 2。480 個的正反器 $63_1, \dots \dots 63_{480}$ 被縱向連接。

然後在上述顯示領域 2 8 1, 如第 1 4 圖所示在顯示長寬比為 $8:5$ 的顯示畫面 9 0 2 時, 在對應於此顯示畫面 9 0 2 所成為開始之縱的像素之正反器 63_{41} 與此前段的正反器 63_{40} 之間設置輸入段切換電路 6 2。

從外部所送來的啟動脈衝波被輸入至正反器 63_1 , 同步於時訊脈衝波 (未圖示) 後上述啟動脈衝波依順被傳送至後段的正反器, 同時從各段的正反器 63_i ($i = 1, \dots \dots 40$), 時間訊號依順被送出至長寬比切換電路 6 4。

輸入段切換電路 6 2, 係為在顯示領域 2 8 1 (參照第 1 圖), 顯示如第 1 4 圖所示的長寬比為 $8:5$ 的顯示畫面 9 0 2 時, 選擇所被分歧的啟動脈衝波; 在顯示如第 4 圖所示的長寬比為 $4:3$ 的顯示畫面 5 0 2 時, 選擇正反器 63_{40} 的輸出後, 送出至次段的正反器 63_{41} 。

正反器 63_{41} 係為輸入段切換電路 6 2 的輸出, 同步於上述時訊脈衝波後傳送至後段的正反器 63_{42} (未圖示), 同時被輸送至長寬比切換電路 6 4。此狀態在以後各段的正反器被返復, 啟動脈衝波依順被傳送至後段的正反

五、發明說明 (33)

器，同時被送出至長寬比切換電路 64。

長寬比切換電路 64 係為具有 480 個 NOR 電路 65₁，…… 65₄₈₀。NOR 電路 65_i (i = 1，…… 40，411，…… 480) 係為根據長寬比切換訊號與正反器 63_i 的輸出而進行 NOR 運算，且將運算結果送出至重設電路 66。另外 NOR 電路 65_i (i = 41，…… 440) 係為根據正反器 63_i 的輸出與「L」準位的訊號而進行 NOR 運算，且將運算結果送出至重設電路 66。

重設電路 66 係為具有 480 個 NOR 電路 67₁，…… 67₄₈₀。NOR 電路 67_i (i = 1，…… 40，411，…… 480) 係為根據長寬比切換電路 64 之 NOR 電路 65_i 的輸出與重設訊號而進行 NOR 運算，且將運算結果送出至緩衝增幅器電路 70。另外 NOR 電路 67_i (i = 41，…… 440) 係為根據 NOR 電路 65_i 的輸出與「L」準位的訊號而進行 NOR 運算，且將運算結果送出至緩衝增幅器電路 70。

緩衝增幅器電路 70 係為具有 480 個緩衝增幅器 72₁，…… 72₄₈₀。緩衝增幅器 72_i (i = 1，…… 480) 係為增幅重設電路 66 之 NOR 電路 67_i 的反轉輸出，送出至所對應的掃描線 Y_i。

參照第 21 圖及第 22 圖說明此第 8 實施形態之動作。第 21 圖係為顯示長寬比為 4 : 3 之顯示畫面時的時間圖；第 22 圖係為顯示長寬比為 8 : 5 之顯示畫面時之時

五、發明說明 (34)

間圖。

顯示長寬比為 4 : 3 的顯示畫面時，長寬比切換訊號及重設訊號（本實施例為正邏輯）被設定為「L」準位。然後使其以輸入切換電路 2 3 選擇正反器 6 3₄₀的輸出後被送至正反器 6 3₄₁後切換連接。

因此，在一垂直掃描期間的開始時，從外部輸入至移位暫存器電路 6 1 之啟動脈衝波係為同步於時訊訊號後依順傳送至正反器 6 3_i，……… 6 3₄₈₀，同時從這些各正反器 6 3_i（ $i = 1, \dots, 480$ ），在長寬比切換電路 6 4 所對應的 NOR 電路 6 5_i，輸出「L」準位的時間脈衝波訊號 SR（i）（參照第 2 1 圖）。因此從 NOR 電路 6 5_i（ $i = 1, \dots, 480$ ）輸出「H」準位的脈衝波訊號，由於此因，從重設電路 6 6 的 NOR 電路 6 7_i輸出「L」準位的脈衝波訊號，進而從所對應的緩衝增幅器 7 2_i輸出「H」準位的脈衝波訊號 V_g（i）。

以上，於一垂直掃描期間在全掃描線依順進行寫入，顯示第 4 圖所示的長寬比為 4 : 3 的顯示畫面 5 0 2。

顯示長寬比為 8 : 5 之顯示畫面的情況，如第 2 2 圖所示長寬比切換訊號被設定為「H」準位的同時，重設訊號只在垂直回歸線期間中的所定期間形成為「H」準位。然後使其以輸入切換電路 2 3 選擇所被分歧的啟動脈衝波後輸送至正反器 6 3 後切換連接。

因此，在一垂直掃描期間的開始時從外部輸入至移位

裝

訂

五、發明說明 (35)

暫存器電路 6 1 之啟動脈衝波係為同步於時訊訊號後分即依順傳送至正反器 6 3₁... 6 3₄₁及正反器 6 3₄₁... 6 3₄₈₀，同時從這些各正反器 6 3_i (i = 1 , ... 480) ，在長寬比切換電路 6 4 所對應的 NOR 電路 6 5_i輸出「L」準位的時間脈衝波訊號 S R (i) (參照第 2 2 圖) 。

所以從 NOR 電路 6 5_i (i = 1 , ... 480) 輸出「H」準位的脈衝波訊號。但是由於長寬比切換訊號被設定為「H」準位，所以其他 NOR 電路 6 5_i (i = 1 , ... 40 , 441 , ... 480) 的輸出形成為依原樣被固定為「L」準位。

因此，重設電路 6 6 的 NOR 電路 6 7_i (i = 1 , ... 40 , 441 , ... 480) 的輸出，係為從長寬比切換電路 6 4 所對應的 NOR 電路 6 5_i在收訊脈衝波訊號時輸出「L」準位的脈衝波訊號。

由於此因，顯示切換領域 9 0 3 , 9 0 4 (參照第 1 4 圖) 的緩衝增幅器 7 2_i (i = 1 , ... 40 , 441 , ... 480) 之輸出係為在一垂直掃描期間中，被固定為「L」準位；顯示切換領域的掃描線未被選擇。因此，從資料顯示領域的緩衝增幅器 7 2_i (i = 41 , ... 440) ，依順輸出為了選擇的時間脈衝波訊號 V_g (i) ；在一垂直掃描期間中所對應的掃描線 Y_i依順被掃描。由於此因如第 1 4 圖所示，只在顯示資料顯示領域 9 0 2 進行影像資料的寫入。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (36)

另外在垂直回歸線期間的所定期中，由於重設訊號形成爲「H」準位，因而顯示切換領域903，904之NOR電路67_i ($i = 1, \dots, 40, 441, \dots, 480$) 的輸出係爲在垂直回歸線期間的所定期間中，形成爲「L」準位。然而此時顯示領域之NOR電路67_i ($i = 41, \dots, 441$) 的輸出爲「H」準位。

因此，顯示切換領域之緩衝增幅器的輸出因形成爲「H」準位，所以此顯示切換領域的掃描線Y_i ($i = 1, \dots, 40, 441, \dots, 480$) ，在上述所定期間中，常時被選擇；被連接在這些掃描線之全部的TF T形成爲ON。另外顯示領域之緩衝增幅器的輸出因形成爲「L」準位，所以被連接至顯示領域的掃描線Y_i ($i = 41, \dots, 440$) 之全部的TF T，在上期期間中常時形成爲OFF。

如以上所說明，依據本實施形態的顯示裝置，可以容易地進行顯示非顯示領域的非顯示資料。

然而，在於上述第1至第8實施形態，如第23圖所示，將在非顯示資料的寫入時加入至液晶之電壓，使其形成爲比在顯示顯示資料時加入至液晶之電壓領域 ΔV_{LC1} 還大的電壓 V_{LC2} ，也可以因閃爍而使其難於看出。

另外在上述實施形態，將非顯示資料作爲黑色顯示，但以白色或是中間色調亦可。

然而在於上述實施形態，顯示裝置爲液晶顯示裝置，

五、發明說明 (37)

但在其他顯示裝置當然也可以適用。

〔發明之效果〕

如以上所述，依據本發明，可以容易地進行顯示非顯示領域的非顯示資料。

〔圖面之簡單說明〕

第 1 圖係為表示本發明顯示裝置的第 1 實施形態的構成之構成圖。

第 2 圖係為表示加諸在第 1 實施形態的顯示裝置其影像訊號線驅動電路的一具體例之構成圖。

第 3 圖係為表示第 1 實施形態的顯示裝置之驅動時間圖。

第 4 圖係為表示以本發明的顯示裝置所顯示的顯示畫像之一例圖。

第 5 圖係為表示加諸在本發明顯示裝置的第 2 實施形態其影像訊號線驅動電路的一具體例之構成圖。

第 6 圖係為表示第 2 實施形態的顯示裝置之驅動時間圖。

第 7 圖係為表示第 2 實施形態的顯示裝置之其他驅動時間圖。

第 8 圖係為表示加諸在本發明顯示裝置的第 3 實施形態其影像訊號線驅動電路的一具體例之構成圖。

第 9 圖係為表示第 3 實施形態的顯示裝置之驅動時間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(38)

圖。

第10圖係為加諸在本發明顯示裝置的第4實施形態其影像訊號線驅動電路的一具體例之構成圖。

第11圖係為表示第4實施形態的顯示裝置之驅動時間圖。

第12圖係為表示加諸在本發明顯示裝置的第5實施形態其影像訊號線驅動電路的一具體例之構成圖。

第13圖係為表示第5實施形態的顯示裝置之驅動時間圖。

第14圖係為表示以本發明的顯示裝置而顯示的顯示畫像之一例圖。

第15圖係為表示加諸在本發明顯示裝置的第6實施形態其掃描線驅動電路的一具體例之構成圖。

第16圖係為表示第6實施形態的顯示裝置之驅動時間圖。

第17圖係為表示加諸在第7實施形態其影像訊號線驅動電路的一具體例之構成圖。

第18圖係為說明第7實施形態的顯示裝置的一驅動方法之時間圖。

第19圖係為說明第7實施形態的顯示裝置的其他驅動方法之時間圖。

第20圖係為表示加諸在第8實施形態其掃描線驅動電路的一具體例之構成圖。

第21圖係為說明第8實施形態的顯示裝置的一驅動

五、發明說明(39)

方法之時間圖。

第22圖係為說明第8實施形態的顯示裝置的其他驅動方法之時間圖。

第23圖係為表示液晶加入電壓與光透過率的關係之圖形。

〔圖號說明〕

20：邏輯電路

21：水平位移暫存器電路

21_i：(i = 1, ... 853) 正反器

23：輸入段切換電路

24：長寬比切換電路

25_i：(i = 1, ... 853) NOR 電路

26：重設電路

27_i：(i = 1, ... 853) NOR 電路

30：緩衝增幅器部

32_i：(i = 1, ... 853) NOR 電路

40：影像訊號選擇電路

42_i：(i = 1, ... 853) 轉移閘

60：邏輯電路

61：移位暫存器電路

63_i：(i = 1, ... 480) 正反器

64：長寬比切換電路

65_i：(i = 1, ... 480) NOR 電路

裝

訂

五、發明說明(40)

66 : 重設電路

67_i : (i = 1 , ... 480) NOR 電路

70 : 緩衝增幅器電路

72_i : (i = 1 , ... 480) 緩衝增幅器

101 : 矩陣陣列基板

121 : TFT

151 : 像素電極

201 : 矩陣配線部

202 : 邏輯電路

204 : 緩衝增幅器電路

205 : 影像訊號選擇電路

206 : 保持容量

207 : 影像訊號匯流排線

211 : 保持容量線

281 : 顯示領域

291 : 影像訊號線驅動電路

293 : 掃描線驅動電路

295 : 對向電極驅動電路

296 : 像素電位保持容量線驅動電路

301 : 對向電極

351 : 液晶層

401 : 矩陣配線部

402A , 402B : 邏輯電路

404A , 404B : 緩衝增幅器電路

405A , 405B : 影像訊號選擇電路 (轉移閘)

407A , 407B : 影像訊號匯流排線

501 : 液晶顯示裝置

502 : 顯示領域

503 : 非顯示領域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (41)

5 0 4 : 非顯示領域 6 0 1 : 矩陣配線部

6 0 2 A , 6 0 2 B : 邏輯電路

6 0 4 A , 6 0 4 B : 緩衝增幅器電路

6 0 5 A , 6 0 5 B , 6 0 5 C , 6 0 5 D : 影像訊

號選擇電路 (轉移閘)

6 0 7 : 影像訊號匯流排線

6 0 8 A , 6 0 8 B : 掃描訊號匯流排線

7 0 1 : 矩陣配線部 7 0 2 : 邏輯電路

7 0 4 : 緩衝增幅器

7 0 4 A , 7 0 4 B : 緩衝增幅器電路

7 0 5 : 影像訊號選擇電路部

7 0 5 A , 7 0 5 B : 矩陣配線部

8 0 2 : 邏輯電路

8 0 4 : 緩衝增幅器電路

8 0 5 : 影像訊號選擇電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

顯示裝置及其驅動方法

本發明的課題係為使其能容易地進行顯示非顯示領域之非顯示資料。

其解決手段其特徵為具備：具有被配置成矩陣狀之複數個像素電極 1 5 1，與對應於各像素電極而設置之開關元件，與共通連接對應於朝前述像素電極當中相同行方向配置的像素電極之開關元件而同時為輸送所使其開閉動作之控制訊號之掃描線 $Y_1, \dots, Y_n$ ，與在朝前述像素電極當中相同列方向配置的像素電極，介由所對應之開關元件而輸送影像訊號之影像訊號 $X_n, \dots, X_m$ ，與對向配置在前述複數個像素電極的所對向配置之對向電極等之顯示面板部；及

在收訊影像資料之前生成對應於所收訊的重設訊號之第 1 時間訊號，根據此第 1 時間訊號，選擇同步於前述重設訊號後所送來之非顯示資料，將此所選擇之非顯示資料送出至對應於前述第 1 時間訊號之前述影像訊號線，此後，根據第 2 時間訊號選擇所送來之影像訊號，將此所選擇的影像資料送輸出至對應於前述第 2 時間訊號之影像訊號

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

425485

A5
B5

四、中文發明摘要(發明之名稱：

線驅動電路 2 9 1。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種顯示裝置其特徵為具備：

具有被配置成矩陣狀之複數個像素電極，與對應於各像素電極而被設置之開關元件，與共通連接對應於朝前述像素電極當中相同行方向所配置的像素電極之開關元件而同時爲了輸送所使其開閉動作的控制訊號之掃描線，與在前述像素電極當中相同列方向所配置的像素電極，介由所對應的開關元件而爲了輸送影像訊號線，與被對向配置在前述複數個像素電極之所對向配置的對向電極等之顯示面板部；及

在收訊影像資料之前生成因應於所收訊的重設訊號之第1時間訊號，根據此第1時間訊號，選擇同步於前述重設訊號而送來之非顯示資料，將此所選擇的非顯示資料送出至對應於前述第1時間訊號之前述影像訊號線，其後根據第2時間訊號而選擇所送來的前述影像資料，將此所選擇的影像資料送出至對應於前述第2時間訊號之前述影像訊號線之影像訊號線驅動電路。

2. 一種顯示裝置之驅動方法，係爲驅動申請專利範圍第1項的顯示裝置之驅動方法；其特徵爲：

在一水平回歸線期間中寫入前述非顯示資料，在一水平掃描期間中寫入前述影像資料的顯示裝置之驅動方法。

3. 如申請專利範圍第2項的顯示裝置之驅動方法，其中在前述一水平回歸線期間中所寫入之前述非顯示資料的訊號之極性，與在同一水平像素線中的顯示領域，於前述水平掃描期間中所寫入之前述影像資料的訊號之極性相

六、申請專利範圍

同。

4. 如申請專利範圍第2項的顯示裝置之驅動方法，其中在前述非顯示資料的顯示，使用用於前述影像資料的顯示之像素電極與對向電極之間的電位差之領域外的電位差。

5. 如申請專利範圍第1項之顯示裝置，其中前述影像訊號線驅動電路係為具備：根據n位元的位址訊號與前述重設訊號而輸出前述第1或是第2時間訊號之邏輯電路，及根據此邏輯電路的輸出而選擇前述影像資料或是非顯示資料之選擇電路。

6. 如申請專利範圍第1項之顯示裝置，其中前述影像訊號線驅動電路係為具備：

根據n位元的位址訊號而輸出前述第1或是第2時間訊號之邏輯電路，及

根據前述第1時間訊號而選擇前述非顯示資料之第1選擇電路，及

根據前述第2時間訊號而選擇前述影像資料之第2選擇電路。

7. 如申請專利範圍第1項之顯示裝置，其中前述影像訊號線驅動電路係為具備：

具有以所被縱向連接的複數個正反器(flip flop)所形成，收訊啟動脈衝波，將此啟動脈衝波同步於時訊(clock)而依順傳送至後段的正反器之移位暫存器電路，與根據此移位暫存器電路之各段正反器的輸出與前述重設

訂

六、申請專利範圍

訊號而輸出至前述第 1 或是第 2 時間訊號的重設電路之邏輯電路，及

根據前述第 1 或是第 2 時間訊號而選擇前述影像資料或是前述非顯示資料之選擇電路。

8. 如申請專利範圍第 7 項之顯示裝置，其中具備：被設在前述移位暫存器電路的所定段之正反器與次段之正反器之間，因應於所被顯示之畫面的長寬比，使其選擇前述所定段之正反器的輸出，或是選擇分歧被輸入至初段的正反器之啟動脈衝波之脈衝波訊號，而切換連接，將此所選擇的訊號送出至前述次段的正反器之切換手段。

9. 如申請專利範圍之第 8 項之顯示裝置，其中在前述切換手段使其選擇前述所被分歧的脈衝波訊號，而切換連接時，前述邏輯電路更而具備使其不輸出根據含有前述初段至前述所定段正反器的複數段之正反器的輸出的前述第 2 時間訊號之手段。

10. 一種顯示裝置其特徵為具備：

具有被配置成矩陣狀之複數個像素電極，與對應於各像素電極而被設置之開關元件，與共通連接對應於朝前述像素電極當中相同行方向所配置的像素電極之開關元件而同時為了輸送所使其開閉動作的控制訊號之掃描線，與在朝前述像素電極當中相同列方向所配置的像素電極，介由所對應的開關元件而為了輸送影像資料之影像訊號線，與對向配置在前述像素電極之對向電極等之顯示面板部；及

具有未收訊重設訊號時在第 1 期間選擇掃描線；收訊

六、申請專利範圍

重設訊號時在與前述第 1 期間相異的第 2 期間選擇掃描線之邏輯電路，與根據前述邏輯電路的輸出而將前述控制訊號供給至所被選擇的掃描線之緩衝增幅器電路等之掃描線驅動電路部。

1 1 . 一種顯示裝置之驅動方法，係為針對以複數個顯示像素所形成的水平像素線在複數條所被配列而成之顯示面板形成根據影像資料之顯示畫像的顯示裝置之驅動方法；其特徵為：

設定含有前述影像資料的垂直回歸線期間之一垂直掃描期間的水平像數線數比顯示面板的水平像素線還少時，同時將非顯示資料在第 1 期間寫入至未對應於前述影像資料的複數個水平像素線，同時將前述影像資料在與前述第 1 期間相異的第 2 期間寫入至對應於此影像資料之至少 1 條的前述水平像素線。

1 2 . 如申請專利範圍第 1 1 項的顯示裝置之驅動方法，其中前述第 1 期間為一垂直回歸線期間；前述第 2 期間為垂直掃描期間。

1 3 . 如申請專利範圍第 1 0 項之顯示裝置，其中前述邏輯電路係為根據 m 位元的位址訊號及前述重設訊號而選擇掃描線。

1 4 . 如申請專利範圍第 1 0 項之顯示裝置，其中前述邏輯電路係為具有：

以所被縱向連接的複數個正反器所形成，收訊啟動脈衝波，將此啟動脈衝波同步於時訊訊號後依順傳送後段

六、申請專利範圍

的正反器之移位暫存器電路，及根據此移位暫存器電路之各段正反器的輸出與前述重設訊號而輸出爲了選擇前述掃描線的訊號之重設電路。

1 5 . 如申請專利範圍第 1 4 項之顯示裝置，其中具備：被設在前述移位暫存器的所定段之正反器與次段的正反器之間，因應於所被顯示之畫面的長寬比，使其選擇前述所定段之正反器的輸出，或是選擇分歧被輸入至初段的正反器之啓動脈衝波的脈衝波訊號，而切換連接，將此所選擇的訊號輸出至前述次段的正反器之切換手段。

1 6 . 如申請專利範圍第 1 5 項之顯示裝置，其中在前述切換手段使其選擇前述所被分歧的脈衝波訊號，而切換連接時，前述邏輯電路更而具備使其不輸出爲了選擇根據含有前述初段至前述所定段的正反器之複數段正反器的輸出之前述掃描線的訊號之手段。

1 7 . 如申請專利範圍第 1 , 5 , 6 , 7 , 8 或 9 項的任何項之顯示裝置，其中前述顯示面板部係爲具備：

形成前述像素電極，前述開關元件，前述掃描線，與前述影像訊號線之陣列基板；及形成前述對向電極之對向基板；及被挾持在前述陣列基板與前述對向基板之間之液晶層。

1 8 . 如申請專利範圍第 1 7 項之顯示裝置，其中前述影像訊號驅動電路係爲被形成在前述陣列基板上。

1 9 . 如申請專利範圍第 1 0 , 1 3 , 1 4 , 1 5 或 1 6 項的任何項之顯示裝置，其中前述顯示面板部係爲具

六、申請專利範圍

備：

形成前述像素電極，前述開關元件，前述掃描線，與前述影像訊號之陣列基板；及形成前述對向電極之對向基板；及被挾持在前述陣列基板與前述對向基板之間之液晶層。

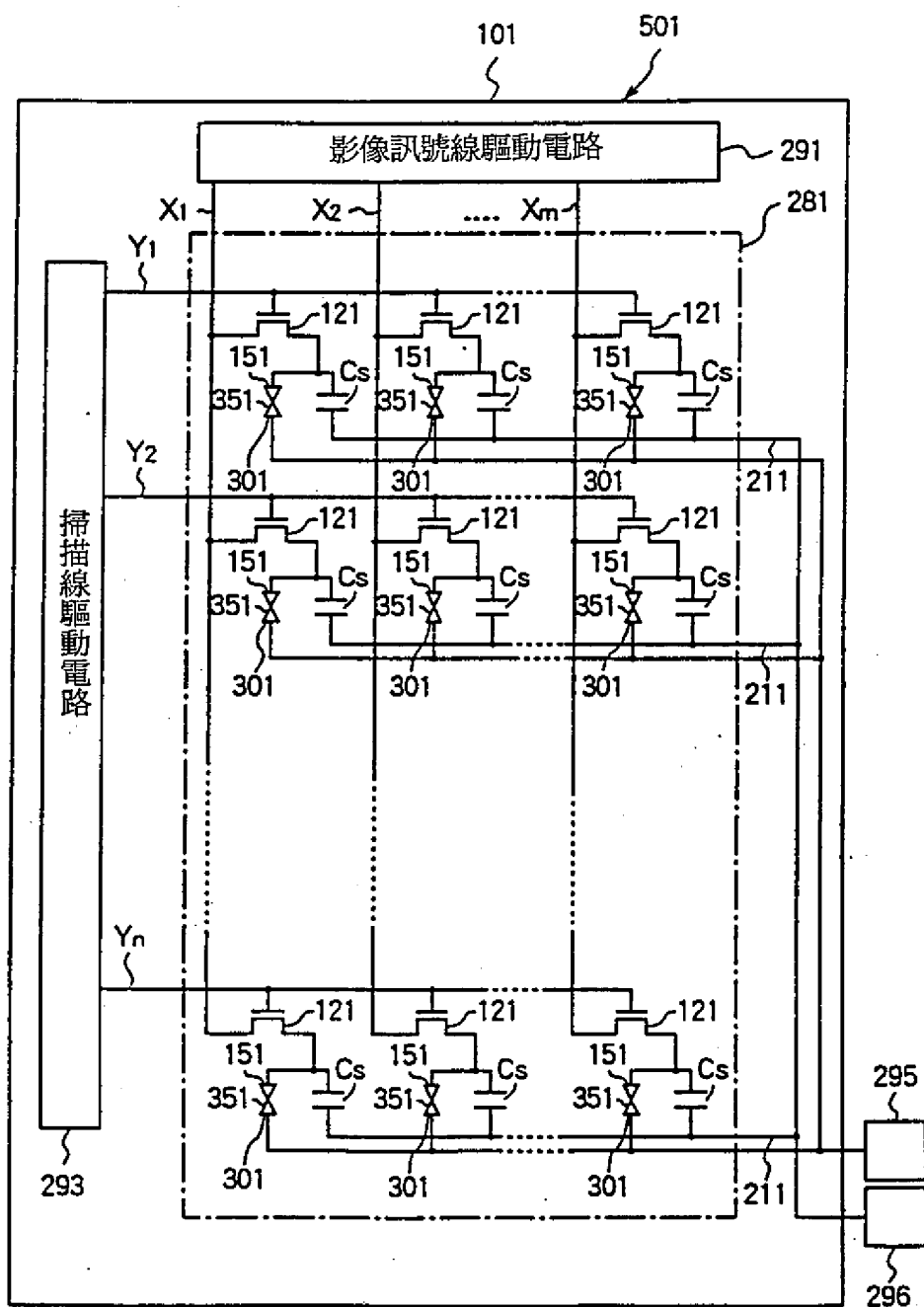
20. 如申請專利範圍第19項之顯示裝置，其中前述掃描驅動電路係為被形成在前述陣列基板上。

(請先閱讀背面之注意事項再填寫本頁)

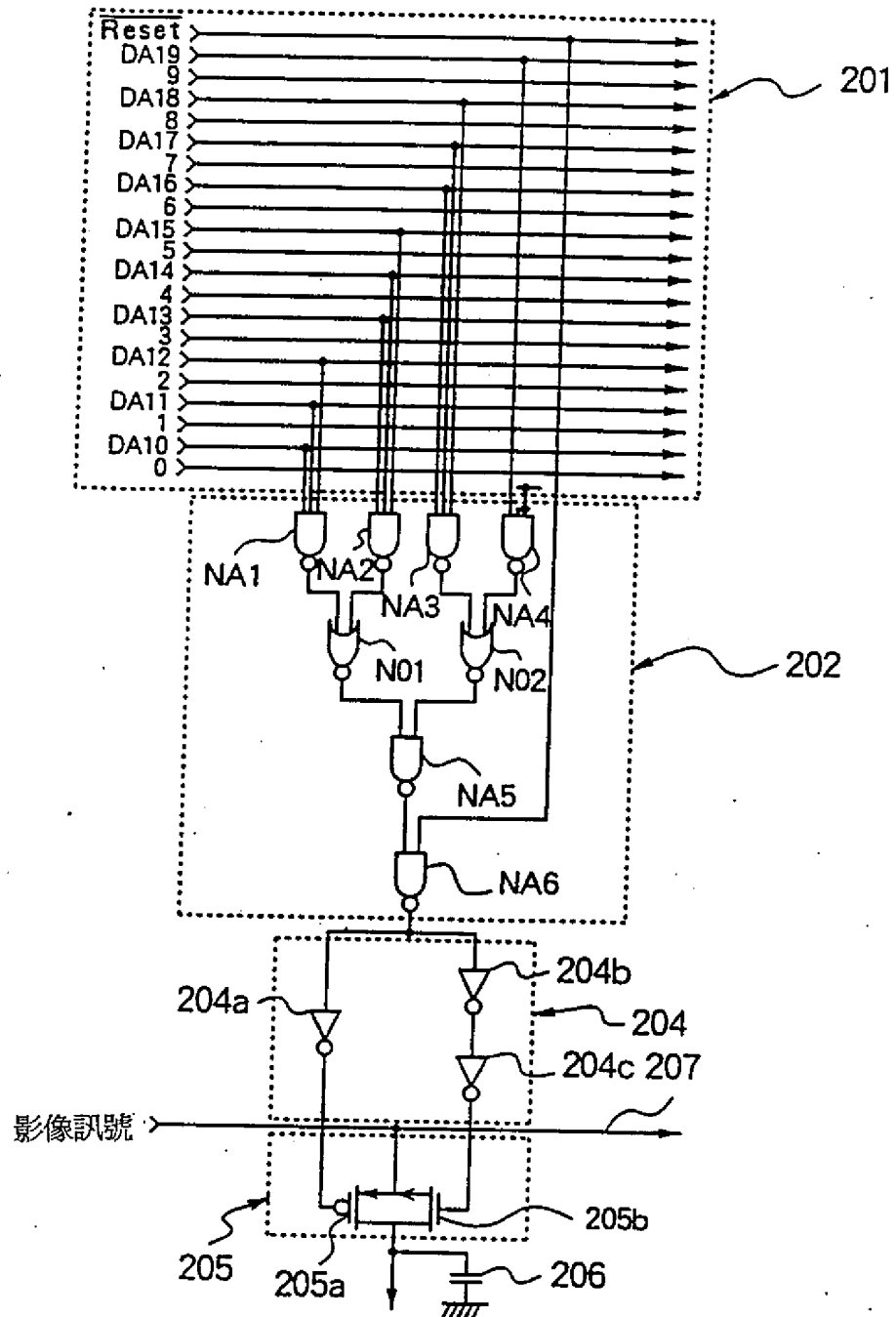
○
張

訂

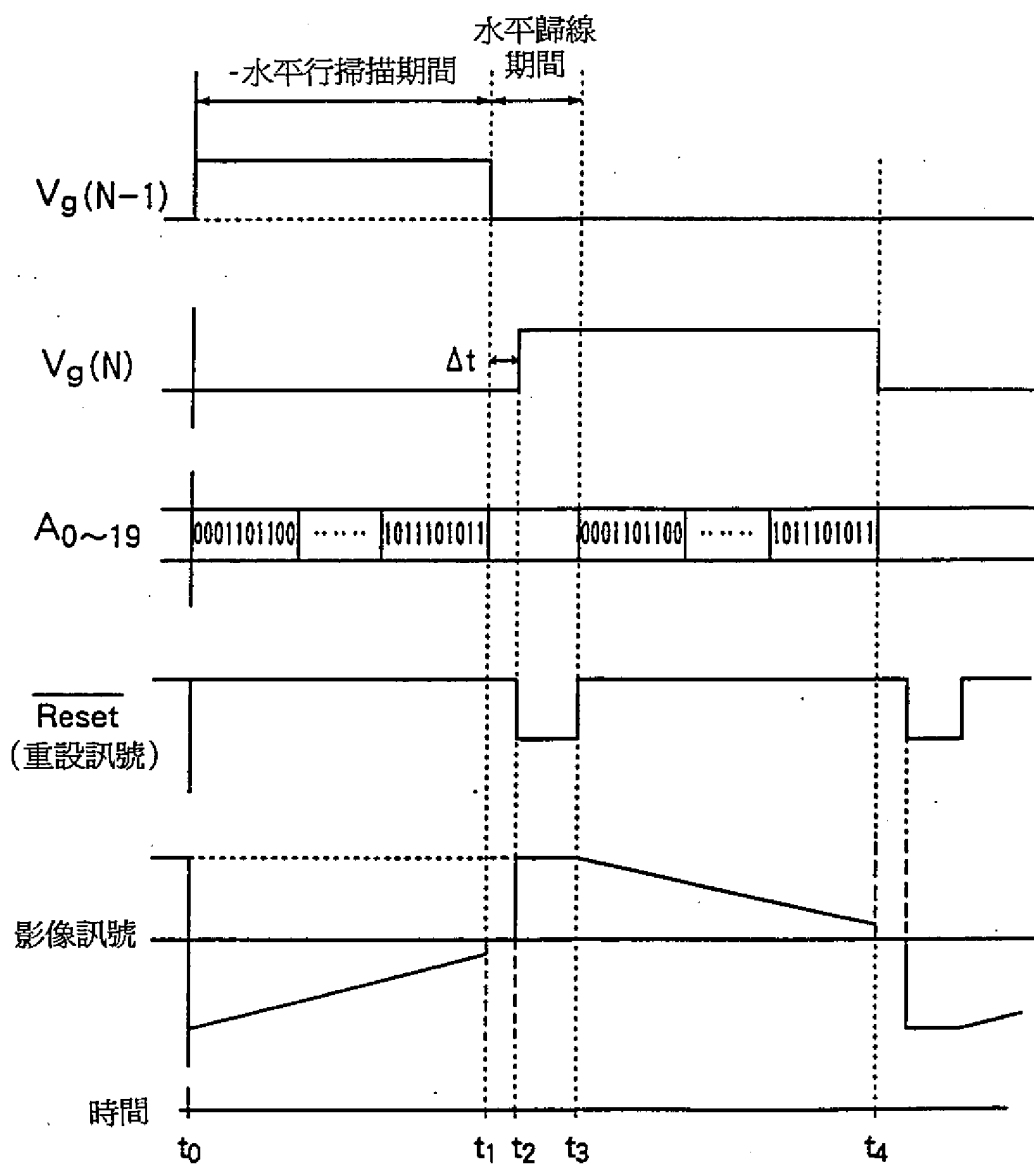
○



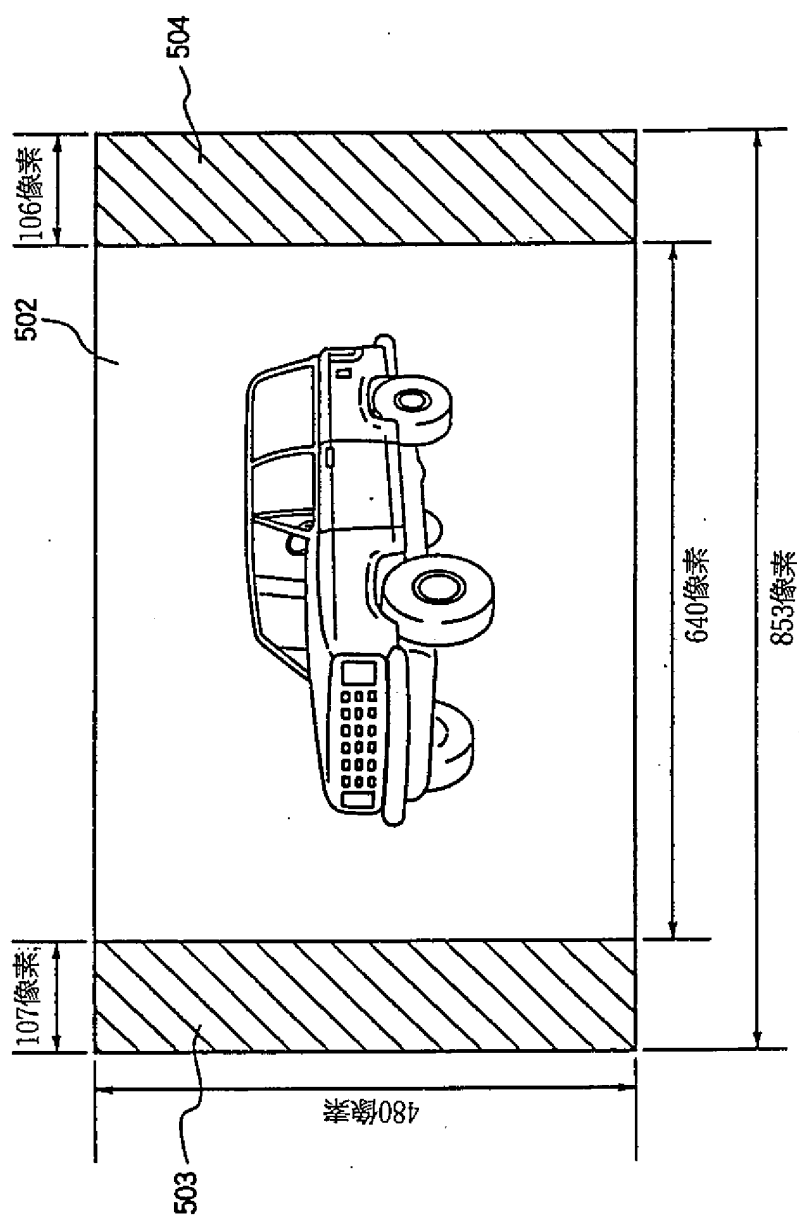
第1圖



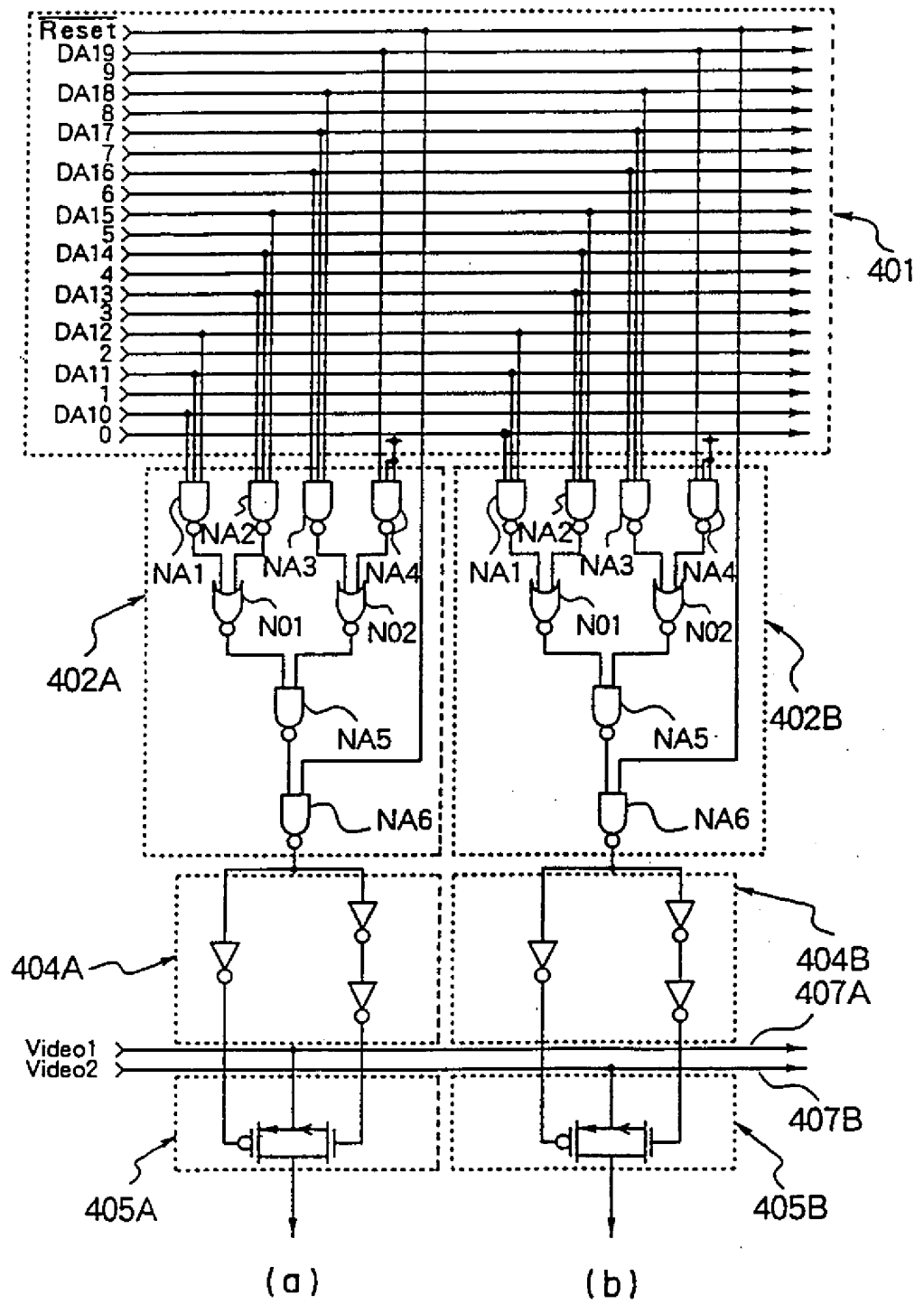
第 2 圖



第 3 圖

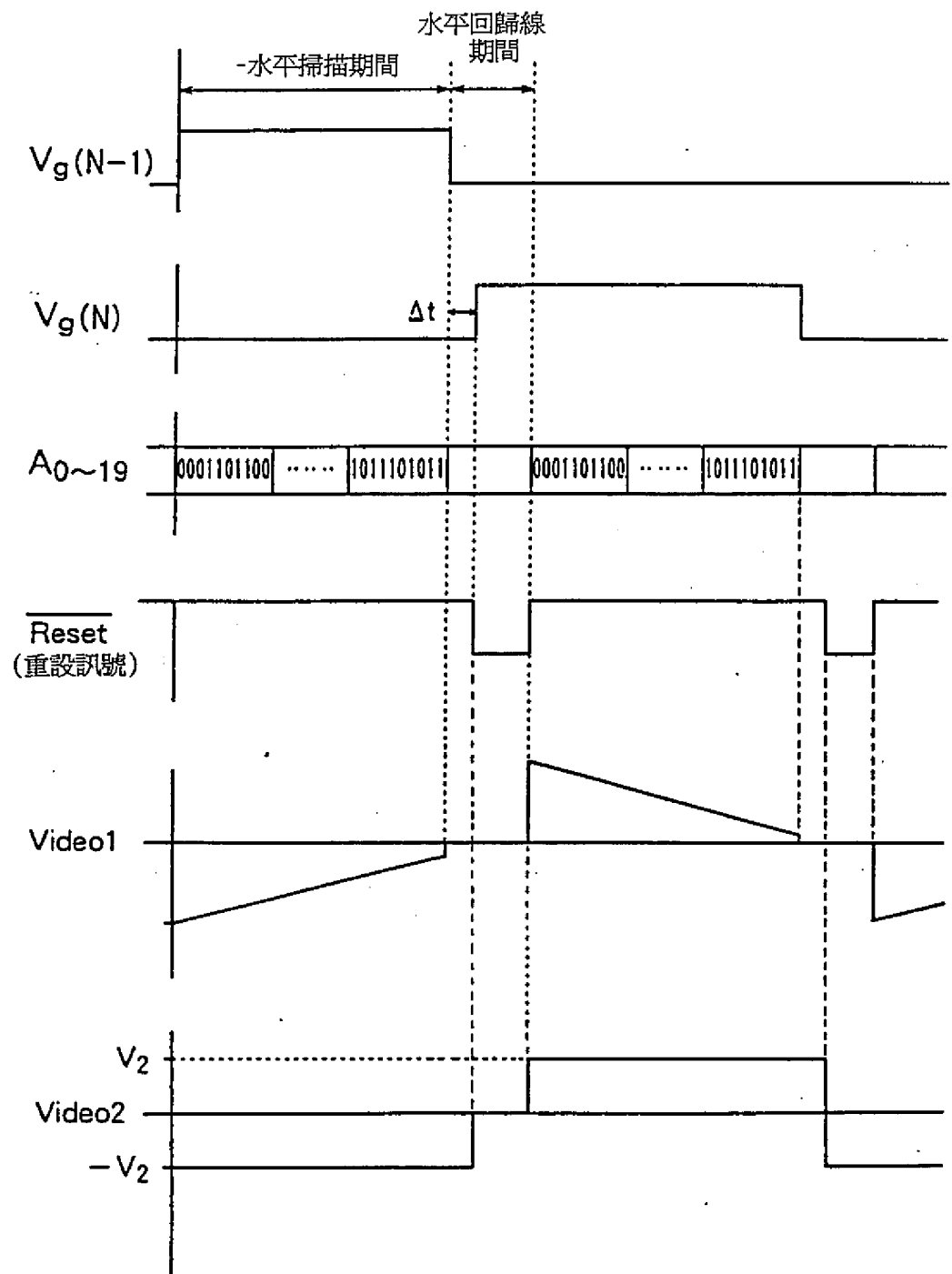


第 4 圖

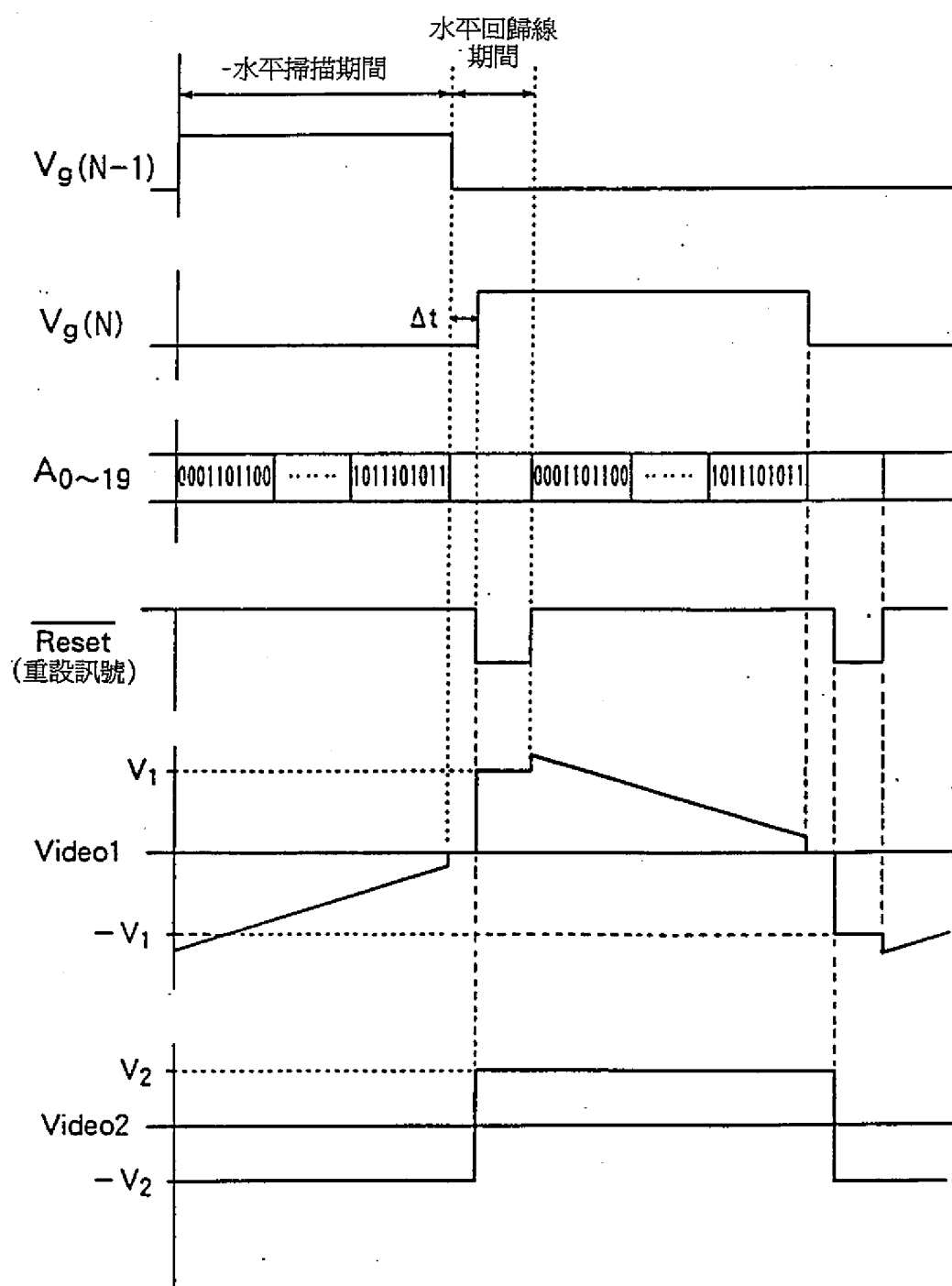


第 5 圖

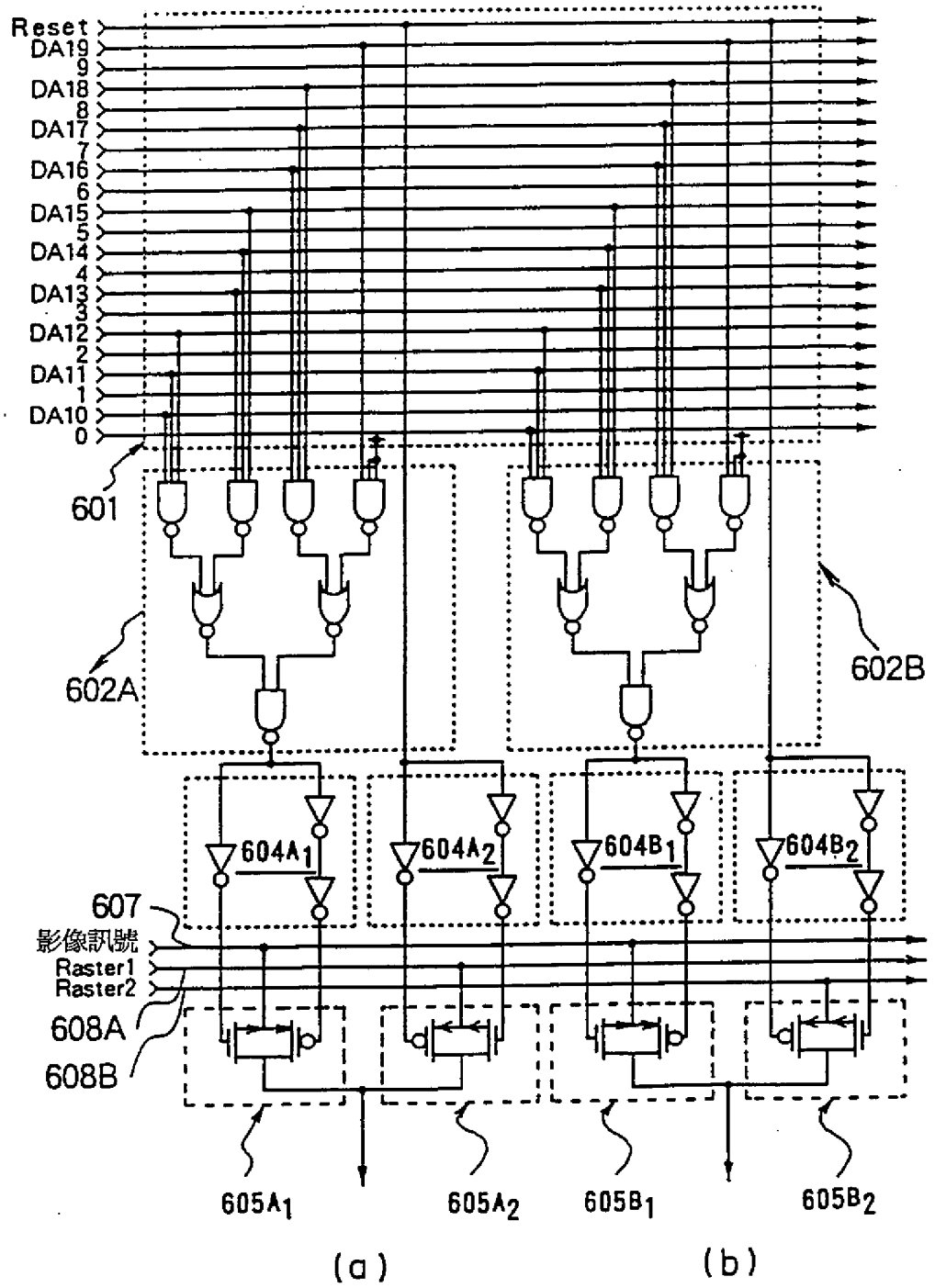
425485



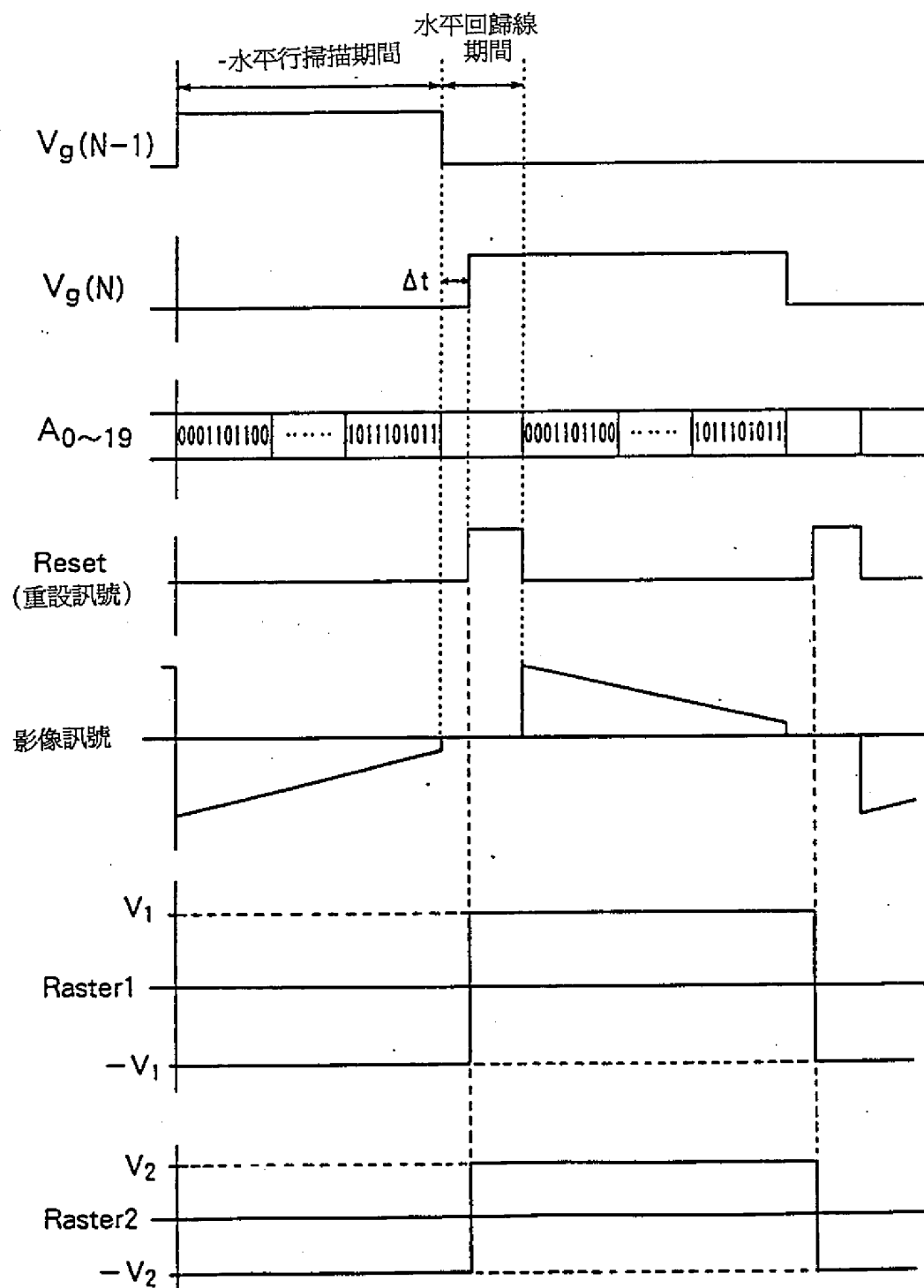
第 6 圖



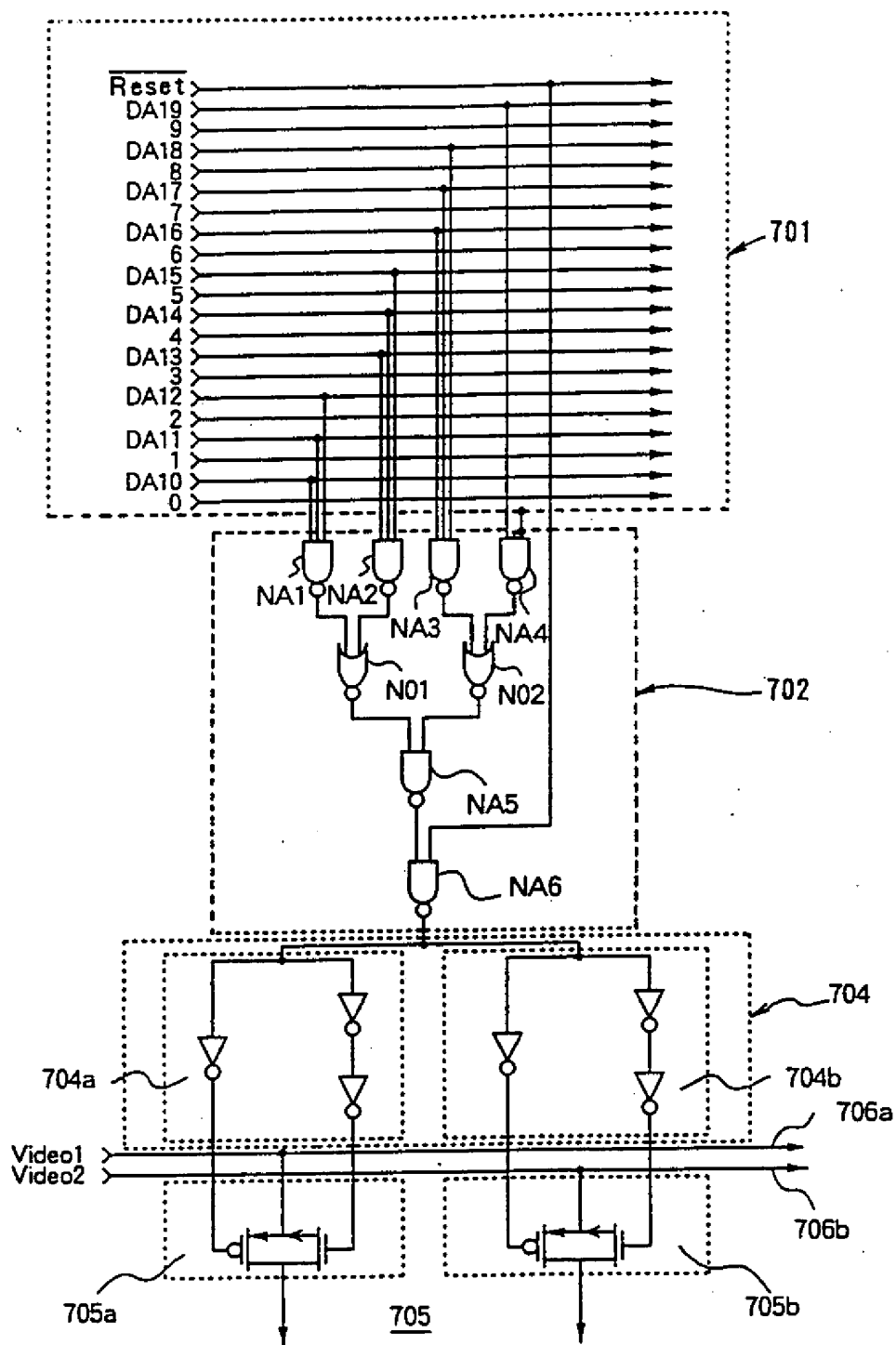
第7圖



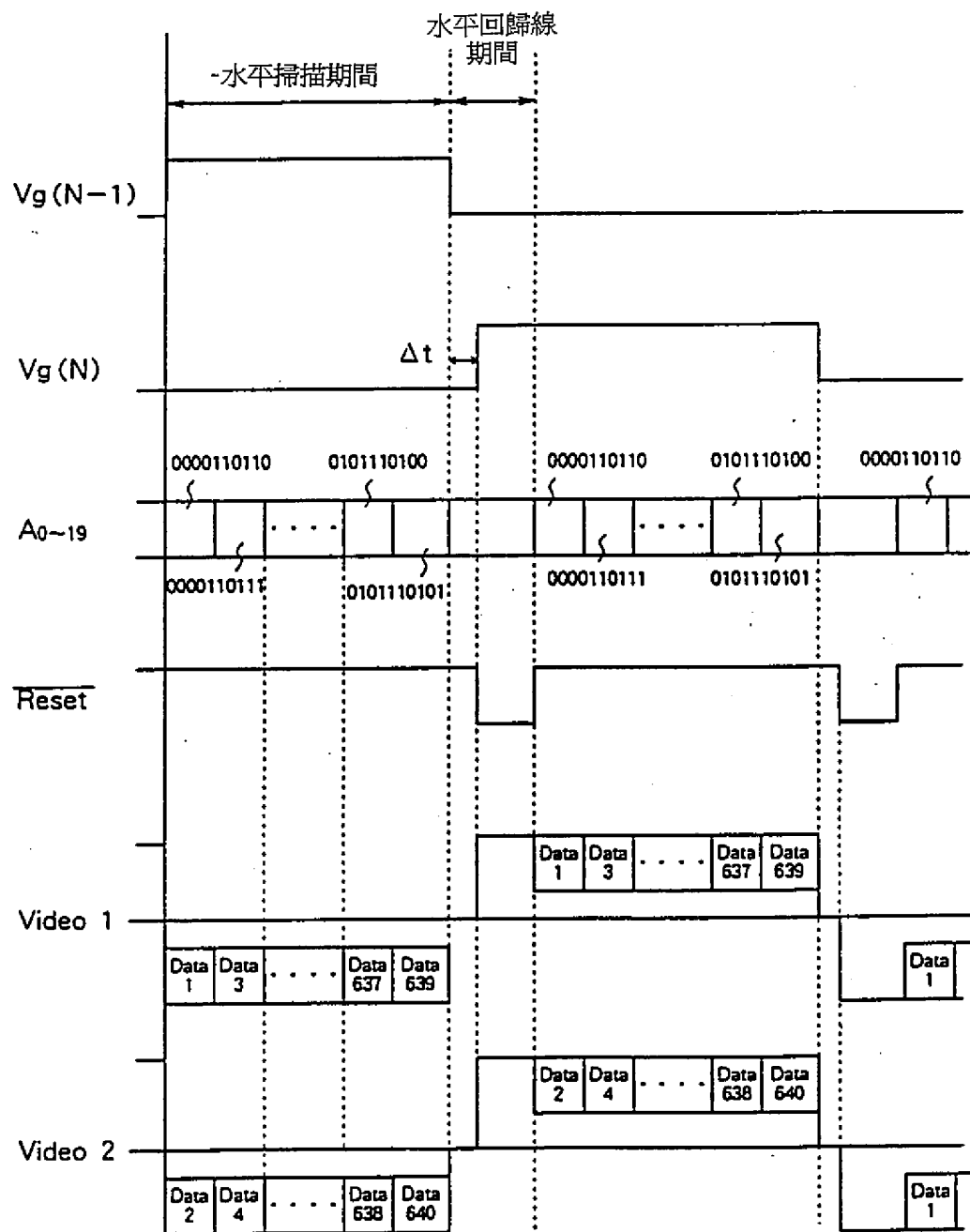
第 8 圖



第 9 圖

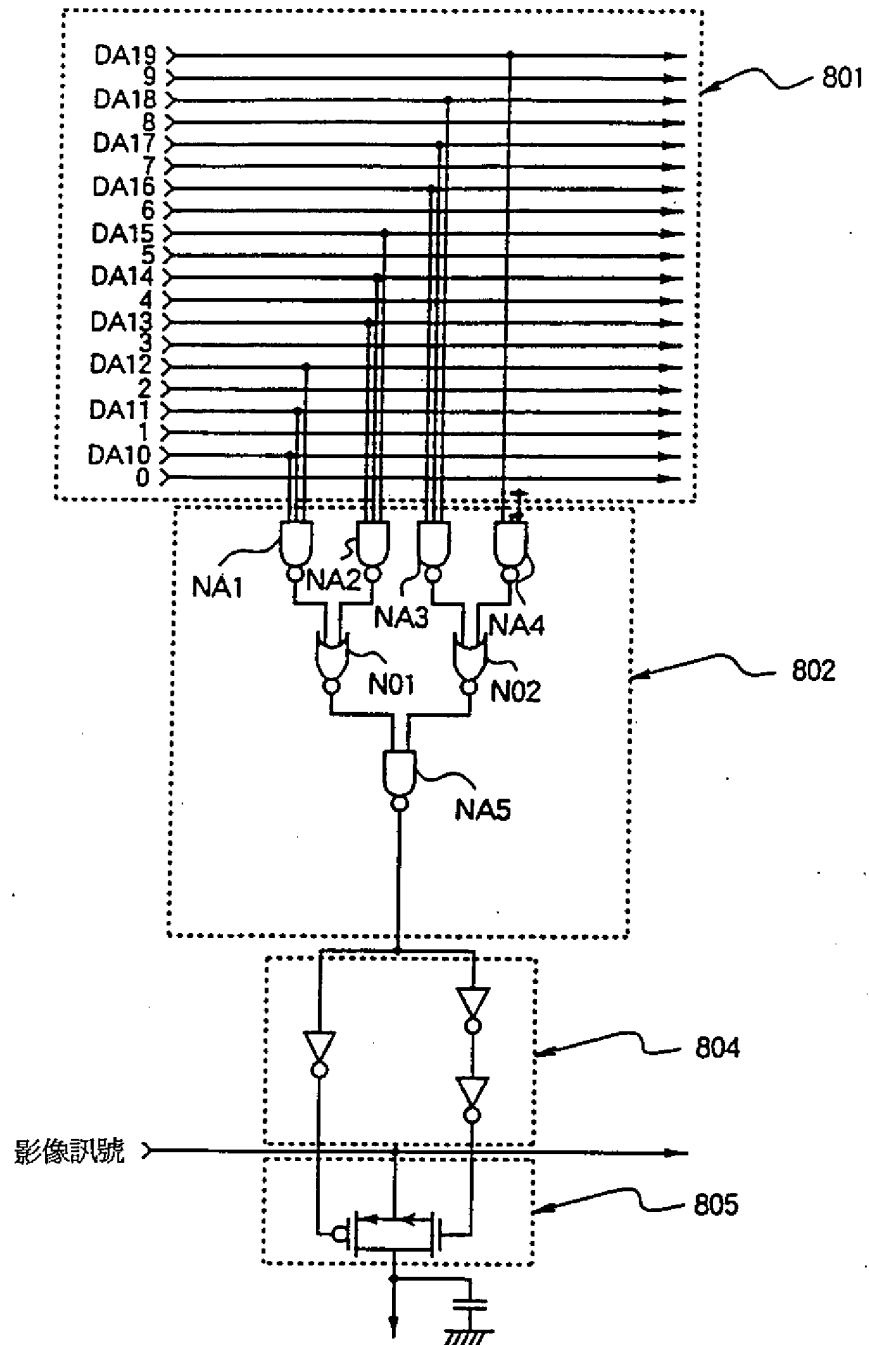


第10圖

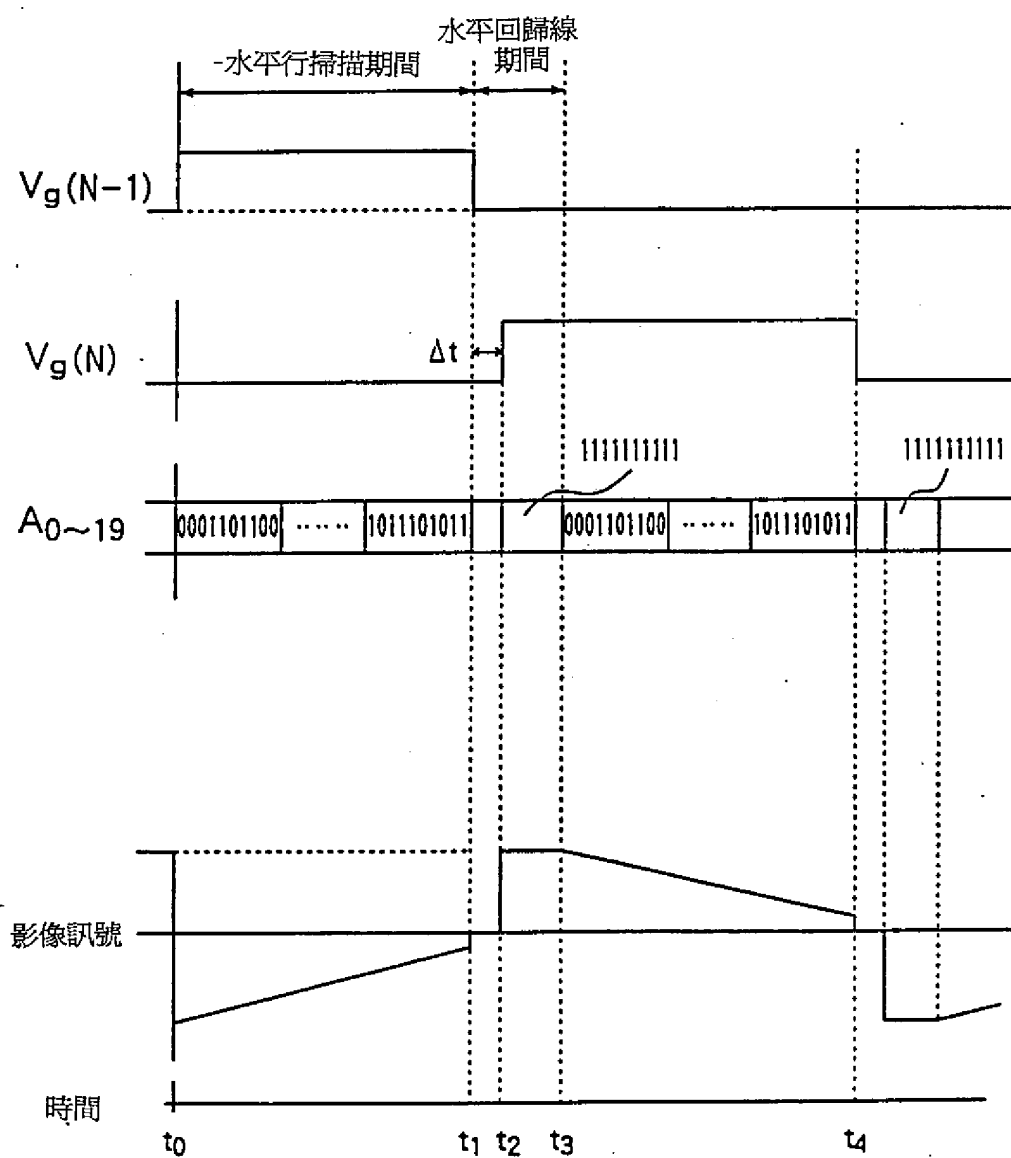


第11圖

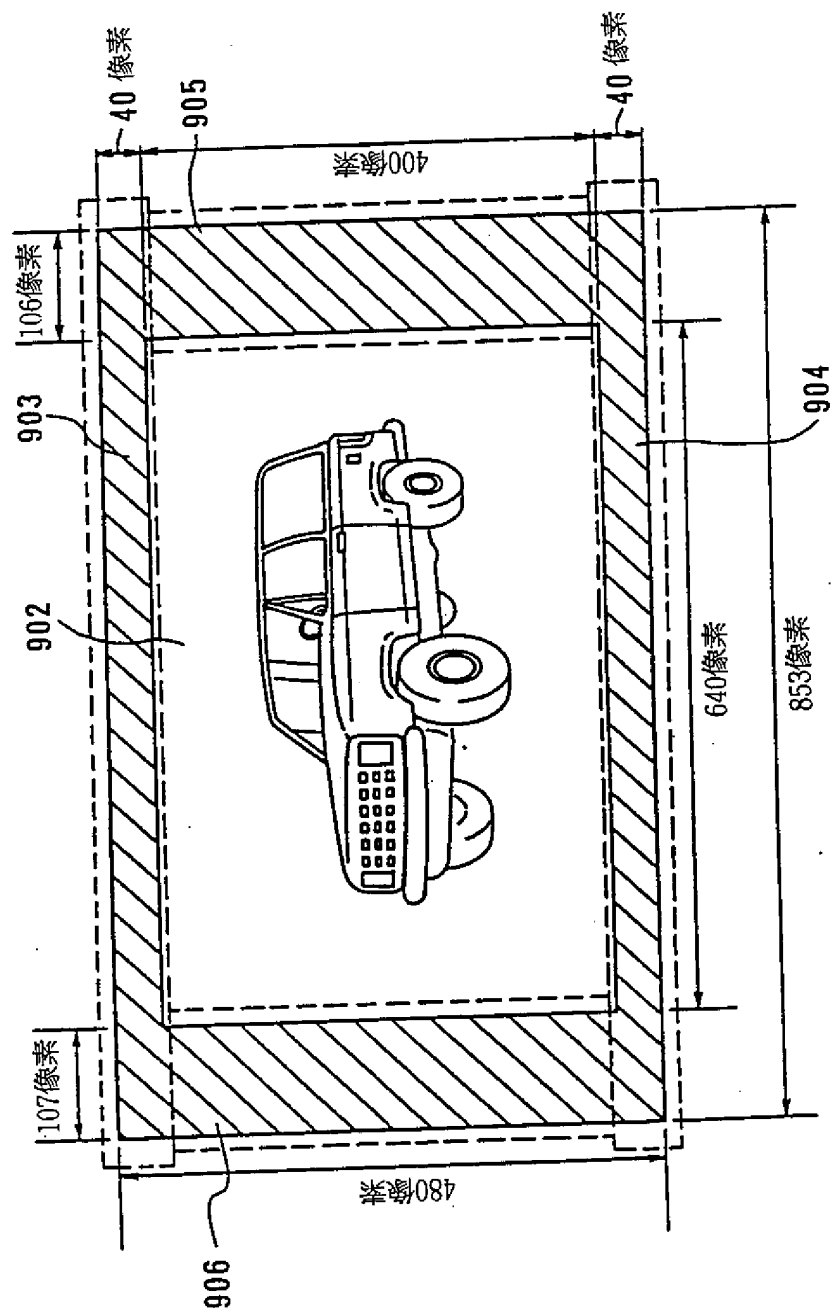
425485



第12圖

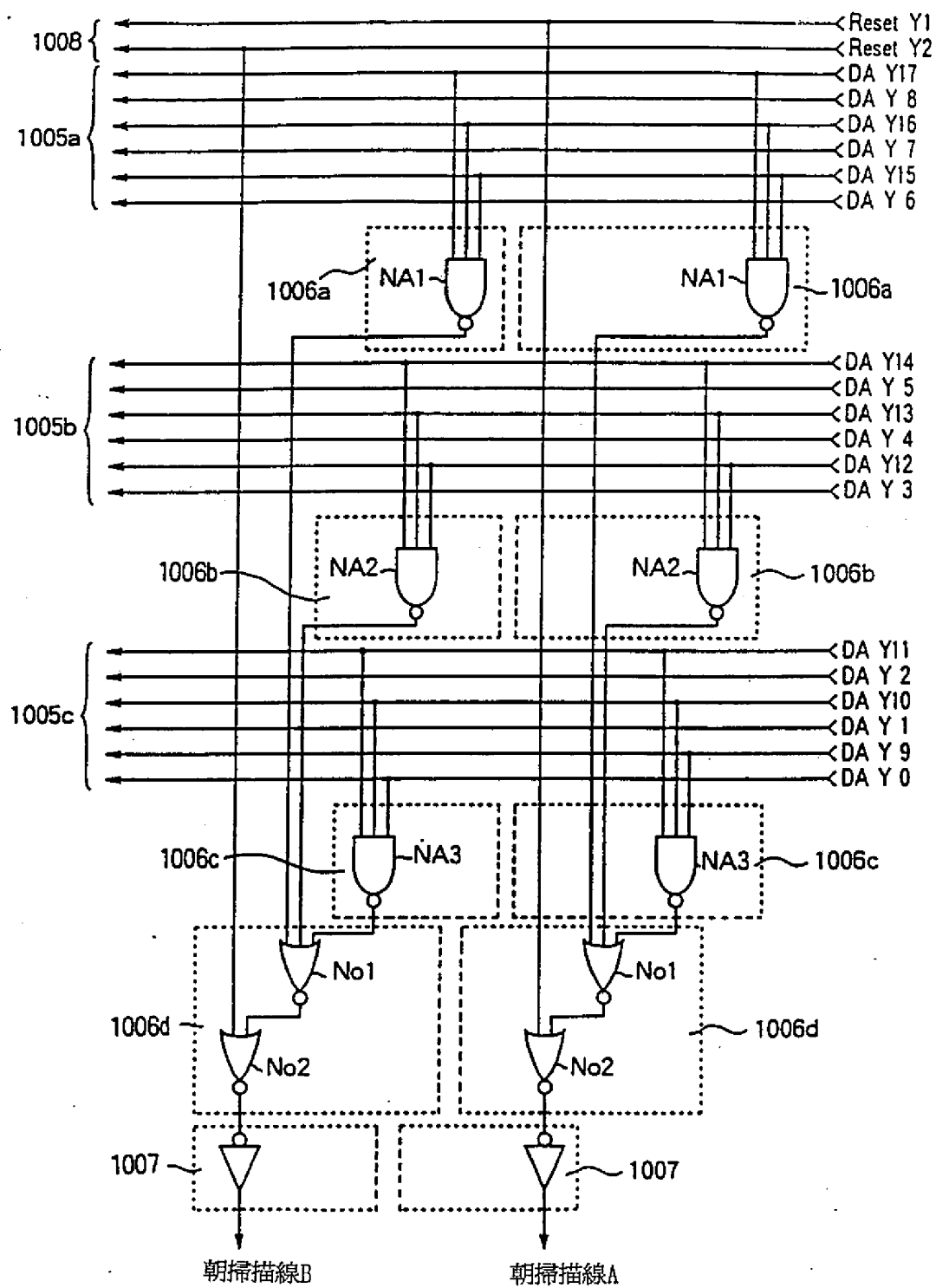


第13圖

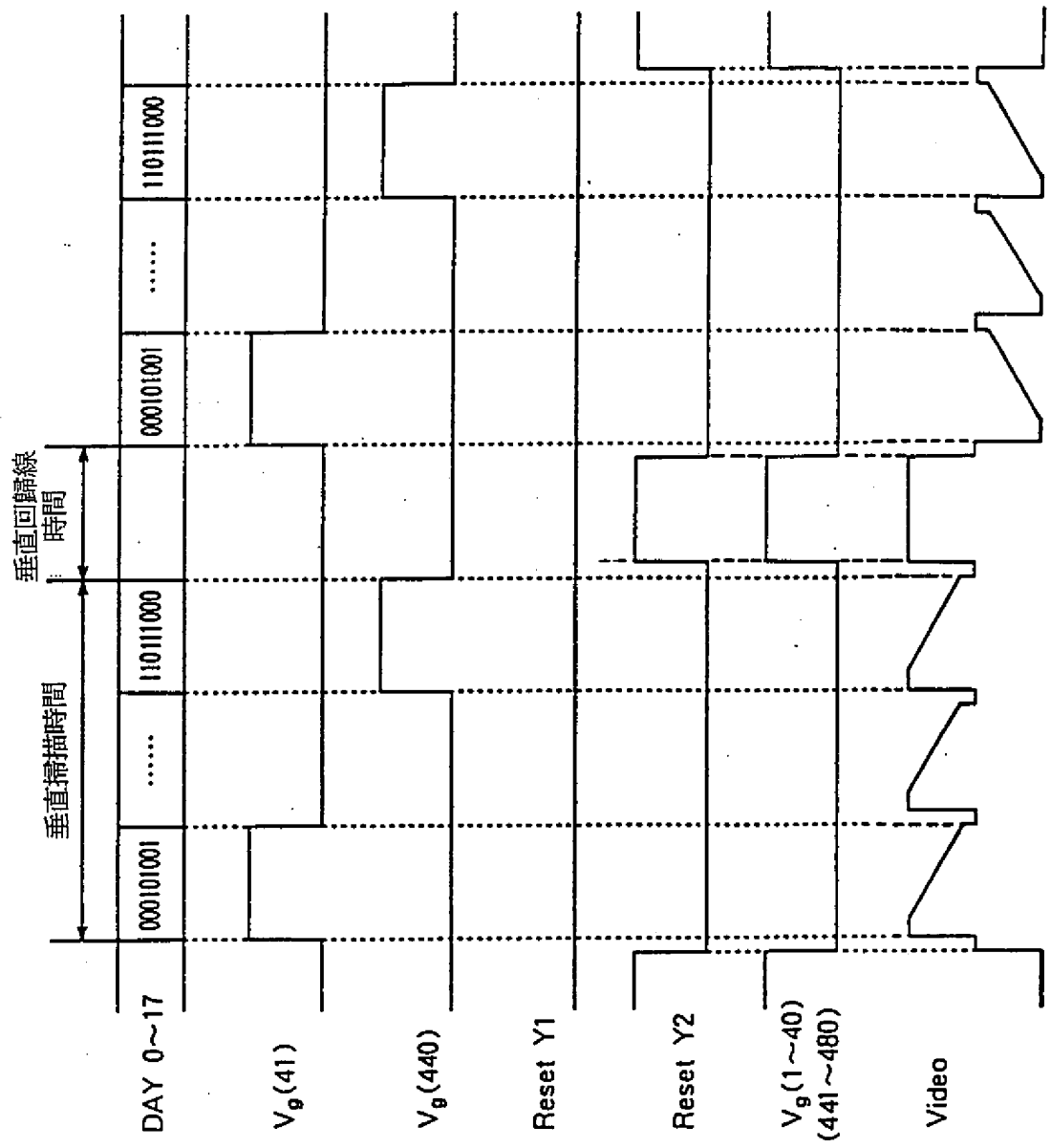


第14圖

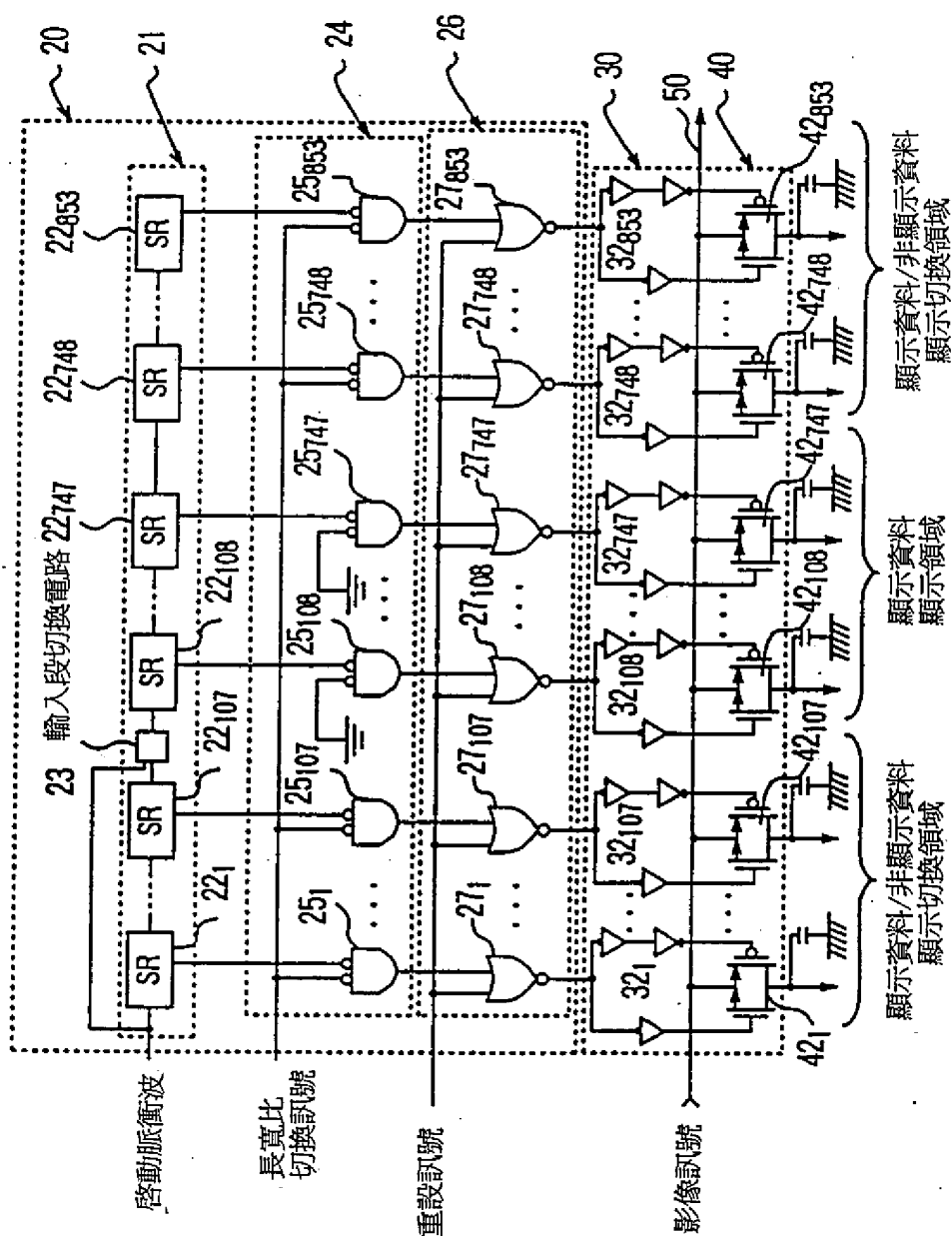
425485



第15圖

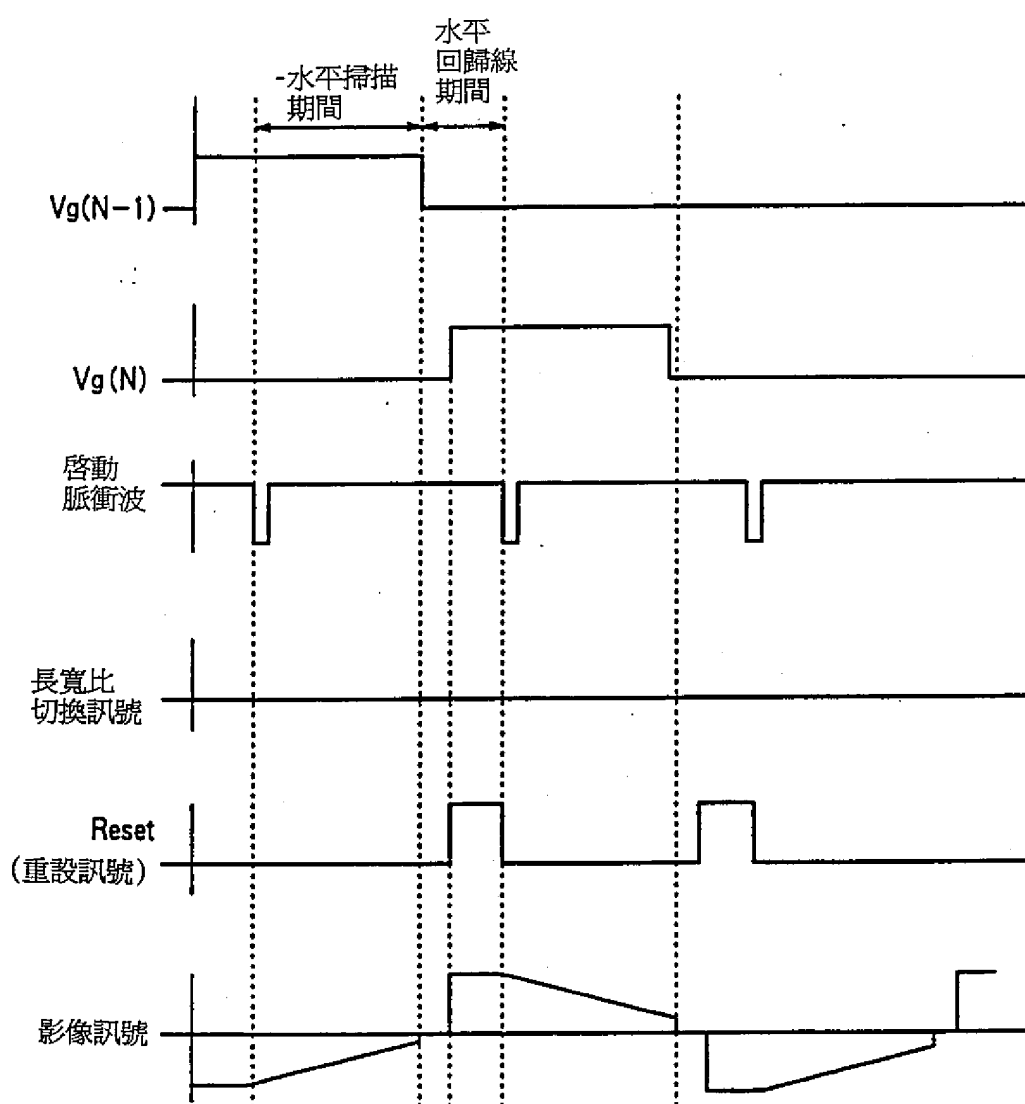


第16圖



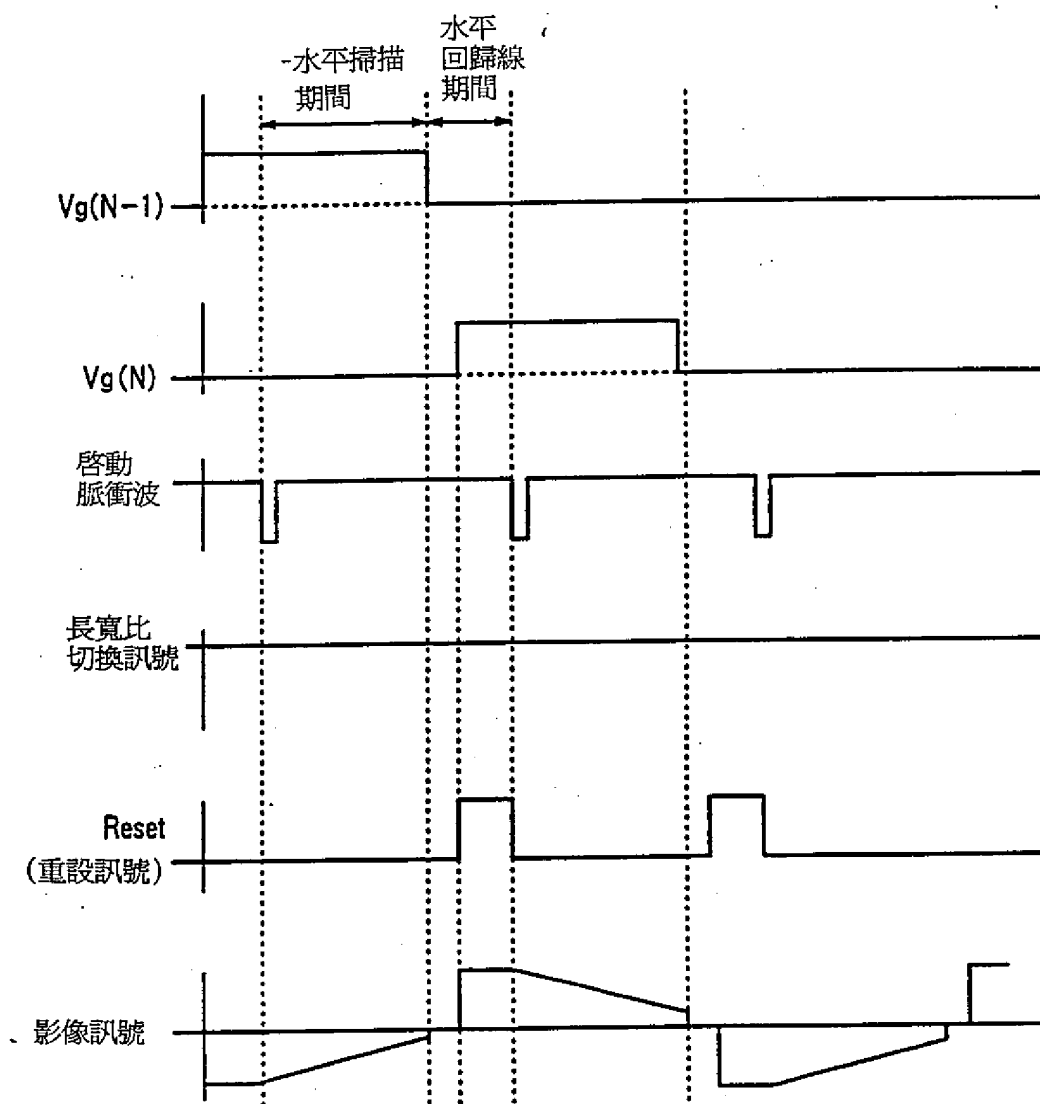
第17圖

425486



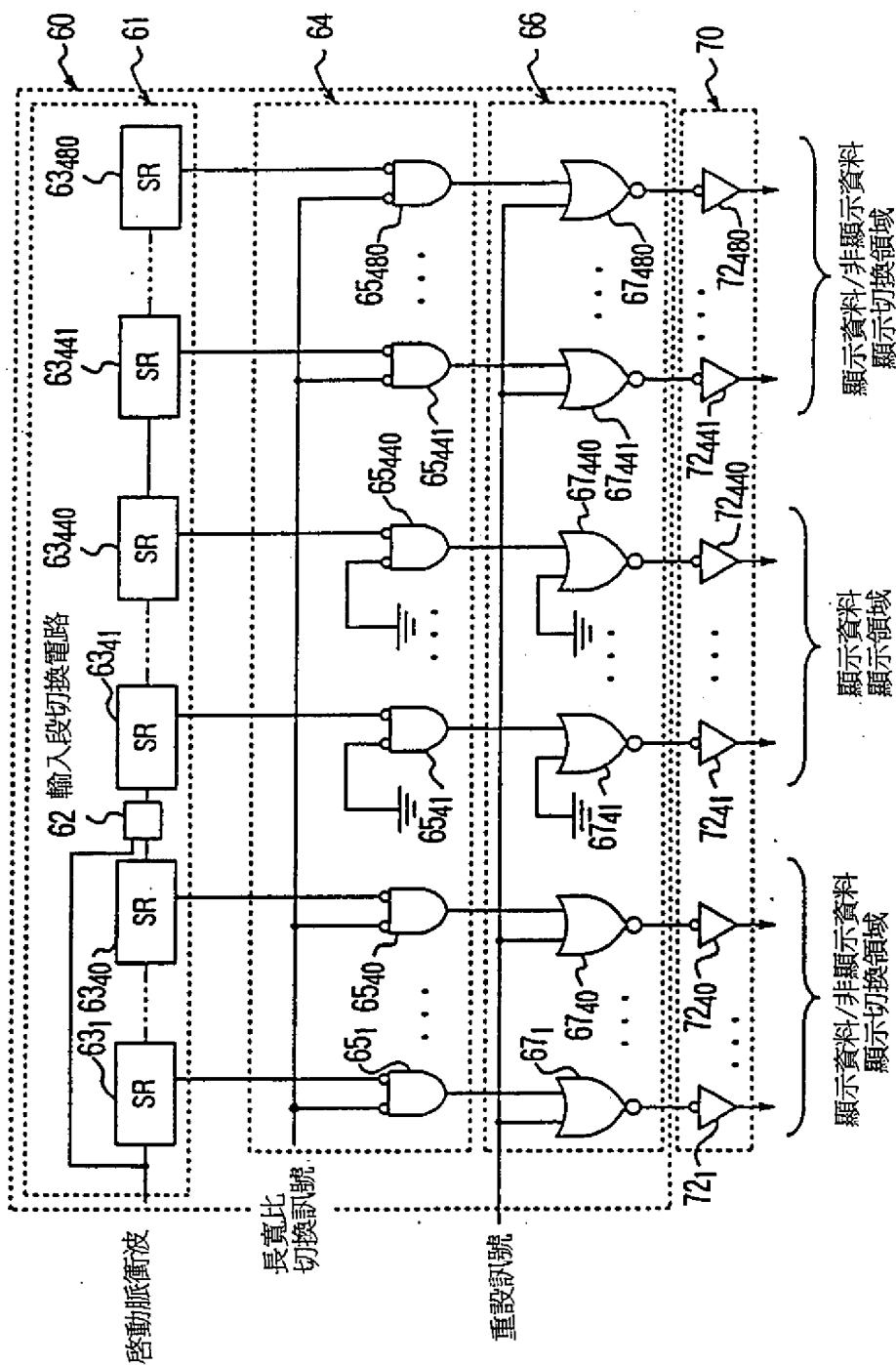
第18圖

4254



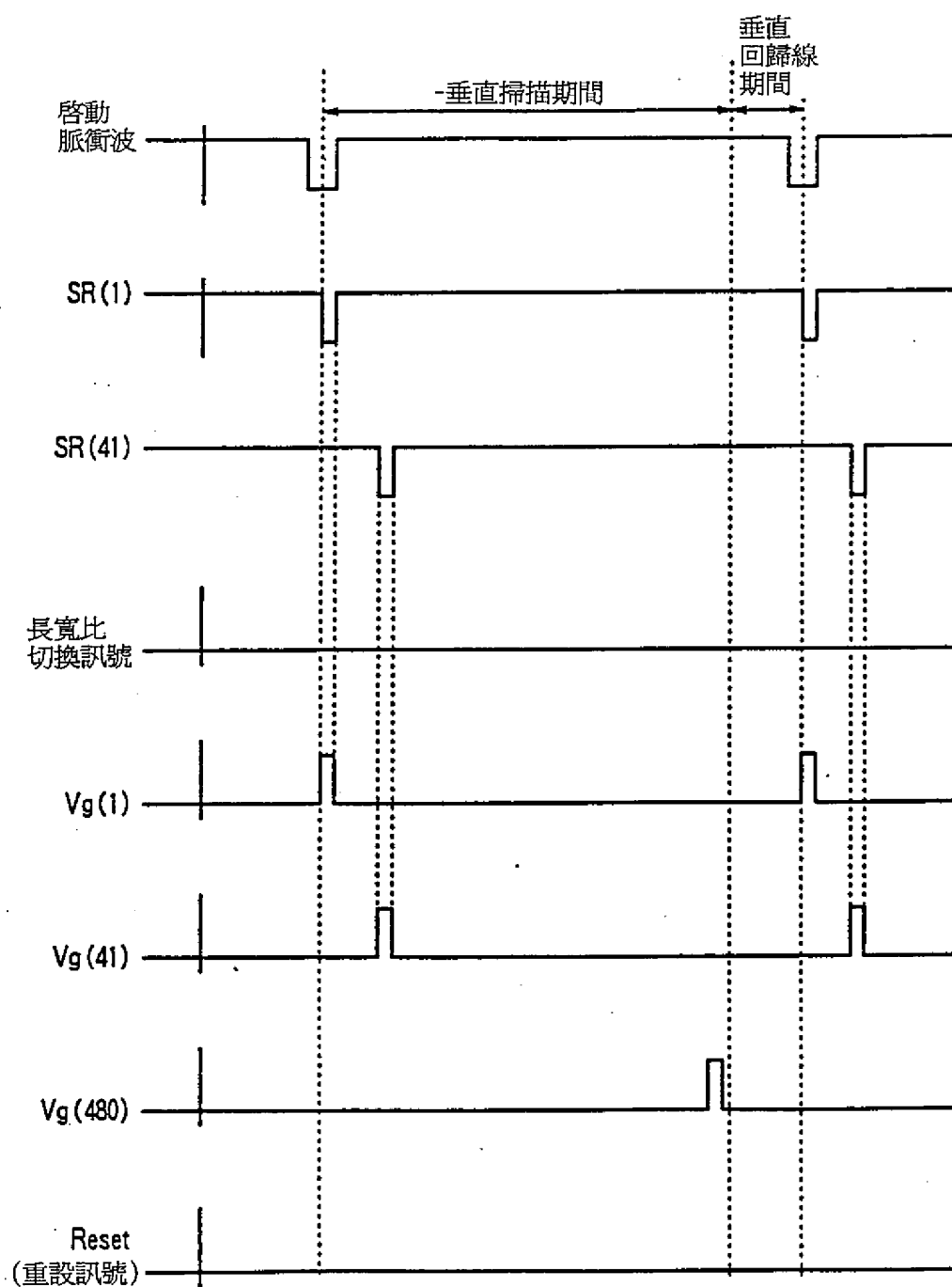
第19圖

425.11.1



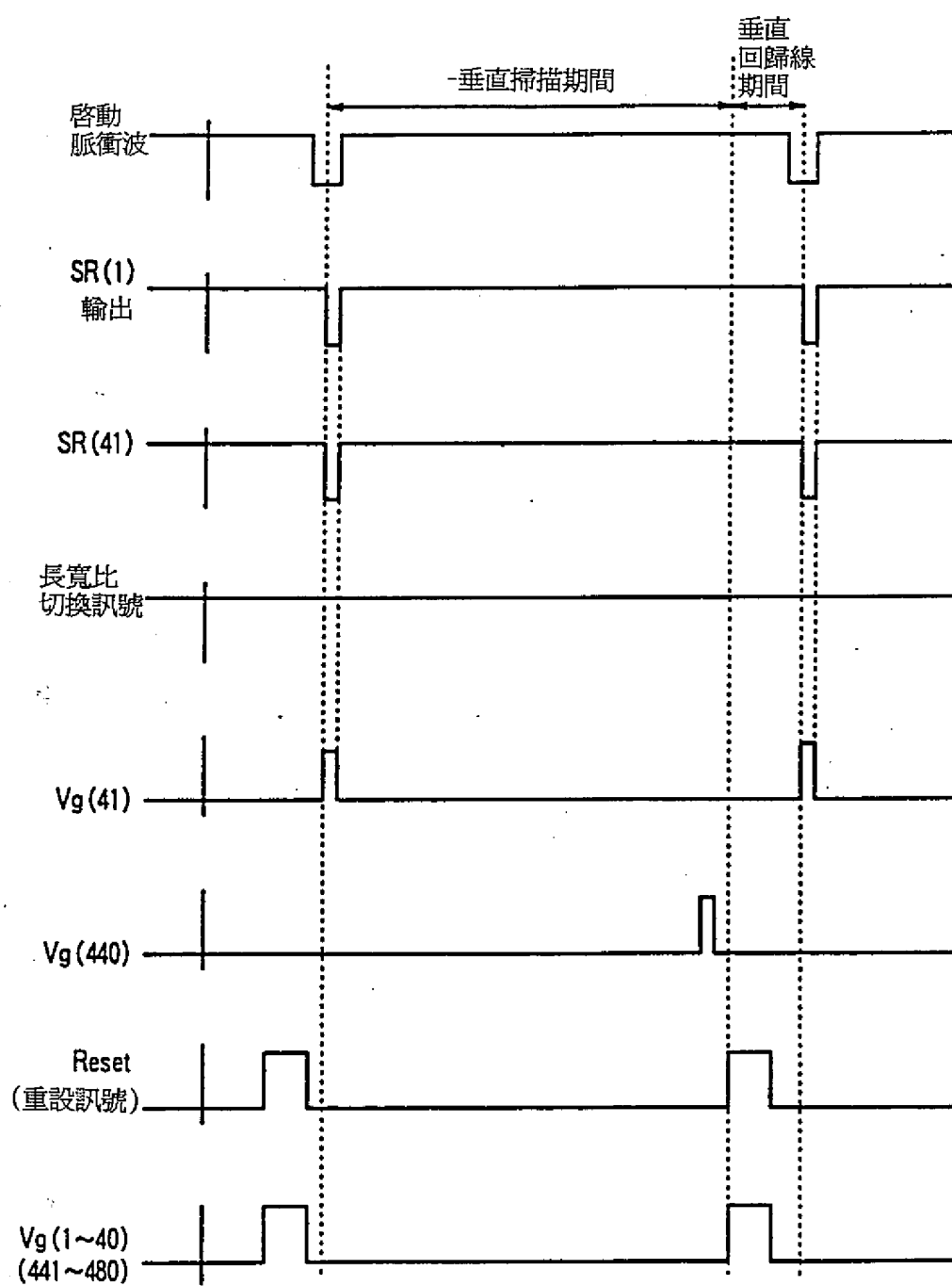
第20圖

425485



第21圖

425485



第22圖

425495

