



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월29일
(11) 등록번호 10-1680692
(24) 등록일자 2016년11월23일

- (51) 국제특허분류(Int. Cl.)
H04B 1/10 (2006.01)
(21) 출원번호 10-2011-7024286
(22) 출원일자(국제) 2009년12월16일
 심사청구일자 2014년12월15일
(85) 번역문제출일자 2011년10월14일
(65) 공개번호 10-2011-0129474
(43) 공개일자 2011년12월01일
(86) 국제출원번호 PCT/US2009/068212
(87) 국제공개번호 WO 2010/107460
 국제공개일자 2010년09월23일
(30) 우선권주장
 61/160,858 2009년03월17일 미국(US)

- (56) 선행기술조사문헌
US20080284487A1
US20050239430A1
KR1019890017926A
KR1019850005217A

- (73) 특허권자
스카이워크스 솔루션즈, 인코포레이티드
미국 01801 메사추세츠주 워번 실반 로드 20
(72) 발명자
푸렐라, 라자세카르
미국 92782 캘리포니아주 터스틴 챔피언 웨이 넘
버130 2955
도미노, 윌리암, 제이.
미국 92887 캘리포니아주 요바 린다 비아 코로나
4740
(74) 대리인
양영준, 백만기, 정은진

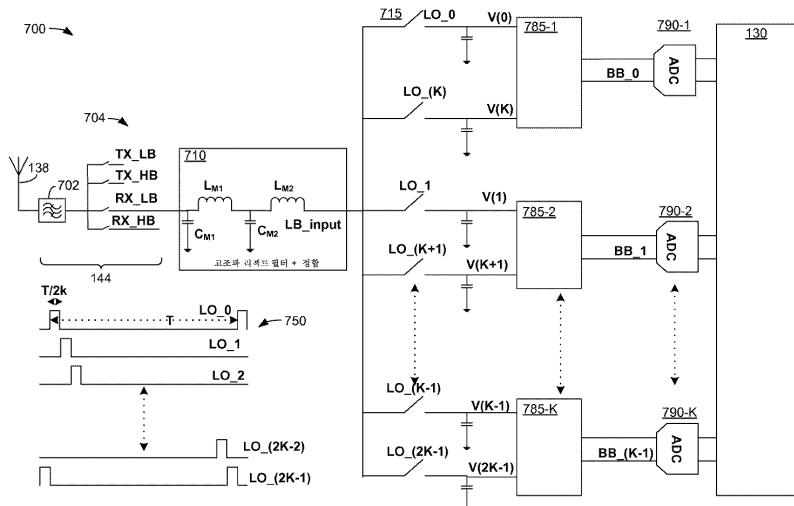
전체 청구항 수 : 총 19 항

심사관 : 구영희

(54) 발명의 명칭 SAW 없고, LNA 없는 저잡음 수신기

(57) 요약

저잡음 수신기는, 무선 주파수(RF) 신호를 수신하도록 구성된 하향 변환기 - 하향 변환기는 복수의 로컬 오실레이터(LO) 신호들 각각에 기초하는 복수의 출력 위상들을 생성하도록 구성된 스위칭 구조를 포함함 -, 복수의 출력 위상들을 결합하여 n번째 출력 위상이 ($n+K$)번째 출력 위상과 차동되어 이득-추가된 출력 위상들이 되도록 구성된 차동 회로(differencing circuit), 및 이득-추가된 출력 위상들을 수신하도록 구성되고, 이득-추가된 출력 위상들을 결합하여 수신기의 응답이 RF 신호의 홀수 고조파(odd harmonic)들을 효과적으로 줄이도록 구성된 합산 필터(summation filter)를 포함한다.

대 표 도

명세서

청구범위

청구항 1

저잡음 수신기로서,

스위치 모듈로부터 무선 주파수(RF) 신호를 직접 수신하고 상기 RF 신호에 대한 전압 이득을 제공하도록 구성된 수동 저역 통과 필터 - 상기 수동 저역 통과 필터는 임피던스 정합 회로(impedance matching circuit)를 포함하고, 상기 RF 신호의 주파수의 제7 고조파(harmonic)인 주파수에서 발생하는 간섭 신호의 레벨을 감소시키도록 더 구성되고, 상기 수동 저역 통과 필터는 필터링된 RF 신호를 출력함 -,

상기 수동 저역 통과 필터에 결합되고, 상기 필터링된 RF 신호를 수신하도록 구성되는 하향 변환기(downconverter) - 상기 하향 변환기는 복수의 로컬 오실레이터(L0) 신호 각각에 기초하여 복수의 출력 위상을 생성하도록 구성된 스위칭 아키텍처를 포함하고, 상기 복수의 출력 위상 각각은 L0 주기 내의 상이한 위상에 대응하고, 상기 복수의 출력 위상은 적어도 K개의 그룹들로 조직화되고, K는 4의 배수이고, 상기 K개의 그룹들 중 n번째 그룹 각각은 상기 복수의 출력 위상 중 n번째 출력 위상 및 상기 복수의 출력 위상 중 (n+K)번째 출력 위상을 포함함 -,

상기 복수의 출력 위상을 결합하여 상기 K개의 그룹들 중 각각의 그룹의 상기 n번째 출력 위상이 상기 각각의 그룹 중 상기 (n+K)번째 출력 위상과 차동되어 이득-추가된 출력 위상들이 되도록 구성된 차동 스테이지(differencing stage), 및

상기 이득-추가된 출력 위상들을 수신하도록 구성되고, 상기 이득-추가된 출력 위상들을 결합하여 상기 수신기의 응답이 상기 RF 신호의 제3 및 제5 고조파들을 포함하는 상기 RF 신호의 흡수 번째 고조파들을 효과적으로 감소시키도록 구성된 합산 필터(summation filter)

를 포함하는 저잡음 수신기.

청구항 2

제1항에 있어서,

상기 하향 변환기는 상기 RF 신호와 일치하는 주파수를 중심으로 하는 필터 응답을 제공하는 저잡음 수신기.

청구항 3

제2항에 있어서,

상기 하향 변환기에 의해 제공된 상기 필터 응답은 상기 수신기로부터 표면 탄성파(surface acoustic wave; SAW) 필터를 제거하는 저잡음 수신기.

청구항 4

제1항에 있어서,

상기 합산 필터는 디지털적으로 구현되는 저잡음 수신기.

청구항 5

제1항에 있어서,

상기 합산 필터는 아날로그 영역에서 구현되는 저잡음 수신기.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 하향 변환기는 8개의 출력 위상들을 생성하는 저잡음 수신기.

청구항 8

제1항에 있어서,

상기 수동 저역 통과 필터는 승압 변압기(step-up transformer)로서 동작하는 저잡음 수신기.

청구항 9

제7항에 있어서,

K는 4인 저잡음 수신기.

청구항 10

제1항에 있어서,

상기 하향 변환기는 6dB의 전압 이득을 제공하는 저잡음 수신기.

청구항 11

수신된 신호에서 동작하는 방법으로서,

임피던스 정합을 수행하고 무선 주파수(RF) 신호의 주파수의 제7 고조파인 주파수에서 발생하는 간섭 신호의 레벨을 감소시킴으로써, 상기 RF 신호에 전압 이득을 적어도 부분적으로 제공하도록 수동 저역 통과 필터를 이용하여 상기 RF 신호를 필터링하는 단계,

상기 필터링된 RF 신호를 하향 변환하고, 복수의 로컬 오실레이터(LO) 신호 각각에 기초하여 복수의 출력 위상을 생성하는 단계 - 상기 복수의 출력 위상 각각은 LO 주기 내의 상이한 위상에 대응하고, 상기 복수의 출력 위상은 적어도 K개의 그룹들로 조직화되고, K는 4의 배수이고, 상기 K개의 그룹들 중 n번째 그룹 각각은 상기 복수의 출력 위상 중 n번째 출력 위상 및 상기 복수의 출력 위상 중 (n+K)번째 출력 위상을 포함함 -,

상기 복수의 출력 위상을 결합하여 상기 K개의 그룹들 중 각각의 그룹의 상기 n번째 출력 위상이 상기 각각의 그룹 중 상기 (n+K)번째 출력 위상과 차동되어 이득-추가된 출력 위상들을 생성하는 단계, 및

상기 RF 신호의 제3 및 제5 고조파들을 포함하는 상기 RF 신호의 홀수 번째 고조파들이 감소하도록 상기 이득-추가된 출력 위상들을 합산하는 단계

를 포함하는 방법.

청구항 12

제11항에 있어서,

상기 RF 신호와 일치하는 주파수를 중심으로 하는 필터 응답을 제공하는 단계

를 더 포함하는 방법.

청구항 13

제11항에 있어서,

상기 합산하는 단계는 디지털적으로 수행되는 방법.

청구항 14

제11항에 있어서,

상기 합산하는 단계는 아날로그 영역에서 수행되는 방법.

청구항 15

삭제

청구항 16

제11항에 있어서,

상기 복수의 출력 위상을 생성하는 단계는 8개의 출력 위상들을 생성하는 단계를 포함하는 방법.

청구항 17

제11항에 있어서,

상기 수동 저역 통과 필터는 승압 변압기로서 동작하는 방법.

청구항 18

제16항에 있어서,

K는 4인 방법.

청구항 19

제11항에 있어서,

상기 필터링된 RF 신호를 하향 변환하는 것은 6dB의 전압 이득을 제공하는 방법.

청구항 20

제1항에 있어서,

K는 2의 거듭제곱(power of two)인 저잡음 수신기.

청구항 21

제11항에 있어서,

K는 2의 거듭제곱(power of two)인 방법.

발명의 설명

기술 분야

[0001] <관련 출원의 상호 참조>

[0002] 본 출원은 2009년 3월 17일에 제출된, "High Dynamic Range, SAW-Less, LNA-Less, Single-Ended Receiver With Intrinsic Out-Of-Band Blocker Filtering For Quad-Band GSM/GPRS/EDGE"라는 제목의 계류중인 미국 가출원 번호 제61/160,858호에 대한 우선권과 출원일의 이득을 주장하며, 그 전체 내용은 본 명세서에 참조로서 통합된다.

배경 기술

[0003] 휴대 전화들, PDA들, WIFI 송수신기들, 및 다른 통신 디바이스들과 같은 휴대용 통신 디바이스들은 여러 주파수들에서 통신 신호를 송신 및 수신한다. 효율적인 통신을 위해서, 송신 및 수신 신호들의 주파수는 통신될 정보를 운반하는 기저대역 정보 신호보다 몇 배 더 높다. 그러므로, 송수신기는 송신 신호를 상향 변환(upconvert)하고 수신 신호를 하향 변환(downconvert)하여야 한다.

[0004] 보통, 송신 신호를 상향 변환하고 수신 신호를 하향 변환하기 위해서 하나 이상의 믹서들이 사용된다. 많은 무선 주파수(RF) 통신 방법론들에서, 특히 직교 변조 방법론에서, 믹서는 로컬 오실레이터(local oscillator; LO) 신호에 따라서 직교 신호의 차동 컴포넌트들을 스위치하는 일련의 스위치들을 사용하여 구현될 수 있다. LO 신호의 주파수는 LO 신호와 믹싱되는 무선 주파수 신호가 원하는 주파수로 변환되도록 선택된다.

[0005] 신호 상향 변환(upconversion) 및 신호 하향 변환(downconversion)은 믹서들을 이용하여 수행되고, 이들은 통상적으로 반도체 스위치들을 사용하여 구현된다. 딥 서브-마이크론(deep sub-micron) 기술에서, 저잡음 동작 및 매우 효율적인 동작 특성들을 제공하는 수동(passive) 스위치들의 이용가능성은 낮은 전류 소비와 높은 성능이 원해지는 경우에 수동 믹서들의 사용을 가능하게 한다. 스위치 클록 경로에서 사용되는 레일 투 레일(rail to rail) 전압들 및 믹서 내의 동위상(in-phase)(I) 및 직교 위상(quadrature-phase)(Q) 경로들 사이에서의 불완전한 분리로 인한 문제들은 수동 믹서의 사용에 제한들을 부과한다.

[0006] SAW 필터는 수신 대역 외에 있을 수 있지만 여전히 간섭을 일으킬 수 있는 간섭하는 신호들로부터 수신 주파수 대역을 보호하기 위해서, 특히 수신 주파수의 특정 배수들(multiples)(고조파들)에서 통상적으로 사용된다. LNA는 수신 신호에 포함된 정보가 추출될 수 있도록 상대적으로 약한 수신 신호를 증폭하는 데 통상적으로 사용된다. 다중 대역 수신기에 있어서, 각 대역에 대해 개별 SAW 필터가 필요하고, 각 SAW 필터의 출력을 수용하기 위해 개별 LNA가 필요하다. 따라서 SAW 필터들 및 LNA들은 통상적으로 수신기 아키텍처에 복잡성을 더한다. 또한, LNA들은 전력을 소비하고, 이러한 전력 소비는 LNA들이 작고 원하는 신호들을 압축하지 않고 큰 블로킹 신호들을 통과시키도록 충분히 높아야 한다.

[0007] 그러므로, 이들 추가 구성요소들에 의존하지 않을 수 있는 저잡음 수신기 아키텍처를 갖는 것이 바람직할 것이다.

발명의 내용

과제의 해결 수단

[0008] 저잡음 수신기의 실시예들은 무선 주파수(RF) 신호를 수신하도록 구성된 하향 변환기 - 하향 변환기는 복수의 로컬 오실레이터(LO) 신호들 각각에 기초하는 복수의 출력 위상들을 생성하도록 구성된 스위칭 아키텍처를 포함함 -, 복수의 출력 위상들을 결합하여 n번째 출력 위상이 $(n+K)$ 번쨰 출력 위상과 차동되어(differenced) 이득-추가된 출력 위상들을 생성하도록 구성된 차동 회로(differencing circuit), 및 이득-추가된 출력 위상들을 수신하도록 구성되고, 이득-추가된 출력 위상들을 결합하여 수신기의 응답이 RF 신호의 홀수 고조파(odd harmonic)들을 효과적으로 감소시키도록 구성된 합산 필터(summation filter)를 포함한다.

[0009] 다른 실시예들도 제공된다. 본 발명의 다른 시스템들, 방법들, 특징들, 및 장점들은 다음의 도면들 및 상세한 설명들을 검토함에 따라 당업자에게 자명하거나 자명하게 될 것이다. 이러한 추가적인 시스템들, 방법들, 특징들 및 장점들 모두는 본 설명 내에 포함되고, 본 발명의 범주 내에 있으며, 첨부한 특허청구범위에 의해 보호되도록 의도된다.

도면의 간단한 설명

[0010] 본 발명은 다음의 도면들을 참조하여 보다 잘 이해될 수 있다. 도면들 내의 컴포넌트들은 반드시 정확한 비율 일 필요는 없으나, 그 대신에 본 발명의 원리를 분명하게 예시하도록 강조된다. 더욱이, 도면들에서, 유사한 참조 번호들은 상이한 도면들에 걸쳐서 대응하는 부분들을 표시한다.

도 1은 단순화된 휴대용 송수신기를 예시한 블록도이다.

도 2는 대략 25% 둑티 사이클 토폴로지(topology)를 이용하는 수동 믹서(pressive mixer)로서 구현되는 알려진 싱글 엔드형 전압 모드(single-ended voltage mode) 하향 변환기의 일 실시예의 개략도이다.

도 3은 도 2에 기술된 수동 믹서의 일 실시예에서 사용된 LO 신호들을 나타내는 그래프 도해이다.

도 4는 저잡음 수신기의 일례를 예시하는 개략도이다.

도 5는 저잡음 수신기가 동작하는 전형적인 주파수 스펙트럼을 나타내는 그래프 도해이다.

도 6은 도 4의 저잡음 수신기의 대안의 실시예를 예시하는 개략도이다.

도 7은 도 4의 저잡음 수신기의 다른 대안의 실시예를 예시하는 개략도이다.

도 8은 제3 및 제5 고조파가 리젝트되는(rejected) 파형을 생성하는 방법을 예시한다.

도 9는 K=4인 경우 도 7의 저잡음 수신기에 의해 이용되는 8개 LO 위상들의 전개(derivation)를 나타내는 그래프 도해이다.

도 10은 K=4인 경우 도 7의 저잡음 수신기에 의해 이용되는 8개 LO 위상들의 가중된 결합에 의해 생성된, 각각의 제3 및 제5 고조파들이 리젝트된, 효과적인 직교(quadrature) LO 파형들을 나타내는 그래프 도해이다.

도 11은 도 10의 효과적인 직교 LO 파형들을 수행하는 저잡음 수신기의 일 실시예를 예시하는 개략도이다.

도 12는 저잡음 수신기의 실시예들의 주파수 응답의 일례를 나타내는 그래프 도해이다.

도 13은 도 11의 저잡음 수신기의 대안의 실시예를 예시하는 개략도이다.

도 14a 내지 도 14d는 1GHz의 수신 주파수에서 도 4의 저잡음 수신기의 일 실시예의 예시적인 주파수 응답을 나타내는 그래프 도해이다.

발명을 실시하기 위한 구체적인 내용

[0011]

휴대용 송수신기를 구체적으로 참조하여 기술되었지만, SAW 없고, LNA 없는 저잡음 수신기(또한 본 명세서에서 저잡음 수신기라 함)는 수신기 내의 신호 하향 변환(downconversion)을 이용하는 임의의 디바이스에서 이용될 수 있다.

[0012]

GSM/EDGE 주파수 스펙트럼에서 동작하는 4개 대역(quad-band) 통신 디바이스에 있어서, 본 명세서에 기술된 저잡음 수신기는 많은 비용과 영역 절감을 초래하는, 통상적으로 4개 대역 휴대 전화 해결책에서 사용되는 온-칩 저잡음 증폭기(LNA)들 및 4개의 외부 SAW 필터들을 리젝트한다. SAW 필터들과 LNA들의 리젝트는 적어도 부분적으로는 앞서 언급한 높은 선형의, 저잡음, 수동의, 믹서 구조를 구현함으로써 달성되고, 부분적으로는 입력 및 출력 정합 회로의 세심한 설계에 의해 달성된다.

[0013]

저잡음 수신기는 하드웨어로 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다. 하드웨어로 구현되는 경우, 수동 믹서 및 수동 믹서를 이용하는 고 Q RF 필터는 특화된 하드웨어 구성요소들 및 논리를 이용하여 구현될 수 있다. 저잡음 수신기가 부분적으로 소프트웨어로 구현될 때, 소프트웨어 부분은 다양한 컴포넌트들을 정확하게 제어하는 데 이용될 수 있다. 소프트웨어는 메모리에 저장될 수 있고, 적절한 명령어 실행 시스템(마이크로프로세서)에 의해 실행될 수 있다. 저잡음 수신기의 하드웨어 구현은 본 기술분야에 공지된 다음의 기술들 중 임의의 기술 또는 다음의 기술들의 결합을 포함할 수 있다: 개별 전자 컴포넌트, 데이터 신호들에 대해서 논리 함수를 실행하는 논리 게이트들을 갖는 개별 논리 회로(들), 적절한 논리 게이트들을 갖는 애플리케이션 지정 집적 회로, 프로그램 가능한 게이트 어레이(들)(PGA), 필드 프로그램 가능한 게이트 어레이(FPGA) 등.

[0014]

저잡음 수신기를 위한 소프트웨어는 논리 함수들을 구현하는 실행가능한 명령들의 지시된 목록들을 포함하고, 명령어 실행 시스템, 장치, 또는 디바이스, 이를테면 컴퓨터 기반 시스템, 프로세서 포함 시스템, 또는 명령어 실행 시스템, 장치 또는 디바이스로부터 명령어들을 가져올 수 있고, 명령어들을 실행할 수 있는 다른 시스템에 의해 또는 이들과 관련되어 이용하기 위한 임의의 컴퓨터 관독가능한 매체 내에 포함될 수 있다.

[0015]

본 문서의 맥락에서, "컴퓨터 관독가능한 매체"는 명령 실행 시스템, 장치 또는 디바이스에 의해 또는 이들과 관련되어 사용하는 프로그램을 포함하고, 저장하고, 통신하고, 전파하거나 이동시킬 수 있는 임의의 수단 일 수 있다. 컴퓨터 관독가능한 매체는, 예를 들어, 전자, 자기, 광학, 전자기, 적외선 또는 반도체 시스템 장치, 디바이스 또는 전파 매체일 수 있지만, 이것으로 한정되지 않는다. 컴퓨터 관독가능한 매체의 더욱 구체적인 예들(완전하지 않은 목록)은 다음을 포함할 것이다: 하나 이상의 배선들을 갖는 전기 접속(전자), 휴대가능한 컴퓨터 디스크(자기), 랜덤 액세스 메모리(RAM), 읽기 전용 메모리(ROM), 소거가능한 프로그램 가능 읽기 전용 메모리(EPROM 또는 플래시 메모리)(자기), 광섬유(광학), 및 휴대용 컴팩트 디스크 읽기 전용 메모리(CDROM)(광학). 컴퓨터 관독가능한 매체가 심지어 프로그램이 인쇄된 종이이거나, 다른 적절한 매체일 수 있다는 점에 주목하고, 이는 프로그램이 예를 들어, 종이 또는 다른 매체의 광학적 스캐닝을 통해 전자기적으로 캡처되어, 컴파일되고, 해석되거나 필요하다면 적절한 방식으로 다르게 처리된 후, 컴퓨터 메모리에 저장될 수 있기 때문이다.

[0016]

도 1은 단순화된 휴대용 송수신기(100)를 예시하는 블록도이다. 저잡음 수신기의 실시예들은 임의의 RF 수신기, RF 송신기 또는 RF 송수신기로 구현될 수 있으며, 본 예에서는, 휴대용 송수신기(100)와 관련된 RF 수신기(120)로 구현된다. 도 1에 예시된 휴대용 송수신기(100)는 단순화된 예이며 저잡음 수신기가 구현될 수 있는 많은 가능한 애플리케이션들 중 하나를 예시하도록 의도된다. 당업자는 휴대용 송수신기의 동작을 이해할 것이다. 휴대용 송수신기(100)는 송신기(110), 수신기(120), 기저대역 서브시스템(130), 디지털-아날로그 변환기(DAC)(160), 및 아날로그-디지털 변환기(ADC)(170)를 포함한다. 송신기(110)는 변조기(116) 및 상향 변환기(117)를 포함한다. 일 실시예에서, 상향 변환기(117)는 변조기(116)의 서브시스템일 수 있다. 대안의 실시예

들에서, 상향 변환기(117)는 개별 회로 블록 또는 회로 구성요소일 수 있다.

[0017] 송신기는 또한 기저대역 신호를 변조하고 상향 변환하는 임의의 다른 기능적 구성요소들을 포함한다. 수신기(120)는 수신된 RF 신호로부터의 정보 신호의 복구를 가능하게 하는 하향 변환기(200)와 필터 회로를 포함한다. 하향 변환기(200)는 본 명세서에서 기술한 바와 같이, 저잡음 수신기의 부분들 및 실시예들을 구현한다.

[0018] 휴대용 송수신기(100)는 또한 전력 증폭기(140)를 포함한다. 송신기(110)의 출력은 접속부(112)를 통해 전력 증폭기(140)에 제공된다. 통신 방법론에 따라서, 휴대용 송수신기는 전력 증폭기 제어 구성요소(도시되지 않음)도 포함할 수 있다.

[0019] 수신기(120) 및 전력 증폭기(140)는 프론트 엔드 모듈(front end module)(144)에 접속된다. 프론트 엔드 모듈(144)은 듀플렉서(duplexer), 디아플렉서(diplexer), 또는 수신 신호로부터 송신 신호를 분리하는 임의의 구성 요소일 수 있다. 프론트 엔드 모듈(144)은 또한 수신기(120)에 대한 수신된 신호의 애플리케이션을 제어하기 위해서 적절한 대역 스위칭 디바이스들을 포함한다. 프론트 엔드 모듈(144)은 접속부(142)를 통해 안테나(138)와 접속된다.

[0020] 송신 모드에서, 전력 증폭기(140)의 출력은 접속부(114)를 통해 프론트 엔드 모듈(144)에 제공된다. 수신 모드에서, 프론트 엔드 모듈(144)은 접속부(146)를 통해서 수신기(120)에 수신 신호를 제공한다.

[0021] 저잡음 수신기의 부분들이 소프트웨어로 구현된다면, 기저대역 서브시스템(130)은 이하 기술될 저잡음 수신기의 동작의 적어도 일부를 제어하기 위해서 마이크로프로세서(135)에 의해 또는 다른 프로세서에 의해 실행될 수 있는 수신기 소프트웨어(155)를 또한 포함한다.

[0022] 송신할 때, 기저대역 송신 신호는 기저대역 서브시스템(130)으로부터 접속부(132)를 통해 DAC(160)로 제공된다. DAC(160)는 디지털 기저대역 송신 신호를 접속부(134)를 통해 송신기(110)에 제공되는 아날로그 신호로 변환한다. 변조기(116) 및 상향 변환기(117)는 휴대용 송수신기(100)가 동작하고 있는 시스템에 의해 규정된 변조 형식에 따라서 아날로그 송신 신호를 변조 및 상향 변환한다. 변조되고 상향 변환된 송신 신호는 그 후 접속부(112)를 통해서 전력 증폭기(140)로 제공된다.

[0023] 수신할 때, 필터링되고 하향 변환된 수신 신호는 접속부(136)를 통해 수신기(120)로부터 ADC(170)로 제공된다. ADC는 아날로그 수신 신호를 디지털화하고, 접속부(138)를 통해 아날로그 기저대역 수신 신호를 기저대역 서브시스템(130)으로 공급한다. 기저대역 서브시스템(130)은 수신된 정보를 복구한다.

[0024] 도 2는 대략 25% 듀티 사이클 토폴로지를 이용하는 수동 믹서(passive mixer)로서 구현되는 알려진 싱글 엔드형 전압 모드 하향 변환기의 일 실시예의 개략도이다. 수동 믹서는 도 1의 하향 변환기(200)의 구현의 예이다. 전압 모드 동작이 도 2에 도시된 실시예에서 예시되지만, 전류 모드 구현이 사용될 수도 있다. 도 2는 믹서 스위칭을 제어하기 위한 25% 듀티 사이클 LO 신호들의 예를 예시한다. 실제로 25% 미만의 듀티 사이클은 스위치들의 시간들 상에서(on-times) 중첩을 방지하는데 바람직할 수 있다.

[0025] 전압 모드 믹서 구현에 있어서, 도 2에 도시한 바와 같이, 듀티 사이클을 20% 이하로 감소시키는 것이 가능하지만, 원하지 않는 입력 신호들의 에일리어싱(aliasing)으로 인한 잡음 기여 또는 LO 주파수의 고조파들(harmonics) 주변의 잡음이 성능을 저하시키는 디미니싱 리턴스(diminishing returns) 지점에도 빠르게 도달한다. 본 구현에서는 20에서 25% 사이의 듀티 사이클이 선택된다. 도 2에 도시된 토폴로지에서, LO 및 2LO 체배(multiplication)(도 3에 더욱 상세히 기술됨)는 RF 경로보다는 LO 경로에서 행해진다.

[0026] 접속부(146) 상의 전압 신호는 스위치들(222, 224, 226 및 228)에 제공된다. 스위치들(222, 224, 226 및 228)은, 예를 들어 바이폴라 접합 트랜지스터(BJT) 기술, 전계 효과 트랜지스터(FET) 기술, 또는 임의의 다른 스위칭 기술과 같은 임의의 스위치 기술을 이용하여 구현될 수 있다. 스위치들(222, 224, 226 및 228)은 각각이 이 분야에 공지된 바와 같은, NFET와 PFET 트랜지스터의 결합에 의해 통상적으로 구현되는 패스 게이트들을 이용하여 구현될 수도 있다. 스위치들(222, 224, 226 및 228)은 본 명세서에 기술된 스위칭 신호들을 생성하기 위해서 임의의 타입의 스위치들이 사용될 수 있다는 점을 예시하기 위해서 단순한 단극 단접점(single-pole single-throw) 스위치들로서 도 2에 예시된다.

[0027] 본 명세서에 기술된 실시예에서, 동위상(in-phase)(I) 및 직교 위상(quadrature-phase)(Q) 신호들은 차동 신호이다. 그러므로, I 신호는 V_{I+} 신호와 V_{I-} 신호를 포함한다. 마찬가지로, Q 신호는 V_{Q+} 신호와 V_{Q-} 신호를 포함한다. 스위치(222)는 $I+$ 신호를 생성하고, 스위치(224)는 $I-$ 신호를 생성하고, 스위치(226)는 $Q+$ 신호를 생성하고, 스위치(228)는 $Q-$ 신호를 생성한다. 스위치들(222, 224, 226 및 228)을 구동하는 클록 신호들은 25% 듀

티 사이클을 갖는 것으로 예시되고 이하 기술되는 바와 같이 생성될 수 있다. 클록 신호(232)는 스위치(222)를 구동하고, 클록 신호(234)는 스위치(226)를 구동하고, 클록 신호(236)는 스위치(224)를 구동하고, 클록 신호(238)는 스위치(228)를 구동한다. 대략 25% 듀티 사이클 토플로지를 제공함에 따라, 클록 신호들(232 내지 238) 중 어느 것도 그들이 중첩되는 동안 또는 동시에 포지티브(positive)인 임의의 시간 주기를 갖지 않는다.

[0028] 스위치(222)의 출력은 정전 용량(capacitance)(256) 및 저항(resistance)(257)에 의해 종단처리되고(terminated), 증폭기(252)의 하나의 입력에 제공된다. 스위치(224)의 출력은 정전 용량(258) 및 저항(259)에 의해 종단처리되고, 증폭기(252)의 다른 입력에 제공된다. 스위치(226)의 출력은 정전 용량(266) 및 저항(267)에 의해 종단처리되고, 증폭기(262)의 하나의 입력에 제공된다. 스위치(228)의 출력은 정전 용량(268) 및 저항(269)에 의해 종단처리되고, 증폭기(262)의 다른 입력으로 제공된다. 접속부(254) 상의 증폭기(252)의 출력은 차동 V_{I+} 및 V_{I-} 출력 신호이며, 접속부(264) 상의 증폭기(262)의 출력은 차동 V_{Q+} 및 V_{Q-} 출력 신호이다.

[0029] 도 3은 도 2에 기술된 수동 믹서(200)의 일 실시예에서 사용된 LO 신호들을 나타내는 그래프 도이다. 동위상 LO 신호는 차동 컴포넌트들 LO_I 및 $\overline{LO_I}$ 를 포함한다. 직교 위상 LO 신호는 차동 컴포넌트들 LO_Q 및 $\overline{LO_Q}$ 를 포함한다. 2LO 신호는 I 및 Q LO 신호들의 2배 주파수에서 발생하는 LO 신호이다. 2LO 신호의 역(inverse)을 $\overline{2LO}$ 라고 부른다.

[0030] 2LO 신호는 트레이스(302)로 도시되고, LO_I 신호는 트레이스(304)로 도시되며, $\overline{LO_I}$ 신호는 트레이스(305)로 도시된다. LO_Q 신호는 트레이스(306)로 도시되고, $\overline{LO_Q}$ 신호는 트레이스(307)로 도시된다. 이들 5개의 신호들은 하향 변환기(200)에 인가된 4개의 LO 파형들을 생성하기 위해서 다음과 같이 결합된다.

[0031] $2LO*LO_I$ 신호는 트레이스(308)로 도시된다. 신호(308)는 LO_I+ 신호를 나타낸다. $2LO*\overline{LO_I}$ 신호는 트레이스(312)로 도시된다. 신호(312)는 LO_I- 신호를 나타낸다. $\overline{2LO}*LO_Q$ 신호는 트레이스(314)로 도시된다. 신호(314)는 LO_Q+ 신호를 나타낸다. $\overline{2LO}*\overline{LO_Q}$ 신호는 트레이스(316)로 도시된다. 신호(316)는 LO_Q- 신호를 나타낸다.

[0032] 유효 동위상 차동 LO 신호, eLO_I는 트레이스(318)로 도시되고, 유효 직교 위상 차동 LO 신호, eLO_Q는 트레이스(322)로 도시된다. 이들 신호들은 LO_I+ - LO_I- 및 LO_Q+ - LO_Q-로서 각각 유도된다. 도 3에 도시한 바와 같이, 유효 동위상 차동 LO 신호, eLO_I(318) 및 유효 직교 위상 차동 LO 신호, eLO_Q(322)는 각 극성(polarity)에서 대략 25% 듀티 사이클을 제공하고, 스위칭이 2LO 신호(302)의 천이시에만 발생한다는 점을 보장하므로, 스위칭 잡음의 어떤 영향도 최소화하고, LO_I 신호(304) 및 LO_Q 신호(306)로 인한 어떤 I 및 Q 신호 중첩도 최소화한다. 트레이스(326)는 I+ 신호(328), Q+ 신호(332), I- 신호(334) 및 Q- 신호(336)에 의한 RF 입력 신호의 샘플링을 나타내는 연속 파형의 예이다.

[0033] 도 4는 저잡음 수신기(400)의 일 실시예를 예시하는 개략도이다. 3GPP 표준에 따라서, 저잡음 수신기(400)는 원하는 수신 주파수로부터 20MHz 보다 큰 오프셋에서의 0dBm 대역외(out-of-band) 논-스퓨리어스(non-spurious) 블로커가 존재하는 경우, 또는 원하는 수신 주파수의 고조파에서 발생할 수 있는 것과 같이 -43dBm 대역외 스퓨리어스 블로커가 존재하는 경우, 대략 -99dBm의 세기에서 원하는 신호를 복조할 수 있어야 한다.

[0034] 저잡음 수신기(400)는 수신된 신호를 프론트 엔드 모듈(144)에 공급하는 안테나(138)로부터 신호를 수신한다. 프론트 엔드 모듈(144)은, 본 예에서, 필터링된 신호를 송수신(T/R) 스위치 모듈(404)에 공급하는 안테나 필터(402)를 포함한다. 도 4에 도시된 실시예에서, T/R 스위치 모듈(404)은 송신 고 대역, 송신 저 대역(간략화를 위해 도시되지 않은 회로)을 스위치하고; 수신 고 대역 및 수신 저 대역을 스위치하는 단극 4접점(single-pole four-throw; SPFT) 스위치이다. 이러한 4 대역 예에서, 송수신 스위치 모듈(404)은 이 분야에서 공지된 임의의 타입의 스위치들을 이용하여 구현될 수 있다.

[0035] 수신 신호는 T/R 스위치 모듈(404) 내의 적합한 스위치 구성요소로부터 저역 통과 필터 모듈(410)에 제공된다. 도 4에 도시된 실시예에서, 저역 통과 필터 모듈(410)은 수신 저 대역 및 수신 고 대역 모두를 위한 회로를 포함한다. 저역 통과 필터 모듈(410)은 고조파 리젝트 필터로서, 그리고 임피던스 정합 네트워크로서 동작한다. 저역 통과 필터 모듈(410)은 원하는 수신 주파수의 홀수 번째 고조파, 예를 들어 제3 및 제5 고조파에서 발생할

수 있는 대역의 블로킹 신호들을 감쇠시키고; T/R 스위치 모듈(404)로부터 하향 변환기(200)의 입력으로의 임피던스 정합을 제공할 수도 있다. 일 실시예에서, 인덕터들(412 및 417)은 10nH의 값을 가질 수 있고, 커패시터들(414 및 416)은 3.0pF의 값을 가질 수 있으며; 인덕터들(418 및 422)은 3.3nH의 값을 가질 수 있고, 커패시터들(419 및 421)은 1.5pF의 값을 가질 수 있다.

[0036] 저 대역 필터 회로는 인덕터(412), 커패시터(414), 인덕터(417) 및 커패시터(416)를 포함한다. 마찬가지로, 고 대역 필터 회로는 인덕터(418), 커패시터(419), 인덕터(422) 및 커패시터(421)를 포함한다. 일 실시예에서, 저 역 통과 필터 모듈(410)은 상대적으로 낮은 임피던스 소스로부터 상대적으로 높은 임피던스 부하로의 임피던스 정합을 제공하고, 그 과정에서 이 분야에서 공지된 바와 같이, 승압 변압기(step-up transformer)의 역할을 함으로써 전압 이득을 제공한다. 일례로서, 저역 통과 필터 모듈(410)의 입력은 대략 50Ω의 임피던스를 가지며, 하향 변환기(200)에 대한 입력에서 대략 400Ω 임피던스로 정합되어야만 한다. 이러한 정합을 제공하는 필터 네트워크는 $\text{SQRT}(400/50)$ 까지 전압을 승압할 것이며, dB로는 $20*\log(\text{SQRT}(400/50))=9\text{dB}$ 이다.

[0037] 저잡음 수신기(400)는 또한 도 2에 도시된 하향 변환기(200)의 일 실시예를 포함한다. 도 4에 도시된 예에서, 하향 변환기(200)는 저 대역을 위한 트랜지스터 스위치들(424, 426, 427 및 428) 및 고 대역을 위한 트랜지스터 스위치들(429, 431, 432 및 434)를 포함하는 2개 대역 저잡음 수동 믹서이다. 동작 대역에 따라서, 고 대역 또는 저 대역 스위치들만이 한번에 사용된다. 본 실시예에 따라서, 트랜지스터 스위치들(424, 426, 427 및 428) 또는 트랜지스터 스위치들(429, 431, 432 및 434)은 25% 로컬 오실레이터(L0) 듀티 사이클에 따라서 스위치되며, L0 파형들 및 그들의 위상들은 도 2 및 도 3에 기술되었다. 본 동작에 따라서, 하향 변환기(200)의 고 대역 또는 저 대역 세그먼트들 중 어느 하나에 있는 어떠한 2개 트랜지스터 스위치들도 동시에 동작하지 않을 것이다.

[0038] 트랜지스터 스위치들(424, 426, 427 및 428) 또는 트랜지스터 스위치들(429, 431, 432 및 434)에 대한 25% 듀티 사이클 L0 구동은, 임의의 주어진 순간에 싱글 엔드형 RF 입력에 대해 커패시터들 중 오직 하나만을 접속시킴으로써, 도 4의 커패시터들(C_L) 상의 I 및 Q 기저대역 출력들 간의 분리(isolation)를 제공한다. 이것은 I 및 Q 커패시터들 사이에서 전하 공유를 방지하고, 믹서 이득, 잡음 지수(noise figure; NF), 및 하향 변환기(200)의 RF 입력에서 대역 통과 필터링 응답의 품질 계수(Q)를 향상시킨다. 이러한 전압 모드 샘플 앤드 홀드(sample-and-hold) 토플로지에서 싱글 엔드-차동 변환은 대략 6dB의 추가 전압 이득의 이점을 갖는다. 샘플/홀드 믹서 동작 및 싱글 엔드-차동 하향 변환으로 인해 이러한 토플로지에서의 이득이 5.1dB에 접근한다는 점이 도시될 수 있다. 저역 통과 필터(410)에서 대략 50Ω에서 대략 400Ω으로 상승된 임피던스로 인한 추가 이득은 안데나 입력에서부터 수동 믹서 출력에 이르기까지 대략 14.1dB로 총 이득을 향상시킨다. 이러한 믹서 이득이 임의의 활성화 단계를 없이 또는 단일 경로에서 바이어스 전류없이 달성된다는 점에 주목할 만하다. 수동 스위치들 및 믹서 L0 생성 회로의 성능이 더 낮은 게이트 길이들에서 개선됨에 따라, 이러한 프론트 엔드 설계는 미래의 기술 규모로부터 크게 이득이 될 수 있다는 점에도 주목해야 한다.

[0039] 하향 변환기(200)의 출력은 RC(resistive/capacitive) 필터 네트워크(436)에 공급된다. 구체적으로, 트랜지스터(424 또는 429)의 출력은 저항기(437) 및 커패시터(438)에 공급된다. 트랜지스터(426 또는 431)의 출력은 저항기(439) 및 커패시터(441)에 공급된다. 트랜지스터(427 또는 432)의 출력은 저항기(442) 및 커패시터(444)에 공급되고, 트랜지스터(428 또는 434)의 출력은 저항기(446) 및 커패시터(447)에 공급된다.

[0040] 다음의 설명은 트랜지스터(424)의 출력과 저항기(437) 및 커패시터(438)를 포함하는 필터 네트워크, 트랜지스터(426)의 출력과 저항기(439) 및 커패시터(441)를 포함하는 필터 네트워크를 단지 예로서만 특별히 참조하여 이뤄질 것이다. 회로의 균형은 동일한 방식으로 행한다. 커패시터(438)는 샘플 앤 홀드 기능을 행하고, 트랜지스터(424)로부터 출력된 신호에 대해서 싱글 엔드-차동 변환을 행한다. 트랜지스터(424)가 전술한 25% 듀티 사이클에 대응하는 시간 주기 동안 전도성이 될 때마다, 트랜지스터(424)의 출력은 샘플 앤드 홀드 기능을 제공하기 위해서 커패시터(438)에 저장된다. 다음으로, 동위상 신호에 대한 참조 예로, 커패시터(438) 및 커패시터(441)에 의해 차동 변환이 행해진다. 커패시터(438)는 간격(328)(도 3) 동안 충전하고, 커패시터(441)는 간격(334)(도 3) 동안 충전한다. 다음으로, 신호들이 반대 극성이 되기 때문에 이들 출력들이 차동되어, 2X 크기가 된다. 일례로서, 결합된 신호들의 값은 대략 6dB이다.

[0041] 제로가 아닌(non-zero) 공통 모드 전압이 단일 공급 전압을 이용하는 차동 시스템에서 사용되기 때문에 저항기들(437 및 439)은 공통 모드 전압(Vcm)을 제공한다. 커패시터(438), 저항기(437) 및 트랜지스터(424)를 통과하는 저항의 병렬 결합은 RC 저역 통과 필터를 형성한다. 일 실시예에서, 이들 소자들의 값들은 +/-1MHz의 RC 저역 통과 필터 대역폭을 제공하도록 선택된다. 이러한 저역 통과 필터 응답은 하향 변환기(200)를 통해 리플렉

트되며, 도 5에 도시한 바와 같이, 2MHz 폭의 RF 대역 통과 응답이 하향 변환기(200)의 입력에서 나타나게 한다.

[0042] RC 네트워크(436)의 출력은 그 다음에 고 이득 트랜스-어드미턴스(trans-admittance) 증폭기(450)에 공급된다. 본 실시예에서, 저잡음 수신기는 고 이득 트랜스-어드미턴스 증폭기(450)의 4가지 사례를 포함한다. 고 이득 트랜스-어드미턴스 증폭기(450)는 저항기(437)와 커패시터(438)의 출력을 수신하도록 구성된 전류 소스(452), 트랜지스터(454) 및 저항기(456)를 포함한다. 마찬가지로, 저항기(439) 및 커패시터(441)의 출력은 전류 소스(457), 트랜지스터 디바이스(458) 및 저항기(459)를 포함하는 고 이득 트랜스-어드미턴스 증폭기에 공급된다. 유사하게, 저항기(442) 및 커패시터(444)의 출력은 전류 소스(461), 트랜지스터(462) 및 저항기(464)를 포함하는 고 이득 트랜스-어드미턴스 증폭기에 공급된다. 마지막으로, 저항기(446) 및 커패시터(447)의 출력은 전류 소스(466), 트랜지스터(467) 및 저항기(468)를 포함하는 고 이득 트랜스-어드미턴스 증폭기에 공급된다. 일 실시예에서, 하향 변환기(200) 및 고 이득 트랜스-어드미턴스 증폭기(450)는 1.2V 조절 공급(regulated supply)으로부터 동작할 수 있다.

[0043] 고 이득 트랜스-어드미턴스 증폭기(450)의 출력은 RC 저역 통과 필터(470)에 제공된다. RC 저역 통과 필터(470)는 저항기(471), 커패시터(472), 및 저항기(474)를 포함한다. RC 저역 통과 필터(470)는 또한 저항기(476), 커패시터(477), 및 저항기(478)를 포함한다.

[0044] RC 저역 통과 필터(470)의 출력은 필터(480)에 공급되고, 필터(480)는 증폭기(481) 및 관련 저항기들(R1 및 R2) 및 커패시터들(C1 및 C2), 및 증폭기(491) 및 관련 저항기들(R1 및 R2) 및 커패시터들(C1 및 C2)을 포함한다. 필터들(470 및 480)은 완전히 독립적이지 않고 그들의 인터페이스에서의 부하로 인해 서로 영향을 미친다. 필터들(470 및 480)의 혼합 특성은 원하는 필터 응답을 얻기 위해서 저항기들(471, 476), 커패시터들(472 및 477), 저항기(R1), 저항기(R2), 커패시터(C1) 및 커패시터(C2)를 사용하여 조정될 수 있다. 전체 수신기 이득은 저항기들(456, 459, 464 및 468)을 사용하여 또는 저항기들(471 및 476), 커패시터들(472 및 477), 저항기(R1), 저항기(R2), 커패시터(C1) 및 커패시터(C2)를 조정하여 스케일링될 수 있다. 이 개념은 도시된 특정한 능동(active) 필터 토폴로지의 사용으로 제한되지 않으며, 수동 RC 필터들은 물론 다른 op-amp기반 능동 필터 토폴로지들을 포함하여 다른 토폴로지들이 사용될 수 있다.

[0045] 필터(480)의 출력 전압은 아날로그-디지털 변환기(ADC)(490)에 제공된다. 증폭기(481)의 출력 전압은 ADC(492)에 제공되고, 증폭기(491)의 출력 전압은 ADC(494)에 제공된다. ADC(490)의 디지털 출력은 기저대역 서브시스템(130)에 제공된다.

[0046] 도 5는 저잡음 수신기가 동작하는 예시적인 주파수 스펙트럼을 나타내는 그래프 도해(500)이다. 가로 좌표(abscissa)(502)는 주파수를 나타내고, 세로 좌표(ordinate)(504)는 신호 레벨을 나타낸다. 영역(506)은 925MHz에서부터 960MHz까지의 수신 주파수 범위를 예시한다. 영역(506)은 SAW 필터가 본 시스템에 존재한다면 SAW 필터에 의해 제공될 필터 영역을 또한 예시한다. 신호(508)는 원하는 신호를 나타내고, 영역(512)은 하향 변환기(200)의 동작에 의해 제공된 원하는 수신 주파수(튜닝 주파수(516))를 중심으로 하는, 2MHz 폭의 주파수 응답 커버링 영역(518)을 묘사한다. 일 실시예에서, 하향 변환기(200)는 "필터링 막서"라 지칭될 수 있다.

[0047] 대역외 블로킹 신호는 대역외 간섭 신호라고도 지칭되며, 참조 번호(522)를 사용하여 도 5에 묘사된다. 본 예에서, 대역외 블로킹 신호(522)는 960MHz의 상위 주파수 범위보다 주파수가 대략 20MHz 더 높다. 하향 변환기(200)는 주파수 응답(512)을 나타내며, 그에 의해 주파수 범위(518) 내의 신호들을 통과시키고, 주파수 범위(518) 밖의 신호들을 실질적으로 리젝트하고, 그에 의해 대역외 블로킹 신호들이 원하는 신호(508)를 간섭하는 것을 막는다. 주파수 응답(512)은 튜닝 주파수(516)를 중심으로 하는 2MHz의 3dB 대역폭을 갖는 튜닝 주파수(516)($L_0(f_{L0})$ 의 주파수) 주변의 매우 높은 Q를 갖는 대역 통과 응답이다. 이러한 높은 Q 대역 통과 응답은 하향 변환기 입력에서 L_0 주파수를 중심으로 하는 대역 통과 극(pole)을 나타내는 하향 변환기(200) 내의 트랜지스터들을 통해 효과적으로 리플렉트되는 도 4의 커패시터(438) 및 저항기(437)(예를 들어, C_L 및 R_B)에 기인하는 저역 통과 극에 의해 완성된다. L_0 주변의 더 높은 오프셋을 위해서, 하향 변환기(200)에서 사용된 수동 스위치들의 유한 온 저항(finite on resistance)에 의해 결정되는 바닥(floor)에 응답이 도달할 때까지, 입력 임피던스에서 20dB/decade 하락이 관찰된다. 하향 변환기 입력에서 이러한 높은 Q 필터를 사용하여, GSM 950MHz 대역 내의 20MHz 블로커는 12dB 이상 감쇄된다.

[0048] 도 4의 하향 변환기(200)에 인가된 로컬 오실레이터 주파수가 변화함에 따라, 2MHz 폭의 영역(512)은 튜닝 주파수(516)에 따라 이동(shift)할 것이다. 수신기(400)가 튜닝되는 임의의 채널은 튜닝 주파수(516) 주변에 이러한

한 2MHz 폭의 필터 영역을 가질 것이므로, 임의의 대역외(2MHz 초과) 블로킹 신호들을 리젝트한다. 이것은 저잡음 수신기(400)에 대한 입력에서의 SAW 필터에 대한 요구를 없앤다.

[0049] 하향 변환기(200)에 의해 제공된 저잡음과 함께 이러한 "추적 필터(tracking filter)" 동작은, 프론트 엔드 모듈(144)이 하향 변환기(200)에 대한 입력에서 저역 통과 필터(410)에 직접 접속되는 것으로 도 4에 도시한 바와 같이, 저잡음 증폭기의 제거를 허용한다. 도 3에 기술된 LO 2LO 방법에 의해 유도된 25% 듀티 사이클 LO는 하향 변환기(200)에 인가되어, 도 3에 도시한 바와 같이 중첩되지 않는 하향 변환기 위상들을 제공하고, 하향 변환기(200)에 의해 제공될 대략 6dB 전압 이득을 허용하므로, 프론트 엔드 모듈(144)과 저역 통과 필터(410) 사이에서 저잡음 증폭기의 생략을 더욱 정당화한다.

[0050] 그러나, 대역외 블로킹 신호(522)가 원하는 신호(508)의 튜닝 주파수(516)의 3배 또는 5배 주파수(일반적으로 기본 주파수의 제3 또는 제5 고조파로 지칭됨)에서 발생한다면, 막서 에일리어싱으로 불리는 현상을 통해, 대역외 블로킹 신호(522)의 전체 진폭은 원하는 신호(508)를 위에 중첩될 것이므로, 튜닝 주파수(516)에서 수신기 감도를 저하시킨다.

[0051] 원하는 신호(508)의 홀수 번째 고조파, 예를 들어 제3 또는 제5 고조파에서 발생할 수 있는 대역외 블로킹 신호(522)가 원하는 신호(508)를 간섭하는 것을 막기 위해서, 원하는 신호(508)의 제3 및 제5 고조파 주파수에서 수신기 감도를 감소시키도록 저역 통과 필터(410)(도 4)가 구현된다. 저역 통과 필터(410)에서 사용된 정합 컴포넌트들의 총수는 전형적인 4 대역 수신기 정합 회로들에서 사용되는 것보다 적거나 동일하다. 단순한 4차 필터는 원하는 수신 주파수의 3배 또는 5배에서 원하지 않는 컴포넌트들에 대해 30dB 이상의 리JECTION(rejection)을 제공한다. 컴포넌트들을 적합하게 선택함으로써, 이러한 리JECTION은 컴포넌트 자체 공진(self-resonance)들을 이용하여 65dB 보다 크게 증가될 수 있다.

[0052] 또한, 도 7에서 이하 기술될 바와 같이, 하향 변환기(200)로부터 이용가능한 출력 위상의 장점을 취함으로써, 원하는 신호의 홀수 번째 고조파들, 예를 들어 제3 및 제5 고조파들에서 두드러지게 발생하는 대역외 블로킹 신호들을 더 감쇄시키기 위해서 위상들이 합해질 수 있다.

[0053] 도 6은 도 4의 저잡음 수신기의 대안의 실시예를 예시하는 개략도이다. 도 4의 구성요소들과 유사한 도 6의 구성요소들은 6XX 명명법을 사용할 것이며, 도 6에서 "XX"는 도 4에서의 유사한 구성요소를 참조한다. 또한, 도 6의 몇몇 참조 번호들은 간략화를 위해서 도시되지 않는다. 저잡음 수신기(600)는, 도 6의 실시예가 예시적인 기저대역 필터 구현을 나타낸다는 점을 제외하고 저잡음 수신기(400)와 유사하며, 여기서 고 이득 트랜스-어드미던스 증폭기(650)에 의해 제공된 기저대역 V-I 변환 단계로부터의 출력 전류는, RC 저역 통과 필터(670)에서 수동 저역 통과 필터링 후에, ADC 구성요소들(692 및 694)을 포함하는 연속 시간 ADC(690)의 버추얼 접지(virtual ground)에 직접 인가된다.

[0054] 도 7은 도 4의 저잡음 수신기의 다른 대안의 실시예를 예시하는 개략도이다. 도 7의 저잡음 수신기의 실시예는 오직 하나의 대역(저 대역)만을 예시하고 하향 변환기(200)의 8개 출력 위상들을 생성하는 예를 나타낸다. 원하는 수신 주파수의 홀수 번째 고조파들, 예를 들어 제3 및 제5 고조파들에서 발생할 수 있는 대역외 블로킹 신호들의 추가적인 감쇄는 하향 변환기(200)로부터 이용가능한 출력 위상들의 장점을 취함으로써 얻어질 수 있다. 하향 변환기(200)로부터의 출력 위상들은 예를 들어 원하는 신호의 제3 및 제5 고조파들에서 대역외 블로킹 신호들을 더 감쇄시키기 위해서 합해질 수 있다.

[0055] 저잡음 수신기(700)의 실시예는 설명의 간략화를 위해서 저 대역만을 예시한다. 저잡음 수신기(700)는 트랜지스터 디바이스 대신에 간단한 스위치들을 사용하여 도시된 하향 변환기(200)의 구현을 포함하고, 간략화를 위해서 저 대역(LB) 신호 체인만을 예시한다. 스위치들에 대한 LO 구동 신호들은 그래프 도해(750)를 사용하여 도시된다. 하향 변환기(715)의 실시예는 LO 주파수의 완전한 사이클 당 총 2K 샘플들을 취하는 2K 텁들을 포함한다. 일반적인 2K 텁 하향 변환기(715)에서, 각 LO 파형의 듀티 사이클은 LO/2K 미만이다. 하향 변환기(715)의 이득은 K가 증가함에 따라 0dB에 근접한다. 싱글 엔드형 하향 변환기의 경우에, 이득은 전술한 싱글 엔드-차동 변환 및 샘플 앤드 헀드(S/H) 동작의 결합으로부터 6dB에 근접한다. 저역 통과 필터 모듈(710)에서 임의의 전압 상승은 전술한 바와 같이, 추가 이득을 제공한다.

[0056] K가 4, 8, 16, 등인 2K 텁 구현은 입력 RF 주파수의 고조파들이 하향 변환기(715) 출력의 간단한 합산에 의해 리젝트될 수 있는 구성을 허용한다. 제3 또는 제5 고조파들 중 어느 것도 운반하지 않는 파형을 제공하는 3개 출력 위상들의 합산의 예가 도 8에 기술된다.

[0057] 저역 통과 필터 모듈(710)로부터의 신호는, 간략화를 위해 스위치들의 배열로서 도시된 하향 변환기(715)에 공

급된다. 각 스위치는 스위치를 구동하는 L0 파형(750)의 명칭(L0_0 내지 L0_(2K-1))으로 도시된다. 도 7에 도시된 일반적인 구현에서, 2K 스위치들(L0_0 내지 L0_(2K-1))은 신호 경로에 사용되며, 각 스위치는 듀티 사이클 $\leq (100/2K)\%$ 을 갖는다. L0 주파수의 주기는 T이고, 각 L0 파형은 T/2K의 활성 펄스 폭을 나타낸다. 본 예에서 논의된 구현은 K=4의 특정 경우이므로, 각 L0 파형(750)은 T/8의 활성 펄스 폭을 나타낸다. 그러나, 기저대역 출력들의 임의의 수 K는 애플리케이션에 따라서 수신기 토폴로지들에서 사용될 수 있다. 숫자 K가 증가함에 따라, 샘플 앤드 홀드 이득은 0dB에 근접한다. 예를 들어, 제3 및 제5 고조파 리젝션 수신기 아키텍처는 RF 파형의 0, 45, 90, 135, 180, 225, 270 및 315도 샘플들을 생성하기 위해서 K=4를 이용할 수 있다. 도 7에서 V(0), V(1), ..., V(2K-1)로 표시된 출력들은 K=4인 경우이며, 각각 0, 45, 90, 135, 180, 225, 270 및 315도 샘플들에 대응한다. 출력들 V(0), V(1), ..., V(2K-1)은 쌍으로 그룹지어지고, 각 쌍은 180도만큼 위상이 다른 출력들을 포함한다. 예를 들어, V(0)과 V(K)의 차이, V(1)과 V(K+1)의 차이, 및 V(K-1)과 V(2K-1)의 차이이다. 다음으로, 이들 쌍들 각각의 차이는 개별 차동 증폭기(785-1 내지 785-K)에 의해 결정된다. 차동 증폭기들(785-1 내지 785-K)은 필터들(480)로서 도 4에 기술된 바와 같이, 저역 통과 필터들도 포함할 수 있다. 차동되는 신호들은 180도 위상이 다르기 때문에, 6dB 이득이 달성된다. K=4인 특정 경우에, 차동 증폭기들(785-1 내지 785-K)의 결과적인 출력들은 추가된 6dB 이득을 갖고 0, 45, 90, 및 135도에서 수신된 신호의 이득 추가된 위상들을 나타낸다. 차동 증폭기들(785-1 내지 785-K)의 출력들은 ADC들(790-1 내지 790-K)에 인가된다. 그 다음으로 ADC들(790-1 내지 790-K)의 출력들은 기저대역 시스템(130)에 인가된다. 기저대역 시스템(130) 내에서, 고조파 리젝션 합산은 이하 기술될 바와 같이, 이들 다수의 위상들의 가중 합산을 이용하여 구현될 수 있다.

[0058] 도 7에 도시된 기술은 심각하게 성능을 저하시킬 수 있거나 전력 소비 및 다이 영역을 증가시킬 수 있는 추가 회로 블록들을 덧붙이지 않고 시간 영역 내의 RF 신호를 K개의 개별 경로들로 분리하는 효과적인 방법이다.

[0059] 도 8은 제3 및 제5 고조파들이 리젝트되는 파형을 생성하는 공지된 방법을 예시한다. 도 8은 동위상(I) 신호와 관련된 신호들만을 나타낸다. 간략화를 위해서, 도 8의 예는 제3 또는 제5 고조파들 중 어느 것도 운반하지 않는 파형을 제공하는 3개의 출력 위상들의 합산의 일례를 도시한다. 다른 개수들의 출력 위상들이 결합되어 유사한 출력 파형을 달성할 수 있다.

[0060] 파형(820)은 수학식 1에 따른 기본적인 L0 신호를 나타낸다.

수학식 1

$$U1(t) = \frac{2}{\pi} [(\cos(\omega t) - 1/3(\cos(3\omega t) + 1/5(\cos(5\omega t) \dots)])$$

[0061]

[0062] 파형(810)은 신호(820)에 관하여 45도 선행된(advanced) 기본적인 L0 신호(820)를 나타낸다. 신호(810)는 수학식 2에 따라 표현된다.

수학식 2

$$U2(t) = \frac{\sqrt{2}}{\pi} [(\cos(\omega t) - \sin(\omega t)) + 1/3(\cos(3\omega t) + \sin(3\omega t)) - 1/5(\cos(5\omega t) - \sin(5\omega t)) \dots]$$

[0063]

[0064] 파형(830)은 신호(820)에 관하여 45도 지연된(retarded) 기본적인 L0 신호(820)를 나타낸다. 신호(830)는 수학식 3에 따라 표현된다.

수학식 3

$$U3(t) = \frac{\sqrt{2}}{\pi} [(\cos(\omega t) + \sin(\omega t)) + 1/3(\cos(3\omega t) - \sin(3\omega t)) - 1/5(\cos(5\omega t) + \sin(5\omega t)) \dots]$$

[0065]

[0066] 과형(840)은 기본적인 LO 신호(820)의 제3 및 제5 고조파들이 리젝트되도록 적절한 비율로 위의 3개 과형들을 결합하는 것을 나타낸다. 결합은 수학식 4에 따라 형성된다.

수학식 4

$$LO_harm_rej(t) = \sqrt{2}U1(t) + U2(t) + U3(t)$$

[0067] [0068] 이제 도 7로 돌아가서, 하향 변환기(715)의 유효 LO 출력들은 도 8에 대하여 일반적으로 전술한 바와 같이 그리고 8개 출력 위상들의 경우에 대해서 도 10에서 이하 도시될 바와 같이, 추가적인 고조파 리젝션을 제공하기 위해서 결합될 수 있으며, 이는 저역 통과 필터(410)(도 4)에 대한 필요 조건들을 더욱 간략화한다. K=4인 경우에, 수신기가 원하는 RF 신호의 3배 및 5배에서 입력 신호들을 리젝트하도록 하는, 제3 및 제5 고조파 리젝션을 제공하는 하향 변환기 구성이 얻어진다.

[0069] [0070] 도 9는 K=4인 경우 도 7의 저잡음 수신기에 의해 이용되는 8개 LO 위상들을 나타내는 그래프 도해이다. 트레이스(902)는 50% 듀티 사이클을 갖는 4LO 과형을 나타낸다. 트레이스들(904 및 906)은 2LO의 2개의 직교 위상들을 나타내며, 각각은 2LO_I 및 2LO_Q라 지칭된다. 트레이스들(908 및 912)은 LO의 45도 오프셋 위상을 2개를 나타내며, 각각은 LO_I 및 LO_Q로 지칭된다. 트레이스들(902, 904, 906, 908 및 912)로 표현되는 신호들은 트레이스들(922, 924, 926, 928, 932, 934, 936 및 938)에 의해 도시된 8개 결합들에 승산되어 LO_0, LO_4, LO_1, LO_5, LO_2, LO_6, LO_3 및 LO_7로 지칭되는 8개의 개별 LO 과형들을 생성하고, 이를 각각은 1/8 듀티 사이클을 나타낸다.

[0071] [0072] 도 10은, K=4인 경우 도 7의 저잡음 수신기에 의해 이용되는 8개 LO 위상들의 가중된 결합에 의해 생성된, 각각의 제3 및 제5 고조파들이 리젝트된, 유효 직교 LO 과형들을 나타내는 그래프 도해이다.

도 10에서, 트레이스들(922, 924, 926, 928, 932, 934, 936 및 938)에 의해 각각 도시된 8개의 1/8 듀티 사이클 과형들(LO_0 내지 LO_7)은, 도 11 및 도 13에서 보다 더 예시될 바와 같이, 기저대역 서브시스템(130)에서 적절한 비율로 결합되어 유효 직교 과형들(eLO_I(1002) 및 eLO_Q(1004))을 형성한다. 과형들(eLO_I(1002) 및 eLO_Q(1004))은 3개 출력 위상들의 결합에 대해서 도 8에서 트레이스(840)로 도시된 바와 같이 8개의 결합된 출력 위상들을 갖는 신호에 대한 동일한 고조파 리젝팅 특성 형상을 나타낸다.

[0073] [0074] 제5 고조파보다 높은 고조파들의 억제(suppression)는 출력 위상들의 수를 증가시킴으로써 달성될 수 있다. 예를 들어, 16개 출력 위상들 및 가중 계수(weighting coefficient)들의 적절한 선택을 이용하여, 제3, 제5, 제7, 제9, 제11 및 제13 고조파들을 억제하는 주파수 응답이 달성될 수 있다. 이러한 응답은 단지 1GHz 및 15GHz에서 큰 로브(lob)들을 갖는, 16GHz까지 확장된 플롯(1220)(도 12)과 유사하게 보일 것이다. 이러한 경우에, 과형들(eLO_I 및 eLO_Q)은 도 10에서의 플롯들(1002 및 1004)과 비교하여 이가 더 촘촘한(finer-toothed) 양자화(quantization)를 나타낼 것이다. 출력 위상들의 수가 무한대로 더욱 증가함에 따라, eLO_I 및 eLO_Q는 순수 사인파들이 될 것이며, 이것은 고조파를 전혀 포함하지 않는다.

도 11은 도 10의 유효 직교 LO 과형들을 구현하는 저잡음 수신기의 실시예를 예시하는 개략도이다. 저잡음 수신기(1100)는 도 7의 저잡음 수신기(700)의 대안의 실시예이며, 하향 변환기의 입력에서 제3 및 제5 고조파들의 추가적인 리젝션을 제공하기 위해서 도 10의 유효 직교 LO 과형들을 결합한다. 하향 변환기(1115)를 포함하는 스위치들은 도 9에서 트레이스들(922, 924, 926, 928, 932, 934, 936 및 938)로 도시된 8개 LO 위상들에 의해 제어된다. 도 11에 도시된 실시예는 LO 신호의 8개 위상들을 포함하고, 따라서, 8개 LO 신호들은 그래프 도해(1150)에 도시한 바와 같이 LO_0 내지 LO_7로 표현된다.

제3 및 제5 고조파들의 추가적인 리젝션을 제공하기 위해서 8개 LO 위상들을 결합하는 것은 두 부분들에서 일어난다. 8개 LO 위상들의 첫번째 결합은 아날로그 차동 증폭기들(1185-1, 1185-2, 1185-3 및 1185-4)을 이용하여 아날로그 도메인에서 일어난다. 수신된 신호의 매 n번째 샘플은 각각의 아날로그 차동 증폭기들(1185)에 의해 (n+4)번째 샘플과 차동된다. LO_0 신호는 아날로그 차동 증폭기(1185-1)에 의해 LO_4 신호와 결합된다. LO_1 신호는 아날로그 차동 증폭기(1185-2)에 의해 LO_5 신호와 결합된다. LO_2 신호는 아날로그 차동 증폭기(1185-3)에 의해 LO_6 신호와 결합된다. LO_3 신호는 아날로그 차동 증폭기(1185-4)에 의해 LO_7 신호와 결합된다. 아날로그 차동 증폭기들(1185-1 내지 1185-4)의 개별 출력들은 도 7에서 전술한 바와 같이, 대략 6dB 추가가 이득을 가지고 0, 45, 90 및 135도에서 수신된 신호의 위상을 나타낸다.

- [0075] 아날로그 차동 증폭기들(1185)의 출력들은 개별 ADC 구성요소들(1190)에 의해 디지털 도메인으로 변환된다. 아날로그 차동 증폭기(1185-1)의 출력은 ADC(1190-1)에 공급된다. 아날로그 차동 증폭기(1185-2)의 출력은 ADC(1190-2)에 공급된다. 아날로그 차동 증폭기(1185-3)의 출력은 ADC(1190-3)에 공급된다. 아날로그 차동 증폭기(1185-4)의 출력은 ADC(1190-4)에 공급된다.
- [0076] 8개 LO 위상들의 두번째 결합은 디지털 합산 고조파 리젝트 필터(1125)를 이용하여 디지털 도메인에서 일어나며, 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 결합으로 구현될 수 있다. 일 실시예에서, 디지털 합산 고조파 리젝트 필터(1125)는 수신기 소프트웨어(155)의 동작의 일부이며 프로세서(135)에 의해 실행된다. 수신기 소프트웨어(155)는 합산 구성요소들(1130 및 1132)에 의해 표시된 합산을 행한다. ADC(1190-1)의 출력은 승산 구성요소(multiplying element)(1142) 및 승산 구성요소(1144)에 제공된다. ADC(1190-2)의 출력은 승산 구성요소(1146) 및 승산 구성요소(1148)에 제공된다. ADC(1190-3)의 출력은 승산 구성요소(1152) 및 승산 구성요소(1154)에 제공된다. ADC(1190-4)의 출력은 승산 구성요소(1156) 및 승산 구성요소(1158)에 제공된다. 각 승산 구성요소는 도 11에 도시된 자신의 개별 가중 인자(weighting factor)에 의해 자신을 통과하는 신호를 디지털적으로 증폭한다. 예를 들어, ADC(1190-1)의 출력은 $1 + \sqrt{2}/2$ 배 만큼 승산 구성요소(1142)에 의해 디지털적으로 증폭된다. 가중된 신호들의 합산은 합산 구성요소들(1130 및 1132)에서 수행되고, 기저대역 출력들(I 및 Q)을 생성한다. 중요한 점은, 하향 변환기(1115)의 스위치들은 그들을 구동하는 비중첩 LO 신호들로 인해 서로 간섭하지 않는다는 것이다. 더욱이, 합산 구성요소들(1130 및 1132)에 의해 수행된 합산은 기저대역에서 행해지지만, RF에서 고조파들, 특히 제3 및 제5 고조파들을 리젝팅하는 데 효과적이다. 그러므로, 기저대역 출력들(I 및 Q)은 원하는 RF 캐리어의 제3 및 제5 고조파들에서 존재할 수 있는 원하지 않는 RF 블로킹 신호들의 존재로 인한 어떠한 실질적 간섭없이, 수신기가 튜닝되는 원하는 RF 캐리어 상에 운반된 기저대역 신호들의 신뢰성 있는 재생을 나타낸다.
- [0077] 도 12는 저잡음 수신기의 실시예들의 주파수 응답의 일례를 나타내는 그래프 도해이다. 도 12의 예는 1GHz 수신 신호에 대한 응답을 나타낸다. 플롯(1210)은 K=2인 경우, 도 4의 하향 변환기(200)의 스위칭 및 합산 행동들의 유효 응답을 예시한다. 플롯(1210)은 LC 고조파 리젝션 필터(410)의 효과를 포함하지 않는다. 플롯(1210)에서, 짹수 번째 고조파들은 리젝트되지만, 홀수 번째 고조파들은 남아있다. 따라서, 도 4의 LC 고조파 리젝트 필터(410)는 제3, 제5, 및 제7 고조파들의 감쇠 전부를 제공해야 한다.
- [0078] 플롯(1220)은 K=4인 경우, 도 11의 저잡음 수신기(1100)의 스위칭 및 합산 행동들의 유효 응답을 예시한다. 플롯(1220)은 임의의 LC 안테나 필터의 효과를 포함하지 않는다. 이 경우에, 제3 및 제5 고조파들은 8개 위상 스위칭 및 고조파 리젝션 합산으로 인해 크게 리젝트되며 제7 고조파만을 남긴다. 따라서, LC 안테나 필터가 도 11의 시스템에 추가될 때, 이러한 LC 안테나 필터는 단지 제7 고조파만을 리젝트할 필요가 있으며, 이것은 전술한 바와 같이 제3 및 제5 고조파들을 리젝트하는 것보다 훨씬 용이하다.
- [0079] 도 13은 도 11의 저잡음 수신기의 대안의 실시예를 예시하는 개략도이다. 도 13에 도시된 실시예(1300)는 K=4인 경우에 대해서 도 10에 기술된 LO 신호들(LO_0 내지 LO_7)의 아날로그 합산을 도시한다. 하향 변환기(1315)를 포함하는 스위치들은 도 9의 트레이스들(922, 924, 926, 928, 932, 934, 936 및 938)로 도시된 8개 LO 위상들에 의해 제어된다. 도 13에 도시된 실시예는 LO 신호의 8개 위상들을 포함하고, 따라서, 8개 LO 신호들은 그래프 도해(1350)에 도시한 바와 같이 LO_0 내지 LO_7로 표현된다.
- [0080] 8개 LO 위상들을 결합하는 것은 두 부분들에서 일어난다. 8개 LO 위상들의 첫번째 결합은 아날로그 차동 증폭기들(1385-1, 1385-2, 1385-3 및 1385-4)을 이용하여 아날로그 영역에서 일어난다. 수신된 신호의 매 n번째 샘플은 아날로그 차동 증폭기들(1385)에 의해 (n+4)번째 샘플과 차동된다. LO_0 신호는 아날로그 차동 증폭기(1385-1)에 의해 LO_4 신호와 결합된다. LO_1 신호는 아날로그 차동 증폭기(1385-2)에 의해 LO_5 신호와 결합된다. LO_2 신호는 아날로그 차동 증폭기(1385-3)에 의해 LO_6 신호와 결합된다. LO_3 신호는 아날로그 차동 증폭기(1385-4)에 의해 LO_7 신호와 결합된다.
- [0081] 본 실시예에서, 8개 LO 위상들의 두번째 결합은 아날로그 합산 리젝트 필터(1325) 내의 아날로그 도메인에서 일어난다. 필터(1325)는 합산 구성요소들(1330 및 1332)을 사용하여 합산을 수행한다. 아날로그 차동 증폭기(1385-1)의 출력은 증폭기(1342) 및 증폭기(1344)에 제공된다. 아날로그 차동 증폭기(1385-2)의 출력은 증폭기(1346) 및 증폭기(1348)에 공급된다. 아날로그 차동 증폭기(1385-3)의 출력은 증폭기(1352) 및 증폭기(1354)에 공급된다. 아날로그 차동 증폭기(1385-4)의 출력은 증폭기(1356) 및 증폭기(1358)에 공급된다. 각각의 증폭기(1342, 1344, 1346, 1348, 1352, 1354, 1356 및 1358)는 도 13에 도시된 자신의 개별 가중 인자에 의해 자신을

통과하는 신호를 증폭한다. 예를 들어, 아날로그 차동 증폭기(1385-1)의 출력은 $1 + \sqrt{2}/2$ 배 만큼 증폭기 (1342)에 의해 증폭된다. 가중된 신호들의 합산은 합산 구성요소들(1330 및 1332)에서 수행되고, 아날로그 I 및 Q 신호들을 생성한다. 중요한 점은, 하향 변환기(1315)의 스위치들은 그들을 구동하는 비중첩 LO 신호들로 인해 서로 간섭하지 않는다는 것이다.

[0082] 더욱이, 합산 구성요소들(1330 및 1332)에 의해 수행된 합산은 기저대역에서 수행되지만, RF에서 고조파들을 리젝트하는 효과를 갖는다. 그러므로, 기저대역 출력들(I 및 Q)은 원하는 RF 캐리어의 제3 및 제5 고조파들에서 존재할 수 있는 원하지 않는 RF 블로킹 신호들의 존재로 인한 어떠한 실질적 간섭없이, 수신기가 튜닝되는 원하는 RF 캐리어 상에 운반된 기저대역 신호들의 신뢰성 있는 재생을 나타낸다.

[0083] 합산 구성요소(1330)의 동위상 출력은 디지털 도메인으로의 변환을 위해서 ADC(1395)에 제공된다. 합산 구성요소(1332)의 직교 위상 출력은 디지털 도메인으로의 변환을 위해서 ADC(1396)에 제공된다. 다음으로, 디지털 동위상 신호 및 디지털 직교 위상 신호는 추가 처리를 위해 기저대역 서브시스템(130)(도 1)에 제공된다.

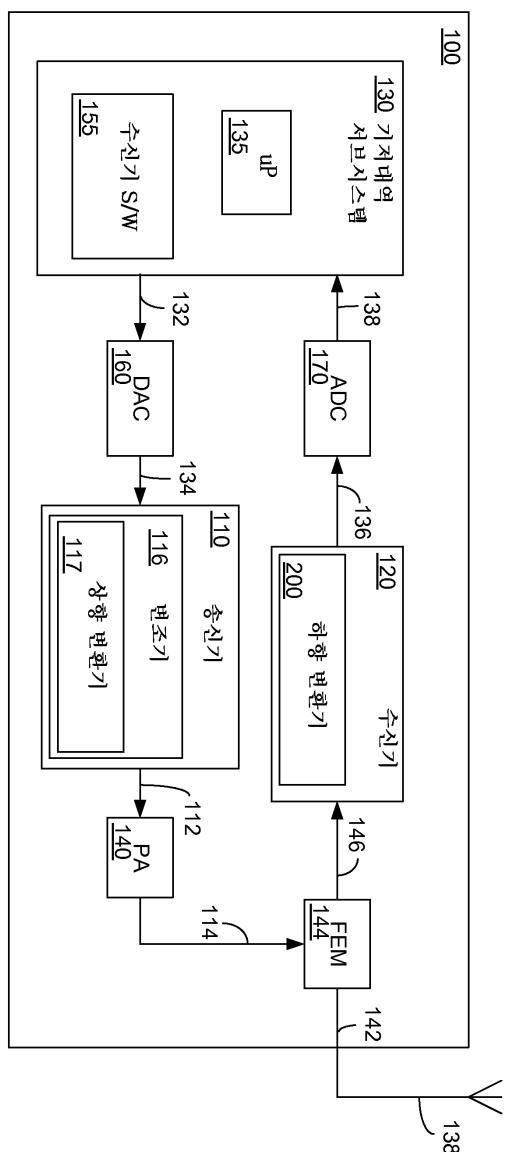
[0084] 도 13에 도시된 바와 같이 아날로그 도메인에서 수행된 고조파 리젝션 합산과 함께, 원하는 신호 주파수의 고조파들에 대한 통상적인 리젝션은 아날로그 컴포넌트 허용 오차(tolerance)로 인해 대략 35dB 내지 40dB로 제한되는 한편, 도 11에 도시된 디지털 구현은 도 11의 구현에 남아있는 아날로그 허용 오차들은 오직 샘플링 커뮤니케이터들, 차동 증폭기들 및 ADC들의 허용 오차들이기 때문에 40dB 보다 큰 리젝션을 달성할 수 있다. 디지털 도메인에서의 비율 합산(proportional summation)은, 도 11에 도시한 바와 같이, 다양한 경로들에서 임의의 아날로그 비정합들을 더 보상함으로써 원하는 신호의 n배에서의 리젝션을 최대화할 수 있는 LMS(least mean squares) 기반 알고리즘의 구현을 잠재적으로 허용한다.

[0085] 도 14a 내지 도 14d는 1GHz의 수신 주파수에서 동작하는, 안테나와 하향 변환기의 입력 사이에 저역 통과 필터 모듈을 추가한, 도 11 또는 도 13의 저잡음 수신기의 일 실시예의 예시적인 주파수 응답을 나타내는 그래프 도 해이다. 도 14a는 4차 저역 통과 필터 모듈(410)의 예시적인 응답을 예시한다. 본 예에서, 필터는 넓은 대역 폭과 완만한 경사를 갖도록 설계되어, 제3 또는 제5 고조파가 아닌 제7 고조파에서만 리젝션을 제공하도록 요구된다. 도 14b는 에일리어싱으로 인해 고조파들에서 발생하는 원하지 않는 유사한 모든 응답들과 함께, (스위칭 및 RC에 의해 야기되는) 1GHz에서 2MHz 폭의 통과 대역을 도시한다. 도 14c는 도 11 또는 도 13의 고조파-리젝션 합산에 의해 형성된 응답들을 도시한다. 도 14d는 도 14a, 14b 및 14c의 캐스케이드된(cascaded) 응답을 도시한다. 도 14d의 캐스케이드된 응답에는 수신기의 튜닝된 주파수를 추적하는 2MHz 폭 응답의 원하는 특징이 도시되며, 제3 및 제5 고조파들에서 리젝트되고, 제7 고조파에서 실질적으로 억제된 응답들과 유사하다.

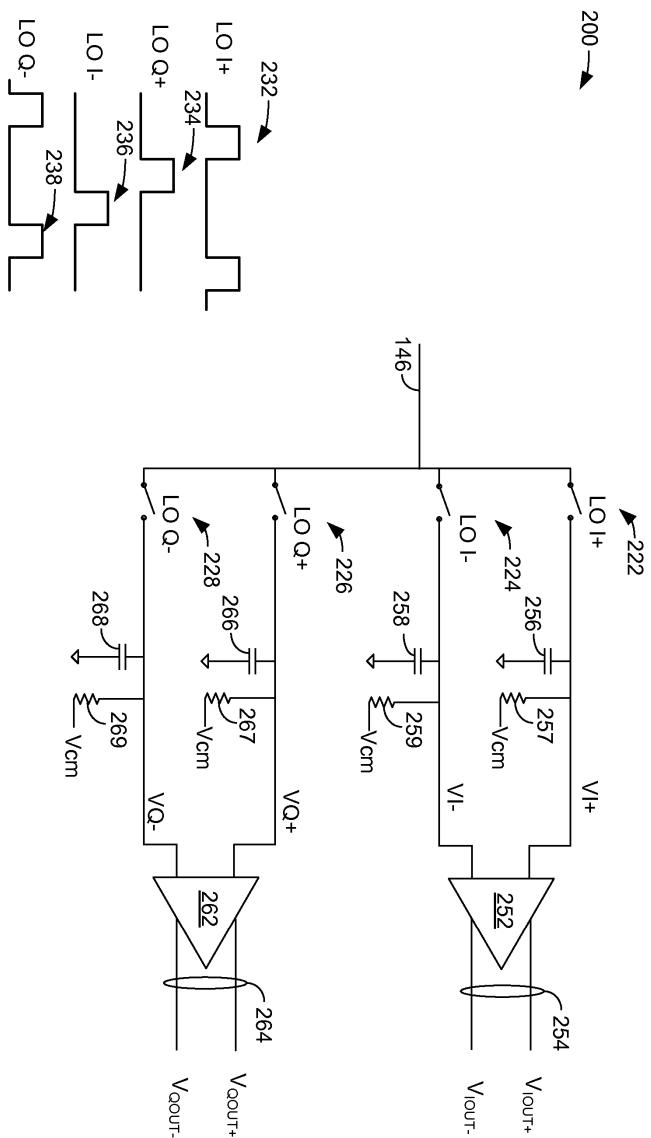
[0086] 본 발명의 다양한 실시예들이 기술되었지만, 본 발명의 범주 내에서 많은 다른 실시예들 및 구현들이 가능하다는 점은 당업자들에게 자명할 것이다. 예를 들어, 본 발명은 특정한 종류의 무선 수신기 또는 송수신기에 한정되지 않는다. 본 발명의 실시예들은 다른 종류의 무선 수신기들 및 송수신기들에 적용가능하고 수신된 신호를 하향 변환하거나 필터링하는 임의의 수신기에 적용가능하다.

도면

도면1

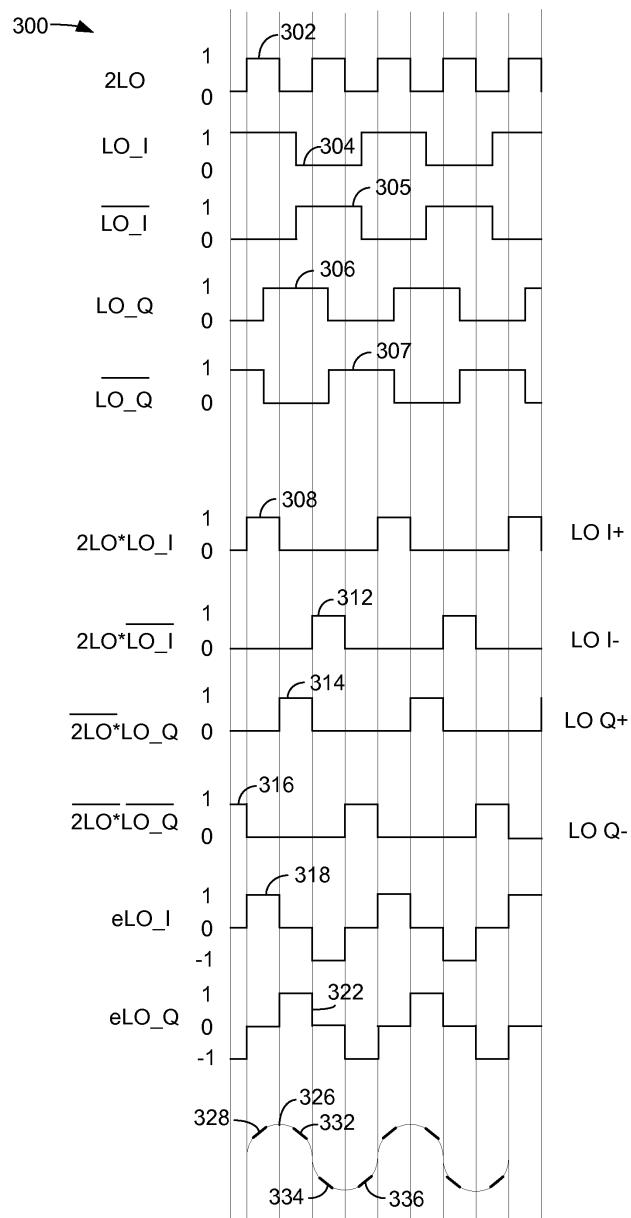


도면2

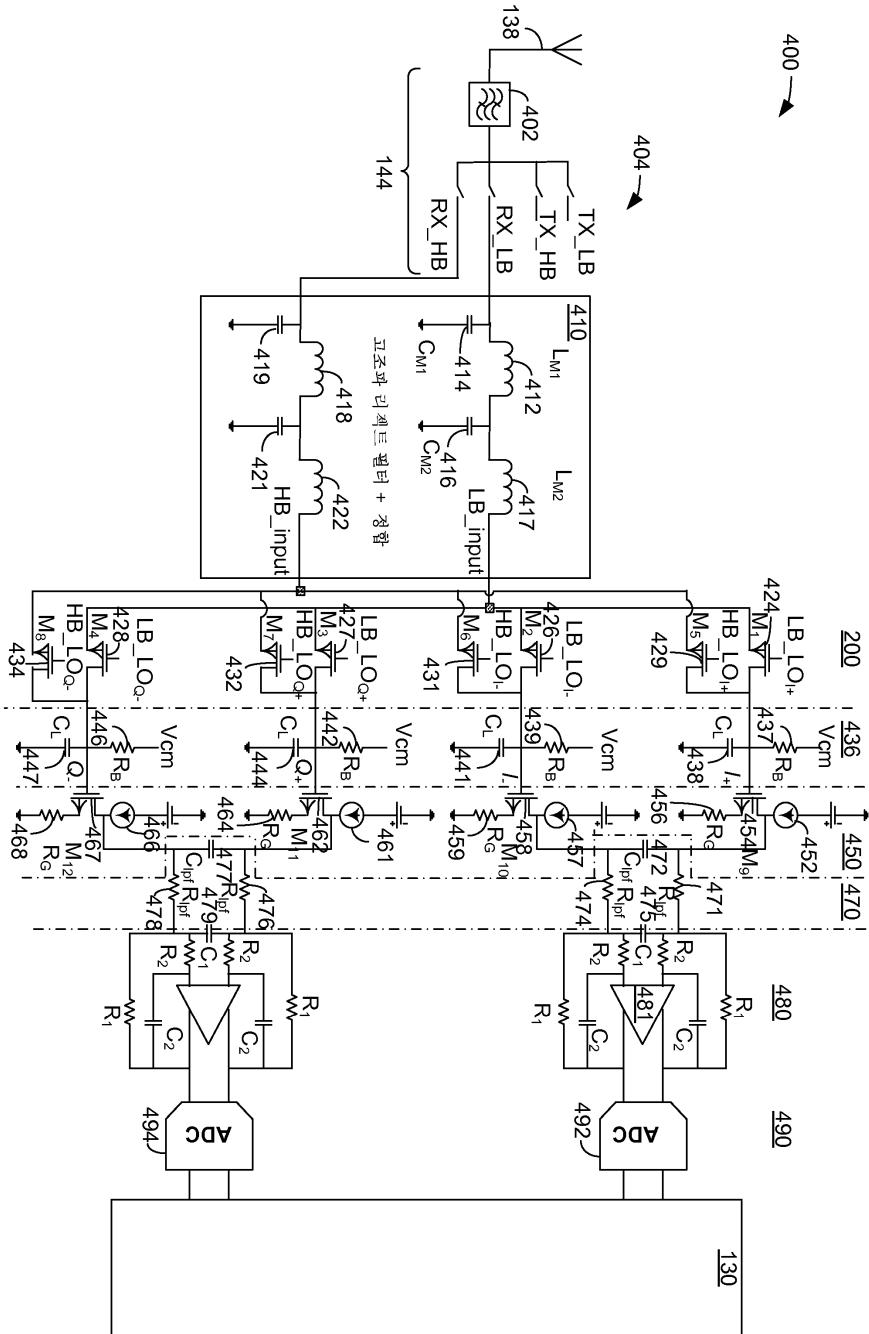


중래 기술

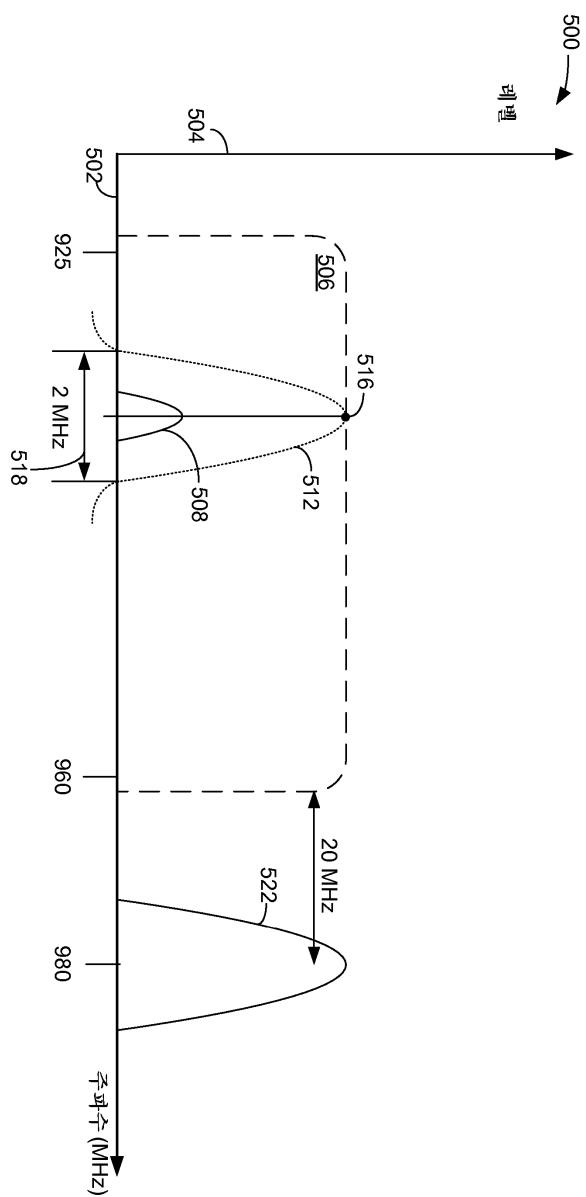
도면3



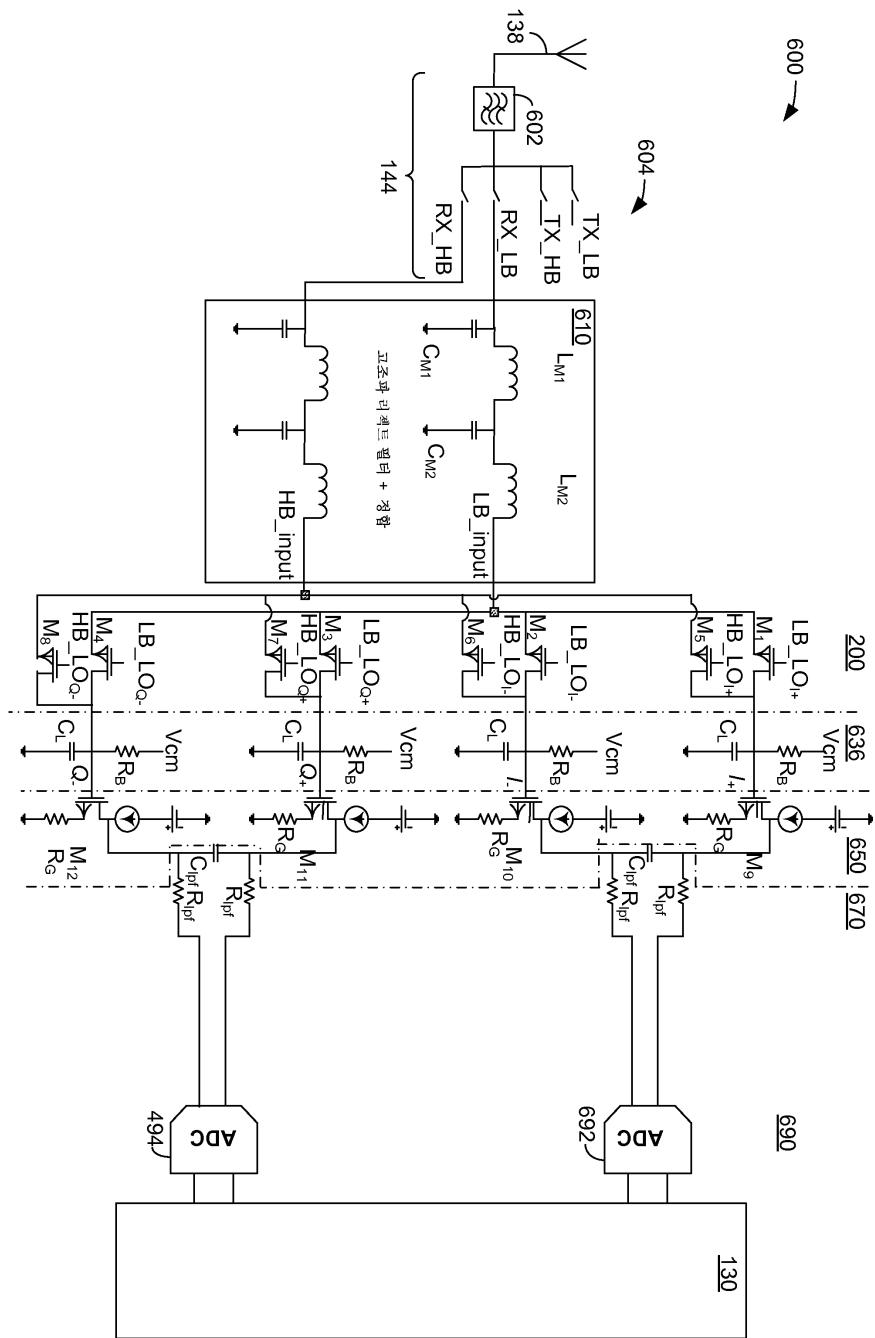
도면4



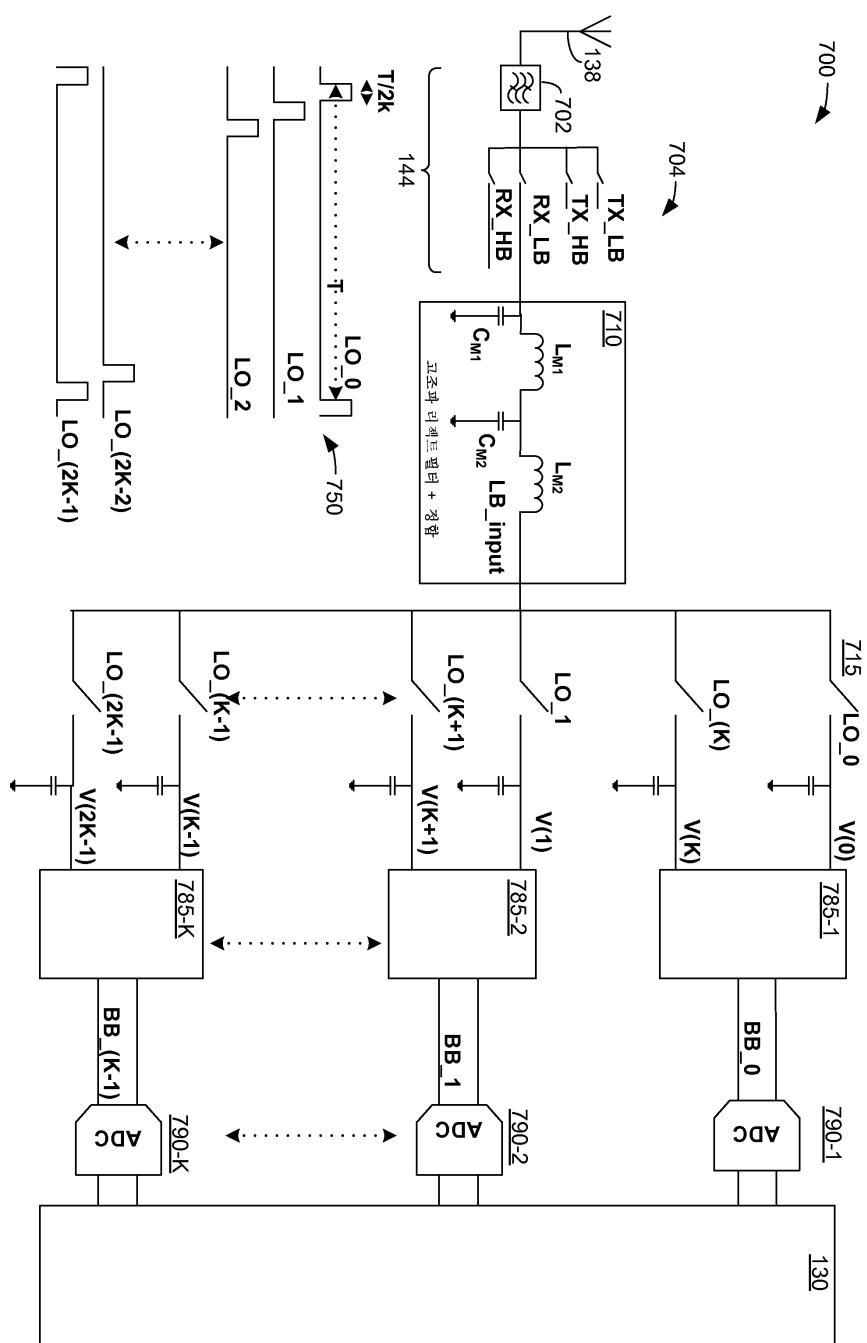
도면5



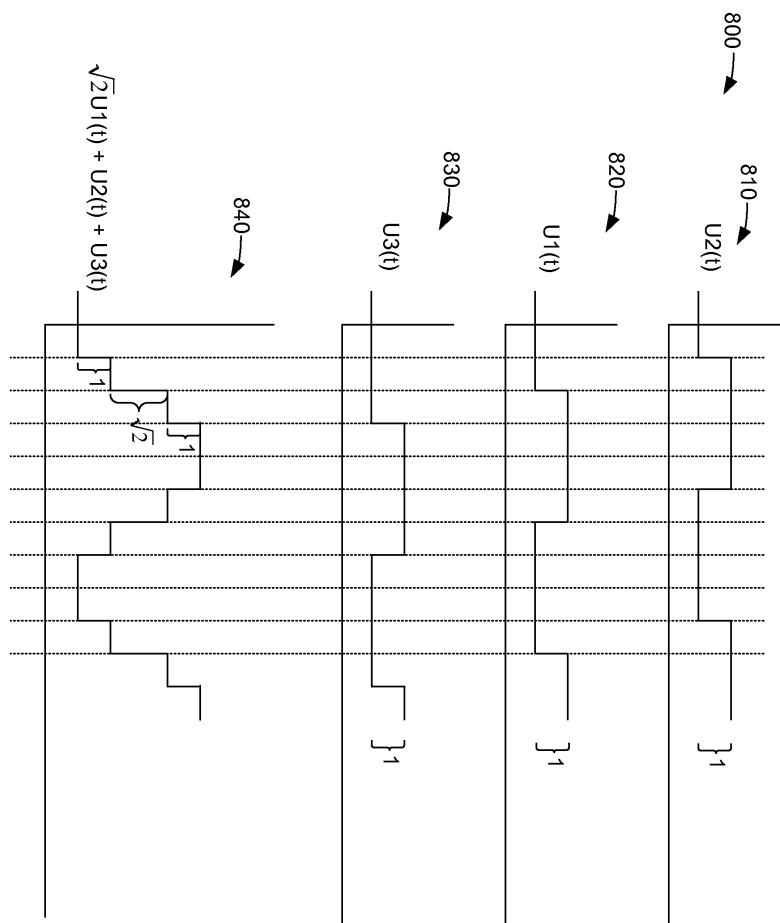
도면6



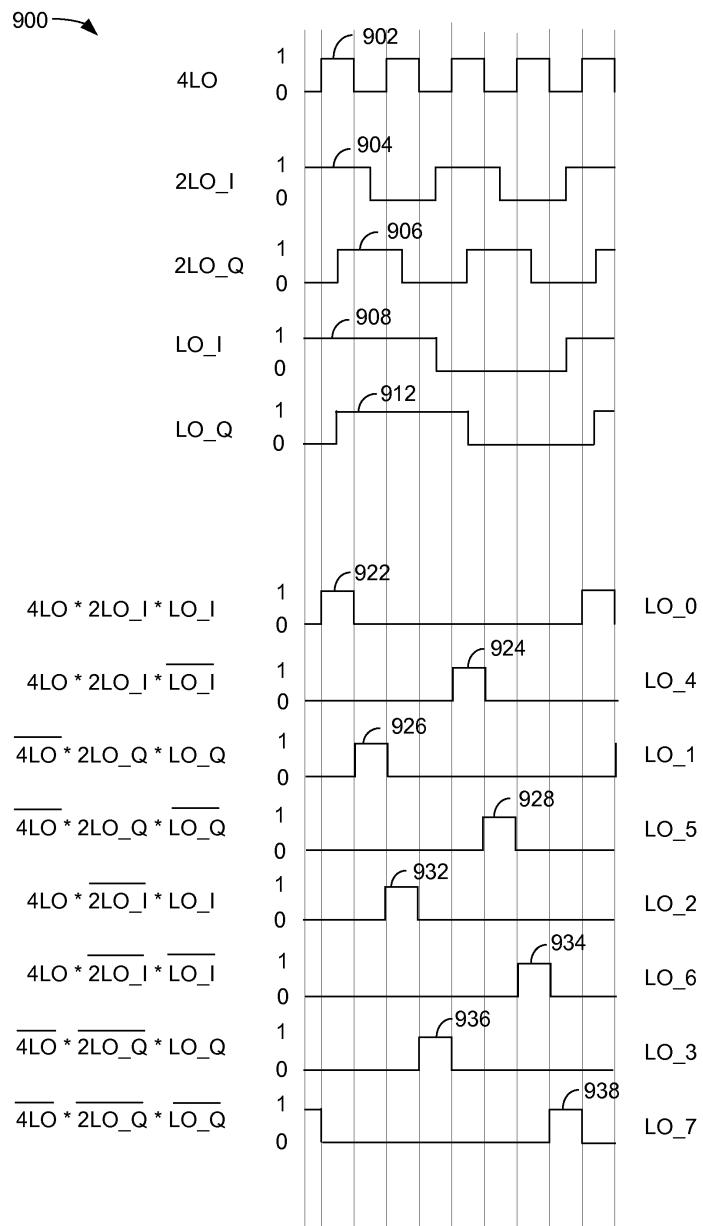
도면7



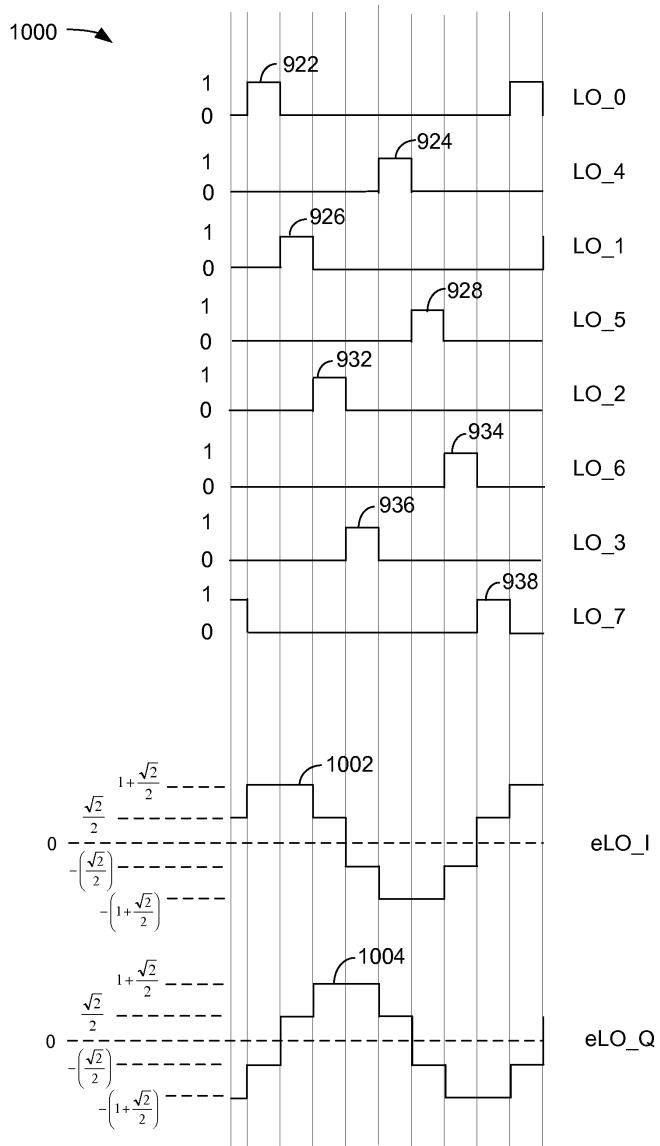
દોર્ય 8



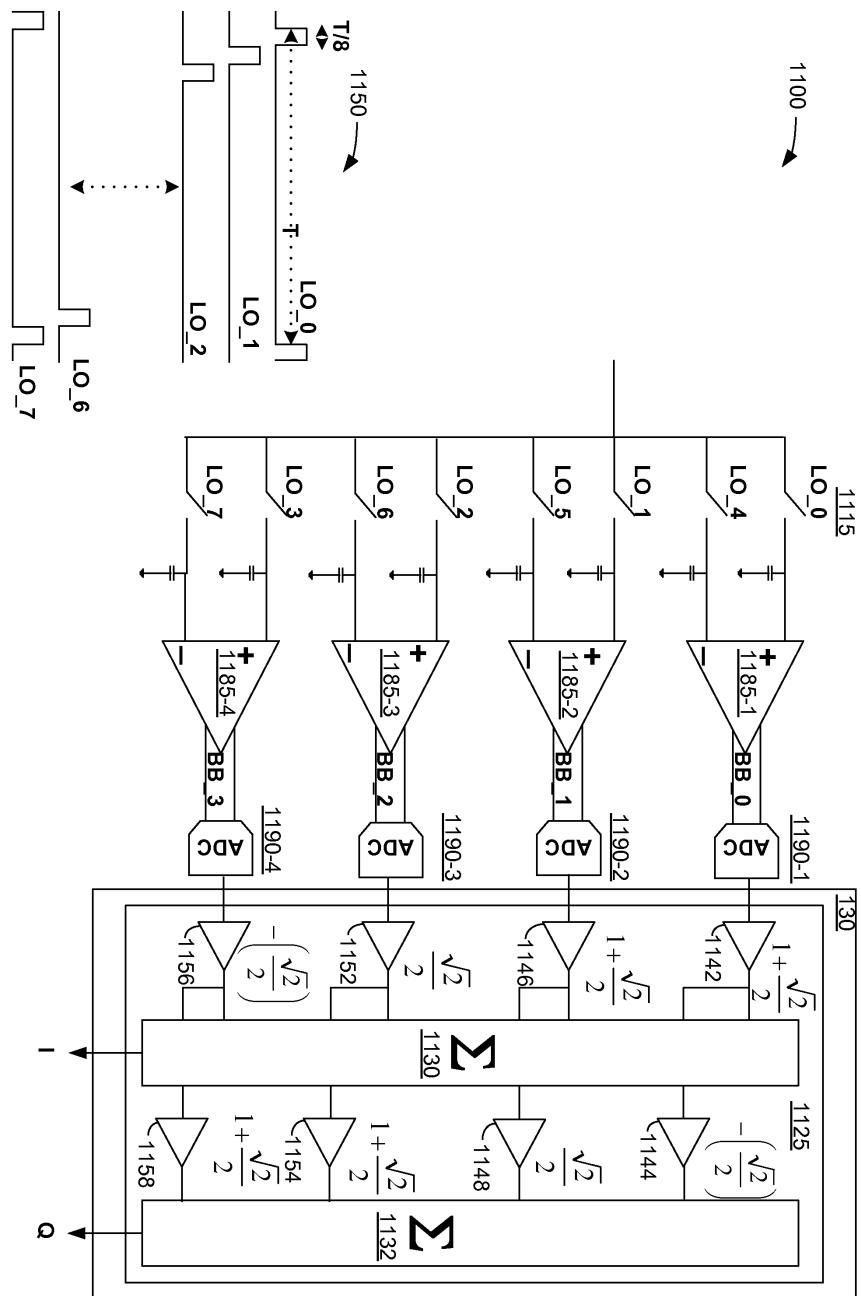
도면9



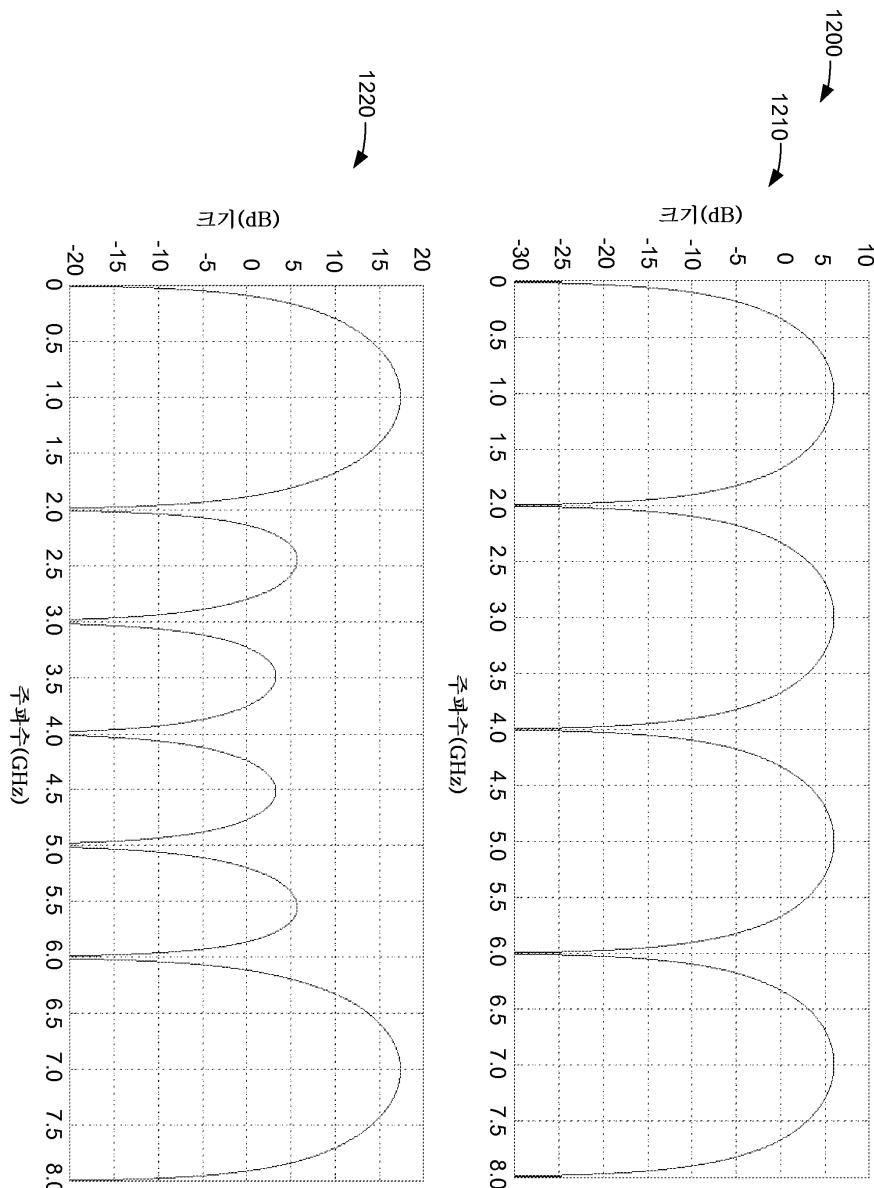
도면10



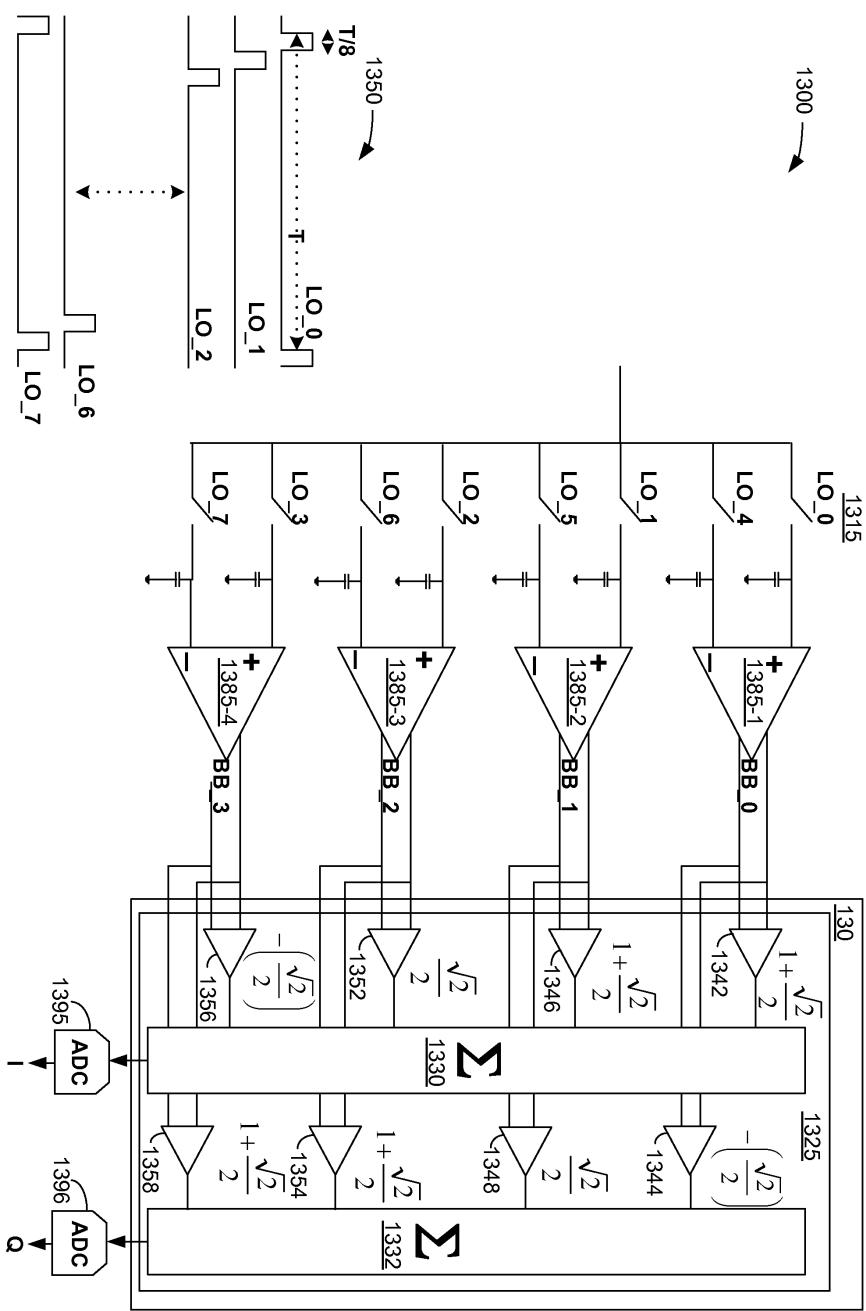
도면11



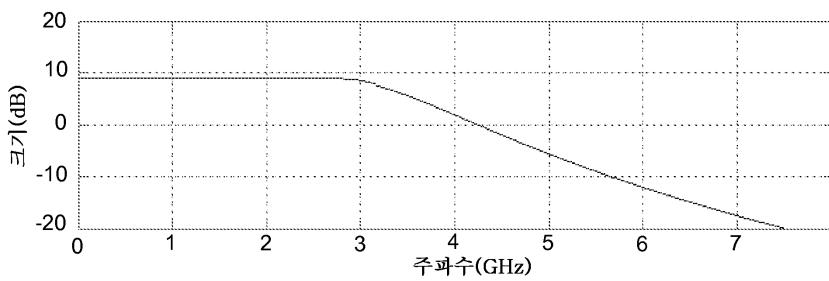
도면12



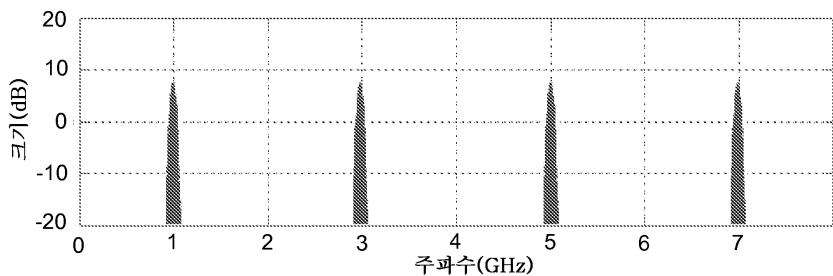
도면13



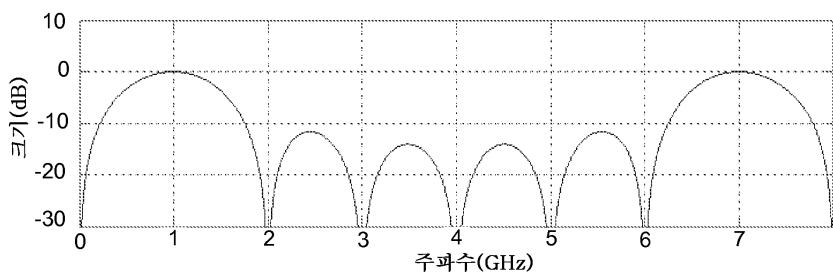
도면14a



도면14b



도면14c



도면14d

