



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99120359.3

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 1210870C

[22] 申请日 1999. 9. 22 [21] 申请号 99120359. 3

[30] 优先权

[32] 1998. 9. 22 [33] JP [31] 268129/1998

[32] 1999. 2. 18 [33] JP [31] 39618/1999

[32] 1999. 3. 16 [33] JP [31] 69893/1999

[71] 专利权人 横河电机株式会社

地址 日本东京

[72] 发明人 和田正巳

审查员 周胜生

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

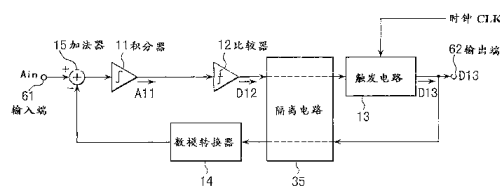
代理人 马 浩

权利要求书 5 页 说明书 20 页 附图 27 页

[54] 发明名称 西格码 - 德尔塔模数转换器

[57] 摘要

一种用于诸如两线涡流计这样的仪器的西格码 - 德尔塔模数转换器。转换器的输入端、加法器、积分器、比较器和触发电路被串连, 触发电路的输出信号连接到转换器的输出端, 且输出信号通过数模转换器反馈到加法器。这样, 转换器作为西格码 - 德尔塔模数转换器而输出对应于给定输入信号的脉冲密度信号。比较器的输出与触发电路的输入隔离, 且触发电路的输出与数模转换器的输入隔离, 以便减少电耗。



1. 一种西格玛-德尔塔模数转换器，其中输入端、加法器、积分器、比较器和触发电路被串连，所述触发电路的输出信号连接到输出端，并通过一数模转换器反馈到所述加法器，以输出对应于给定输入信号的脉冲密度信号，该西格玛-德尔塔模数转换器包括用于隔离所述比较器的输出与所述触发电路的输入的第一隔离电路、以及用于隔离触发电路的输出与所述数模转换器的输入的第二隔离电路。

2. 如权利要求1所述的西格玛-德尔塔模数转换器，其中一个变压器或一些光耦合器用作所述第一隔离电路和所述第二隔离电路。

3. 如权利要求1所述的西格玛-德尔塔模数转换器，其中在输入端和比较器之间串连有一个以上的积分器。

4. 如权利要求1所述的西格玛-德尔塔模数转换器，其中所述数模转换器通过保持电路接收所述触发电路的输出。

5. 如权利要求1所述的西格玛-德尔塔模数转换器，

其中，所述第一隔离电路从所述比较器的输出信号抽取微分信号，以电隔离方式传送所述微分信号，根据传送的微分信号解调所述比较器的输出信号，并向所述触发电路输入解调的信号；

其中，所述第二隔离电路从所述触发电路的输出信号抽取微分信号，以电隔离方式传送该微分信号，根据传送的微分信号解调所述触发电路的输出信号，并向所述数模转换器输入解调的信号；以及

所述西格玛-德尔塔模数转换器还包括：

第一启动电路，用于如果所述比较器的输出信号与所述第二隔离电路的输出信号极性不一致，则产生极性与所述比较器输出信号反向的脉冲信号，从而向所述第一隔离电路输出通过对脉冲信号与所述比较器的输出信号求和获得的合成信号；和

用于检验在特定的时间长度所述比较器的输出没有变化的第二

启动电路，从而向所述第一隔离电路发出输出反向命令。

6. 如权利要求 5 所述的西格玛-德尔塔模数转换器，其中所述第一隔离电路包括：

微分电容器，其中所述输入端连接到微分电容器的一端；

隔离变压器，其中隔离变压器的初级线圈连接在所述微分电容器另一端和初级公共电位线之间；

用于检测上行边的晶体管，其中所述隔离变压器的次级线圈一端连接到晶体管的基极，供电电压通过一电阻器施加到晶体管的集电极，且晶体管的发射极连接到次级公共电位线；

用于检测下行边的晶体管，其中所述隔离变压器的次级线圈另一端连接到晶体管的基极，供电电压通过一电阻器施加到晶体管的集电极，且晶体管的发射极连接到次级公共电位线；以及

具有反向输入的置位复位触发电路，用于借助于从外部输入的反向命令使置位复位触发电路的输出反向，所述用于检测上行边的晶体管的集电极电压通过反相器施加到所述置位复位触发电路的置位端，且所述用于检测下行边的晶体管的集电极电压通过反相器施加到所述置位复位触发电路的复位端。

7. 如权利要求 5 所述的西格玛-德尔塔模数转换器，其中所述第一隔离电路包括：

用于检测上行边的电容器，其中所述输入端连接到电容器的一端；

用于检测上行边的光耦合器，其中光耦合器的光发射装置连接在用于检测上行边的所述电容器另一端和初级公共电位线之间，且光耦合器的光电检测器连接在向其施加供电电压的电阻器和次级公共电位线之间；

用于检测下行边的电容器，其中所述输入端通过一反相器连接到电容器的一端；

用于检测下行边的光耦合器，其中光耦合器的光发射装置连接在用于检测下行边的所述电容器另一端和初级公共电位线之间，且

光耦合器的光电检测器连接在向其施加供电电压的电阻器和次级公共电位线之间；以及

具有反向输入的置位复位触发电路，用于借助于从外部输入的反向命令使电路的输出反向，其中在所述用于检测上行边的光耦合器的光电检测器与所述电阻器之间的连接点通过反相器连接到置位复位触发电路的置位端，且在所述用于检测下行边的光耦合器的光电检测器与所述电阻器之间的连接点通过反相器连接到置位复位触发电路的复位端。

8. 如权利要求 7 所述的西格码-德尔塔模数转换器，其中所述第一隔离电路包括：

微分电容器，其中所述输入端连接到微分电容器的一端；

隔离变压器，其中隔离变压器的初级线圈连接在所述微分电容器另一端和初级公共电位线之间；

用于检测上行边的晶体管，其中所述隔离变压器的次级线圈一端连接到晶体管的基极，供电电压通过一电阻器施加到晶体管的集电极，且晶体管的发射极连接到次级公共电位线；

用于检测下行边的晶体管，其中所述隔离变压器的次级线圈另一端连接到晶体管的基极，供电电压通过一电阻器施加到晶体管的集电极，且晶体管的发射极连接到次级公共电位线；以及

置位复位触发电路，其中用于检测上行边的所述晶体管集电极电压通过反相器施加到所述置位复位触发电路的置位端，且所述用于检测下行边的晶体管的集电极电压通过反相器施加到所述置位复位触发电路的复位端。

9. 如权利要求 5 所述的西格码-德尔塔模数转换器，其中所述第二隔离电路包括：

用于检测上行边的电容器，其中所述输入端连接到电容器的一端；

用于检测上行边的光耦合器，其中光耦合器的光发射装置连接在用于检测上行边的所述电容器另一端和初级公共电位线之间，且

光耦合器的光电检测器连接在向其施加供电电压的电阻器和次级公共电位线之间；

用于检测下行边的电容器，其中所述输入端通过一反相器连接到电容器的一端；

用于检测下行边的光耦合器，其中光耦合器的光发射装置连接在用于检测下行边的所述电容器另一端和初级公共电位线之间，且光耦合器的光电检测器连接在向其施加供电电压的电阻器和次级公共电位线之间；以及

置位复位触发电路，其中所述用于检测上行边的所述光耦合器的光电检测器与所述电阻器之间的连接点通过反相器连接到置位复位触发电路的置位端，且所述用于检测下行边的光耦合器的光电检测器与所述电阻器之间的连接点通过反相器连接到置位复位触发电路的复位端。

10. 如权利要求 5 所述的西格玛-德尔塔模数转换器，其中所述第一启动电路包括：

第一错误检测器 (ERR-S)，其中所述比较器的输出和所述第二隔离电路中装设的置位复位触发电路的置位端被连接到第一错误检测器 (ERR-S)；

第二错误检测器 (ERR-R)，其中所述比较器的输出和所述第二隔离电路中装设的置位复位触发电路的复位端被连接到第二错误检测器 (ERR-R)；以及

用于对所述第一错误检测器 (ERR-S) 和第二错误检测器 (ERR-R) 和所述比较器的输出求和以便向所述第一隔离电路输出已求和的信号的加法器。

11. 如权利要求 5 所述的西格玛-德尔塔模数转换器，其中所述第一启动电路包括：

第一或非电路，其中所述比较器的输出连接到第一或非电路的一个输入端，且所述第二隔离电路的置位复位触发电路的置位端连接到第一或非电路的另一个输入端；以及

第二或非电路，其中所述第一或非电路的输出连接到第二或非电路的一个输入端，且所述第二隔离电路的置位复位触发电路的复位端连接到第二或非电路的另一个输入端。

12. 如权利要求 5 所述的西格码-德尔塔模数转换器，其中所述第二启动电路包括用于输入所述触发电路的输出信号的边缘检测器，和用于向所述置位复位触发电路的复位端输入所述边缘检测器的输出的计数器电路，计数器电路的输出连接到具有反向端的所述置位复位触发电路的反向端。

13. 如权利要求 12 所述的西格码-德尔塔模数转换器，其中当输入到所述复位端的信号变为高电平时所述计数器电路把计数复位为零，当输出到所述复位端的信号回到低电平状态时开始计数，并当计数达到预定极限时输出脉冲信号。

14. 如权利要求 12 所述的西格码-德尔塔模数转换器，其中在电源接通的同时，所述计数器电路使计数复位为零并同时开始计数，并当计数达到预定极限时输出脉冲信号。

15. 如权利要求 5 所述的西格码-德尔塔模数转换器，其中在输入端和比较器之间串连有多于一个的积分器。

16. 如权利要求 5 所述的西格码-德尔塔模数转换器，其中所述隔离装置被设计为通过保持电路接收所述触发电路的输出。

西格码-德尔塔模数转换器

技术领域

本发明涉及用于两线涡流计的西格码-德尔塔模数转换器，两线涡流计使用传感器根据液体在测量中的流率检测涡流频率，把检测到的模拟信号转换为数字流率信号，并把测量的流率以 4-20mA 电流信号的形式输出到外部装置，该电流也用作外部装置的工作能源。更准确地说，本发明涉及西格码-德尔塔模数转换器，其中对用于隔离输入信号的装置作出改进，以便降低电耗。

背景技术

参照图 1 描述了传统的涡流计结构。图中，来自用于检测由涡流喷射器产生的涡流的传感器 1 的输入信号，由放大器 2 放大并输入到抗混淆滤波器 3。从而对输入到抗混淆滤波器 3 的信号进行处理，使得从信号中去除高频成分，并然后输入到西格码-德尔塔模数转换器 4。从而输入到西格码-德尔塔模数转换器 4 的信号被转换为数字信号并进而输入到数字滤波器 5。从而输入到数字滤波器 5 的信号被滤波并变为供输入到 CPU 6 用的脉冲。CPU 6 向输入的信号施加诸如转换为流率信号的处理，并然后向输出电路 7 输出流率信号。输出电路 7 向外部装置输出 4-20mA 的流率信号。在两线涡流计的情形下，这样输出的 4-20mA 的流率信号还作为供图 1 中电路用的工作能源。

如果以象以上所述那样的方式构成的涡流计具有其中传感器 1 没有与地隔离的结构，则输入信号必须与内部电路在电路内部一定位置隔离，以便获得正确的流率信号。

在常规的涡流计中，向西格码-德尔塔模数转换器 4 添加隔离电路，使得在图 1 中由虚线所示部分达到隔离。

图 2 是表示传统的西格码-德尔塔模数转换器基本结构的示意

图。图 3 是表示电路中各点处信号波形的时序图。

图 2 中,从抗混淆滤波器 3 输入到输入端 61 的信号 A_{in} 通过加法器 15 馈送到积分器 11, 然后其输出被输入到比较器 12。

比较器 12 的输出被输入到触发电路 13, 然后其输出馈送到通过输出端 62 连接到比较器的下一级中的数字滤波器 5。用作 σ - δ 模数转换器的采样信号的内部时钟信号 CLK 连接到触发器电路 13, 然后其输出通过数模转换器 14 馈送到加法器 15 的负端。

在如上述构成的西格玛-德尔塔模数转换器中, 通过积分器 11 对信号 A_{in} 求积分, 然后其积分信号 A_{11} 与比较器 12 的预置值进行比较。所得的比较输出 D_{12} 输入到触发电路 13, 其中触发电路以时钟信号 CLK 的定时来重复高电平或低电平输出以产生输出 D_{13} 。触发电路 13 的输出 D_{13} 由数模转换器 14 转换为模拟信号 A_{14} , 然后模拟信号 A_{14} 由加法器 15 添加到信号 A_{in} 。

通过重复上述的操作, 西格玛-德尔塔模数转换器 4 能够输出对应于如图 3 中标以 D_{13} 的信号 A_{in} 的这种脉冲密度信号。

上述的西格玛-德尔塔模数转换器的特色为单比特位输出(然而某些西格玛-德尔塔模数转换器具有多比特位输出), 小规模硬件, 易于节能, 及通过增加采样率而无需任何调节就能够获得的高分辨率。于是, 该转换器已经广泛用于诸如涡流计这样的仪器。图 4 表示如上所述构成的西格玛-德尔塔模数转换器, 其中前面提及的隔离电路插入到转换器电路中, 以便在由图 1 中虚线 A 所示的位置隔离输入信号。图 4 中, 隔离电路 25 配置在时钟信号 CLK 和图 1 所示的西格玛-德尔塔模数转换器的触发电路 13 的输出之间, 以便在虚线 A 的左侧包含传感器 1 的电路与虚线 A 右侧包含 CPU 6 的电路之间进行隔离。以上述方式构成的电路在公报 USP5372046 中示出。

然而, 图 4 所示传统的西格玛-德尔塔模数转换器要求对高频时钟信号作适当的隔离。然而, 隔离和传输高频信号需要大量的电流。通常, 如果以较高的频率对输入信号进行采样, 则西格玛-德尔塔模数转换器可提供较高的分辨率, 因为量化噪声随采样信号变快而降

低。一般来说，它们必须以几百倍于信号带宽的频率对输入信号采样。

由于涡流计使用几千赫兹信号带度，故采样频率必须至少为几百个千赫兹。隔离和传输这种高频信号需要大量的电流。两线涡流计使用相对于测量范围 4 到 20mA 的电流信号，以便传输流率信号，该电流还用作外部设备的工作能源。于是，模数转换器的工作必须使整个的电流消耗小于 4mA。因此，图 4 所示的西格码-德尔塔模数转换器有问题。作为对隔离电路电流消耗量限制的结果，采样频率（或分辨率）只能增加到在电流水平不高于 4mA 时能够达到隔离的程度。

发明内容

本发明的目的是要提供一种具有在不低于 4mA 电流水平能够起作用并能够高速采样的隔离装置的西格码-德尔塔模数转换器。

本发明提供了一种西格码-德尔塔模数转换器，其中输入端、加法器、积分器、比较器和触发电路被串连，所述触发电路的输出信号连接到输出端，并通过一数模转换器反馈到所述加法器，以输出对应于给定输入信号的脉冲密度信号，该西格码-德尔塔模数转换器包括用于隔离所述比较器的输出与所述触发电路的输入的第一隔离电路、以及所述触发电路的输出与所述数模转换器的输入的第二隔离电路。

本发明提供了一种西格码-德尔塔模数转换器，其中输入端、加法器、积分器、比较器和触发电路被串连，所述触发电路的输出信号连接到输出端，并通过一数模转换器反馈到所述加法器，以输出对应于给定输入信号的脉冲密度信号，该西格码-德尔塔模数转换器包括：

用于隔离所述比较器的输出与所述触发电路的输入的第一隔离电路，其中所述第一隔离电路从所述比较器的输出信号抽取微分信号，以电隔离方式传送所述微分信号，根据传送的微分信号解调所述比较器的输出信号，并向所述触发电路输入解调的信号；

用于隔离所述触发电路的输出与所述数模转换器的输入的第二

隔离电路，其中所述第二隔离电路从所述触发电路的输出信号抽取微分信号，以电隔离方式传送该微分信号，根据传送的微分信号解调所述触发电路的输出信号，并向所述数模转换器输入解调的信号；

第一启动电路，用于如果所述比较器的输出信号与所述第二隔离电路的输出信号极性不一致，则产生极性与所述比较器输出信号反向的脉冲信号，从而向所述第一隔离电路输出通过对脉冲信号与所述比较器的输出信号求和获得的合成信号；以及

用于检验在特定的时间长度所述比较器的输出没有变化的第二启动电路，从而向所述第一隔离电路发出输出反向命令。

附图说明

图 1 是表示传统的涡流计一例的简化框图。

图 2 是表示传统的西格码-德尔塔模数转换器的简化框图。

图 3 是表示传统的西格码-德尔塔模数转换器各参照点处信号波形的时序图。

图 4 是表示传统的西格码-德尔塔模数转换器另一例子的简化框图。

图 5 是表示根据本发明西格码-德尔塔模数转换器的第一实施例的简化框图。

图 6 是表示根据本发明的西格码-德尔塔模数转换器另一实施例的简化框图。

图 7 是表示根据本发明的西格码-德尔塔模数转换器又一实施例的简化框图。

图 8 是表示根据本发明西格码-德尔塔模数转换器的第二实施例的简化框图。

图 9 是表示图 8 所示的触发控制电路各参照点的信号波形的时序图。

图 10 是表示图 8 所示的西格码-德尔塔模数转换器各参照点的信号波形的时序图。

图 11 是表示传统的西格码-德尔塔模数转换器与图 8 所示的西格码-德尔塔模数转换器之间比较的表格。

图 12 是表示图 8 所示西格码-德尔塔模数转换器另一实施例的简化框图。

图 13 是表示传统的西格码-德尔塔模数转换器与图 8 所示的西格码-德尔塔模数转换器之间比较的表格。

图 14 是表示图 8 所示的西格码-德尔塔模数转换器的触发控制电路一实施例的简化框图。

图 15 是表示图 14 所示的触发控制电路各参照点的信号波形的时序图。

图 16 是表示根据本发明西格码-德尔塔模数转换器的第三实施例的简化框图。

图 17 是图 16 所示的西格码-德尔塔模数转换器的基本框图。

图 18 是表示图 16 所示西格码-德尔塔模数转换器的第一隔离电路一实施例的简化框图。

图 19 是解释图 16 所示西格码-德尔塔模数转换器的第一隔离电路行为的时序图。

图 20 是表示图 16 所示西格码-德尔塔模数转换器的第一隔离电路另一实施例的简化框图。

图 21 解释图 16 中所示西格码-德尔塔模数转换器的第一驱动电路行为。

图 22 是解释图 16 所示西格码-德尔塔模数转换器行为的时序图。

图 23 是解释图 16 所示西格码-德尔塔模数转换器行为的另一时序图。

图 24 是解释图 16 所示西格码-德尔塔模数转换器行为的又一时序图。

图 25 是表示图 16 所示西格码-德尔塔模数转换器第一驱动电路一实施例的简化框图。

图 26 是表示图 16 所示西格码-德尔塔模数转换器另一实施例的简化框图。

图 27 是表示图 16 所示西格码-德尔塔模数转换器又一实施例的简化框图。

具体实施方式

以下使用附图对本发明详细说明。

图 5 是表示根据本发明的西格码-德尔塔模数转换器的简化框图。图中，对与说明传统的西格码-德尔塔模数转换器问题的图 4 中行为方式相同的组件给定相同的标号，并不再对其作出解释。

图 5 不同于图 4 在于，隔离电路位于比较器 12 与触发电路 13 之间及触发器 13 的输出端与数模转换器 14 之间。

比较器 12 的输出 D12 能够容易地与触发电路 13 的输出 D13 隔离，因为两个输出都涉及二进制高电平或低电平信号。与图 4 的电路不同，高频时钟信号 CLK 不通过图 5 电路的隔离电路。此外，触发电路 13 的输出信号 D13 原则上具有低于时钟信号 CLK 频率一半的频率。

如前所述，被隔离的信号频率越高，则隔离电路一般消耗电流越多。反之，在被隔离的信号频率降低时，电流消耗降低。由于被隔离电路 35 隔离的信号是低频二进制信号，故对于隔离信号的隔离电路不需要大电流。于是，使用低电流消耗的低成本电路能够易于实现隔离电路 35。此外，由于时钟信号不通过隔离电路 35，故无需受到上述限制，能够易于增加控制西格码-德尔塔模数转换器分辨率的时钟信号 CLK 的频率。

在以上给出的解释中，只是为了说明本发明并展示实施本发明的例子，而提及一具体的优选实施例。因而以上实施例应认为是示例性的，而非限制。在不背离其精神和本质特征的情形下，能够以其它方式实施本发明。于是应当理解，所有落在本发明的精神和范围内的改型均由所附权利要求来保护。

例如，图 5 所示的隔离装置对于增加了加法器 45 和积分器 41 的图 6 所示的双积分器西格码-德尔塔模数转换器也是有效的。与单

积分器型比较,通过增加如图6所示的积分器数目,能够降低西格码-德尔塔模数转换器的量化噪声,并改进其分辨率。

图5中所示的隔离装置,对于如图7所示把保持电路56设置在触发电路13的输出端和数模转换器14之间的西格码-德尔塔模数转换器也是有效的。通过增加如图7所示的保持电路56,积分器11或比较器12的工作速度能够保持在低速。这使得能够产生需要低成本并工作在降低的电流的西格码-德尔塔模数转换器。

另外,以下使用图8说明本发明的第二实施例。图中,对与图2中先前讨论的行为方式相同的那些组件,给出相同的标号并不再进行说明。

图8不同于图2在于,比较器12的输出是到触发器控制电路100的输入,且触发器控制电路100的输出连接到触发电路13的时钟输入端Cin。设计触发器控制电路100是为了限制输出到触发电路13的触发器信号发生的频率。该电路装有检测比较器12的输出上行边以产生触发器分量信号a的控制器A,并装有检测比较器12的输出下行边以产生触发器分量信号b的控制器B。这些控制器由用作西格码-德尔塔模数转换器的采样信号的时钟信号CLK的时间驱动。由这些控制器产生的触发器分量信号a和b输入到OR电路101,然后其输出作为触发器信号TRG馈送到触发电路13的时钟输入端Cin。控制器A和B共享相同的电路结构,其中1)比较器12的输出直接输入到触发器控制电路100内的控制器A,使得上行边被检测到以便产生触发器分量信号a,以及2)由安装在触发器控制电路100中的反相器102提供的比较器12的反向输出被输入到控制器B,使得下行边被检测到以产生触发器分量信号b。

在此,表示以上所讨论的触发器控制电路100行为的波形图示于图9中。图中的每一波形图(a)和(b)表示时钟信号CLK、比较器12的输出S1及作为触发器控制电路100的输出的触发器信号TRG之间的关系。

如前所述,把触发器控制电路100设计为限制触发器信号发生

的频率。通过控制前一信号 TRG 和下一个信号 TRG 之间的时间间隔而限制频率。

更准确地说，如果比较器 12 的输出 S1 在从前一个触发器信号 TRG 发生起 n 个时钟脉冲的预定延迟之前形成低电平到高电平的过渡，则在从前一触发器信号 TRG 起在 n 个时钟脉冲延迟之后触发器控制电路 100 产生另一触发器信号 TRG。图 9(a)中，在传统的西格玛-德尔塔模数转换器情形下以①所标记的时间，比较器 12 的输出由触发电路 13 锁存。在实施本发明的西格玛-德尔塔模数转换器的情形下，在从前一触发器信号 TRG 发生的以④所标记的时间起 n 个时钟脉冲的预定延迟之后以②所标记的时间，比较器 12 的输出被锁存。

此外，如图 9(b)所示，在比较器 12 的输出 S1 从低电平向高电平过渡之后，如果该过渡发生在从先前的触发器信号 TRG 发生起 n 个时钟脉冲预定的延迟之后，则在比较器 12 的输出 S1 的从低到高的过渡之后立即检测到时钟信号 CLK 的上行边时以③所标记的时间，触发器控制电路 100 产生触发器信号 TRG。这一行为与传统的西格玛-德尔塔模数转换器相同。

现参照图 10 的波形图解释装有上述触发器控制电路 100 的本发明的西格玛-德尔塔模数转换器。图 10(a)表示，当把其电平接近输入范围一半的信号施加到本发明的西格玛-德尔塔模数转换器时，比较器 12 的输入 S2，比较器 12 的输出 S1、信号 a 的触发器分量、信号 b 的触发器分量、触发电路 13 的输出 S3、及时钟信号 CLK 之间的关系。类似地，图 10(b)表示，当施加其电平接近输入范围满标的信号时，上述相同信号分量之间的关系。

图 10(a)中，即使比较器 12 的输出 S1 改变，触发电路 13 的输出 S3 也不立即改变，因为作为触发器分量信号 a 和 b 的逻辑 OR 的触发器信号 TRG 置于限制下。更准确地说，因为触发电路 13 的触发器信号 TRG 由触发器控制电路 100 置于限制之下，故输入到数模转换器 14 的脉冲密度信号的变化频率被降低。因而，数模转

换器 14 的输出对特定长度的时间保持不变，从而降低了加法器 15 之后的模拟电路工作速度。

当施加其电平为输入范围一半的信号时，传统的西格码-德尔塔模数转换器中触发电路的输出变化很频繁。变化的频率(以下称为最大输出频率)是时钟信号 CLK 频率的一半。在本发明的西格码-德尔塔模数转换器中，频率是时钟信号 CLK 频率的 n 分之一。然而，只有 n 等于或大于 3 时这才保持为真。如果 n 等于 1 或 2，则该模数转换器以与传统的西格码-德尔塔模数转换器相同的方式工作。

图 10(b)表示当把其电平接近输入范围满标的信号施加到本发明的西格码-德尔塔模数转换器时的波形图。从图明显可见，触发电路 13 的输出 S3 变化频率较低。这是因为 1)触发器控制电路 100 对触发器信号 TRG 没有设置任何限制，因为预定的 n 个时钟脉冲延迟已经在比较器 12 的输出信号 S1 改变时发生，并因为 2)在比较器 12 的输出 S1 变化后立即检测到时钟信号 CLK 的上行边的时间，触发器控制电路 100 产生触发器信号 TRG。这一行为与传统的西格码-德尔塔模数转换器相同。

换言之，当正确设置 n 个时钟脉冲的延迟时，只有当其电平为脉冲密度信号 $Y(z)$ 被最频繁输出的输入范围的大约一半的输入信号 $X(z)$ 被施加时，触发器控制电路 100 才把触发器信号 TRG 置于限制之下。另一方面，如果施加其电平接近零或接近脉冲密度信号 $Y(z)$ 变化频率较小的输入范围的满标的输入信号 $X(z)$ ，则触发器控制电路 100 不把触发器信号 TRG 置于限制之下。

在上述构成的西格码-德尔塔模数转换器中比较器的输入处发现的误差为传统的西格码-德尔塔模数转换器的 $n/2$ 倍。因而，量化噪声电能为 $n^2/4$ 倍大，且信噪比 SN 为 $4/n^2$ 倍大。

因而，当本发明的西格码-德尔塔模数转换器是按信号积分器构成时，信噪比 SN11 为

$$SN11 = 4/n^2 \times 9/(16 \times \pi^2) \times (f_c/f_s)^{-3} \quad (1)$$

另一方面，西格码-德尔塔模数转换器的输出变化频率降低到原始值的 $2/n$ 倍。因而，如果注意包括比较器 12 的模拟电路的工作速度，且该速度保持等于传统方法的速度，则应当理解，时钟频率(采样频率)能够增加到原始值的 $n/2$ 倍。图 11 是按传统的西格码-德尔塔模数转换器输出的最高频率 $f_S/2$ 对传统方法和本发明的方法信噪比归一化并然后对它们进行比较的结果。图示意味着，在本发明的方法中，在不增加模拟电路工作速度情形下，能够改进胜于信噪比 SN 的传统方法的优点达 $n/2$ 因子。

上述本发明的西格码-德尔塔模数转换器可适用于双积分器的西格码-德尔塔模数转换器。然而在这种情形下，如图 12 所示，原来的积分器 41 的输出必须乘以一定的常数 k ，以便稳定双积分器的西格码-德尔塔模数转换器的操作。可通过对输出乘以以下的常数 k 稳定操作。

$$k \leq 2/n \quad (2)$$

这种情形下信噪比 SN₁₂ 为

$$SN_{12} = k^2 \times (4/n^2) \times 15/(64 \times \pi^4) \times (f_c/f_s)^{-5} \quad (3)$$

如同图 11 那样，图 13 是按传统的西格码-德尔塔模数转换器输出的最高频率对传统方法和本发明的方法信噪比归一化并然后对它们进行比较的结果。图示意味着，在用于本发明的方法中，能够改进胜于信噪比 SN 的传统方法的优点达 $k^2 \times (n/2)^3$ 因子。

以下，使用图 14 所示的简化框图说明控制器 A 的一例。

图中，比较器的输出 S1 连接到 AND 电路 203 的输出端之一，且 AND 电路 203 的输出连接到触发器电路 202 的输入端。时钟信号 $\Phi 0$ 输入到触发器电路 202。触发器电路 202 的输出，作为触发器分量信号 a ，连接到包含在触发器控制电路 100 中的 OR 电路的输入端之一，以及连接到定时器电路 201 的复位端 RST。在相位上与时钟信号 $\Phi 0$ 反向的时钟信号 $\Phi 1$ 输入到定时器电路 201。定时器电路 201 的到时信号 S5 连接到 AND 电路 203 的另一输入端。应当注意，时钟信号 $\Phi 0$ 和 $\Phi 1$ 是处理输入到控制器 A 的时钟信号 CLK、

使其分离为两个不同信号的结果。图 15 表示按上述构成的控制器 A 各点信号波形。如先前图 9(a)中解释，图 15(a)表示，当从先前的触发器信号 TRG 出现起预定的 n 个时钟脉冲延迟之前比较器 12 的输出形成低电平到高电平过渡时，控制器 A 的工作波形。如先前图 9(b)中解释，图 15(b)表示，当从先前的触发器信号 TRG 出现起预定的 n 个时钟脉冲延迟之后比较器 12 的输出形成低电平到高电平过渡时，控制器 A 的工作波形。

图 15(a)中，控制器 A 通过触发器电路 202 输出触发器分量信号 a ，并从而使定时器电路 201 复位，开始 n 个时钟脉冲预定延迟的计数。这在图 15(a)中以标号⑤指示的时间发生。

与此同时，如果比较器 12 的输出在定时器电路 201 到时之前形成低电平到高电平的过渡，则由于连接到 AND 电路 203 的定时器电路 201 的到时信号 $S5$ 仍然保持为低电平，故触发器电路 202 的输入保持为低电平。这发生在图 15(a)中以标号⑥指示的时间。

与此同时，如果当定时器电路 201 到时并在其到时信号 $S5$ 变为高电平时，比较器 12 的输出为高电平，则 AND 电路 203 的输出也变为高电平，这样引起触发器电路 202 的输入变为高电平，且触发器 202 输出触发器分量信号 a 。这发生在图 15(a)由标号⑦指示的时间。

以下将解释图 15(b)中波形图的行为。图中，控制器 A 通过触发器电路 202 输出触发器分量信号 a ，并从而使定时器电路 201 复位，开始预定的 n 个时钟脉冲延迟的计数。这发生在图 15(b)由标号⑧指示的时间。

与此同时，如果当定时器电路 201 到时并从而其到时信号 $S5$ 变为高电平时，比较器 12 的输出 $S1$ 不是高电平，则输出 $S1$ 保持为原来状态。下一时刻当输出 $S1$ 变为高电平时，输出触发器分量信号 a 。这发生在图 15(b)由标号⑨指示的时间。

按这样的行为，控制器 A 检测比较器 12 输出 $S1$ 的上行边，以产生触发器分量信号 a 。另一方面，控制器 B 检测比较器 12 的输

出 S1 的下行边，以产生触发器分量信号 b。这是经过反相器，通过向具有与这里所讨论的控制器 A 相同电路结构的控制器 B 的输入端，馈送比较器 12 的输出 S1 而达到的。

此外，如图 5 所示的隔离电路能够置于比较器 12 与触发电路 13 之间，及触发电路 13 的输出端与数模转换器 14 之间。

以下使用图 16 解释本发明的第三实施例。图中，对与图 2 中先前讨论的行为方式相同的组件给以相同的标号，并不再对其进行说明。

图 16 不同于图 2 在于，1)第一隔离电路 300 插入在比较器 12 和触发电路 13 之间，2)第二隔离电路 350 插入在触发电路 13 的输出端与数模转换器 14 之间，以及 3) 西格码-德尔塔模数转换器装有第一和第二启动电路，这些电路如果在电源接通时由于噪声进入或其它原因而使模数转换器非正常停止，就产生用于重新启动模数转换器的信号。

为了易于理解，我们将使用其中省略了第一和第二启动电路 400 和 450 的图 17 的基本框图，首先解释本发明的西格码-德尔塔模数转换器的基本行为。

第一隔离电路 300 以电隔离的方式，只传送当比较器 12 的输出信号 D12 变化时出现的上升边信号(以下称为上行边信号)和下落边信号(以下称为下行边信号)。根据这些隔离的、传送信号，该电路解调比较器 12 的输出信号 D12。图 18 示出第一隔离电路 300 的框图。图中，输入端 301 连接到微分电容器 302 的一端，其另一端连接到隔离变压器 303 的初级线圈一端。隔离变压器 303 的初级线圈另一端连接到初级的公共电位线。

隔离变压器次级 303 线圈一端连接到用于检测上行边的晶体管 305 的基极，其中电源 Vcc 通过电阻器 304 馈送给晶体管 305 的集电极，而发射极连接到次级公共电位线。隔离变压器 303 的次级线圈另一端连接到用于检测下行边的晶体管 307 的基极，其中电源 Vcc 通过电阻器 306 馈送给晶体管 307 的集电极，而发射极连接到

次级公共电位线。

隔离变压器的中心抽头连接到次级公共电位线。

用于检测上行边的晶体管 305 的集电极通过反相器 309 以反向输入方式连接到 SR 触发电路 308 的置位端 S。用于检测下行边的晶体管 307 的集电极通过反相器 310 以反向输入方式连接到 SR 触发电路 308 的复位端 R。SR 触发电路 308 的输出 D300 作为第一隔离电路 300 的输出连接到触发电路 13 的输入端。

如果脉冲信号输入到置位端 S, 则 SR 触发电路 308 把输出 D300 锁存到高电平状态, 或如果脉冲信号输入到复位端 R, 则锁存到低电平状态。

图 19 表示如上所述构成的第一隔离电路 300 各点处的波形。该图是一个时序图, 表示从比较器 12 向第一隔离电路 300 输入的输入信号①、通过向微分电容器 302 输入输入信号①获得的微分信号②、用于检测上行边的晶体管 305 的集电极电压③、用于检测下行边的晶体管 307 的集电极电压④、及具有反向输入的 SR 触发电路 308 的输出 D300 之间的关系。

在图 19 中输入信号①从低电平向高电平状态变化的时间 T1 处, 作为微分信号②中所示之一的这种上行边信号, 通过微分电容器 302 的作用输入到隔离变压器的初级线圈。

隔离变压器 303 以电隔离的方式, 把输入到其初级线圈的上行边信号向下传送给其次级线圈, 把在次级线圈感生的电流馈送到晶体管 305 的基极。这引起在晶体管 305 的集电极的集电极电压③上升。

这样产生的集电极电压③由反相器 309 反向, 并作为其置位信号输入到 SR 触发电路 308 的置位端 S。

SR 触发电路 308 使用输入到置位端 S 的置位信号, 把输出信号 D300 锁存为高电平状态。

在图 19 中输入信号①从高电平向低电平状态变化的时间 T2 处, 作为微分信号②中所示之一的这种下行边信号, 通过微分电容

器 302 的作用输入到隔离变压器的初级线圈。

隔离变压器 303 以电隔离的方式，把通过初级线圈输入的下行边信号传送给次级线圈，把在次级线圈感生的电流馈送到晶体管 307 的基极。这引起在晶体管 307 的集电极的集电极电压④上升。

这样产生的集电极电压④由反相器 310 反向，并作为其复位信号输入到 SR 触发电路 308 的复位端 R。

SR 触发电路 308 使用输入到复位端 R 的复位信号，把输出信号 D300 锁存为低电平状态。

重复上述操作，第一隔离电路 300 能够把向输入端 301 输入的输入信号①解调为具有与输入信号①相同波形的输出信号 D300。

由于上述的第一隔离电路 300 以电隔离方式只传送输入信号①的微分信号分量，故与以电隔离方式传送输入信号①的方法相比，能够使用较小的隔离变压器。于是，能够减小隔离电路的尺寸，并能够以较低成本制造。

此外，虽然上述第一隔离电路 300 使用了隔离变压器，但是能够使用光耦合器作为隔离装置。图 20 表示使用光耦合器作为隔离装置的隔离电路一例。图中，对与图 18 中所示第一隔离电路那些行为方式相同的组件给予相同的标号并不作说明。

图 20 中，输入端 301 连接到微分电容器 302a 的一端，其另一端连接到用于检测上行边的光耦合器 311 的光发射装置。类似地，输入端 301 通过反相器 313 连接到微分电容器 302b 的一端，其另一端连接到用于检测下行边的光耦合器 312 的光发射装置。

电源 Vcc 通过电阻器 304 连接到光耦合器 311 的光电检测器。电阻器 304 和光耦合器 311 之间的连接点通过反相器 309 连接到 SR 重复电路 308 的置位端 S。

电源 Vcc 通过电阻器 306 连接到光耦合器 312 的光电检测器。电阻器 306 和光耦合器 312 之间的连接点通过反相器 310 连接到 SR 触发电路 308 的复位端 R。

在上述构成的隔离电路中，如果把与图 18 中所示的输入信号①

相同的信号输入到输入端 301，则由光耦合器 311 以电隔离方式传送上行边，并且由光耦合器 312 也以电隔离方式传送下行边。这样能够获得与输入信号①相同的信号，用作 SR 触发电路 308 的输出信号。

由于图 20 中所述第一隔离电路 300 的例子只以电隔离的方式使用光耦合器传送输入信号①的微分信号分量，故与传送处于电隔离方式的输入信号①相比能够降低电流消耗，因为大大缩短了光耦合器接通的光发射装置的时间长度。

图 17 的第二隔离电路 350 具有与上述第一隔离电路 300 相同的结构。第二隔离电路 350 使用没有反向输入的 SR 触发电路去输出输出信号 D350。

因而，按图 17 中所述构成的西格码-德尔塔模数转换器由于使用通过隔离点传送微分信号的隔离电路的结果而有优越性。如果如图 18 所示使用隔离变压器作为隔离装置，则能够降低西格码-德尔塔模数转换器的尺寸并降低成本。如果使用如图 20 中所示的光耦合器作隔离装置，则能够降低西格码-德尔塔模数转换器的电流消耗。

此外，本发明的西格码-德尔塔模数转换器采用以下所述装置以便使操作稳定。

在比较器和触发电路的情形下，一般不能确定它们在接通时刻的输出是低电平还是高电平。换言之，比较器或触发电路的输出状态在其接通时刻是不定的。

按图 17 所示构成的西格码-德尔塔模数转换器是这样操作的，即比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 在它们正常工作时共享相同的极性。

如果在西格码-德尔塔模数转换器接通的时刻，比较器 12 的输出 D12 变为高电平，而第二隔离电路 350 的输出 D350 变为低电平，则作为第二隔离电路 350 的反向输出 D350 和由加法器 15 提供的输入信号 A_{in} 之和的信号被输入到积分器 11，引起积分器 11 的输出

A11 饱和而变为正侧。因而比较器 12 的输出 D12 保持高电平并不变,妨碍了西格码-德尔塔模数转换器启动操作。类似地,如果在西格码-德尔塔模数转换器接通的时刻,比较器 12 的输出 D12 变为低电平,而第二隔离电路 350 的输出 D350 变为高电平,则作为第二隔离电路 350 的反向输出 D350 和由加法器 15 提供的输入信号 A_{in} 之和的信号被输入到积分器 11,引起积分器 11 的输出 A11 饱和而变为负侧。因而比较器 12 的输出 D12 保持低电平并不变,也妨碍了西格码-德尔塔模数转换器启动操作。

如果西格码-德尔塔模数转换器进入这种情形(以下称为非正常停止状态)且输出保持不变,则通过迫使第一隔离电路的输出 D300 反向能够重新启动转换器。图 16 中的第一和第二启动电路 400 和 450 是为此目的特别装设的。

图 16 中,触发电路的输出 D13 连接到第二启动电路 450 的边缘检测器 451,边缘检测器 451 的输出连接到计数器电路 452 的复位端 CLR。计数器电路 452 的输出被输入到第一隔离电路中 SR 触发电路 308 的反向端 RVS。边缘检测器 451 是设计为检测触发电路 13 的输出 D13 中高电平到低电平或低电平到高电平过渡,以便产生脉冲信号。

如果输入到复位端 CLR 的信号变为高电平,则计数器电路 452 使计数复位到零,如果信号再次变为低电平,则开始计数,并当计数达到预定极限时输出脉冲信号。此外,当电源接通时,计数器电路 452 使计数复位到零并开始计数。

当输入到反向端 RVS 的信号变为高电平时,具有反向输入的 SR 触发电路 308 使输出信号 D300 反向。

又在图 16 中,比较器 12 的输出 D12 和第二隔离电路 350 的置位信号 S_{in2} 输入到第一启动电路 400 的错误检测器 ERR-S。类似地,比较器 12 的输出 D12 和第二隔离电路 350 的复位信号 S_{in2} 输入到第一启动电路 400 的错误检测器 ERR-R。错误检测器 ERR-S 和 ERR-R 的输出 E_{So} 和 E_{Ro} 由加法器 16 加到比较器 12 的输出 D12

上。加法器 16 的输出被输入到第一隔离电路 300。

错误检测器 ERR-S 和 ERR-R 的设计,是为了检测比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 之间的逻辑状态的不匹配。

错误检测器 ERR-R 的设计是为了,当从第二隔离电路 350 输入复位信号 Rin2, 比较器 12 的输出 D12 设置在高电平状态时, 输出正脉冲信号 ERo。错误检测器 ERR-S 的设计是为了, 当从第二隔离电路 350 输入置位信号 Rin2, 比较器 12 的输出 D12 设置在低电平状态时, 输出负脉冲信号 ESo。图 21 示出这种关系。

上述的两个输出信号由加法器 16 加到比较器 12 的输出 D12 上, 并且所得信号的和被输入到第一隔离电路 300。以下参照图 22 所示的时序图解释按如上构成的第一和第二启动电路。图中的时序图表示比较器 12 的输入 A11 和输出 D12、第一隔离电路 300 的输出 D300、触发电路 13 的输出 D13(这是第二隔离电路 350 的输入)、第二隔离电路 350 的输出 D350、错误检测器 ERR-S 的输出 ESo、错误检测器 ERR-R 的输出 ERo、计数器电路 452 的输出 D452、及时钟信号 CLK 之间的关系。

图 22 是表示当西格码-德尔塔模数转换器接通的时刻比较器 12 的输出 D12 变为高电平、第一隔离电路 300 的输出 D300 变为高电平、第二隔离电路 350 的输出 D350 变为低电平时的情形的时序图。

如果在图 22 中, 图 17 中所示类型的西格码-德尔塔模数转换器在其接通时进入上述状态, 则它不能启动其操作。以下解释为了恢复正常操作的第一和第二启动电路 400 和 450 的行为。在电源接通的时间 T1, 比较器 12 的输出 D12 和第一隔离电路 300 的输出 D300 为高电平, 而第二隔离电路 350 的输出 D350 为低电平。与时间 T1 的同时, 定时器电路 452 开始计数。从计数器电路 452 开始计数到它到时的时间区间 K1 是西格码-德尔塔模数转换器处于非正常停止的周期。当定时器电路 452 到时, 它输出脉冲信号 D452(由时刻 T2 指示)。

具有反向端的 SR 触发电路 308 借助于输入到反向端 RVS 的脉冲信号 D452(由时间 T3 指示)而使输出信号 D300 反向。这引起触发电路 13 将其输出 D13 置为低电平状态(由时刻 T4 指示)。于是,第二隔离电路 350 产生复位信号 Rin2。在这时,错误检测器 ERR-R 比较复位信号 Rin2 与比较器 12 的输出 D12,并然后判断复位信号 Rin2 为错,这样产生了输出 ERo(由时间 T5 指示)。

输出 ERo 由加法器 16 加到比较器 12 的输出 D12 上,且所得的信号输入到第一隔离电路 300。由于作为负脉冲的输出 ERo 加到处于高电平的比较器 12 的输出 D12 上,故这里输入到第一隔离电路 300 的信号对长度为输出 ERo 的脉宽的周期为低电平,且其后又回到高电平状态。第一隔离电路 300 的输出 D300 检测该输入信号的上行边,以便将其输出信号 D300 锁存为高电平状态(如时间 T6 所指示)。从而触发电路 13 将其输出信号 D13 置为高电平(如时间 T7 所指示),引起第二隔离电路 350 也将其输出信号 D350 置为高电平(如时间 T8 所指示)。由于这种情形的结果是比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 一致,故西格玛-德尔塔模数转换器开始其正常的操作。

图 23 是表示在 σ - δ 模数转换器接通的时刻当比较器 12 的输出 D12 变为高电平、第一隔离电路 300 的输出 D300 变为低电平、第二隔离电路 350 的输出 D350 变为低电平时的情形的时序图。这种情形下 σ - δ 模数转换器也不能开始其操作。

以下解释为了恢复正常操作的第一和第二启动电路 400 的行为。在时间 T1 当电源接通时,比较器 12 的输出 D12 为高电平,第一隔离电路 300 的输出 D300 为低电平,且第二隔离电路 350 的输出 D350 为低电平。与时间 T1 同时,定时器电路 452 开始计数。从定时器电路 452 开始计数到计数器到时的时间区间 K1 是西格玛-德尔塔模数转换器处于非正常停止的周期。当定时器电路 452 到时,它输出脉冲信号 D452(如时间 T2 所指示)。

具有反向端的 SR 触发电路 308 借助于输入到反向端 RVS 的脉

冲信号 D452 而使输出信号 D300 反向。这引起触发电路 13 将其输出信号 D13 置为高电平状态(由时刻 T4 指示), 且第二隔离电路 350 也将其输出信号 D350 置为高电平(由时刻 T5 指示)。由于这种情形的结果是比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 一致, 故西格码-德尔塔模数转换器恢复其正常操作。

图 24 是表示在西格码-德尔塔模数转换器接通的时刻当比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 变为高电平时的情形的时序图。

由于这种情形的结果是比较器 12 的输出 D12 与第二隔离电路 350 的输出 D350 一致, 故西格码-德尔塔模数转换器继续其正常操作。在这时, 第一隔离电路 300 的输出 D300 为低电平或高电平是无所谓的。

图 25 表示启动电路 400 的一例。在这图中, 第一启动电路 400 包括 1) 第一 NOR 电路 501, 其中比较器 12 的输出信号 D12 施加到第一 NOR 电路的一个输入端, 且第二隔离电路 350 的置位信号 Sin2 施加到第一 NOR 电路的另一个输入端, 以及 2) 第二 NOR 电路 502, 其中第一 NOR 电路的输出施加到第二 NOR 电路的一个输入端, 且第二隔离电路 350 的置位信号 Sin2 施加到第二 NOR 电路的另一个输入端。

图 16 所示的第一启动电路 400 是使用两个错误检测器 ERR-S 和 ERR-R 及加法器 16 构成的。使用上述电路结构也能达到与第一启动电路 400 相同的效果。

在以上给出的说明中, 为了描述本发明并展示实施本发明的一例, 只提及一具体的优选实施例。因而上述的实施例应认为是示例性的而不是限制。在不背离其精神和本质特征的情形下, 本发明仍可由其它方式实施。

于是应当理解, 所有属于本发明精神和范围的修改由所附权利要求保护。

例如图 16 所述的隔离装置, 对于其中添加了加法器 45 和积分

器 41 的图 26 所示的双积分器西格码-德尔塔模数转换器也是有效的。与单积分器类型比较，如图 26 所示通过增加积分器数目，能够降低西格码-德尔塔模数转换器的量化噪声并改进其分辨率。

图 16 中所述的隔离装置，对于其中保持电路 56 置于触发电路 13 的输出端和数模转换器 14 之间的西格码-德尔塔模数转换器也是有效的，如图 27 所示。通过添加如图 27 所示的保持电路，与时钟信号 CLK 的频率比较，能够使积分器 11 和比较器 12 的操作速度保持为低速。这使得能够产生需要较低成本并以减少的电流工作的西格码-德尔塔模数转换器。

图1

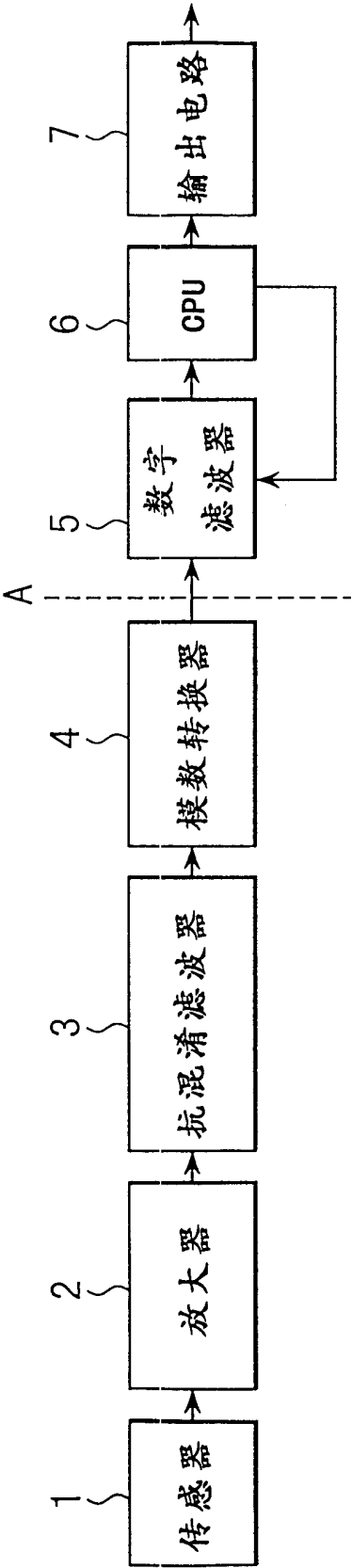


图2

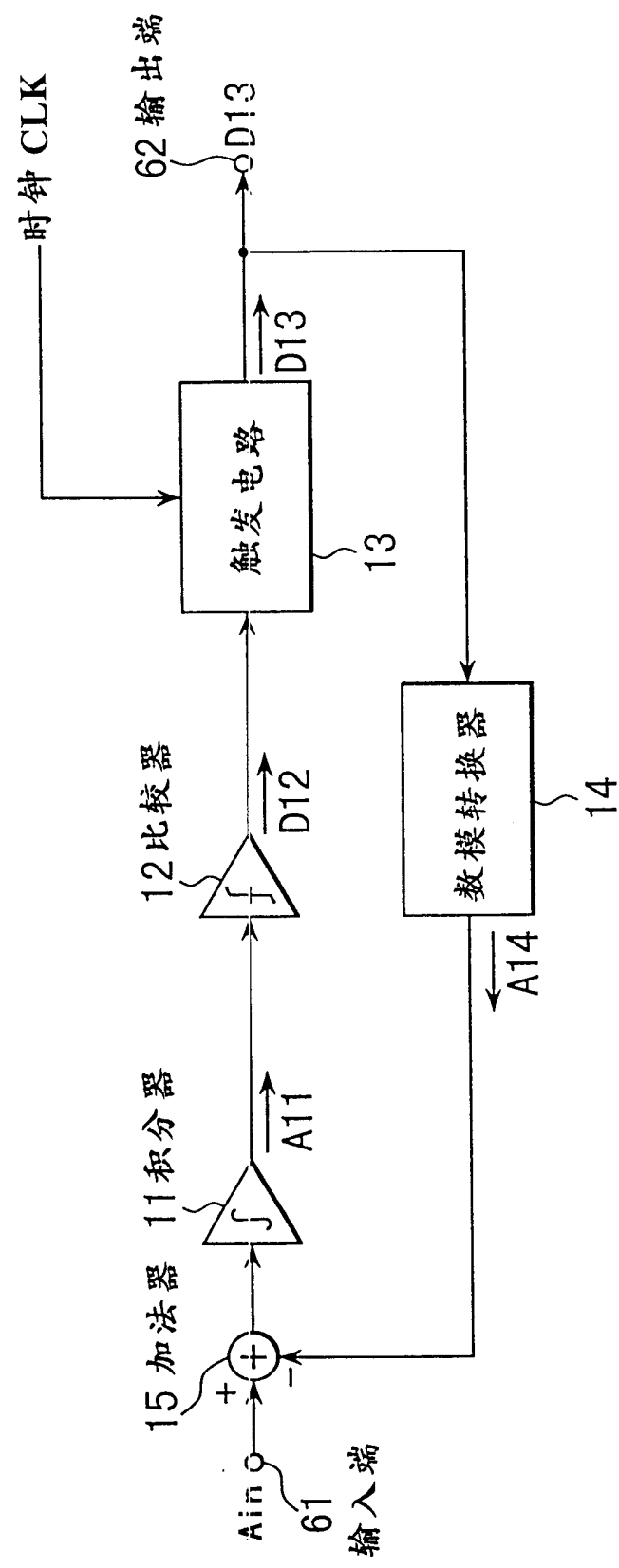


图3

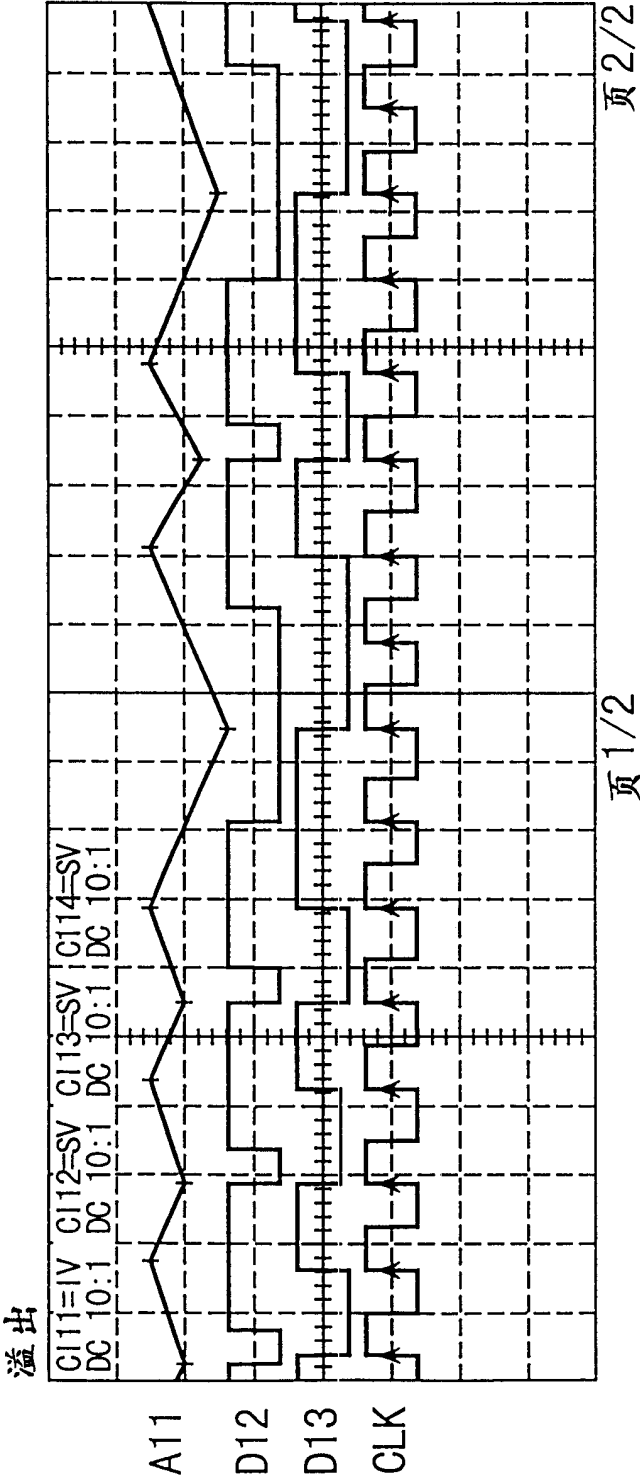


图4

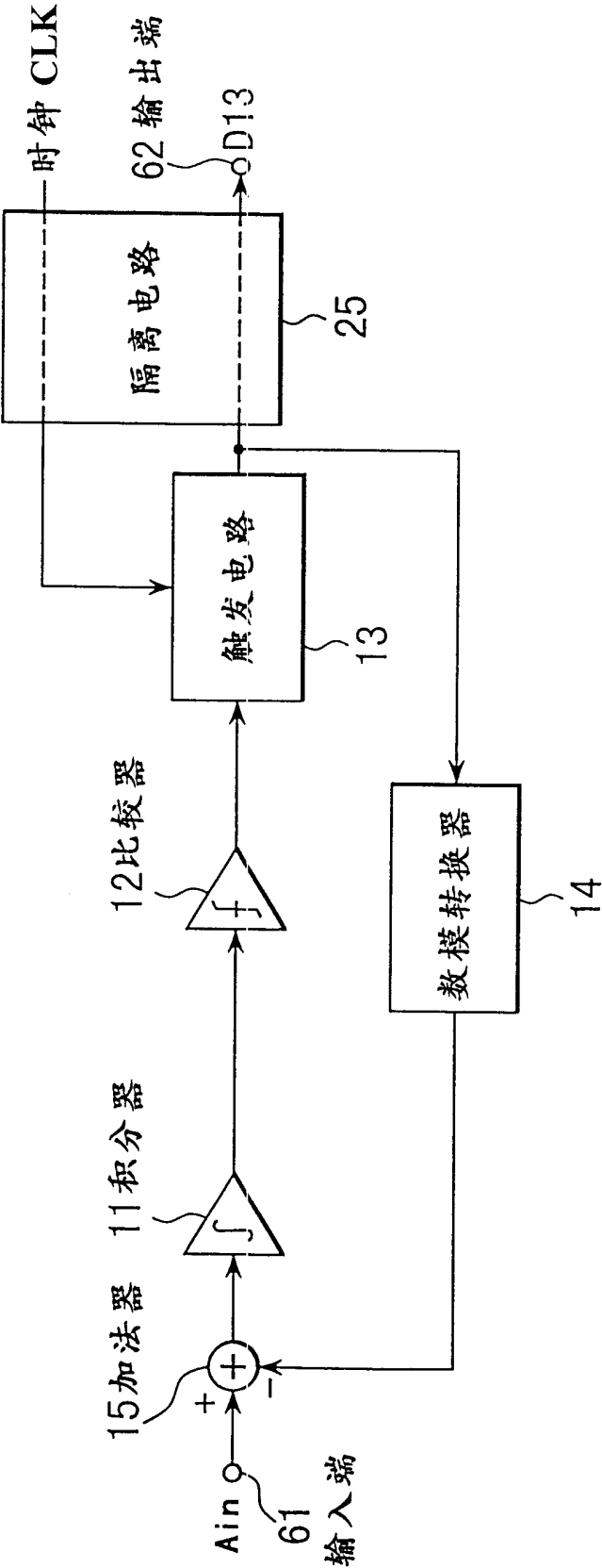


图5

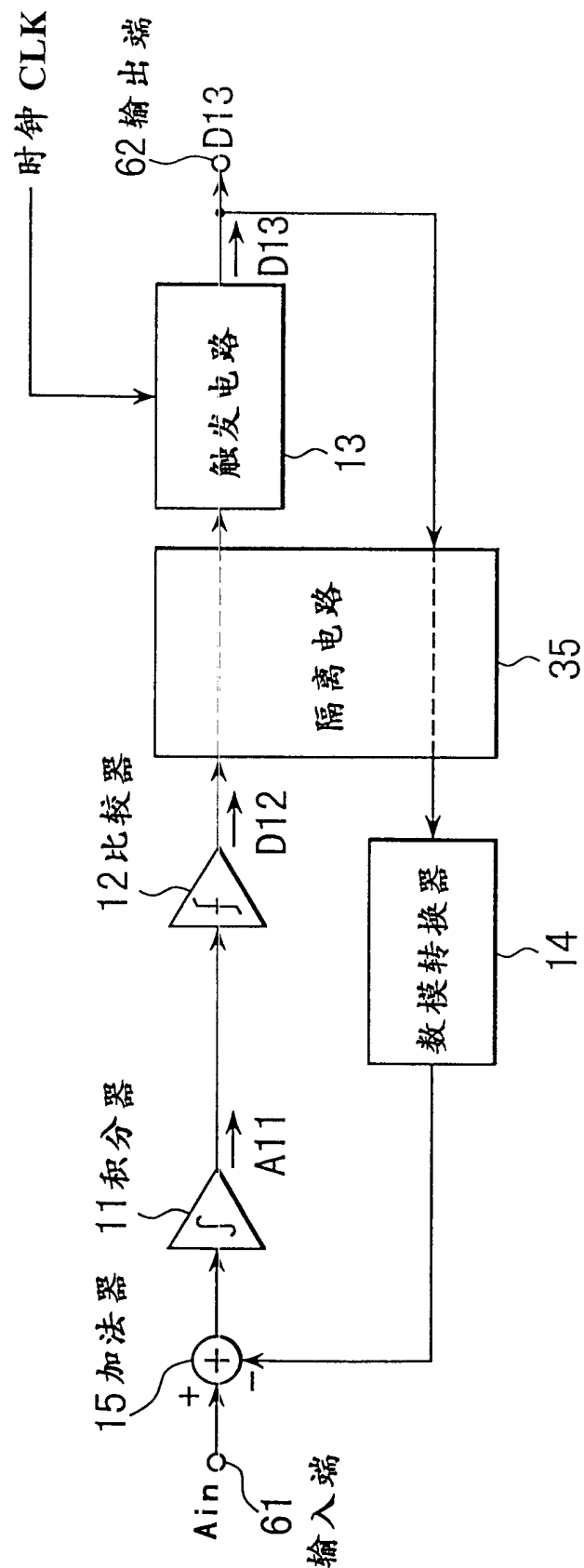


图6

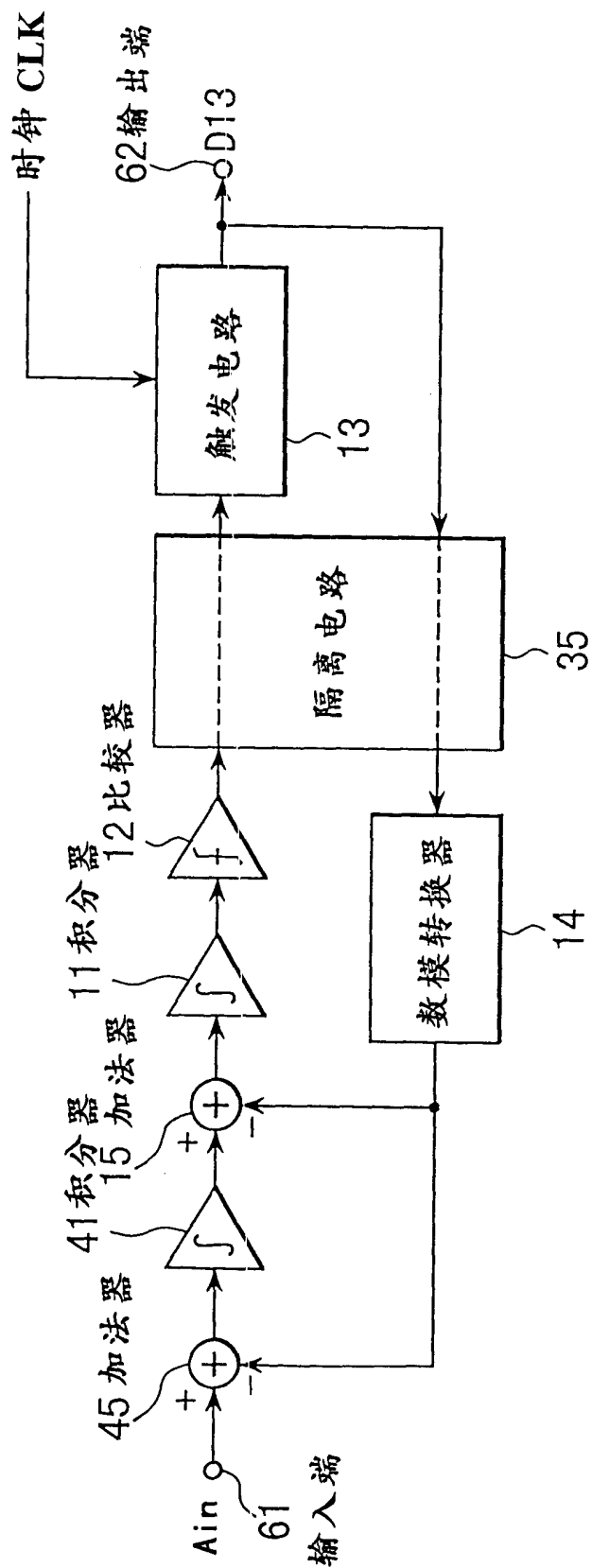


图7

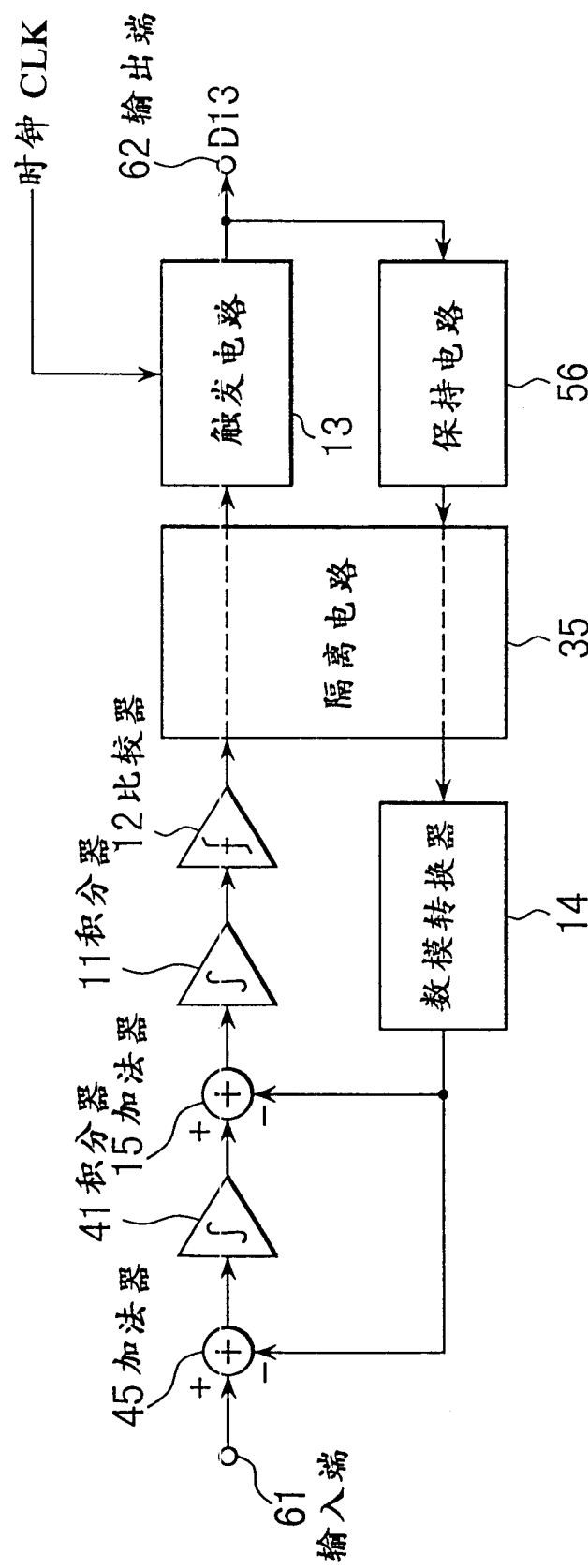


图8

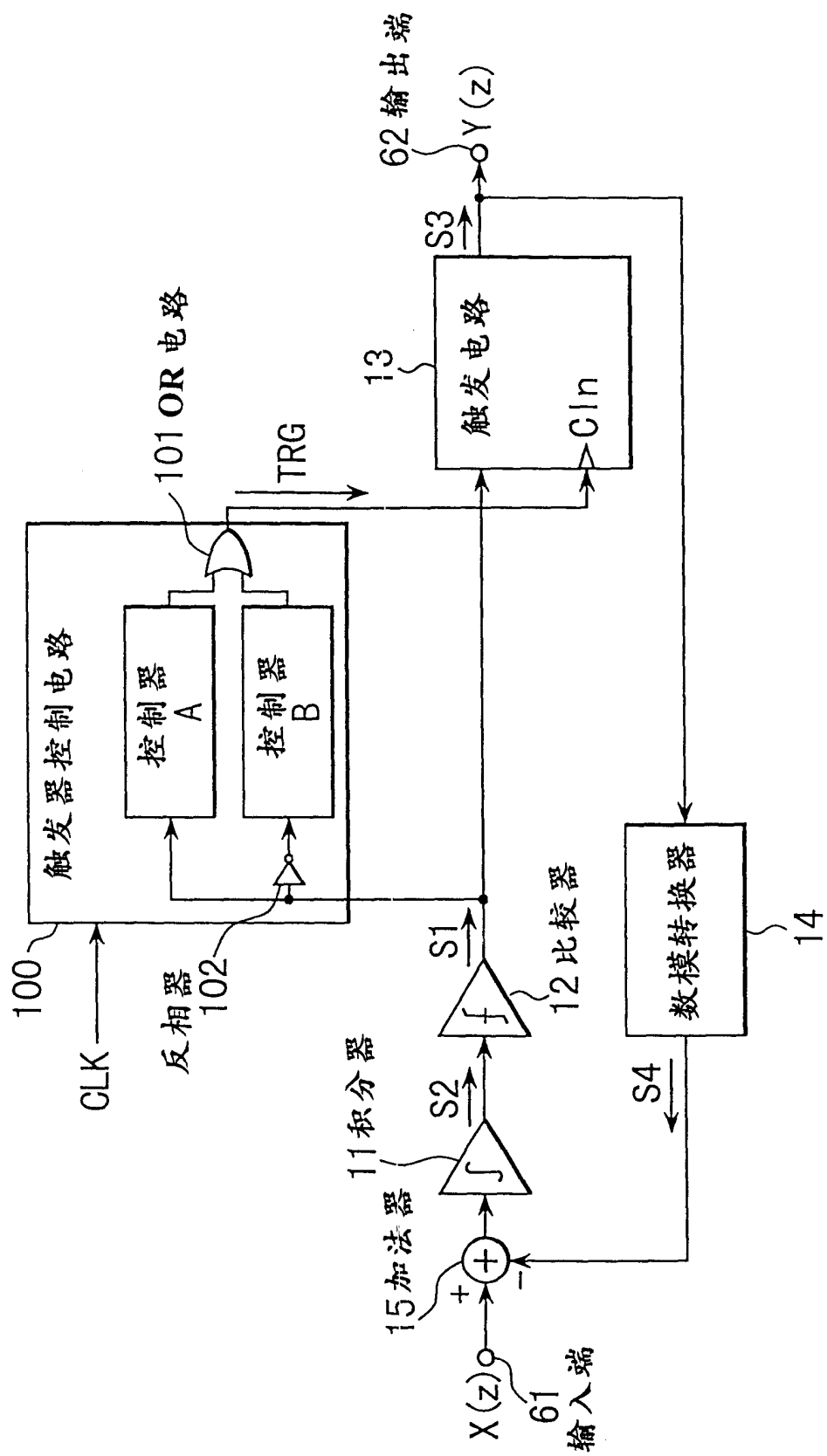


图9

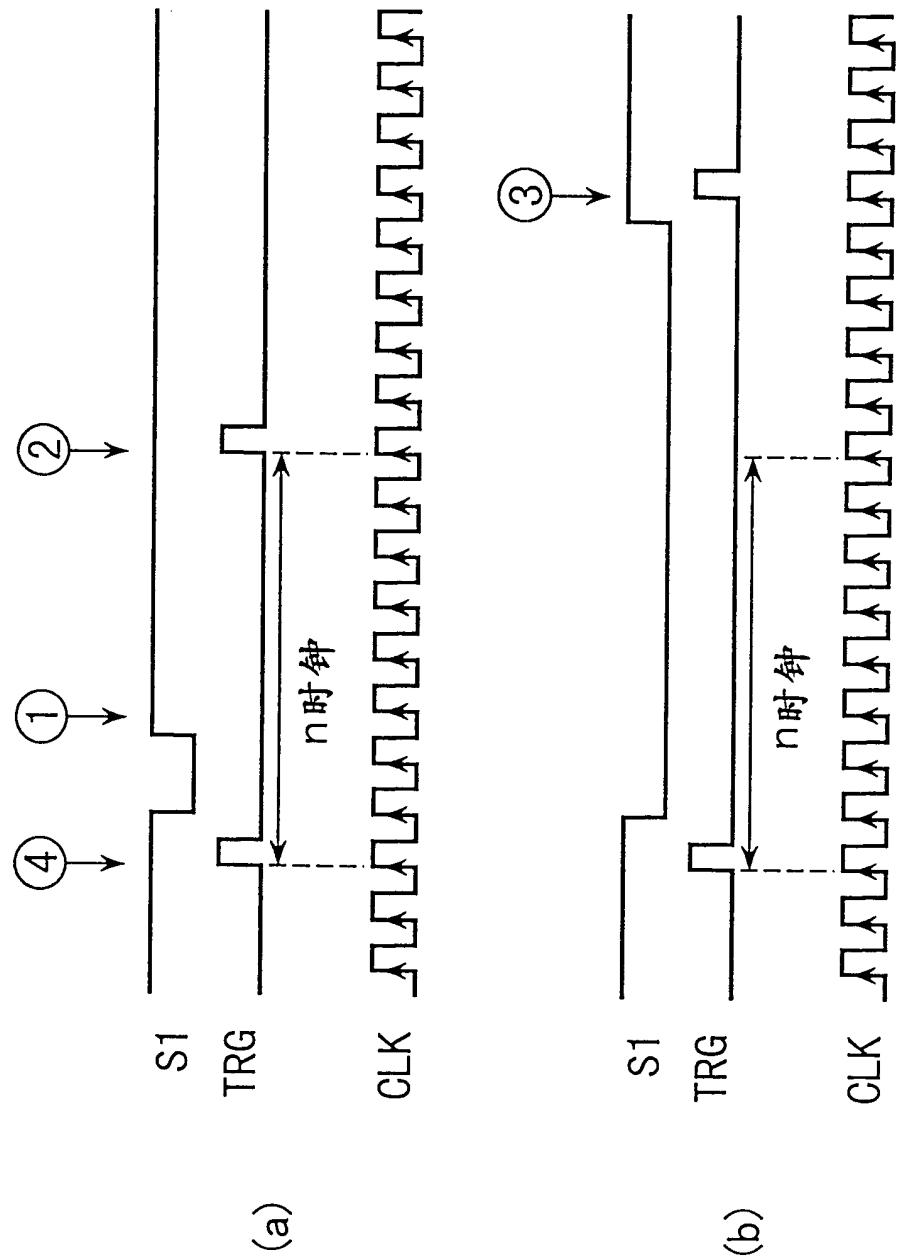


图10

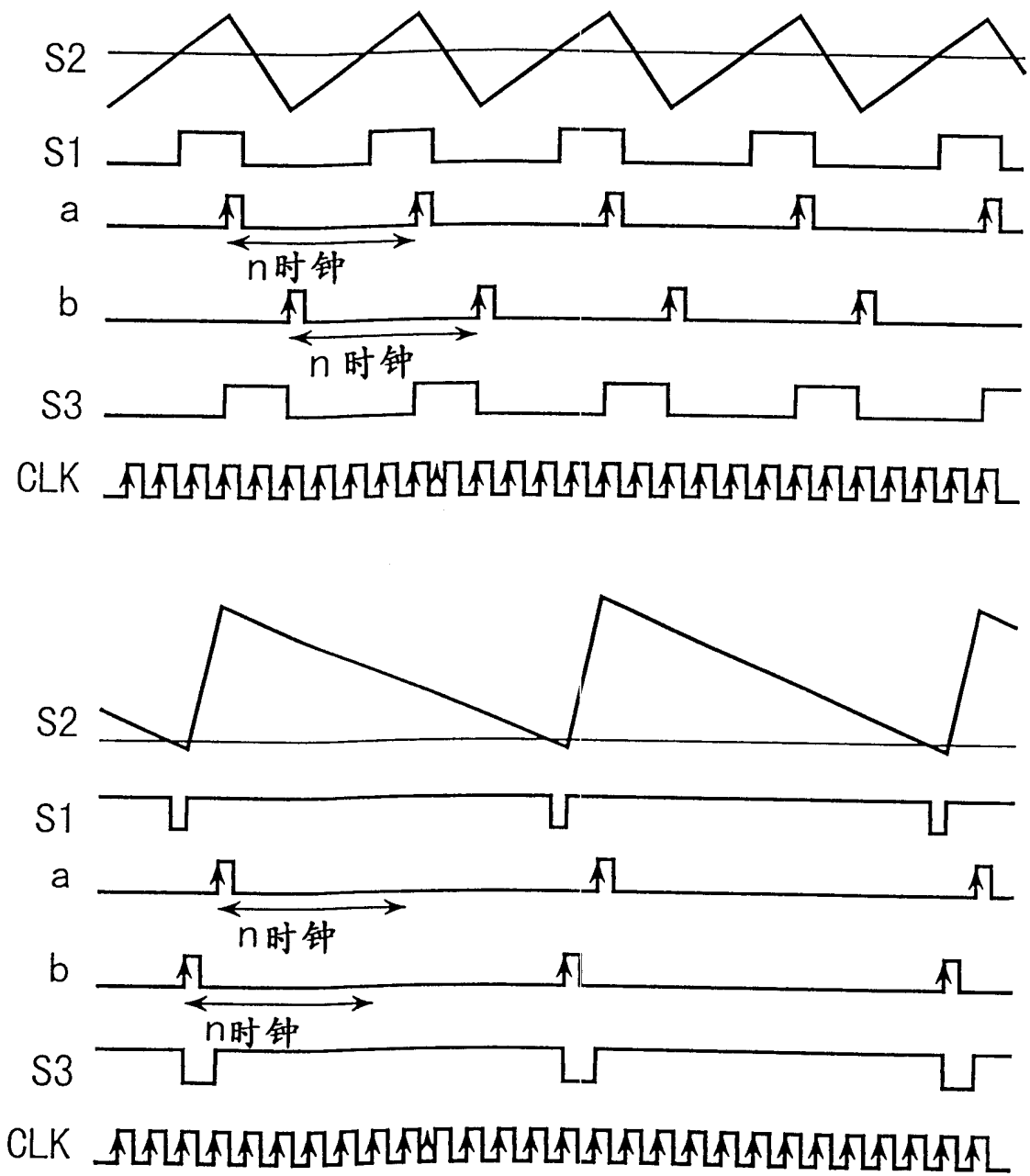


图11

采样频率	f_s	$\frac{n}{2} \cdot f_s$	
FF输出的最大频率	$\frac{f_s}{2}$	$\frac{f_s}{2}$	
SN	1	$\frac{n}{2}$	

12

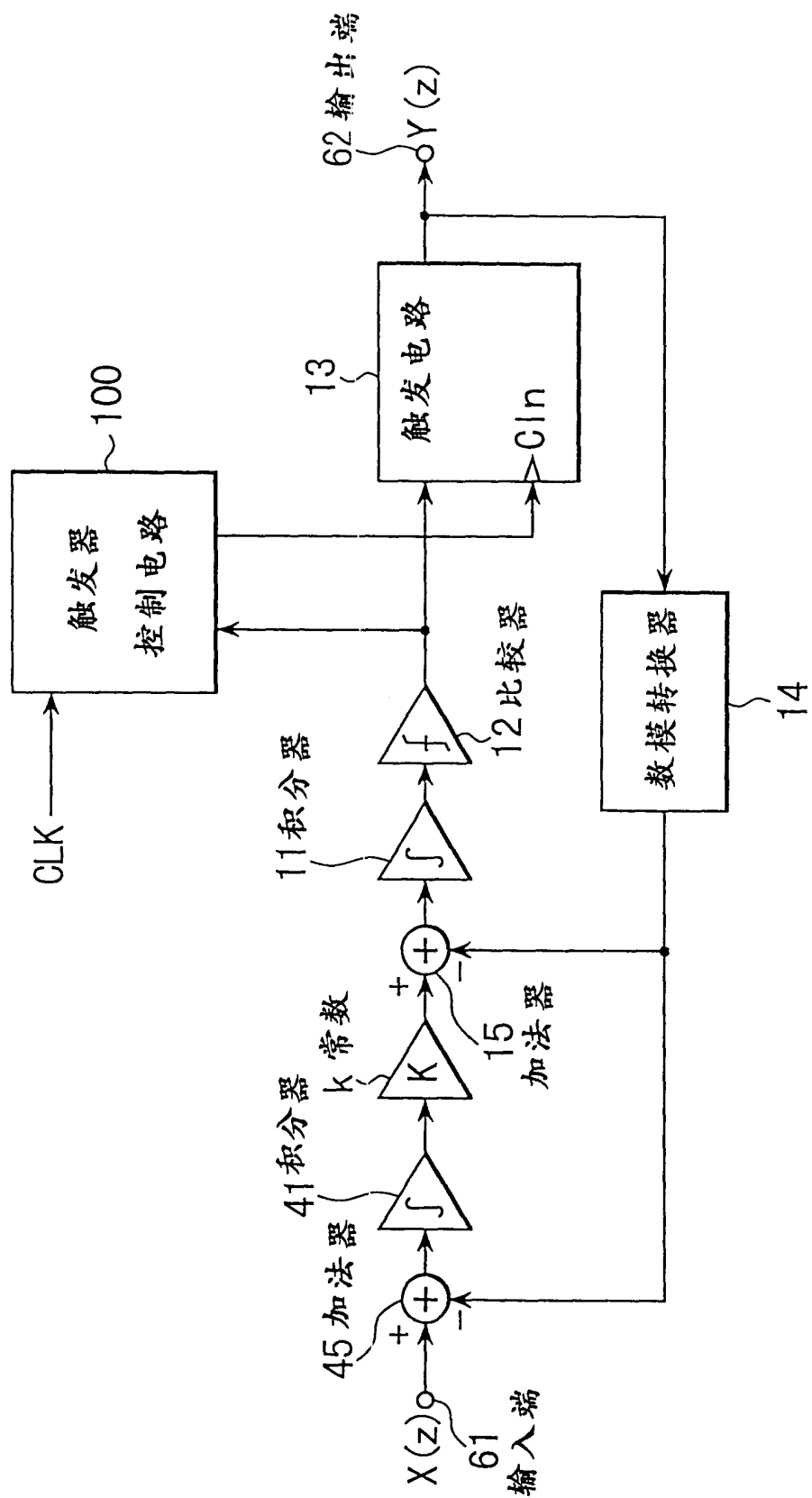


图13

采样频率	fs	$\frac{n}{2} \cdot fs$	
FF 输出的最大频率	$\frac{fs}{2}$	$\frac{fs}{2}$	
SN	1	$k^2 \left(\frac{n}{2}\right)^3$	

图14

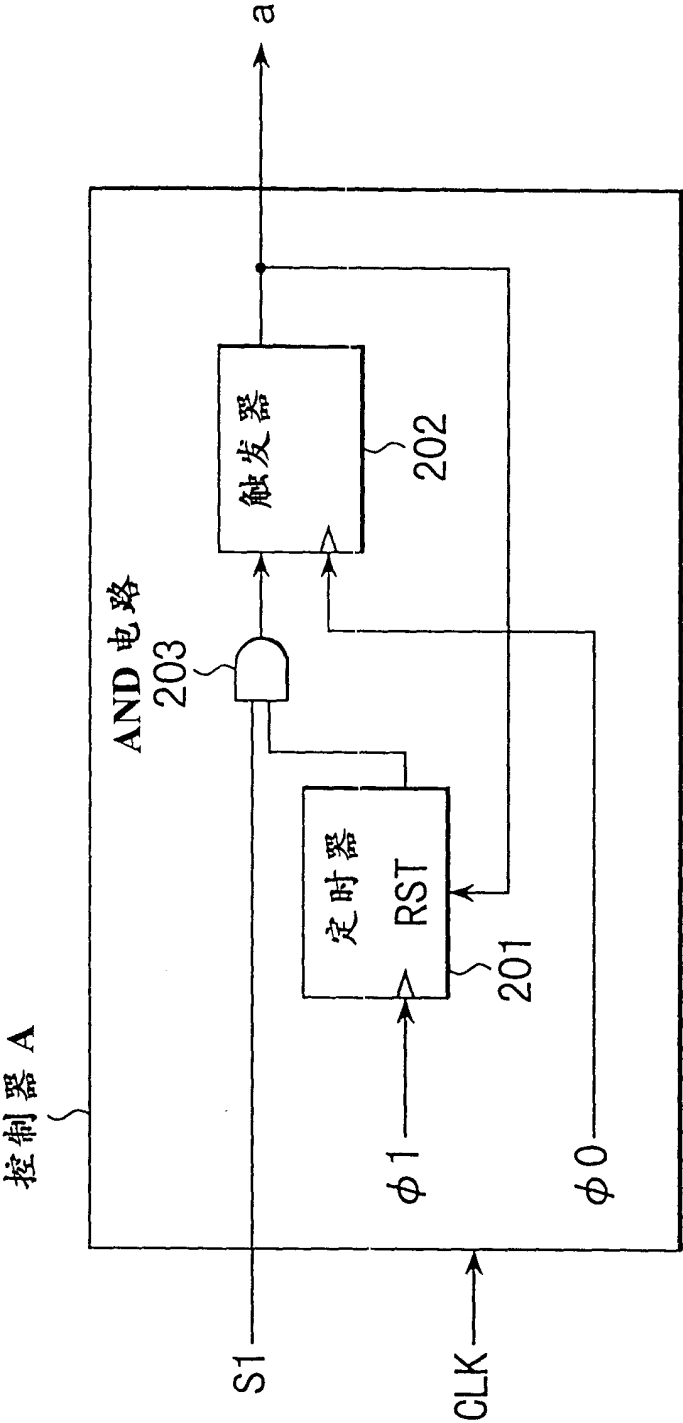
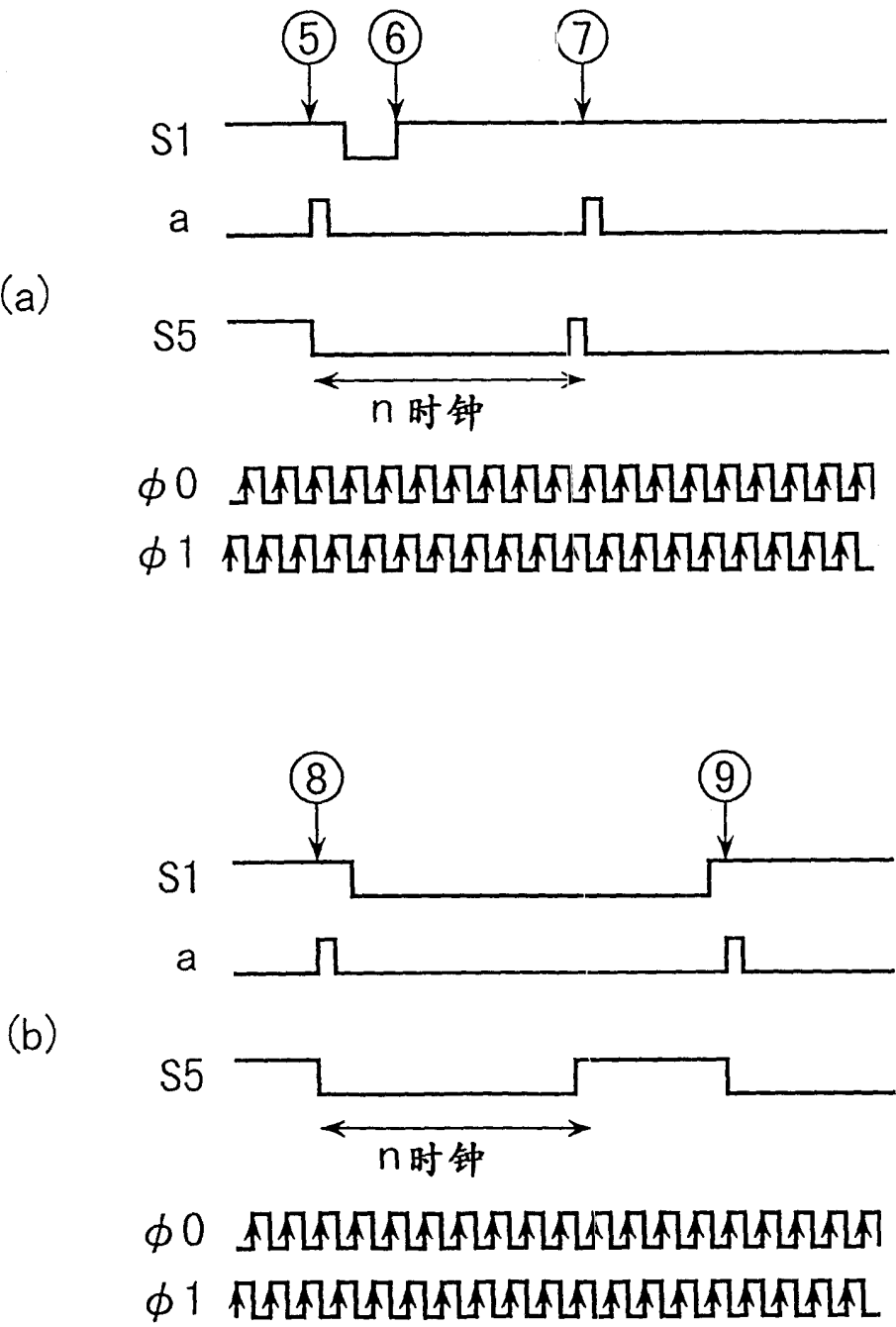
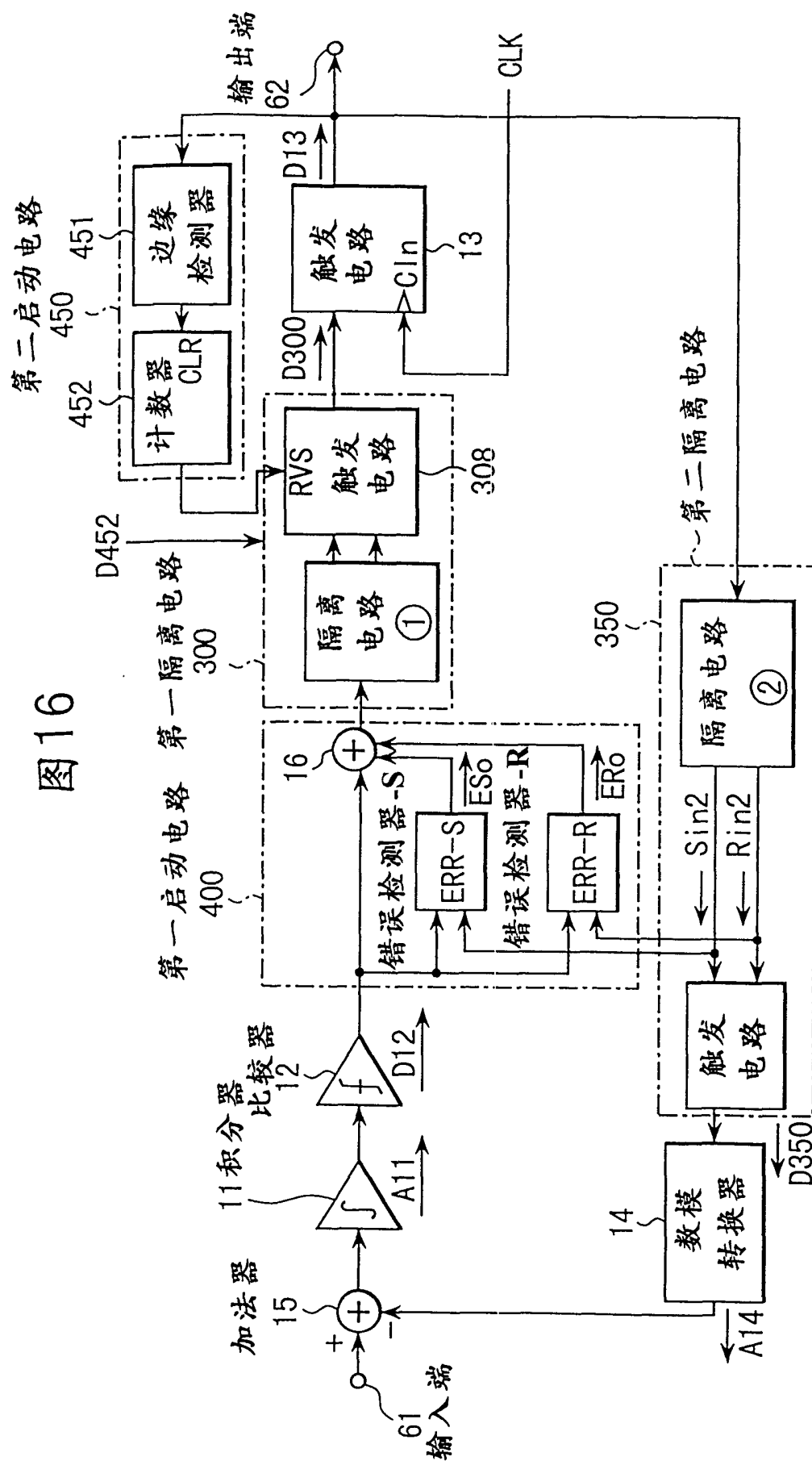


图15





17

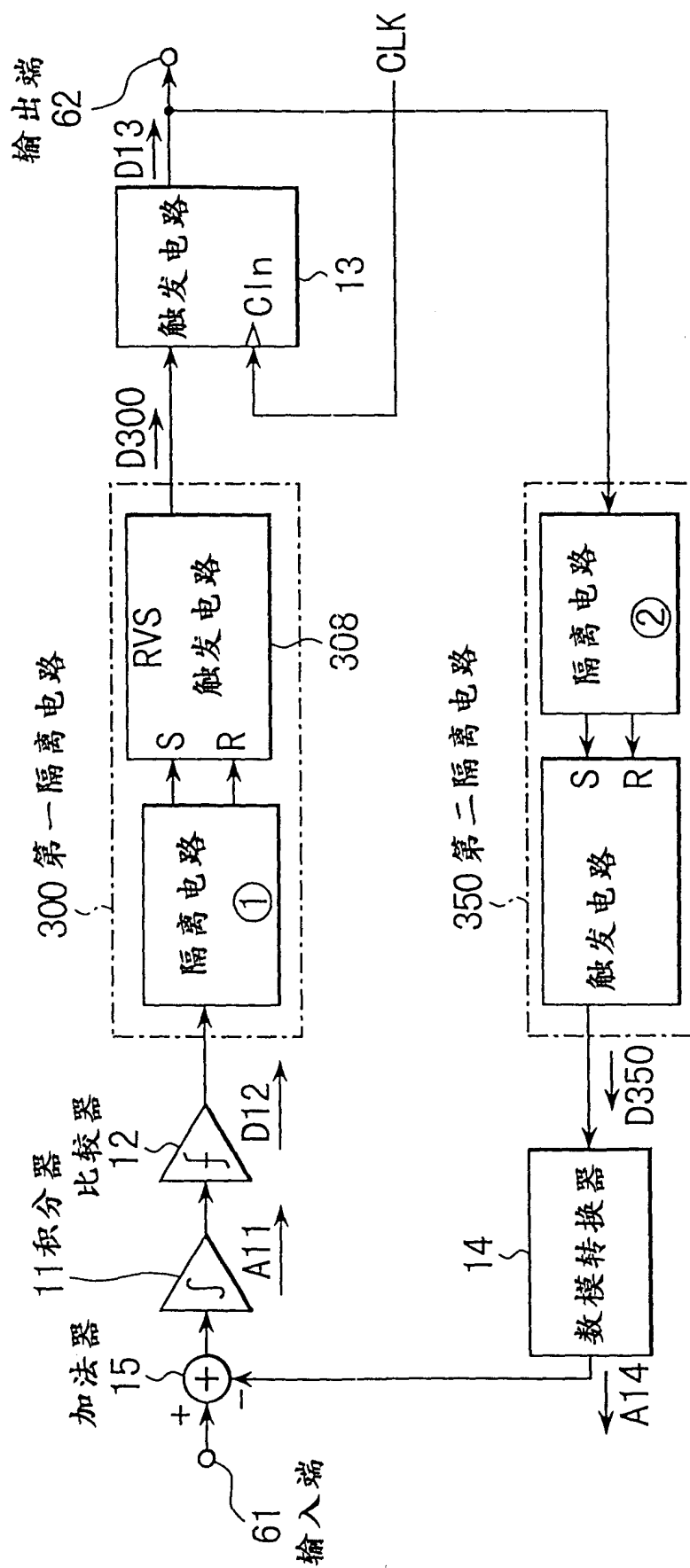


图18

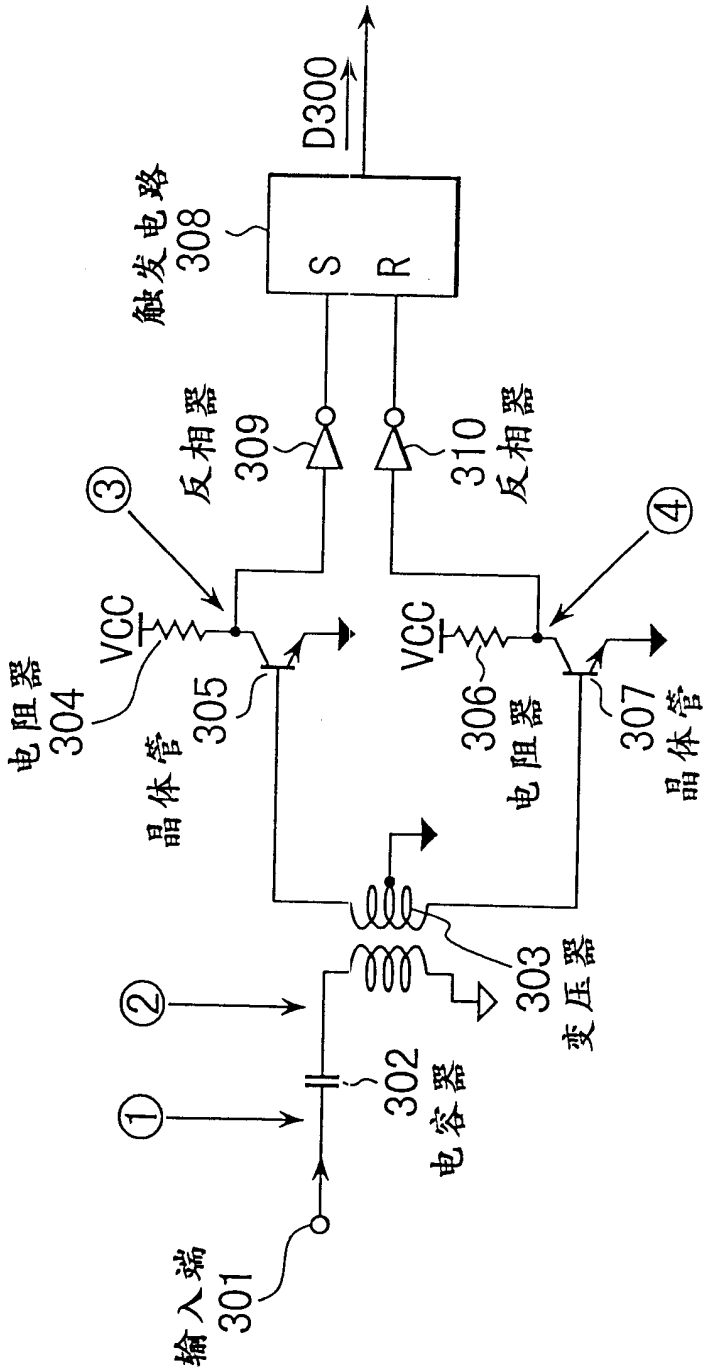


图19

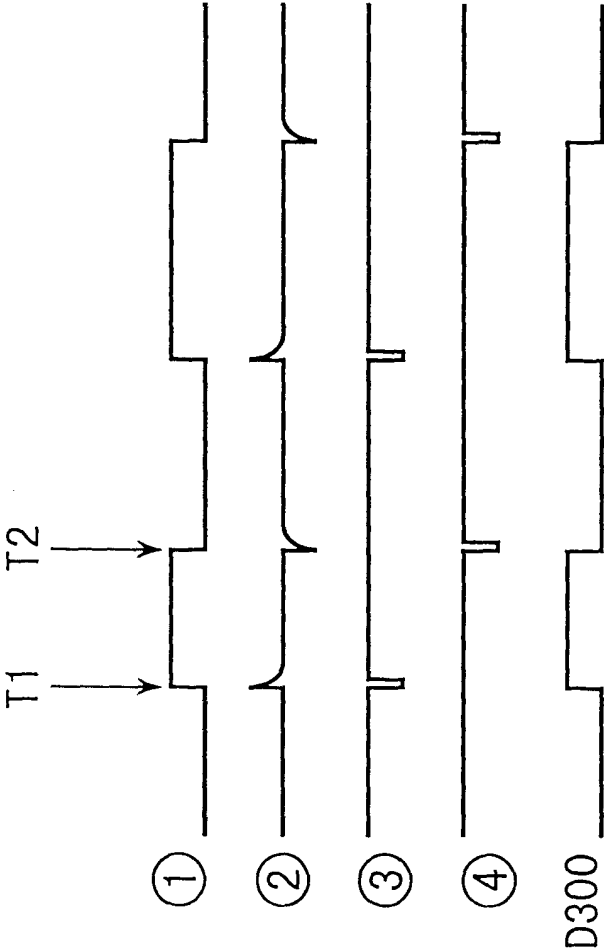


图20

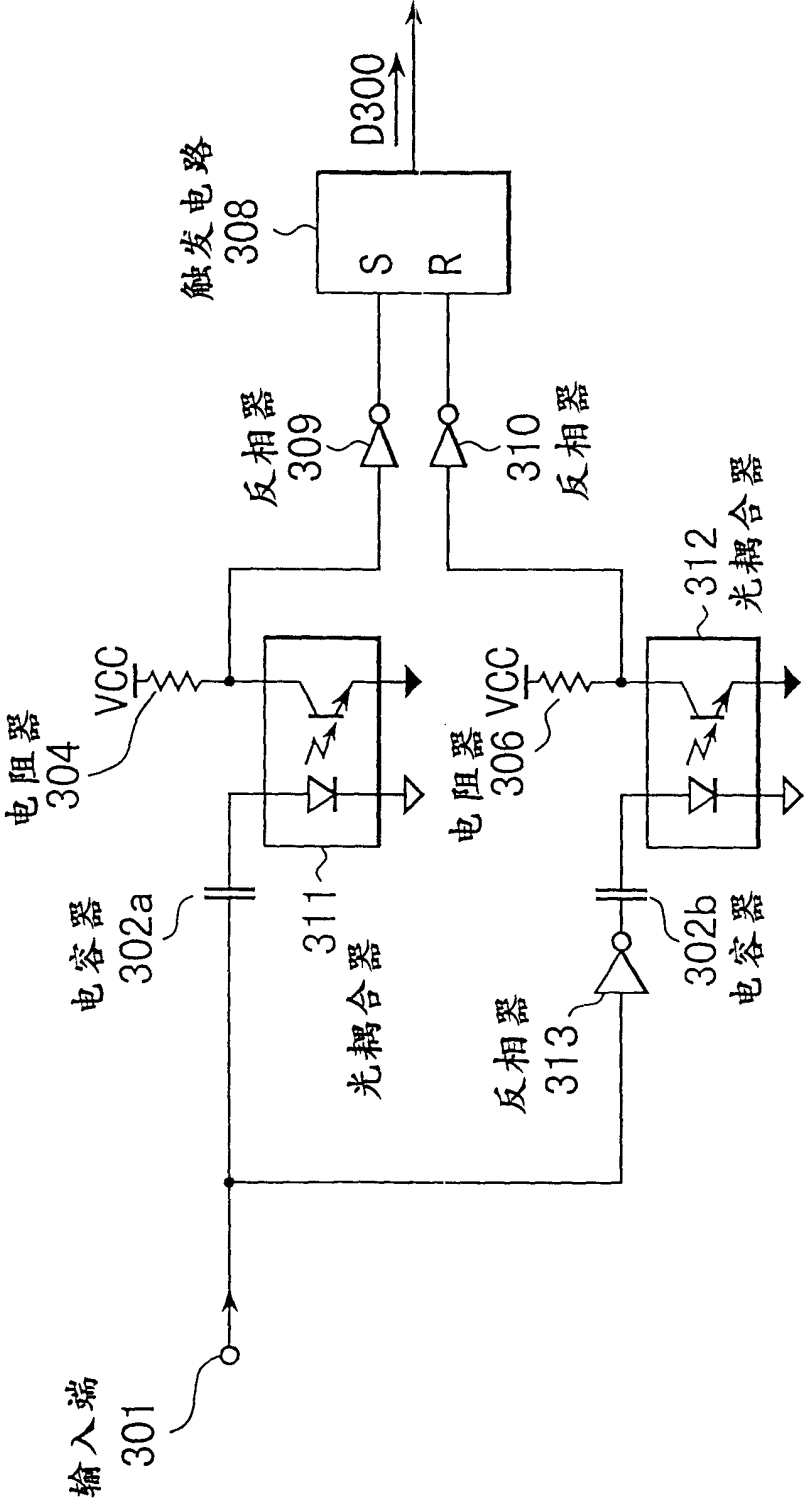


图21

比较器 12 输出	隔离电路 350		第一启动电路 400		
	Sin2	Rin2	错误判断	ESo	ERo
H	⌋		正确		
		⌋	错误		⌋
L	⌋		正确	⌋	
		⌋	错误		

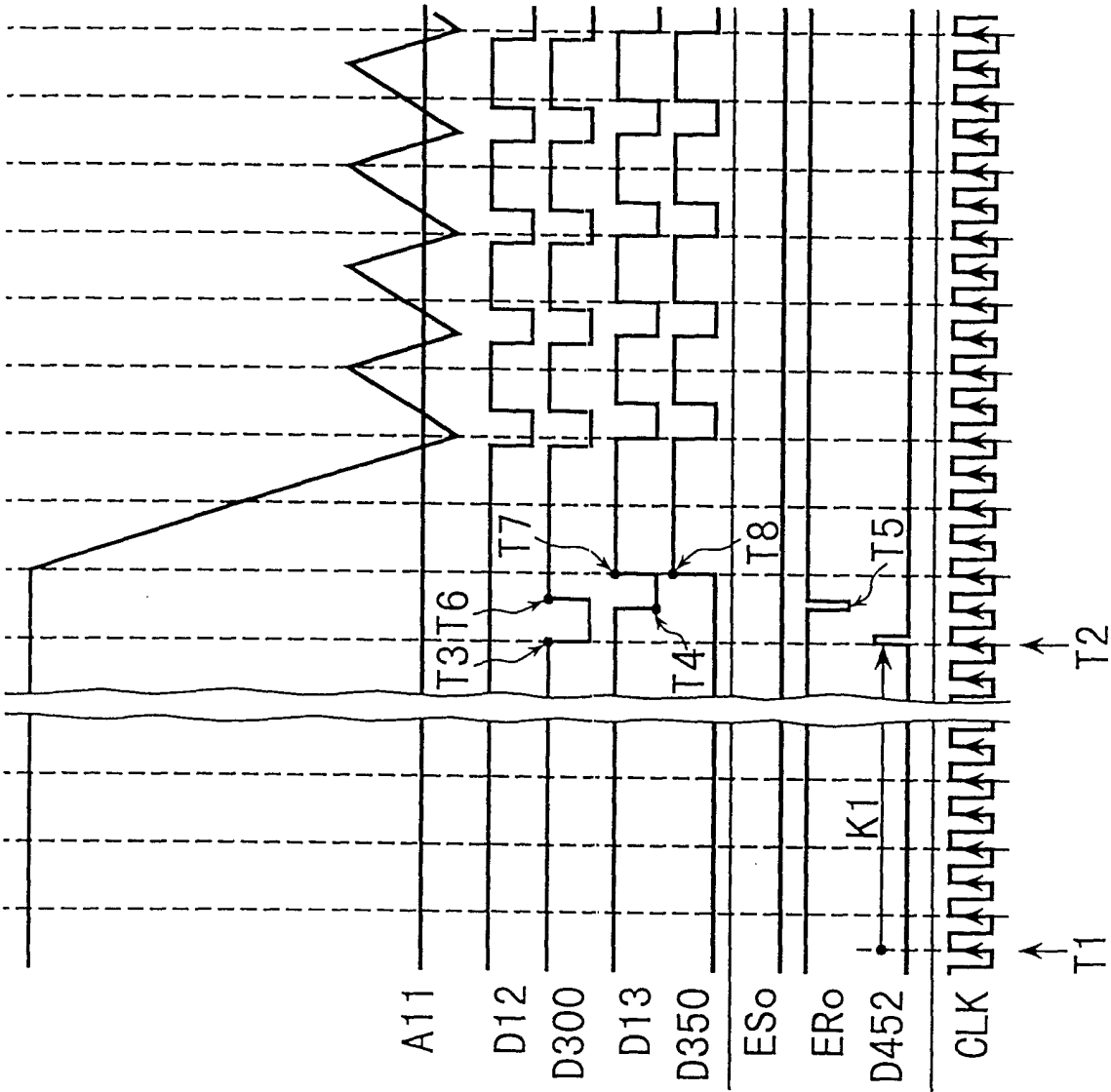


图 22

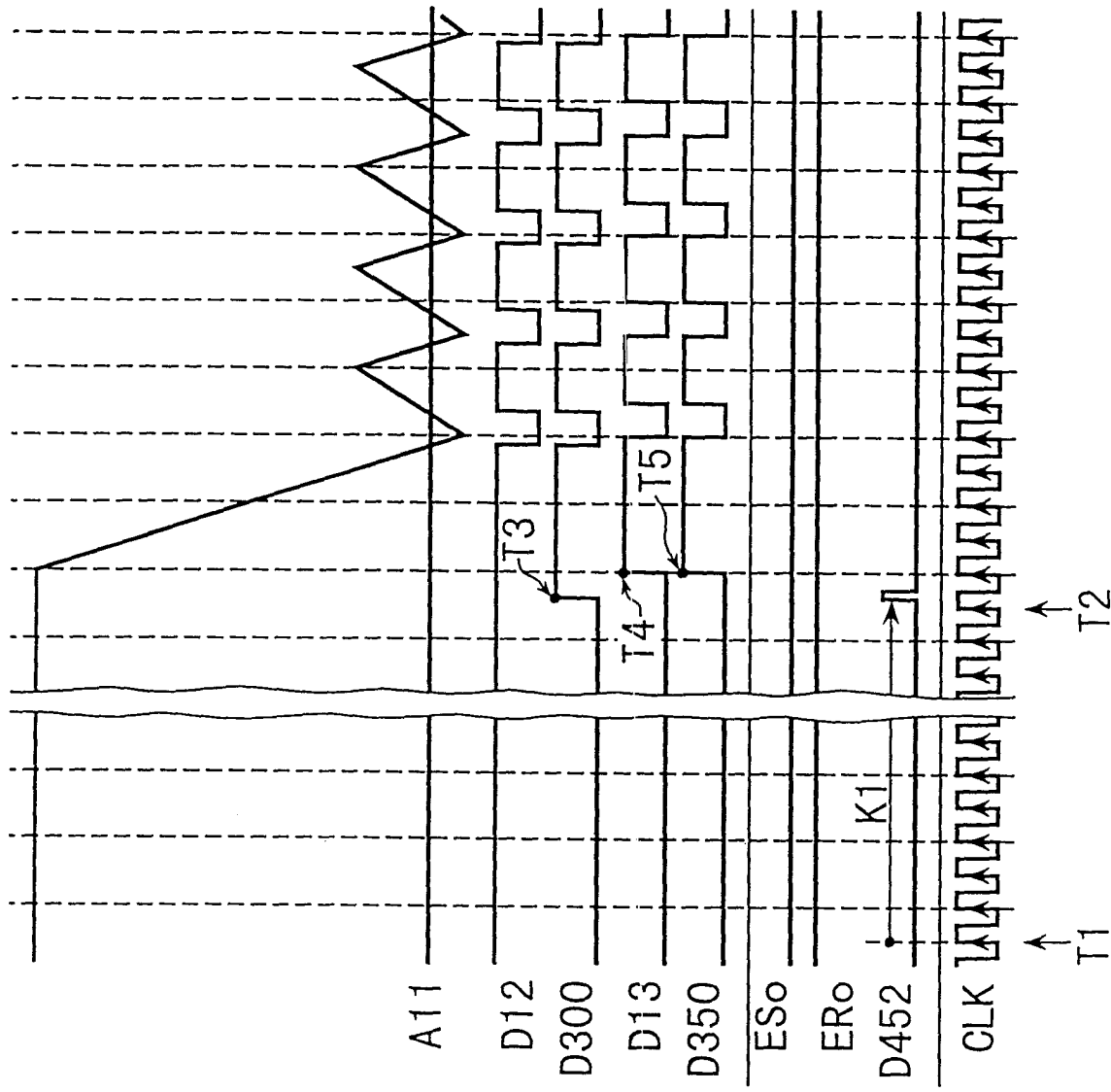


图23

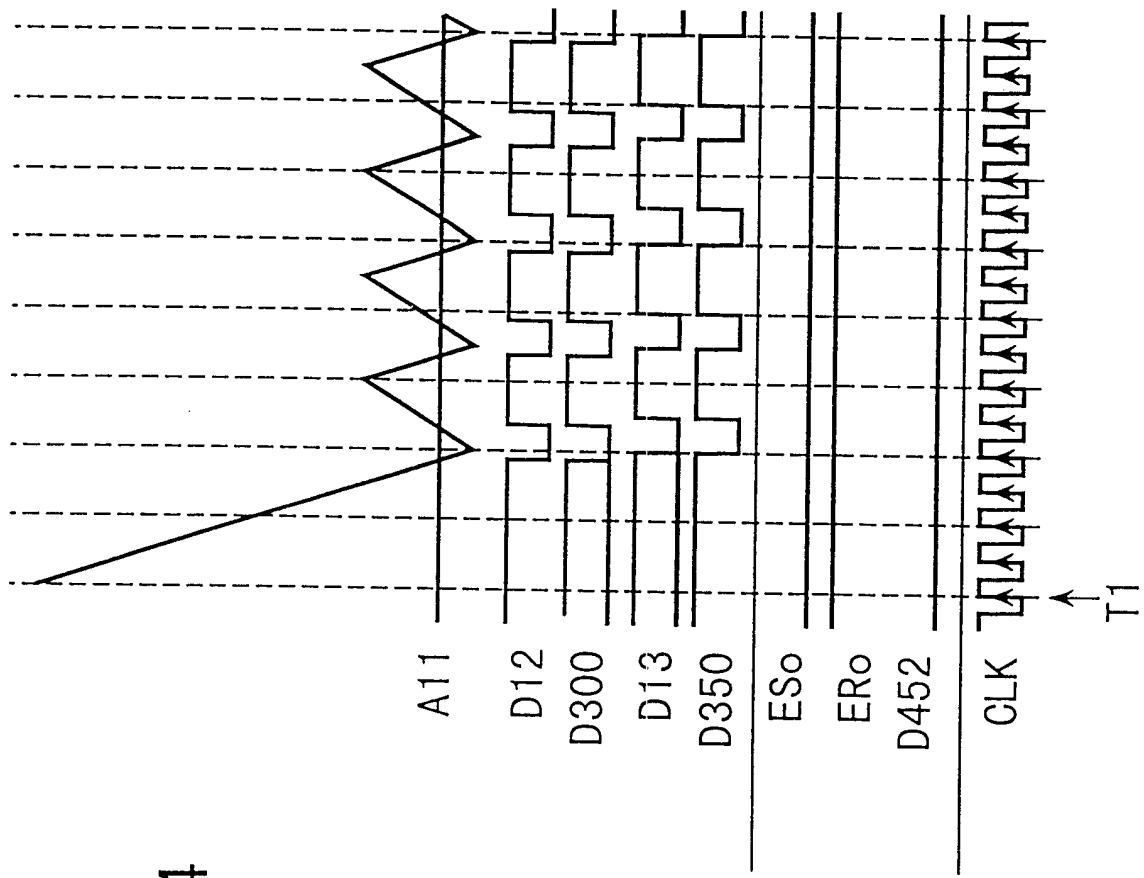


图24

图25

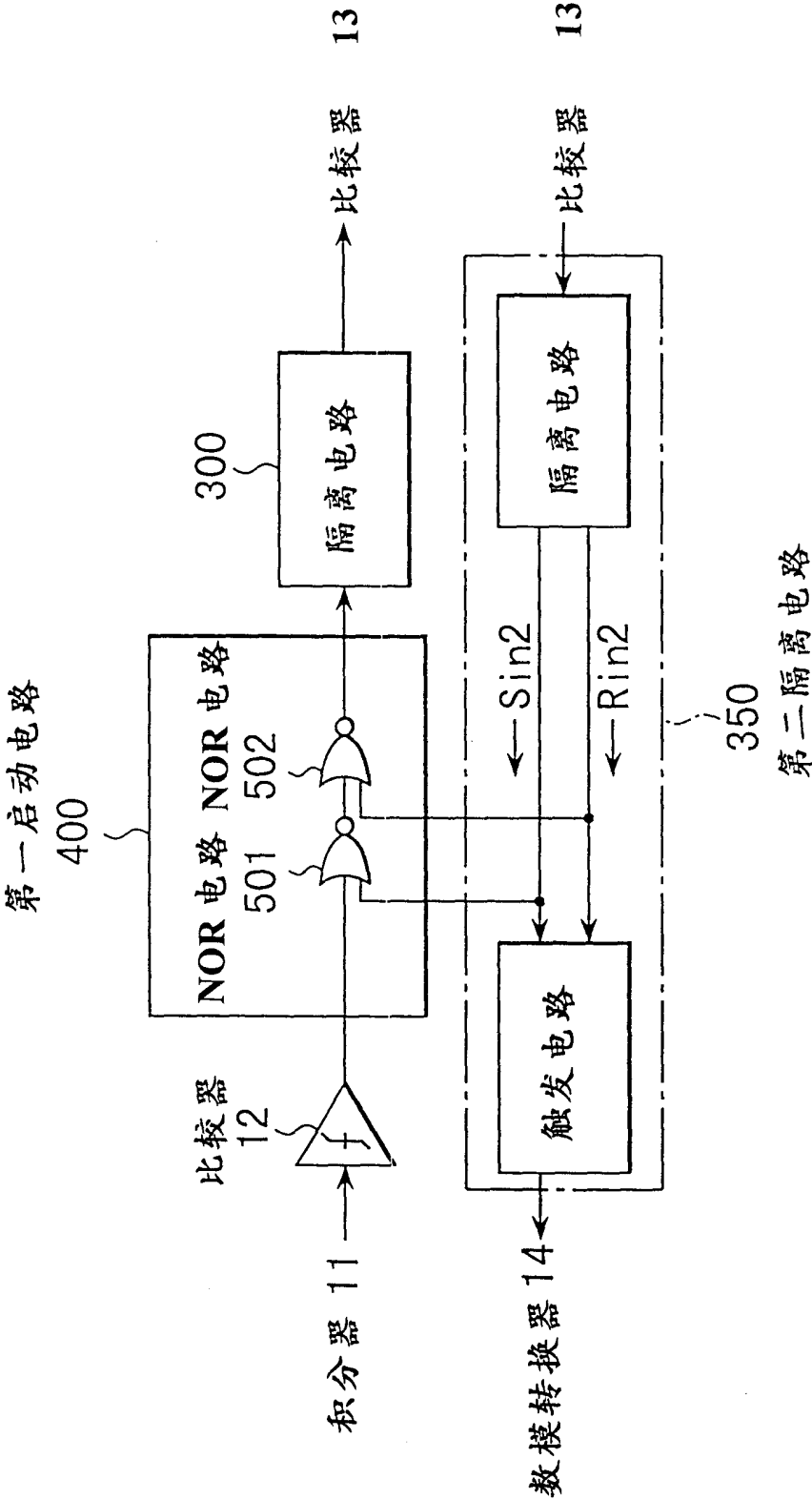


图 26

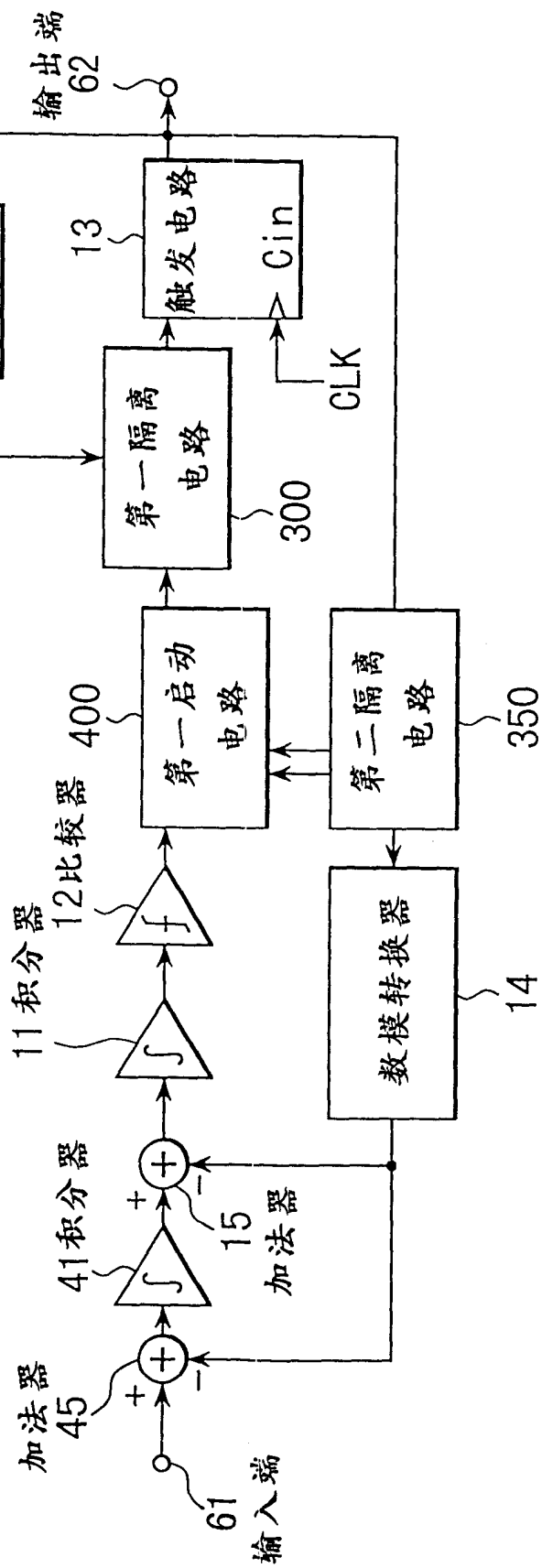


图27

