(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月15日(15.11.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/207345 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 9/07* (2006.01)
H04N 5/369 (2011.01)

(21) 国際出願番号： PCT/JP2017/018025

(22) 国際出願日： 2017年5月12日(12.05.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: オリンパス株式会社 (**OLYMPUS CORPORATION**) [JP/JP]; 〒1928507 東京都八王子市石川町２９５１番地 Tokyo (JP).

(72) 発明者: 小山 友作 (**KOYAMA Yusaku**); 〒1928507 東京都八王子市石川町２９５１番地 オリンパス株式会社内 Tokyo (JP). 青木 潤 (**AOKI Jun**); 〒1928507 東京都八王子市石川町２９５１番地 オリンパス株式会社内 Tokyo (JP).

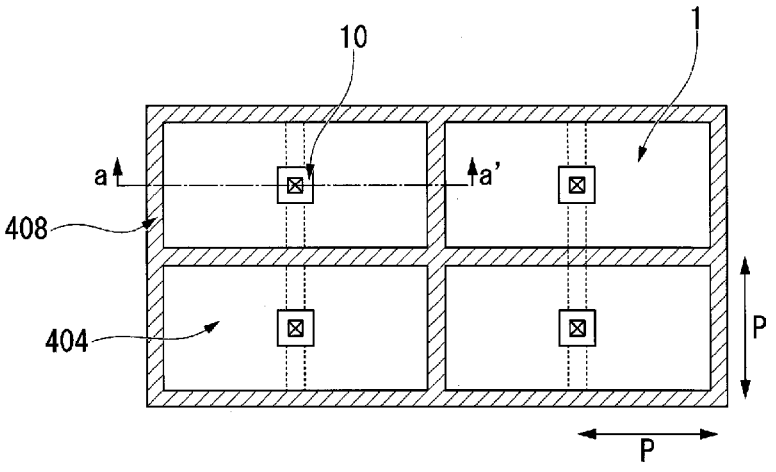
(74) 代理人: 棚井 澄雄, 外 (**TANAI Sumio** et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) **Title:** SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称： 固体撮像装置



(57) **Abstract:** This solid-state image pickup device is provided with a two-dimensional pixel array wherein unit pixels are arrayed on a semiconductor substrate, said unit pixels respectively including photoelectric conversion elements that convert inputted light into electric signals, and circuit elements that read out the electric signals thus converted. The unit pixels are formed in at least one shared well region, which penetrates the semiconductor substrate from the front surface to the rear surface, and which is surrounded by an insulating element isolation region that isolates the elements from each other. Each shared well region is biased to a predetermined potential via well contact sections of a number that is smaller than that of the unit pixels.

WO 2018/207345 A1

［続葉有］

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：入射光を電気信号に変換する光電変換素子と、変換された電気信号を読み出す回路素子とを含む単位画素を半導体基板上に配列した二次元画素アレイを備える固体撮像装置において、複数の前記単位画素が、前記半導体基板を表面から裏面まで貫通し、素子分離する絶縁性の素子分離領域によって周囲を取り囲まれた、少なくとも１つの共有ウェル領域に形成され、前記共有ウェル領域の各々は、前記単位画素の数よりも少ない数のウェルコンタクト部を介して所定電位にバイアスされる。

明　細　書

発明の名称 ： 固体撮像装置

技術分野

[0001] 本発明は、固体撮像装置に関する。より詳しくは、半導体基板上に単位画素が二次元マトリクス状に複数配置されている固体撮像装置に関する。

背景技術

[0002] 一般に、固体撮像装置やイメージセンサでは、光が入射する画素の光電変換素子が生成・蓄積した信号電荷を、画素に設けられた増幅部に導き、増幅部が増幅した信号を画素から出力する。半導体基板を用いた固体撮像装置やイメージセンサには、半導体基板上で単位画素が二次元マトリクス状に複数配置されている画素アレイを備えるものがある。このような固体撮像装置やイメージセンサにおいて、隣接画素間の電気的および光学的なクロストーク、すなわち混色を低減するために、半導体基板のシリコン層表面から裏面にわたって、隣接画素間に絶縁層の溝を設ける構成（Full Deep Trench Isolation（FDTI））が、たとえば特許文献１に開示されている。

[0003] 図９は、特許文献１の固体撮像装置における画素アレイの構成を示す断面図である。図９に示すように、半導体基板４０４において、単位画素１が二次元マトリクス状に複数配置されている。半導体基板４０４の表面上では、単位画素１は、層間絶縁膜４０９中に設けられた配線層４０２を備えている。半導体基板４０４の裏面上では、単位画素１は、信号電荷を蓄積する拡散層４０３と、反射防止膜４０５と、カラーフィルタ４０６と、マイクロレンズ４０７と、素子分離絶縁膜４０８とを備えている。

[0004] 素子分離絶縁膜４０８は、半導体基板４０４上の隣接する単位画素１間の境界部分に設けられ、各単位画素１を互いに絶縁する。素子分離絶縁膜４０８は、半導体基板４０４のシリコン層の屈折率より低い屈折率を持つ絶縁膜から形成されている。

[0005] 特許文献１において、各単位画素１のカラーフィルタ４０６は、赤の波長

領域の光を透過させるカラーフィルタＲ、緑の波長領域の光を透過させるカラーフィルタＧ、青の波長領域の光を透過させるカラーフィルタＢのいずれかである。ここで、カラーフィルタＲを有する単位画素１をＲ画素、カラーフィルタＧを有する単位画素１をＧ画素、カラーフィルタＢを有する単位画素１をＢ画素と表す。Ｒ画素、Ｇ画素、Ｂ画素の各々は、素子分離絶縁膜４０８によって絶縁されている。

[0006] 図１０は、特許文献１の固体撮像装置における画素アレイの構成を示す平面図である。図１０中のＶＩ－ＶＩ線における断面図が、図９である。図１０に示すように、半導体基板４０４において、単位画素１が二次元マトリクス状に複数配置されている。各単位画素１は、素子分離絶縁膜４０８に四方を囲まれて互いに絶縁されている。

先行技術文献

特許文献

[0007] 特許文献1：日本国特開２００９－２０６３５６号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献１の画素アレイの構成では、各単位画素１を、素子分離絶縁膜４０８によって互いに絶縁しているため、単位画素間のクロストーク・混色を効果的に防ぐことができる。しかし、この構成では、各単位画素１を素子分離絶縁膜４０８で囲むため、各単位画素１における画素回路の基準電位をとるためのウェルコンタクトを、素子分離絶縁膜４０８に囲まれた領域の内側に単位画素１ごとに配置する必要がある。

[0009] そのため、特許文献１の構成では、画素アレイにおいて、ウェルコンタクトの配置エリアが、画素を駆動させるためのトランジスタ（例えば、リセットトランジスタ、アンプトランジスタ、選択トランジスタ）の配置エリアを圧迫する。さらに、画素アレイにおいて、ウェルコンタクトの配置エリアはフォトダイオードの配置エリアも圧迫するため、配置するフォトダイオード

の面積や形が限定される。このため、特許文献１の構成では、画素の飽和電子数及び量子効率が低下し、画質が劣化してしまうという課題が生じる。

[0010] 本発明は上記課題を解決するためになされたものであり、隣接画素間のクロストーク・混色を効率的に防ぎながらも、画素の飽和電子数及び量子効率を維持し、画質の劣化を防ぐことの出来る固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の第１態様によれば、固体撮像装置は、入射光を電気信号に変換する光電変換素子と、変換された電気信号を読み出す回路素子とを含む単位画素を半導体基板上に配列した二次元画素アレイを備え、複数の前記単位画素が、前記半導体基板を表面から裏面まで貫通し、素子分離する絶縁性の素子分離領域によって周囲を取り囲まれた、少なくとも１つの共有ウェル領域に形成され、前記共有ウェル領域の各々は、前記単位画素の数よりも少ない数のウェルコンタクト部を介して所定電位にバイアスされる。

[0012] 本発明の第２態様によれば、前記第１態様の固体撮像装置において、前記ウェルコンタクト部は、前記共有ウェル領域に形成された前記複数の単位画素の中間位置に配置されてもよい。

[0013] 本発明の第３態様によれば、前記第１態様または第２態様の固体撮像装置において、１つの前記共有ウェル領域に形成される前記複数の単位画素の数は２個であってもよい。

[0014] 本発明の第４態様によれば、前記第１態様または第２態様の固体撮像装置において、１つの前記共有ウェル領域に形成される前記複数の単位画素の数は４個であってもよい。

[0015] 本発明の第５態様によれば、前記第１態様から第４態様のいずれか１つの固体撮像装置において、少なくとも１つの前記共有ウェル領域に形成される前記複数の単位画素が、１色のカラーフィルタを持つように構成されていてもよい。

[0016] 本発明の第６態様によれば、前記第３態様の固体撮像装置において、１つ

の前記共有ウェル領域における前記ウェルコンタクト部の数は１つであり、前記複数の単位画素の前記光電変換素子および前記回路素子が、前記ウェルコンタクト部に関して線対称に配置されていてもよい。

[0017] 本発明の第７態様によれば、前記第３態様の固体撮像装置において、１つの前記共有ウェル領域に形成される前記２個の単位画素の持つカラーフィルタは、前記画素アレイにおけるカラーフィルタの配列に応じた混色の影響が少ない組合せであってもよい。

[0018] 本発明の第８態様によれば、前記第７態様の固体撮像装置において、前記画素アレイにおける前記カラーフィルタの配列はＲＧＢベイヤー配列であり、前記画素アレイにおいて対角領域に位置する２つのＧ画素が１つの前記共有ウェル領域に形成されていてもよい。

発明の効果

[0019] 上記各態様の固体撮像装置によれば、隣接画素間のクロストーク・混色を効率的に防ぎながらも、画素の飽和電子数及び量子効率を維持し、画質の劣化を防ぐことの出来る固体撮像装置を提供することができる。

図面の簡単な説明

[0020] [図1A]本発明の第１の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図1B]本発明の第１の実施形態に係る固体撮像装置における画素アレイの構成を示す断面図である。

[図2]本発明の第２の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図3]本発明の第３の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図4]本発明の第３の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図5A]本発明の第４の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図5B]本発明の第４の実施形態に係る固体撮像装置における画素アレイの構成を示す断面図である。

[図6]本発明の第４の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図7]本発明の第５の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図8]本発明の第５の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。

[図9]従来技術に係る固体撮像装置における画素アレイの構成を示す断面図である。

[図10]従来技術に係る固体撮像装置における画素アレイの構成を示す平面図である。

発明を実施するための形態

[0021] 以下、図面を参照し、本発明の実施形態について説明する。以下の実施形態の説明は、請求項で規定される発明を具体的に説明するためのものであって、請求項で規定される発明を限定することを目的とはしていない。

[0022] （第１の実施形態）

本発明の第１の実施形態について説明する。図１Ａは、本発明の第１の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。画素アレイにおいて、単位画素１が半導体基板４０４上で二次元状に配列されている。図１Ａの構成では、単位画素１が縦２個×横４個配置されている。図中の符号Ｐは単位画素１の画素ピッチを表す。

[0023] 素子分離絶縁膜（素子分離領域）４０８は、半導体基板のシリコン層の屈折率より低い屈折率を持つ絶縁膜から形成されている。特許文献１では、素子分離絶縁膜４０８は、半導体基板上の隣接する単位画素１間の全ての境界部分に設けられていたが、本発明の第１の実施形態では、各単位画素１を囲む素子分離絶縁膜４０８の内、隣接している単位画素を隔てる一辺の素子分離絶縁膜４０８（図中の点線部分）を省略している。なお、図中の点線は、

素子分離絶縁膜４０８が省略されていることを示すためのものであり、実際の装置上には何も存在しない。

[0024] 素子分離絶縁膜４０８に囲まれた領域に含まれる２つの単位画素は、ウェルコンタクト１０を共有する。以下、素子分離絶縁膜４０８に囲まれた領域を「共有ウェル領域」という。図１Ａの構成では、１つの共有ウェル領域は２つの単位画素を含む。素子分離絶縁膜４０８を省略した領域（図中の点線部分）には、共有ウェル領域に含まれる２つの単位画素で共有するウェルコンタクト１０が配置される。図１Ａの構成では、ウェルコンタクト１０は、共有ウェル領域に含まれる２つの単位画素の中間位置に配置されている。

[0025] 図１Ｂは、本発明の第１の実施形態に係る固体撮像装置における画素アレイの構成を示す断面図である。具体的には、図１Ｂは、図１Ａのａ－ａ´線での断面を示す図である。図１Ｂの構成では、半導体基板４０４の表面側（図の下方）には回路部が形成され、半導体基板４０４の表面および回路部を覆うように、ゲート絶縁膜２２と層間絶縁膜４０９が形成される。また、半導体基板４０４の裏面側（図の上方）は受光面であり、絶縁膜２１と平坦化膜２０が形成され、カラーフィルタ４０６とマイクロレンズ４０７が配置される。

[0026] 半導体基板４０４は、素子分離絶縁膜４０８によって、互いに絶縁された複数の共有ウェル領域に分割される。半導体基板４０４の表面側（図の下方）には、Ｐ－ウェルに電源を供給するためのコンタクトＰ＋が設けられる。ウェルコンタクト１０は、コンタクトＰ＋から下方に層間絶縁膜４０９を貫通するように設けられる。

[0027] 上述のように、本発明の第１の実施形態の構成では、共有ウェル領域を、素子分離絶縁膜４０８によって互いに絶縁しているため、共有ウェル領域間のクロストーク・混色を防ぐことができる。また、各共有ウェル領域において、複数の画素（図１の構成では２つの画素）が１つのウェルコンタクトを共有しているため、単位画素当たりのウェルコンタクトの占有面積を下げることが出来る。その結果、画素アレイにおいて、フォトダイオードの配置エ

リアを広げることができる。これにより、フォトダイオードの面積を大きくすることが可能となり、画素の飽和電子数及び量子効率を維持して画質の劣化を防ぐことが可能となる。

[0028] （第２の実施形態）

本発明の第２の実施形態について説明する。図２は、本発明の第２の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。図２の構成では、図１において、各単位画素１を囲む素子分離絶縁膜４０８のうち、隣接画素を隔てる２辺の素子分離絶縁膜４０８（図中の点線部分）を省略している。これにより、図２の構成では、１つの共有ウェル領域は４つの単位画素を含み、４つの単位画素が１つのウェルコンタクトを共有している。

[0029] 素子分離絶縁膜４０８を省略した領域（図中の点線部分）には、共有ウェル領域に含まれる４つの単位画素で共有するウェルコンタクト１０が配置される。図２の構成では、ウェルコンタクト１０は、共有ウェル領域に含まれる４つの単位画素の中間位置に配置されている。

[0030] このように、ウェルコンタクトを共有する単位画素は２つに限らず、より多くの単位画素でウェルコンタクトを共有するようにしてもよい。ウェルコンタクトを共有する単位画素の数を増やすことにより、さらに単位画素当たりのウェルコンタクトの占有面積を下げることが出来る。その結果、画素アレイにおいて、フォトダイオードの配置エリアをさらに広げることができる。これにより、フォトダイオードの面積をさらに大きくすることが可能となり、画素の飽和電子数及び量子効率を維持してさらに画質の劣化を防ぐことが可能となる。

[0031] （第３の実施形態）

本発明の第３の実施形態について説明する。図３および図４は、本発明の第３の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。図３の構成では、図１において隣接画素を隔てる素子分離絶縁膜４０８のうち、ウェルコンタクトを配置する領域のみ、素子分離絶縁膜を省略

している。図４の構成では、図２において隣接画素を隔てる素子分離絶縁膜４０８のうち、ウェルコンタクトを配置する領域のみ、素子分離絶縁膜を省略している。

[0032] このように、本発明の第３の実施形態では、第１の実施形態および第２の実施形態と同様に、ウェルコンタクトを共有する単位画素の数を増やすことにより、単位画素当たりのウェルコンタクトの占有面積を下げている。その結果、画素アレイにおいて、フォトダイオードの配置エリアを広げることができる。これにより、フォトダイオードの面積をさらに大きくすることが可能となり、画素の飽和電子数及び量子効率を維持してさらに画質の劣化を防ぐことが可能となる。

[0033] さらに、本発明の第３の実施形態では、素子分離絶縁膜４０８を省略する箇所を最小限とすることで、第１の実施形態および第２の実施形態と比較して、隣接画素間のクロストーク・混色をより抑制することができる。

[0034] （第４の実施形態）

本発明の第４の実施形態について説明する。本発明の第４の実施形態では、画素アレイにおける、画素トランジスタおよびフォトダイオードの配置を考慮する。図５Ａおよび図６は、本発明の第４の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。図５Ａおよび図６は、図１Ａの画素アレイに、構成要素として、フォトダイオード２（光電変換素子）、画素トランジスタ３（回路素子）、フローティングディフュージョン４および転送トランジスタゲート５を描き加えたものである。

[0035] なお、図１Ａでは、画素アレイにおける、画素トランジスタおよびフォトダイオードの配置を考慮しなかったため、画素トランジスタおよびフォトダイオードは省略されている。しかし、実際には、図１Ａの画素アレイにも、画素トランジスタ３、フォトダイオード２、フローティングディフュージョン４および転送トランジスタゲート５の構成要素が存在する。

[0036] ここで、画素トランジスタ３は、画素を駆動させるためのトランジスタであり、例えば、リセットトランジスタ、アンプトランジスタ、選択トランジ

スタなどから構成される。フォトダイオード２は、光電変換して電荷を蓄積する素子であり、フローティングディフュージョン４と転送トランジスタゲート５を介して接続される。フローティングディフュージョン４は、フォトダイオード２からの信号電荷を読み出して信号電圧として画素トランジスタ３に送信する。

[0037] 図５Ａの構成と図６の構成との違いは、共有ウェル領域中における、画素トランジスタ３（回路素子）、フォトダイオード２（光電変換素子）、フローティングディフュージョン４および転送トランジスタゲート５の配置が異なる点である。

[0038] 図５Ａの構成では、共有ウェル領域において、各単位画素１の画素トランジスタ３は、ウェルコンタクト１０を挟んで対向するように配置される。また、共有ウェル領域において、各単位画素のフォトダイオード２は、ウェルコンタクト１０からできるだけ離れた位置に配置される。すなわち、共有ウェル領域において、各単位画素の画素トランジスタ３およびフォトダイオード２が、ウェルコンタクト１０に関して線対称に配置されている。

[0039] 図５Ｂは、本発明の第４の実施形態に係る固体撮像装置における画素アレイの構成を示す断面図である。具体的には、図５Ｂは、図５Ａのｂ－ｂ´線での断面を示す図である。図５Ｂの構成では、半導体基板４０４の表面側（図の下方）には回路部が形成され、半導体基板４０４の表面および回路部を覆うように、ゲート絶縁膜２２と層間絶縁膜４０９が形成される。また、半導体基板４０４の裏面側（図の上方）は受光面であり、絶縁膜２１と平坦化膜２０が形成され、カラーフィルタ４０６とマイクロレンズ４０７が配置される。

[0040] 半導体基板４０４は、素子分離絶縁膜４０８によって、互いに絶縁された複数の共有ウェル領域に分割される。半導体基板４０４の表面側（図の下方）には、Ｐ－ウェルに電源を供給するためのコンタクトＰ＋が設けられる。ウェルコンタクト１０は、コンタクトＰ＋から下方に層間絶縁膜４０９を貫通するように設けられる。

[0041] また、半導体基板４０４の表面側（図の下方）において、フローティングディフュージョン４から下方に層間絶縁膜４０９を貫通するように、コンタクト１４が設けられる。

[0042] 図５Ａのように画素トランジスタ３およびフォトダイオード２を配置することにより、フォトダイオード２は三方が素子分離絶縁膜４０８で囲まれる。また、共有ウェル領域において、２つのフォトダイオード２が互いに離れた場所に位置する。これにより、クロストーク・混色を抑制することができるという利点がある。

[0043] また、素子分離絶縁膜４０８を省略した領域（図中の点線部分）のうち、ウェルコンタクト１０が配置されていない場所を利用して、共有ウェル領域中の２つの単位画素１が画素トランジスタ３を共有するように変更することも容易である。

[0044] 一方、図６の構成では、共有ウェル領域において、各単位画素１のフォトダイオード２は、ウェルコンタクト１０を挟んで対向するように配置される。また、共有ウェル領域において、各単位画素の画素トランジスタ３は、ウェルコンタクト１０からできるだけ離れた位置に配置される。すなわち、共有ウェル領域において、各単位画素の画素トランジスタ３およびフォトダイオード２が、ウェルコンタクト１０に関して線対称に配置されている。

[0045] 図６のように画素トランジスタ３およびフォトダイオード２を配置することで、ウェルコンタクト１０の位置とフォトダイード５の位置が近くなる。これにより、フォトダイオードのポテンシャルがより正確に作りやすいという利点がある。

[0046] このように、図５Ａの構成と図６の構成は異なる利点を有するため、設計者が画素の特性においてどちらの利点を優先するかに応じていずれの構成を採用してもよい。なお、図５Ａおよび図６では、隣接している単位画素を隔てる一辺の素子分離絶縁膜４０８を省略していたが、図３のようにウェルコンタクトを配置する領域のみ素子分離絶縁膜４０８を省略するようにしてもよい。

[0047] （第５の実施形態）

本発明の第５の実施形態について説明する。本発明の第５の実施形態では、各単位画素１のカラーフィルタを考慮する。図７および図８は、本発明の第５の実施形態に係る固体撮像装置における画素アレイの構成を示す平面図である。図７の構成では、画素アレイ上で対角領域に位置する２つの単位画素１の中間位置にウェルコンタクト１０を配置している。対角領域に位置する２つの単位画素１が、ウェルコンタクト１０を共有する。素子分離絶縁膜４０８は、対角領域に位置する２つの単位画素１とウェルコンタクト１０を取り囲むように配置される。

[0048] 各単位画素１はカラーフィルタを有する。図７の構成では、画素アレイにおけるカラーフィルタの配列はＲＧＢベイヤー配列であり、カラーフィルタは、赤の波長領域の光を透過させるカラーフィルタＲ、緑の波長領域の光を透過させるカラーフィルタＧ、青の波長領域の光を透過させるカラーフィルタＢのいずれかである。カラーフィルタＧのうち、カラーフィルタＲに隣接するものをカラーフィルタＧｒ、カラーフィルタＢに隣接するものをカラーフィルタＧｂと表している。

[0049] ＲＧＢベイヤー配列では、図７のように、カラーフィルタＲ、カラーフィルタＧｒ、カラーフィルタＧｂ、カラーフィルタＢが配置される。従って、対角領域に位置しウェルコンタクト１０を共有する２つの単位画素のカラーフィルタの組合せは、カラーフィルタＧｒとカラーフィルタＧｂ、またはカラーフィルタＲとカラーフィルタＢとなる。

[0050] 従って、カラーフィルタＧｒを有する単位画素とカラーフィルタＧｂを有する単位画素がウェルコンタクト１０を共有する。すなわち、同じ緑色のカラーフィルタを有する２つの単位画素がウェルコンタクト１０を共有する。これにより、同じ色のカラーフィルタを有する単位画素間のバイアス電位のばらつきを抑えることが出来るという利点がある。

[0051] 図８は、図７の変形例であり、カラーフィルタの共有の仕方が図７の構成とは異なる。図７の構成では、カラーフィルタＲを有する単位画素とカラー

フィルタＢを有する単位画素もウェルコンタクト１０を共有している。しかし、図８のように、カラーフィルタＲを有する単位画素とカラーフィルタＢを有する単位画素を素子分離絶縁膜４０８によって分離し、ウェルコンタクト１０を共有しないように構成してもよい。

[0052] 図８の構成の場合、ウェルコンタクト１０を共有する２つの単位画素のカラーフィルタの組合せは、カラーフィルタＧｒとカラーフィルタＧｂのみとなる。従って、同じ緑色のカラーフィルタを有する２つの単位画素のみがウェルコンタクト１０を共有するため、単位画素間のバイアス電位のばらつきを抑えるという点ではより効果的である。また、一方の単位画素に入射した光が他方の単位画素に漏れても混色となりにくい。

[0053] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。たとえば、ウェルコンタクトを共有する単位画素の数は任意の数を取りうる。また単位画素の中の回路構成についても上述の実施形態に限定されない。

[0054] 本明細書において「前、後ろ、上、下、右、左、垂直、水平、縦、横、行および列」などの方向を示す言葉は、本発明の装置におけるこれらの方向を説明するために使用している。従って、本発明の明細書を説明するために使用されたこれらの言葉は、本発明の装置において相対的に解釈されるべきである。

産業上の利用可能性

[0055] 本発明は、様々な固体撮像装置に適用でき、隣接画素間のクロストーク・混色を効率的に防ぎながらも、画素の飽和電子数及び量子効率を維持し、画質の劣化を防ぐことを可能とする。

符号の説明

[0056] １　単位画素

２　フォトダイオード

３　画素トランジスタ

４　フローティングディフュージョン

５　転送トランジスタゲート

１０　ウェルコンタクト

１４　コンタクト

２０　平坦化膜

２１　絶縁膜

２２　ゲート絶縁膜

４０２　配線層

４０３　拡散層

４０４　半導体基板

４０５　反射防止膜

４０６　カラーフィルタ

４０７　マイクロレンズ

４０８　素子分離絶縁膜（素子分離領域）

４０９　層間絶縁膜

Ｐ　単位画素ピッチ

請求の範囲

[請求項1] 入射光を電気信号に変換する光電変換素子と、変換された電気信号を読み出す回路素子とを含む単位画素を半導体基板上に配列した二次元画素アレイを備える固体撮像装置において、

複数の前記単位画素が、前記半導体基板を表面から裏面まで貫通し、素子分離する絶縁性の素子分離領域によって周囲を取り囲まれた、少なくとも１つの共有ウェル領域に形成され、

前記共有ウェル領域の各々は、前記単位画素の数よりも少ない数のウェルコンタクト部を介して所定電位にバイアスされる

固体撮像装置。

[請求項2] 前記ウェルコンタクト部は、前記共有ウェル領域に形成された前記複数の単位画素の中間位置に配置される

請求項１に記載の固体撮像装置。

[請求項3] １つの前記共有ウェル領域に形成される前記複数の単位画素の数は２個である

請求項１または２に記載の固体撮像装置。

[請求項4] １つの前記共有ウェル領域に形成される前記複数の単位画素の数は４個である

請求項１または２に記載の固体撮像装置。

[請求項5] 少なくとも１つの前記共有ウェル領域に形成される前記複数の単位画素が、１色のカラーフィルタを持つように構成されている

請求項１から４のいずれか１項に記載の固体撮像装置。

[請求項6] １つの前記共有ウェル領域における前記ウェルコンタクト部の数は１つであり、前記複数の単位画素の前記光電変換素子および前記回路素子が、前記ウェルコンタクト部に関して線対称に配置されている

請求項３に記載の固体撮像装置。

[請求項7] １つの前記共有ウェル領域に形成される前記２個の単位画素の持つカラーフィルタは、前記画素アレイにおけるカラーフィルタの配列に

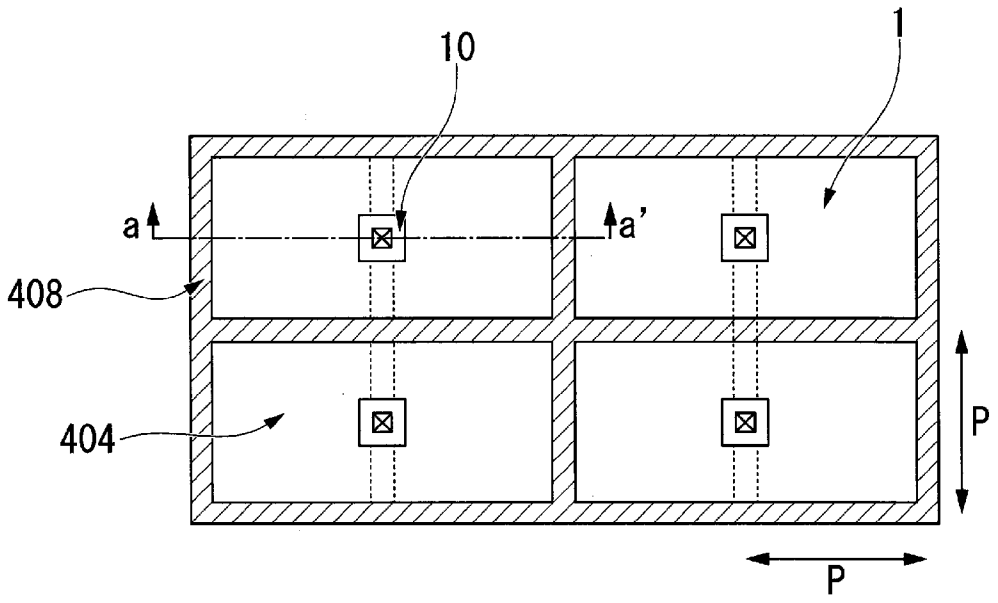
応じた混色の影響が少ない組合せである

請求項３に記載の固体撮像装置。

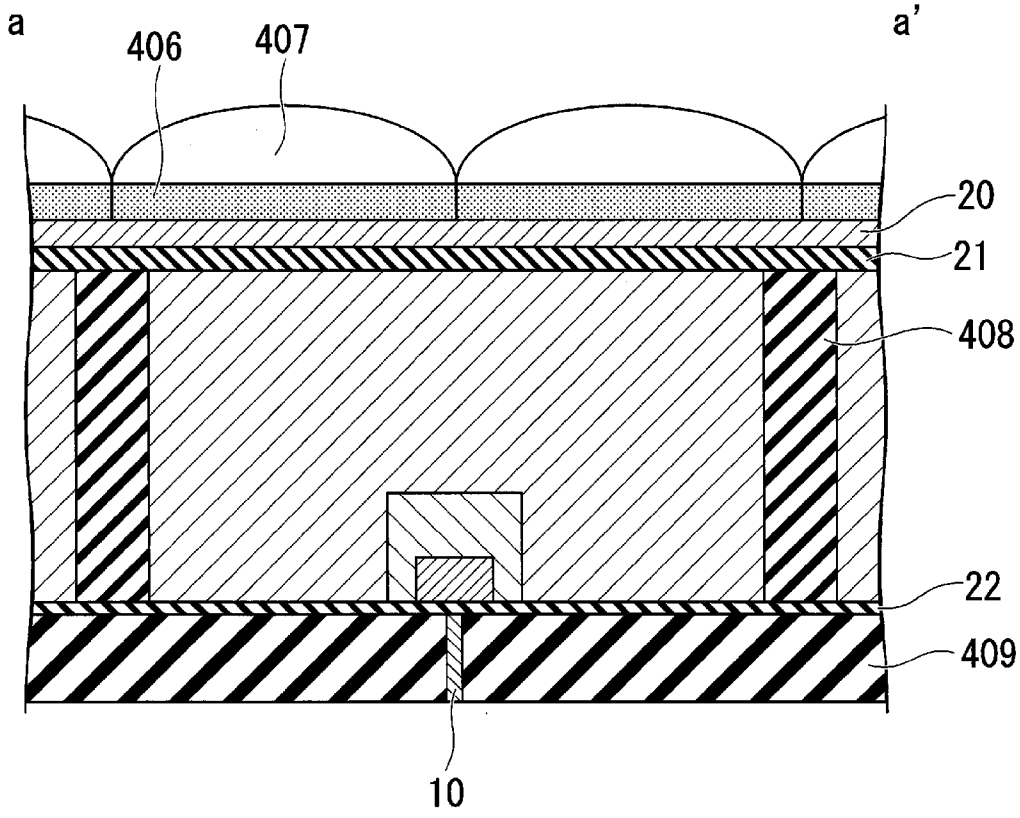
[請求項8] 前記画素アレイにおける前記カラーフィルタの配列はＲＧＢベイヤー配列であり、前記画素アレイにおいて対角領域に位置する２つのＧ画素が１つの前記共有ウェル領域に形成されている

請求項７に記載の固体撮像装置。

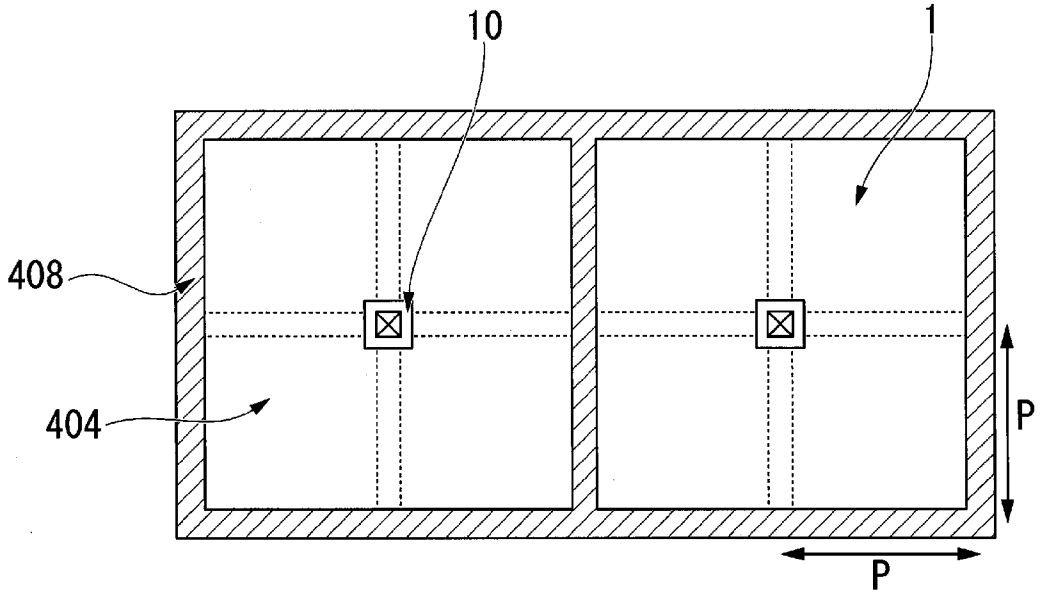
[図1A]



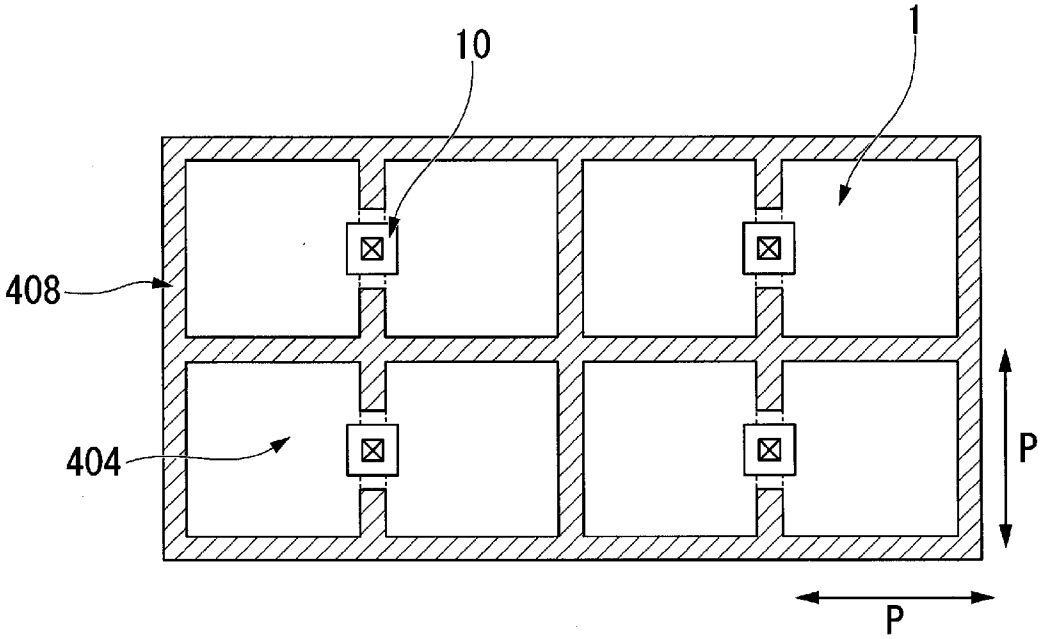
[図1B]



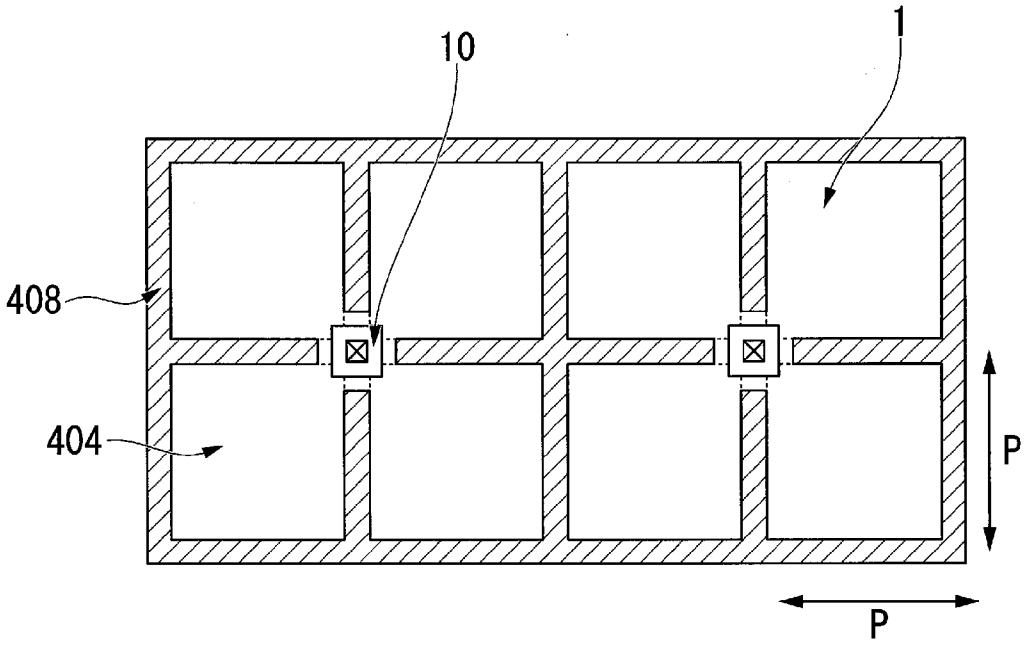
[図2]



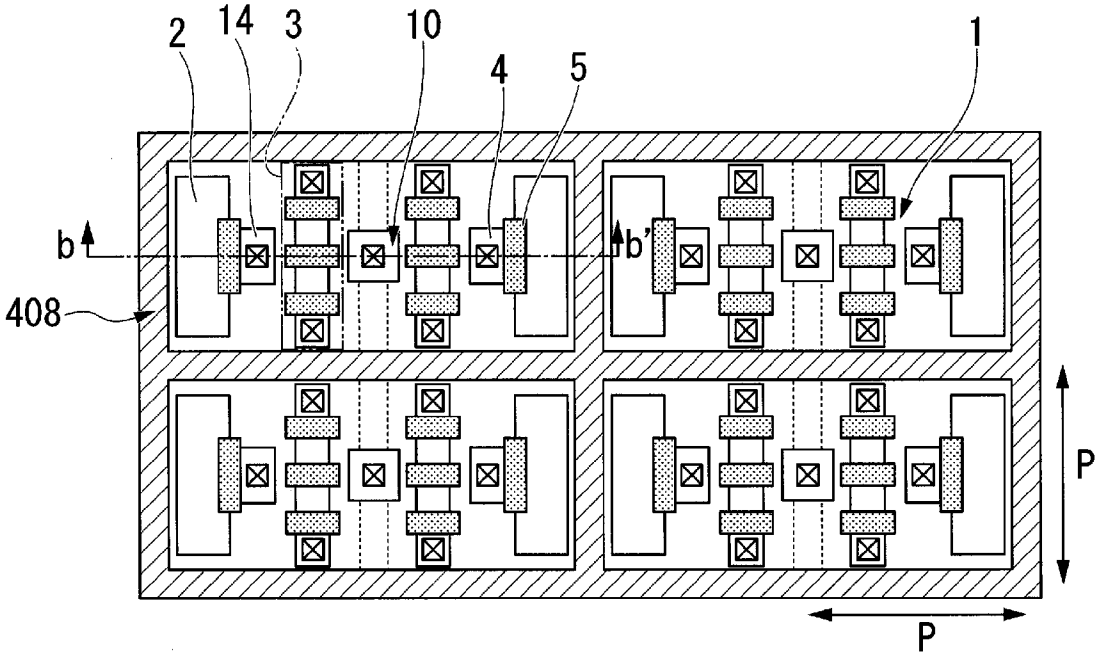
[図3]



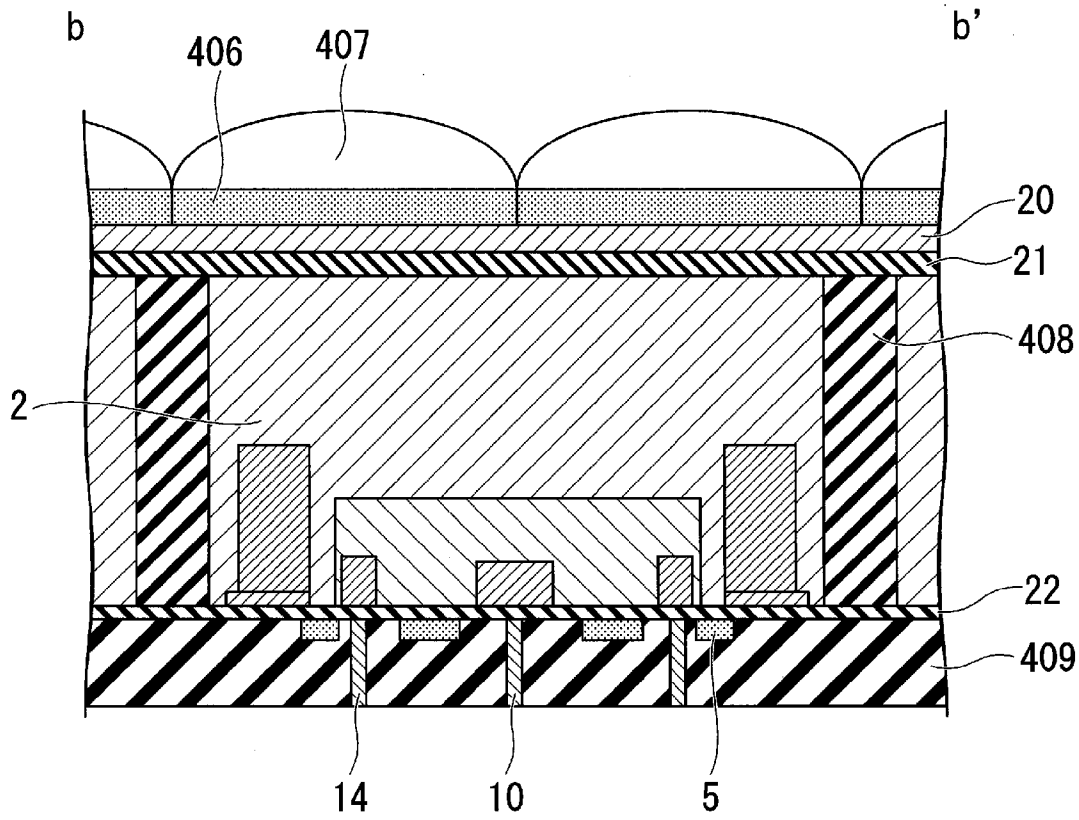
[図4]



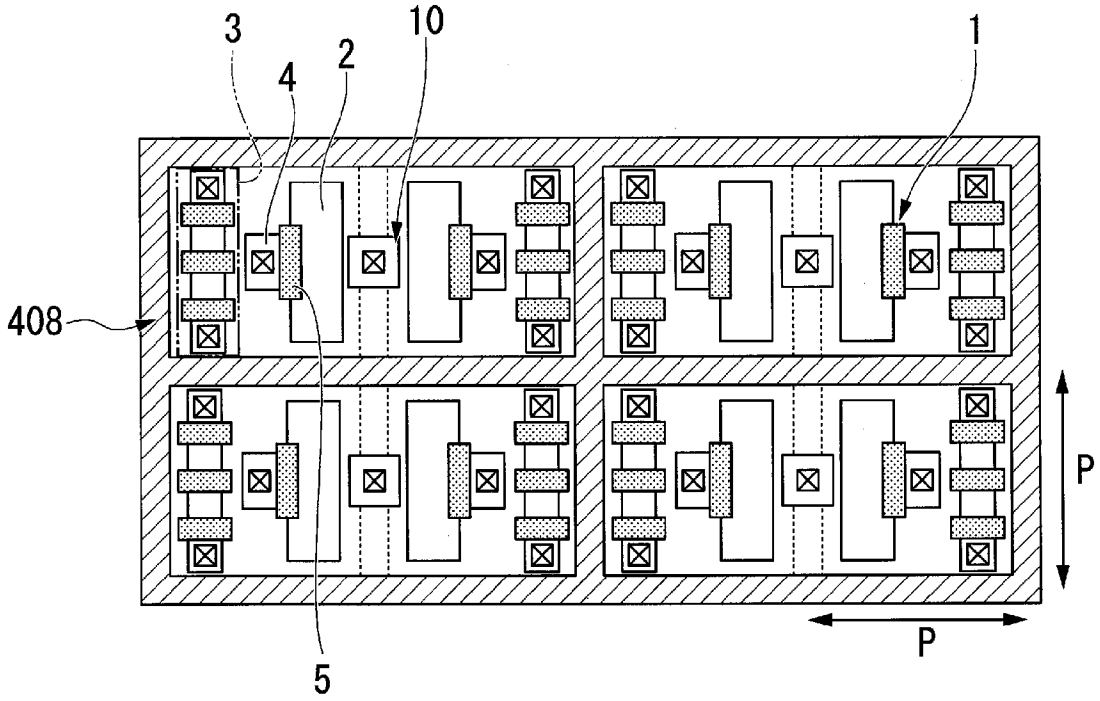
[図5A]



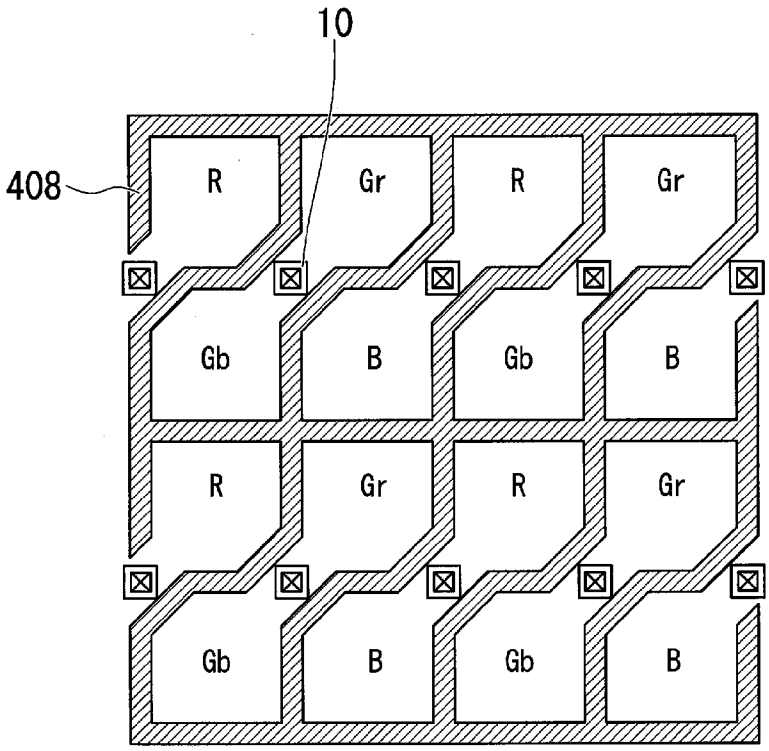
[図5B]



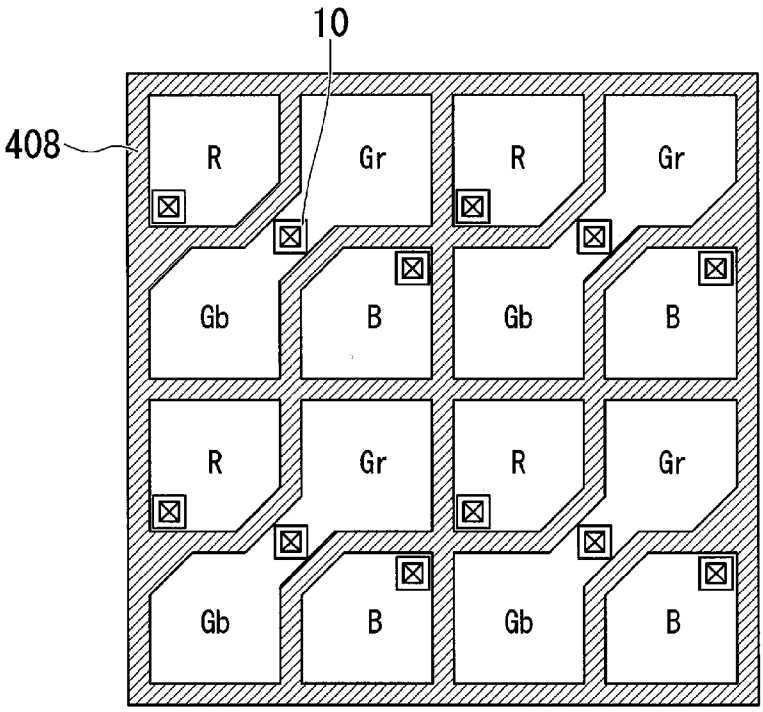
[図6]



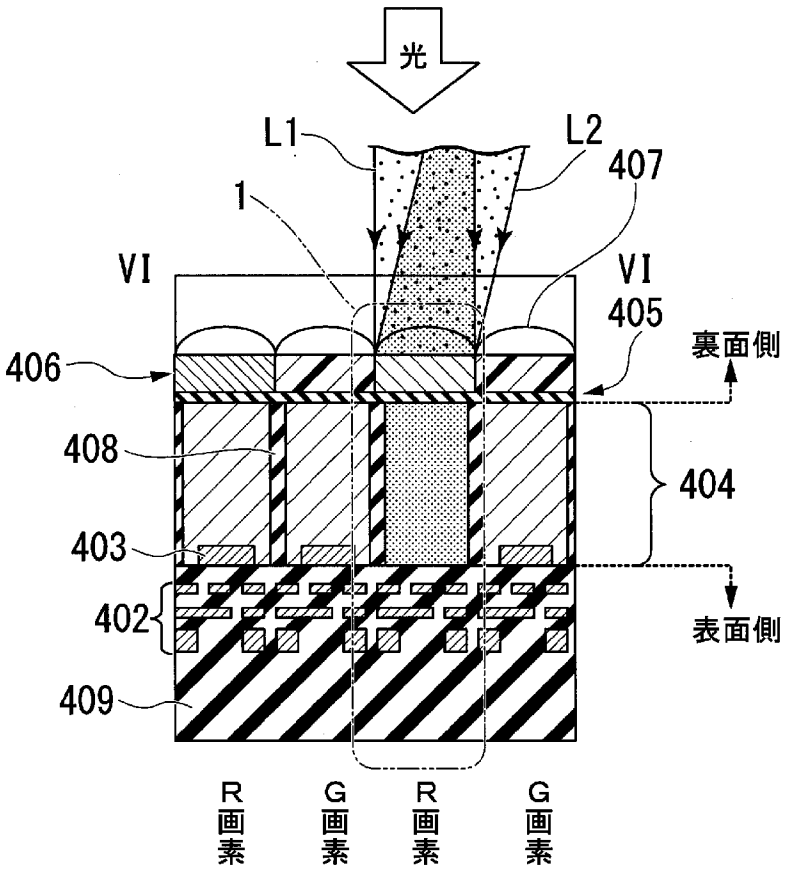
[図7]



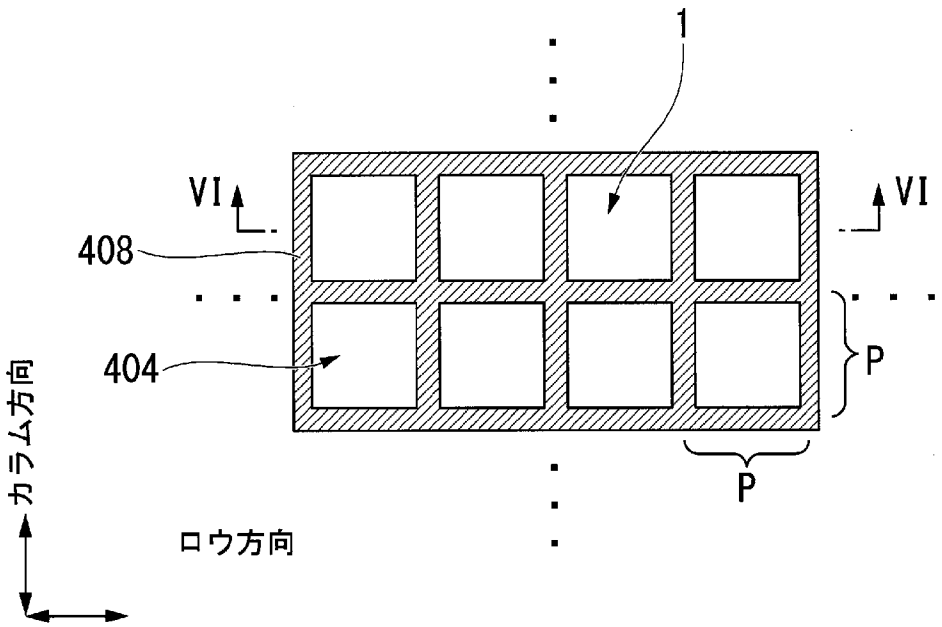
[図8]


10
408
R
Gr
R
Gr
Gb
B
Gb
B
R
Gr
R
Gr
Gb
B
Gb
B

[図9]


光
L1
L2
407
1
VI
VI
405
裏面側
406
408
404
403
402
表面側
409
R
画
素
G
画
素
R
画
素
G
画
素

[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/018025

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H04N5/369*(2011.01)i, *H04N9/07*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/369, H04N9/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-162917 A (Sony Corp.), 05 September 2016 (05.09.2016), fig. 1 to 7 and explanations thereof (Family: none)	1-3,5-8
Y	JP 2013-175494 A (Sony Corp.), 05 September 2013 (05.09.2013), fig. 1 to 7, 12 to 14 and explanations thereof & US 2014/0054662 A1 fig. 1 to 7, 12 to 14 and explanations thereof & WO 2012/117931 A1 & CN 103403869 A & KR 10-2014-0015326 A	1-2,4-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2017 (05.06.17)	13 June 2017 (13.06.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/018025

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-129633 A (Sony Corp.), 30 June 2011 (30.06.2011), fig. 11 and explanation thereof & US 2011/0139962 A1 fig. 11 and explanation thereof	1-8
Y	JP 2013-149740 A (Canon Inc.), 01 August 2013 (01.08.2013), fig. 1 to 8 and explanations thereof & US 2013/0181309 A1 fig. 1 to 8 and explanations thereof & CN 103219346 A	1-8
Y	JP 2013-149742 A (Canon Inc.), 01 August 2013 (01.08.2013), fig. 1, 5 to 7 and explanations thereof & US 2013/0182159 A1 fig. 1A to 1B, 5 to 7B and explanations thereof & CN 103219345 A	1-8
Y	JP 2001-332714 A (Canon Inc.), 30 November 2001 (30.11.2001), fig. 4 and explanation thereof (Family: none)	1-8
Y	JP 2006-54276 A (Sony Corp.), 23 February 2006 (23.02.2006), fig. 10 and explanation thereof & US 2006/0038904 A1 fig. 10A to 10B and explanations thereof & EP 1628468 A2 & KR 10-2006-0050362 A & CN 1734779 A & TW 200618613 A	7-8
A	US 2012/0009720 A1 (SHIM et al.), 12 January 2012 (12.01.2012), entire text; all drawings & KR 10-2012-0004791 A	1-8
A	US 2013/0307040 A1 (AHN et al.), 21 November 2013 (21.11.2013), entire text; all drawings & KR 10-2013-0128992 A	1-8
A	JP 2013-62789 A (Sony Corp.), 04 April 2013 (04.04.2013), entire text; all drawings & US 2013/0049082 A1 & EP 2563011 A2 & CN 102956660 A & KR 10-2013-0021330 A & TW 201310630 A	1-8
A	JP 2012-204449 A (Sony Corp.), 22 October 2012 (22.10.2012), entire text; all drawings & US 8736731 B2 & CN 102693991 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０１８０２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N9/07(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H04N5/369, H04N9/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-162917 A (ソニー株式会社) 2016.09.05, 図 1-7 及びその説明箇所 (ファミリーなし)	1-3, 5-8
Y	JP 2013-175494 A (ソニー株式会社) 2013.09.05, 図 1-7, 12-14 及びその説明箇所 & US 2014/0054662 A1, 図 1-7, 12-14 及びその説明箇所 & WO 2012/117931 A1 & CN 103403869 A & KR 10-2014-0015326 A	1-2, 4-5

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０６．２０１７	１３．０６．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６６６
今井　聖和
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-129633 A (ソニー株式会社) 2011.06.30, 図 11 及びその説明箇所 & US 2011/0139962 A1, 図 11 及びその説明箇所	1-8
Y	JP 2013-149740 A (キヤノン株式会社) 2013.08.01, 図 1-8 及びその説明箇所 & US 2013/0181309 A1, 図 1-8 及びその説明箇所 & CN 103219346 A	1-8
Y	JP 2013-149742 A (キヤノン株式会社) 2013.08.01, 図 1, 5-7 及びその説明箇所 & US 2013/0182159 A1, 図 1A-1B, 5-7B 及びその説明箇所 & CN 103219345 A	1-8
Y	JP 2001-332714 A (キヤノン株式会社) 2001.11.30, 図 4 及びその説明箇所 (ファミリーなし)	1-8
Y	JP 2006-54276 A (ソニー株式会社) 2006.02.23, 図 10 及びその説明箇所 & US 2006/0038904 A1, 図 10A-10B 及びその説明箇所 & EP 1628468 A2 & KR 10-2006-0050362 A & CN 1734779 A & TW 200618613 A	7-8
A	US 2012/0009720 A1 (SHIM et al.) 2012.01.12, 全文全図 & KR 10-2012-0004791 A	1-8
A	US 2013/0307040 A1 (AHN et al.) 2013.11.21, 全文全図 & KR 10-2013-0128992 A	1-8
A	JP 2013-62789 A (ソニー株式会社) 2013.04.04, 全文全図 & US 2013/0049082 A1 & EP 2563011 A2 & CN 102956660 A & KR 10-2013-0021330 A & TW 201310630 A	1-8
A	JP 2012-204449 A (ソニー株式会社) 2012.10.22, 全文全図 & US 8736731 B2 & CN 102693991 A	1-8