

發明人 2

姓名：(中文) 斯林尼法 加里帕利

(英文) SRINIVAS JALLEPALLI

住居所地址：(中文) 美國德州奧斯汀市葛雷石路 3524 號 149 室

(英文) 3524 GREYSTONE DRIVE #149, AUSTIN, TX

78731, U.S.A.

國籍：(中文) 印度 (英文) INDIA

發明人 3

姓名：(中文) 權永珠

(英文) YONGJOO JEON

住居所地址：(中文) 美國德州奧斯汀市馬提歐洞 9905 號

(英文) 9905 MATEO COVE, AUSTIN, TX 78717, U.S.A.

國籍：(中文) 南韓 (英文) KOREA

發明人 4

姓名：(中文) 詹姆士 大衛 柏奈

(英文) JAMES DAVID BURNETT

住居所地址：(中文) 美國德州奧斯汀市羅瑞里吉路 3408 號

(英文) 3408 LAURELLEDGE LANE, AUSTIN, TX 78731,

U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

發明人 5

姓名：(中文) 拉納 P. 辛

(英文) RANA P. SINGH

住居所地址：(中文) 美國德州奧斯汀市水晶花園路 11321 號

(英文) 11321 PEBBLE GARDEN LANE, AUSTIN, TX 78739,

U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

發明人 6

姓名：(中文) 保羅 A. 葛魯多斯基

(英文) PAUL A. GRUDOWSKI

住居所地址：(中文) 美國德州奧斯汀市羅克比路 10501 號

(英文) 10501 LOCKERBIE DRIVE, AUSTIN, TX 78750,

U.S.A.

國籍：(中文) 美國

(英文) U.S.A.

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國 ;2002 年 03 月 19 日 ;10/101,298

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國 ;2002 年 03 月 19 日 ;10/101,298

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

先前申請參考

本專利申請案已於2002年3月19日提出美國專利申請，專利申請案號為10/101,298。

技術領域

本發明係關於積體電路，具體而言，係關於在基板中且具有一凹陷的積體電路。

先前技術

在製造積體電路方面，隨著積體電路尺寸愈來愈小而變成更重要的問題之一是，在正常處理過程中會在基板中發生凹陷。在基板中發生凹陷的主要原因為，當蝕刻去除基板上之材料層一部份時會使基板曝露。在已去除被蝕刻的層期間及/或之後，蝕刻劑被塗佈在基板上達一段時間。舉例而言，在開始蝕刻位於不同位置的另一種材料時會曝露基板的情況。另一項實例是，在蝕刻位於其他位置的材料期間會蝕刻一位於基板上的薄層，以便透過蝕刻位於其他位置的材料之方式使基板曝露。另一項實例是，一位於基板上的薄層被蝕刻，並且在曝露基板後，繼續蝕刻作為用於確保徹底去除所要去除之層的過度蝕刻。希望所選擇的蝕刻劑不會顯著蝕刻半導體基板，但是就實際而言，此類蝕刻劑難以運用。於是，會藉由不會對半導體基板(通常是矽)造成蝕刻作用的蝕刻劑來去除所要去除的層係。圖1至圖9顯示此類製程。

圖1顯示適用於製造積體電路的半導體裝置10，其包括一

基板12、一多晶矽閘極14及一介於該基板12與該閘極14之間的薄氧化物。為了去除氮化物抗反射塗層(ARC)16，會使用一蝕刻劑，例如，如氟和氯之類的鹵素基材料。這些蝕刻劑也會蝕刻矽，但蝕刻速度不會和蝕刻氮化物一樣快。圖2顯示去除抗反射塗層(ARC)16的結果是一凹陷表面22。圖3顯示有形成一側壁間隔24的裝置10。側壁間隔24係由氧化物所形成，並且係由於塗佈一相當保角層並且後續使用一各向異性蝕刻來蝕刻該的結果而形成，如所熟知。這會造成沿著該側壁間隔24該基板12中形成一進一步凹陷。圖4顯示使用該側壁間隔24當做遮罩來形成源極/汲極區26及源極/汲極區28。這項植入通常被稱為擴充植入，並且具有比一後續高量源極/汲極植入相對低的摻雜濃度。

圖5顯示沈積一氧化物襯墊30和一氮化物層32之後的裝置10。接著將氮化物層32回蝕，以當做用於產生側壁間隔34和襯墊部份38的襯墊30。在這項製程期間，源極/汲極區26和28擴散，而使源極/汲極區26和28面積擴大。圖7顯示使用該側壁間隔34當做遮罩以高濃度植入而構成高濃度摻雜的區域40和42之後的裝置10。圖8顯示由於標準製程導致源極/汲極區26和28及區域40和42繼續擴大。

圖9顯示形成矽化物區48和50(在區域40和42下方擴大)之後的裝置10。圖中還呈現出區域49和51(這是源極/汲極區26和28的剩餘部份)完全擴散。這些區域不會全部擴大至閘極氧化物20。由於區域49和51不會完全擴大而接觸到閘極氧化物20，所以在閘極44與區域49和51間形成的通道之間

(3)

會有某額外空間，以至於在區域49和51之間通過的電流小於這等區域擴散而更接近閘極20情況下所通過的電流。這是一項缺點，並且是由於鄰接閘極44之基板12的凹陷而導致擴散必須行進之額外距離的直接結果。矽化物區46也會在閘極14上方形成，並且會消耗大量閘極14，而留下一屬於多晶矽區44和矽化物區46之組合的閘極。

因此，需要一種在標準製程期間降低基板中所發生的凹陷的負面效應。隨時尺寸遞減及電壓遞減，這項問題會更糟。這能夠徹底反轉通道，並且如果源極與汲極沒有適當重疊於閘極時，會影響在源極與汲極之間提供理想電流。

發明內容

一種半導體裝置(10)，在去除抗反射塗層(anti-reflective coating；ARC)(16)期間該半導體裝置具有形成於基板(12)中的凹陷(22)，這是因為在蝕刻該抗反射塗層(ARC)(16)期間會暴露該等凹陷位置(22)。雖然蝕刻劑被選擇以在該抗反射塗層(ARC)材料(16)與該基板材料(12)之間選擇，但是這項選擇性被限制以便形成凹陷(22)。與形成該等凹陷相關的一項問題為，源極/汲極(26,28)必須進一步擴散而變成重疊於閘極(14)。結果是電晶體會降低電流驅動。解決該問題的方式為，等待執行抗反射塗層(ARC)去除，至少直接在閘極(64)四周形成一側壁間隔(70)之後。因此後續凹陷形成進一步從該閘極(64)發生，因而減少或排除凹陷對所要延伸以重疊於該閘極(64)之源極/汲極(72,74)擴散的阻礙。

實施方式

(4)

克服基板中有凹陷之問題的方式為，一直等待直到去除氮化物抗反射塗層(ARC)之後，促使所發生的凹陷較不會影響到移動中的源極和汲極，使源極和汲極非常接近閘極介電並且重疊於閘極。一種達成此目的之方式為，在去除氮化物抗反射塗層(ARC)之前，先等待直到用於遮罩高濃度源極/汲極區植入的側壁間隔堆疊適當定位。在替代方案中，在用於源極/汲極延伸植入的側壁間隔形式之後去除氮化物抗反射塗層(ARC)，並且在此情況下使用濕式蝕刻去除氮化物抗反射塗層(ARC)。

圖10顯示已形成一側壁間隔70的裝置60，這是圖2所示之結構的替代方案。圖10所示的結構採用圖1所示的裝置結構。裝置60包含一基板62、一閘極64(可能係以多晶矽為材料所製成，並且屬於圖案化傳導層類型)、一閘極氧化物66、一抗反射塗層(ARC)16(可能是氮化物)及一側壁間隔70。較佳方式為，基板62之材料是矽，並且側壁間隔70之材料是氧化物。抗反射塗層(ARC)16也可能屬於非氮化物的其他有效抗反射材料。閘極64也可能是非多晶矽之材料。側壁間隔70係從各向異性蝕刻之相對保角的氧化物層所產生。這項各向異性蝕刻的結果是基板62中的凹陷71。這是必然的過度蝕刻以確保除要形成側壁間隔的位置外去除用於形成側壁間隔的所有層的後果。由於只會在過度蝕刻時間才會曝露基板，所以凹陷相對較小。圖11顯示在源極/汲極延伸植入以形成源極/汲極區72和源極/汲極區74以鄰接環繞閘極64的側壁間隔70之後的裝置60。

(5)

發明說明續頁

圖12顯示形成襯墊76、一層78及一層80之後的裝置60。層76、78和80通常都是介電材料。最佳方式為，層76是氧化物，層78是氮化物，而層80是氧化物，而不是可能是非晶矽的典型介電材料。圖13顯示使用各向異性蝕刻從層80所形成的側壁間隔82。這會曝露位於鄰接側壁間隔82之區域中的氮化物層78及當做一襯墊之層76之一部份，其中側壁間隔82包含一位於閘極64和抗反射塗層(ARC)68上方的區域。圖14顯示已執行氮化物蝕刻以便去除未被覆蓋之層78一部份而留下閘極64之氮化物部份84之後的裝置60。這也具有去除位於抗反射塗層(ARC)68上方之層76部份而留下層76之部份86的作用。在這項製程期間，區域72和74往對方方向擴散，並且往閘極64方向擴散。由於基板62的凹陷量相當小，所以擴散製程有效克服該小量凹陷。繼續去除氮化物，直到已去除抗反射塗層(ARC)68，這也會減少側壁間隔84的高度而留下側壁間隔88。側壁間隔88稍微低於多晶矽64，這是由於確信已去除所有抗反射塗層(ARC)68所需的過度蝕刻的結果。在基板62中沿著該側壁間隔82的相對大凹陷主要發生於蝕刻抗反射塗層(ARC)68期間。這項蝕刻較佳為乾式蝕刻，這是因為乾式蝕刻的缺陷特性優於濕式蝕刻的缺陷特性。如果已使用濕式蝕刻，則乾式蝕刻會在基板62中產生較大的凹陷。然而在此情況下，相對差異不是材料，這是因為會從對源極/汲極區72和74變成重疊於閘極64之能力造成負面影響的區域大量去除凹陷。

圖16顯示使用高濃度源極/汲極植入以沿著當做植入遮

(7)

發明說明續頁

顯示為由於形成側壁間隔122和124所發生的電晶體，類似於圖10。因此，圖19中將基板112表面中的凹陷標示為134和136。該凹陷係在形成側壁間隔122時過度蝕刻所造成。圖20顯示已使用濕式蝕刻去除抗反射塗層(ARC)126和128之後的裝置結構110。藉由使用濕式蝕刻，圖20中所示的凹陷134和136顯著小於使用乾式蝕刻的造成的凹陷。典型的濕式蝕刻化學作用是磷酸。適用於氮化物的典型乾式蝕刻是 $\text{CF}_4 + \text{HBO}$ 。在此情況下適用使用濕式蝕刻，這是因為側壁間隔122會保護層間介電120。在沒有側壁間隔122保護層間介電120情況下使用濕式蝕刻時，將會使層間介電120降級，並且會造成儲存元件114與控制閘極118之間的問題。在儲存元件114(圖中描繪成浮動閘極)與控制閘極118之間的沒有洩漏電流極為重要。在側壁間隔122保護之下，濕式蝕刻不會損壞層間介電120。這也呈現出已去除抗反射塗層(ARC)128所產生的電晶體113。

圖21顯示使用側壁間隔122當做遮罩及使用側壁間隔124當做遮罩進行延伸植入之後的裝置結構110。產生的源極/汲極延伸區138、140、142和144被形成。圖22顯示沈積一襯墊146和一氮化物層148之後的裝置結構110。接著以各向異性方式蝕刻氮化物層148，以構成側壁間隔150和側壁間隔152。在形成側壁間隔150和152過程中去除氮化物層148而曝露的襯墊146區域實質上被去除(如果不徹底去除)。圖24顯示使用側壁間隔150和152當做光罩以高濃度植入而構成高濃度植摻雜的區域154、156、158和160之後的裝置結

構 110。

圖 25 顯示矽化物形成以形成矽化物區 170、172、174 和 176 之後的裝置結構 110。因此，源極/汲極區 142 和 144 已被矽化物區 170、172、174 和 176 大量消耗。同樣地，閘極區 114 和 116 已分別被矽化物區 164 和 168 消耗一些。這會留下電晶體 111 的多晶矽部份 167 及電晶體 113 的多晶矽部份 166。源極/汲極部份 178、180、182 和 184 擴大並擴散而足以重疊於閘極區 167 和 166，雖然需要克服因去除抗反射塗層 (ARC) 所造成的凹陷。由於係藉由濕式蝕刻來去除抗反射塗層 (ARC)，所以凹陷量顯著小於乾式蝕刻的凹陷。雖然乾式蝕刻較適合，但是與標準電晶體相比，充分重疊對非揮發性記憶體而言更為重要。因此，為了使源極/汲極區適當重疊，浮動閘極(已儲存電荷的區域)之間重疊更加重要。再者，與圖 1 至圖 9 所示之在形成側壁間隔之前去除抗反射塗層 (ARC) 的情況相比，藉由在形成側壁間隔 122 之後去除抗反射塗層 (ARC)，凹陷位置的影響較不嚴重。就圖 1 至圖 9 而言，去除抗反射塗層 (ARC) 之後才會形成側壁間隔 24。

圖式簡單說明

圖 1 到圖 9 顯示根據先前技術之半導體裝置的連續斷面圖；

圖 10 到圖 18 顯示根據本發明的一項具體實施例之半導體裝置的連續斷面圖；以及

圖 19 到圖 25 顯示根據本發明的另一項具體實施例之半導體裝置的連續斷面圖。

(9)

圖式代表符號說明

10,60,110	半導體裝置
12,62,112	基板
16,68,126,128	抗反射塗層 (ARC)
22,134,136	凹陷
26,28,72,74,90, 92,142,144,100, 102,154,156,158, 160,178,180,182, 184	源極/汲極區
14,44,64,114,116	閘極
24,34,70,82,84, 88,122,124,150, 152	側壁間隔
30	氧化物襯墊
146	襯墊
32,148	氮化物層
38	襯墊部份
40,42,49,51	區域
48,46,50,94,961, 172,174,176,164, 168	矽化物區
20,66,130,132	閘極氧化物
111	非揮發性記憶體 (NVM) 電晶體

(10)

發明說明續頁

113	標準電晶體
114	浮動閘極(儲存元件)
120	層間介電
118	控制閘極
138,140,142,144	源極/汲極延伸區
166,167	多晶矽部份

肆、中文發明摘要

一種半導體裝置(10)，在去除抗反射塗層(anti-reflective coating；ARC)(16)期間該半導體裝置具有形成於基板(12)中的凹陷(22)，這是因為在蝕刻該抗反射塗層(ARC)(16)期間會暴露該等凹陷位置(22)。雖然蝕刻劑被選擇以在該抗反射塗層(ARC)材料(16)與該基板材料(12)之間選擇，但是這項選擇性被限制以便形成凹陷(22)。與形成該等凹陷相關的一項問題為，源極/汲極(26,28)必須進一步擴散而變成重疊於閘極(14)。結果是電晶體會降低電流驅動。解決該問題的方式為，等待執行抗反射塗層(ARC)去除，至少直接在閘極

伍、英文發明摘要

A semiconductor device (10) has recesses (22) formed in the substrate (12) during removal of the anti-reflective coating (ARC) (16) because these recess locations (22) are exposed during the etching of the ARC (16). Although the etchant is chosen to be selective between the ARC material (16) and the substrate material (12), this selectivity is limited so that recesses (22) do occur. A problem associated with the formation of these recesses is that the source/drains (26, 28) have further to diffuse to become overlapped with the gate (14). The result is that the transistors may have reduced current drive. The problem is avoided by waiting to perform the ARC removal until at least after formation of a sidewall spacer (70) around the gate (64). The consequent recess formation thus occurs further from the gate (64), which results in reducing or eliminating the impediment this recess can cause to the source/drain diffusion (72, 74) that desirably extends to overlap with the gate (64).

(64)四周形成一側壁間隔(70)之後。因此後續凹陷形成進一步從該閘極(64)發生，因而減少或排除凹陷對所要延伸以重疊於該閘極(64)之源極/汲極(72,74)擴散的阻礙。

拾壹、圖式

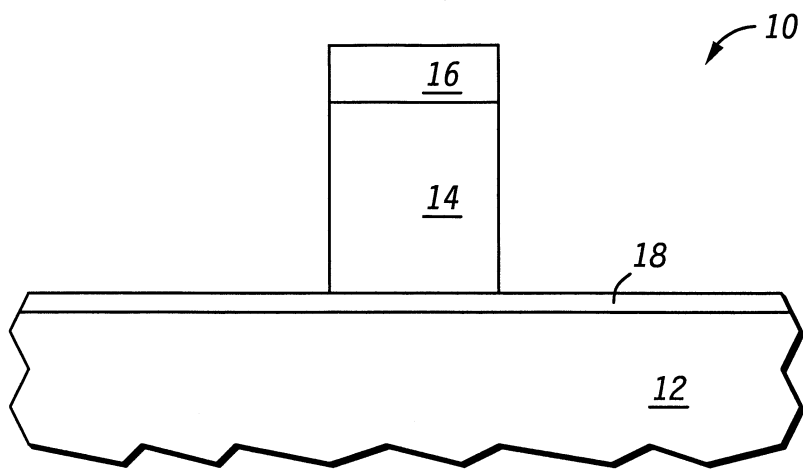


圖 1 -先前技藝-

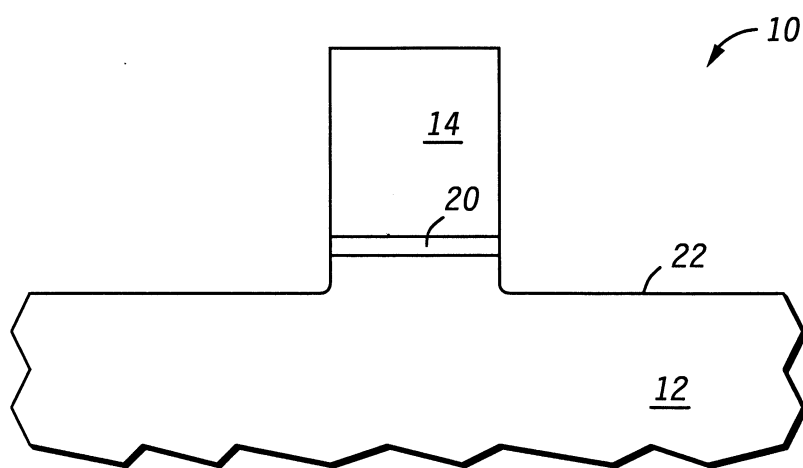


圖 2 -先前技藝-

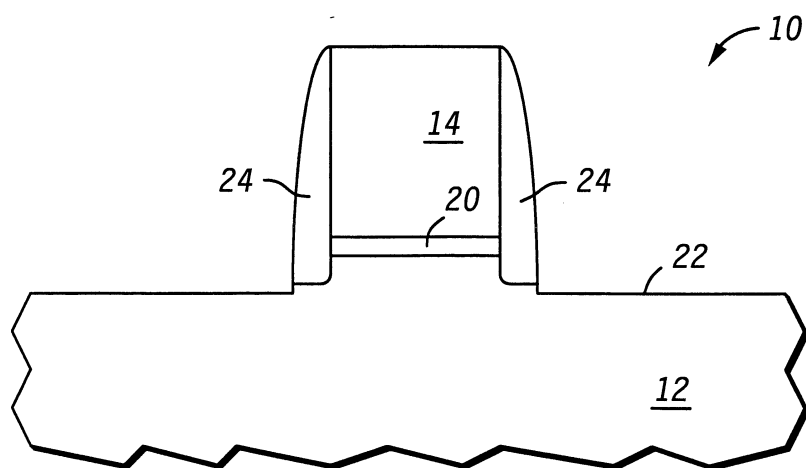


圖 3 -先前技藝-

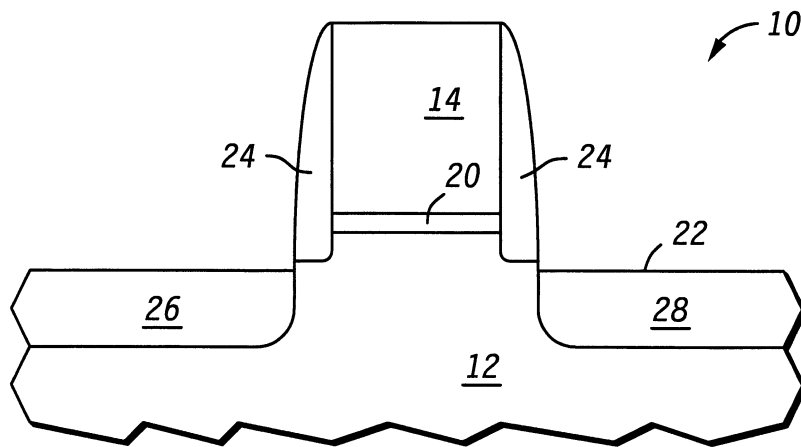


圖 4 -先前技藝-

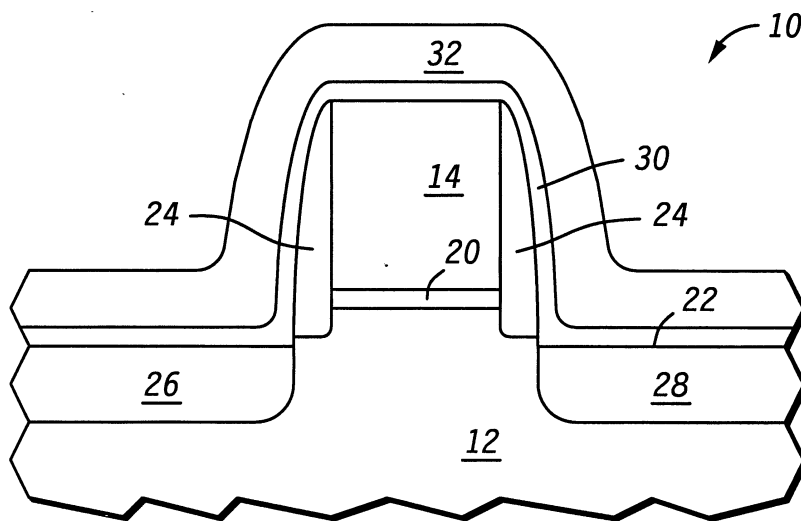


圖 5 -先前技藝-

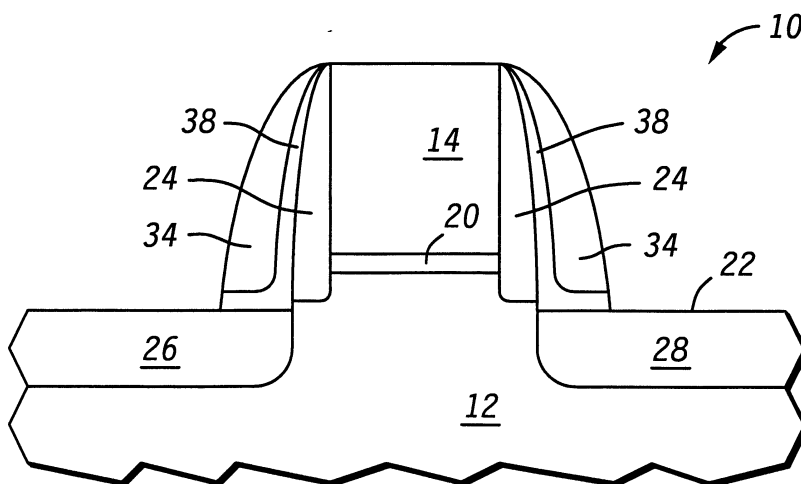


圖 6 -先前技藝-

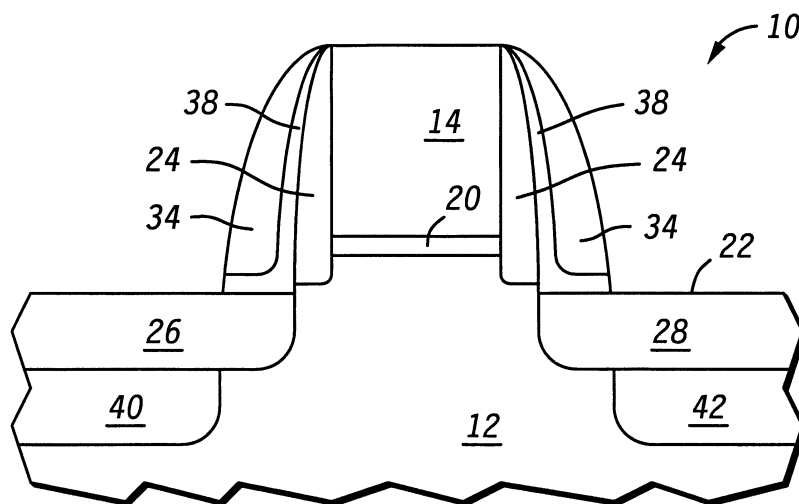


圖 7 -先前技藝-

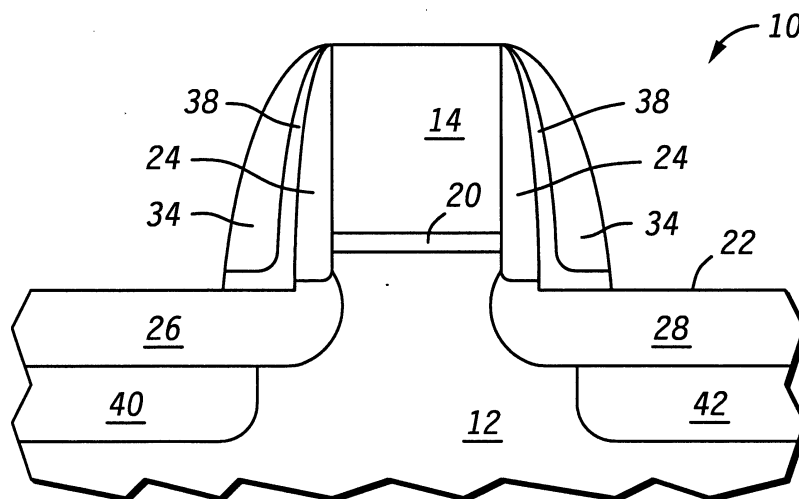


圖 8 -先前技藝-

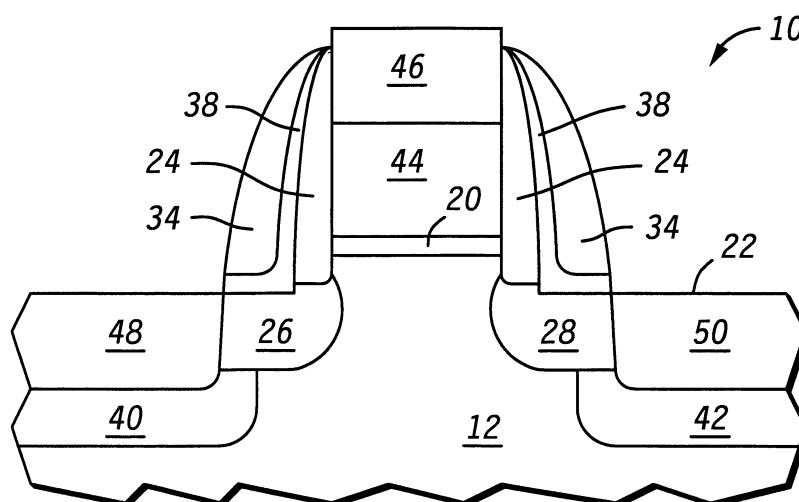


圖 9 -先前技藝-

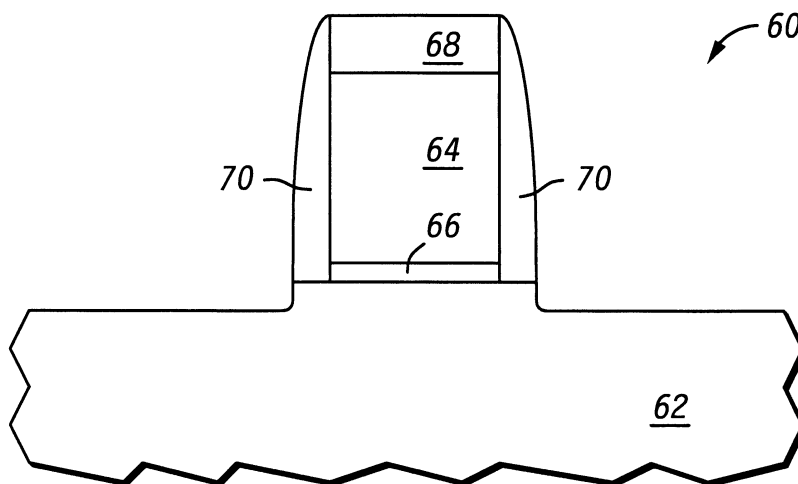


圖 10

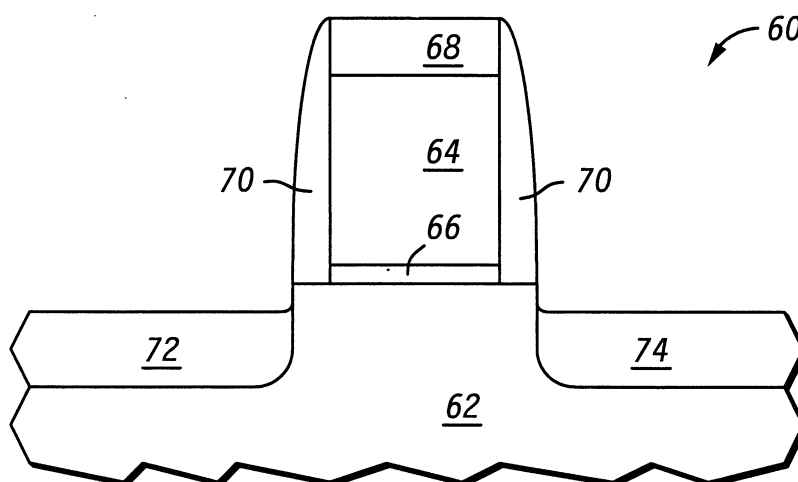


圖 11

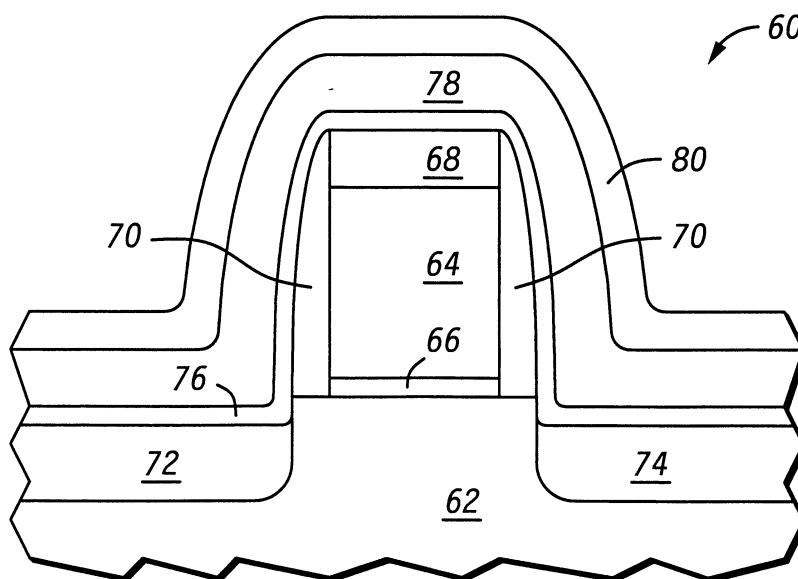


圖 12

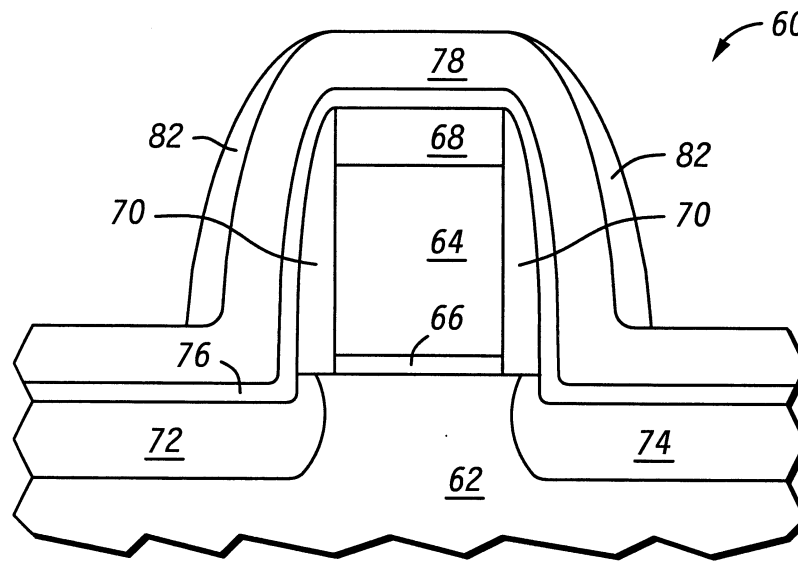


圖 13

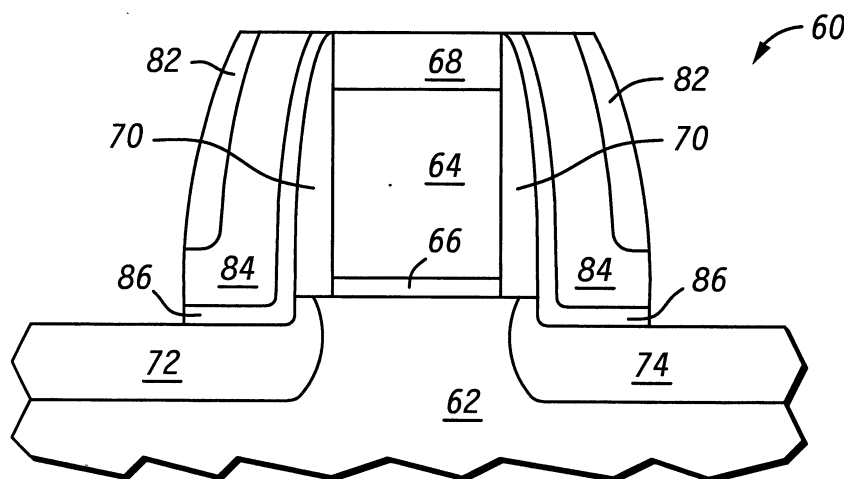


圖 14

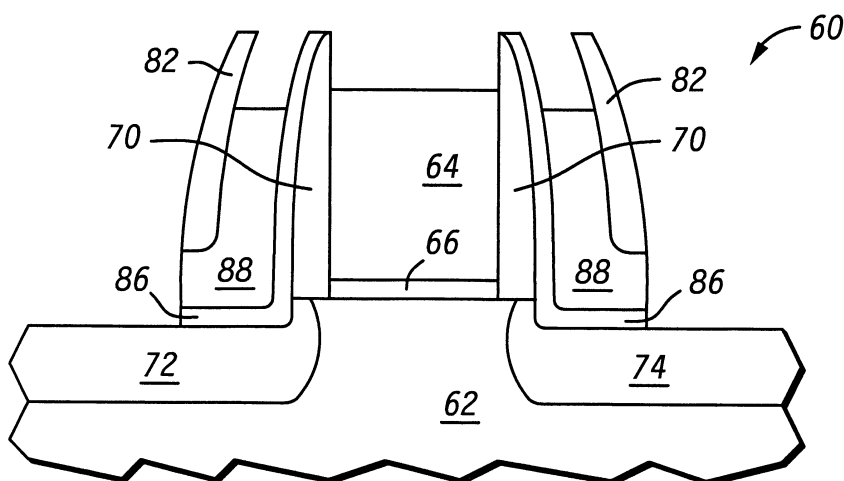


圖 15

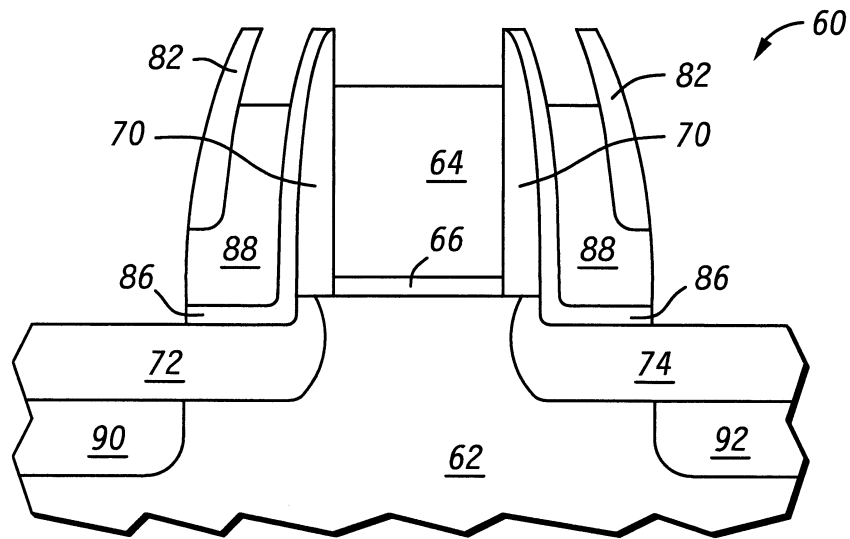


圖 16

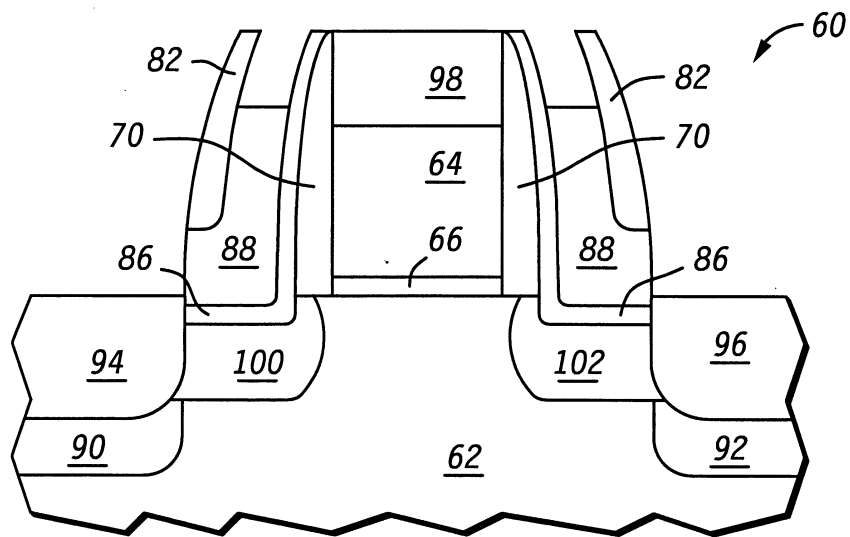


圖 17

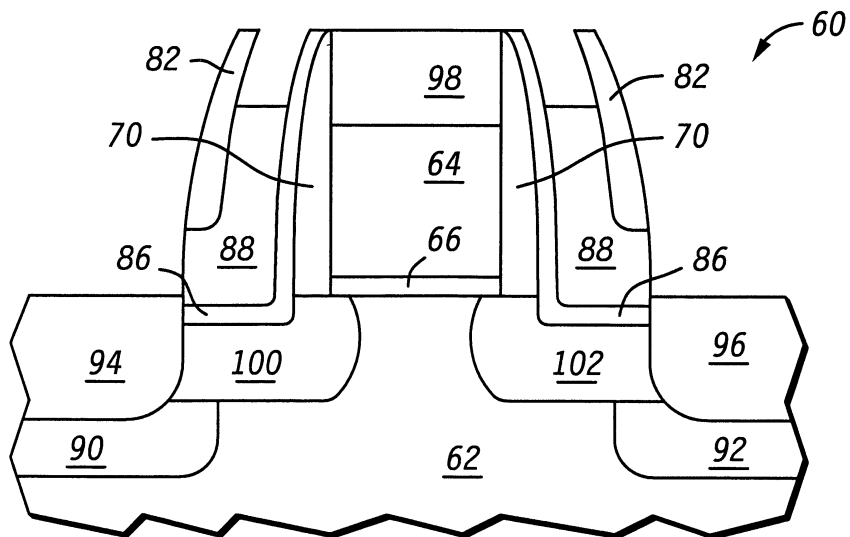


圖 18

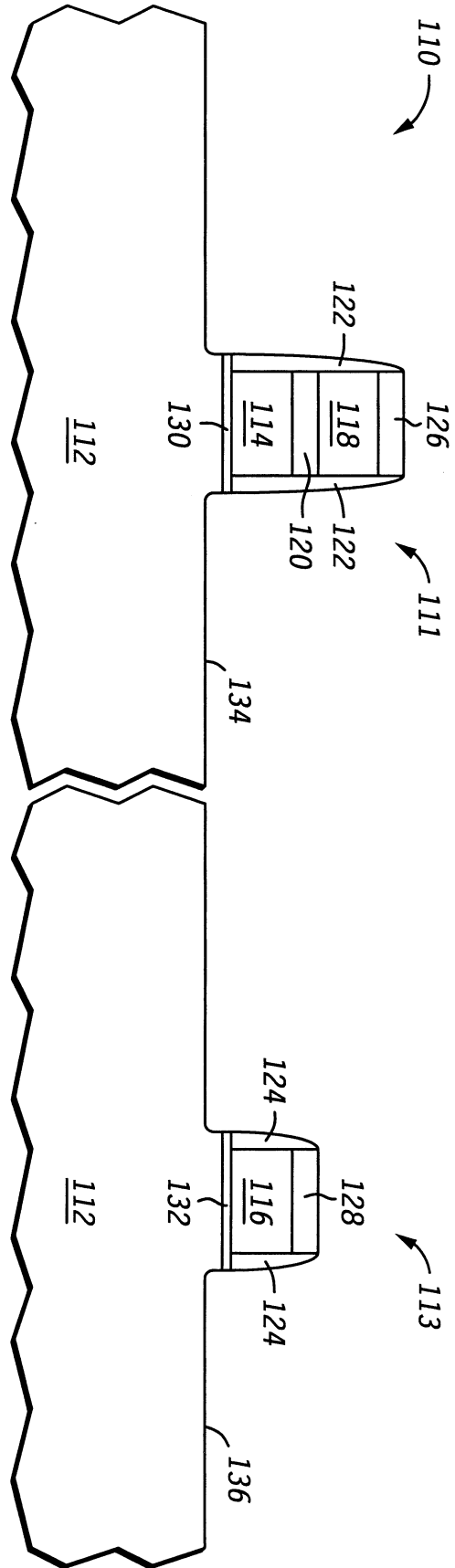


圖 19

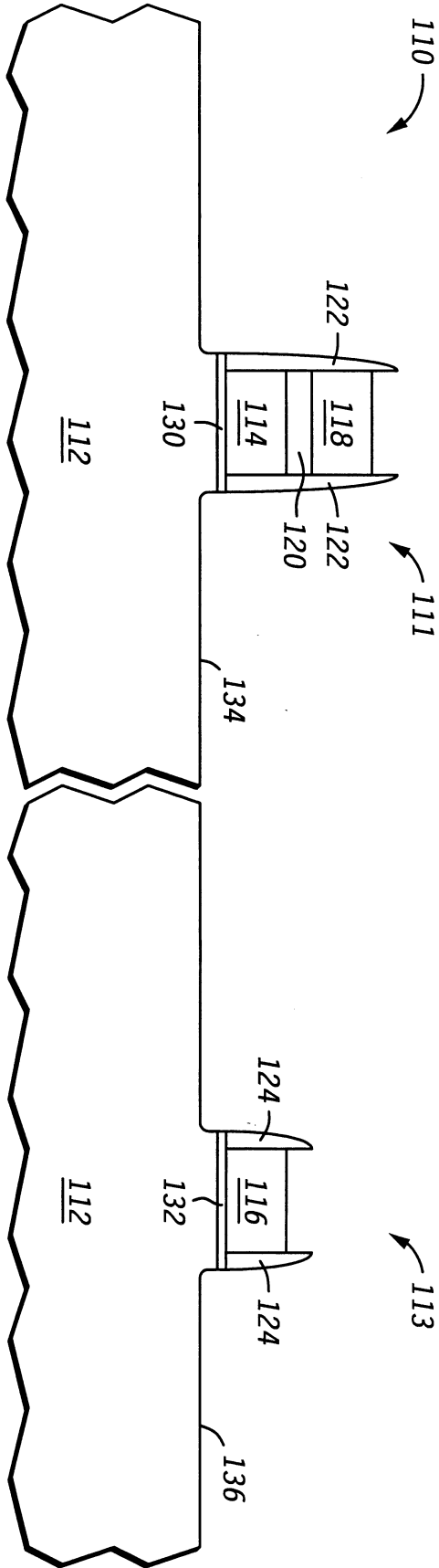


圖 20

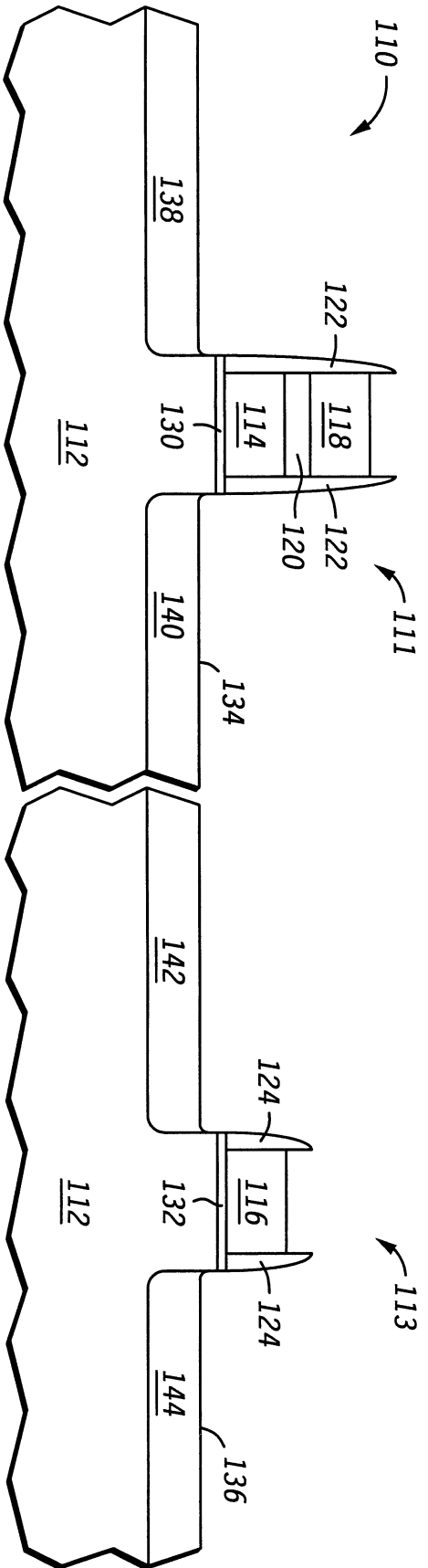


圖 21

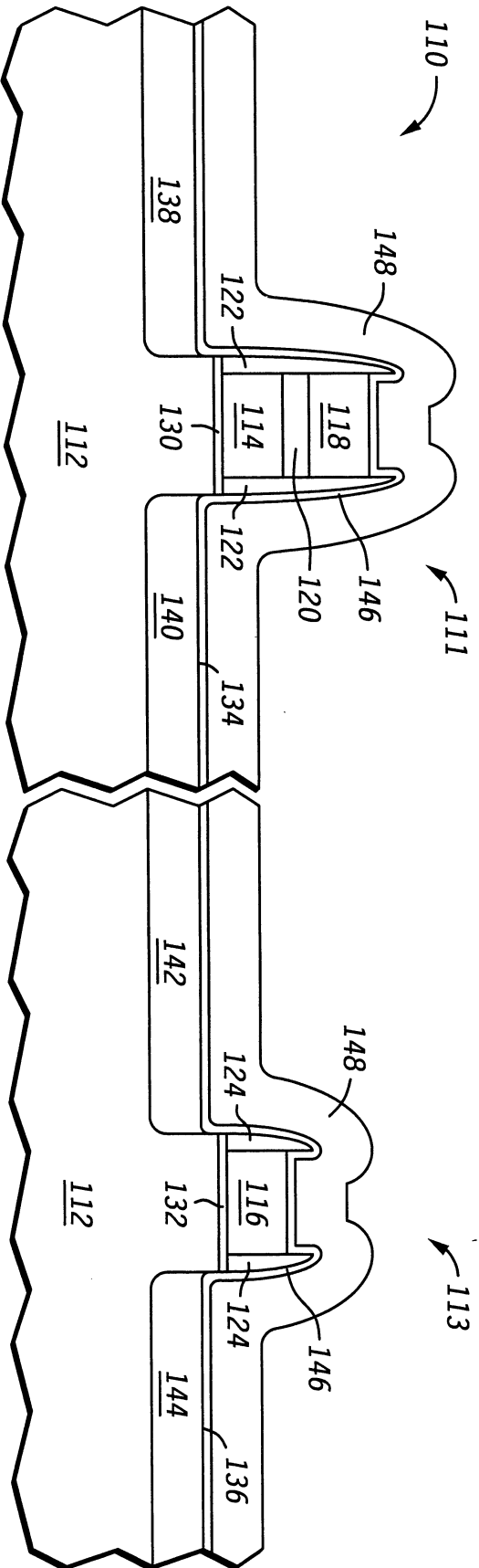


圖 22

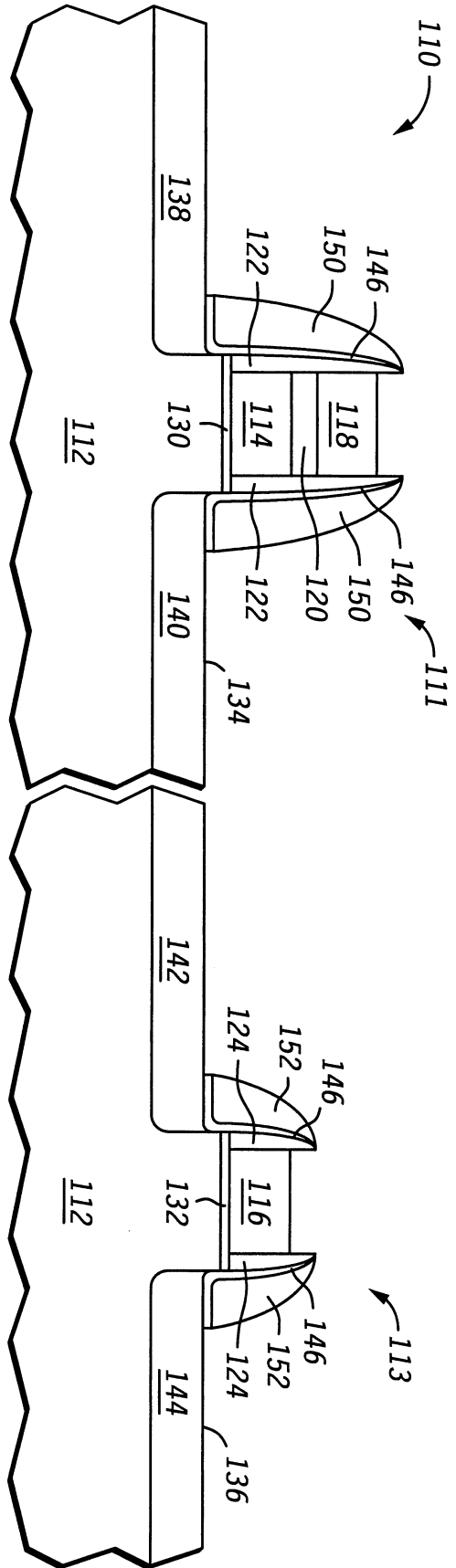


圖 23

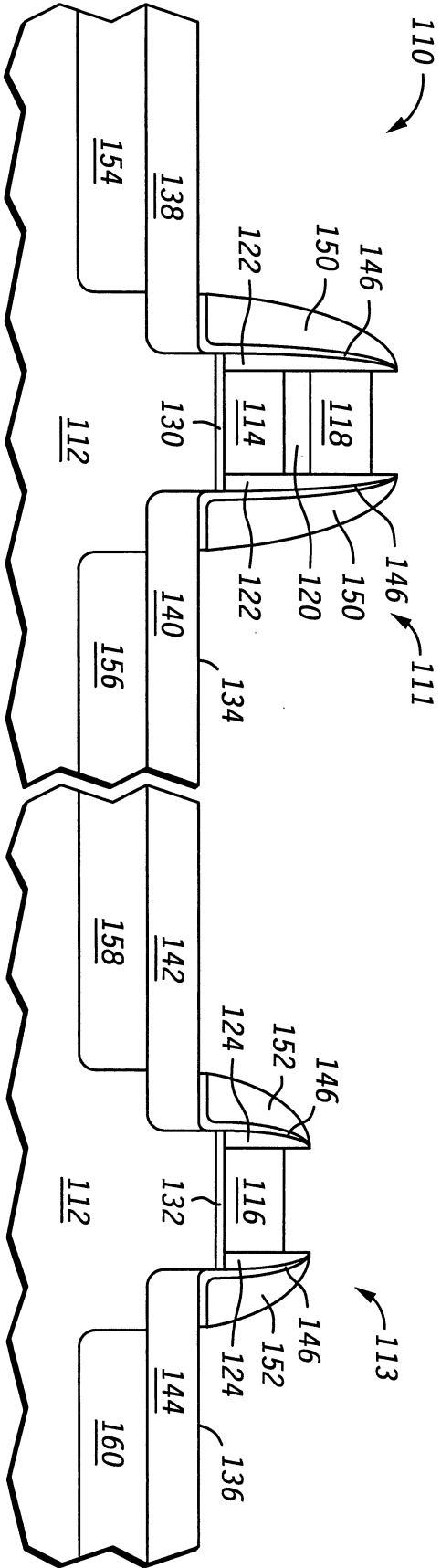


圖 24

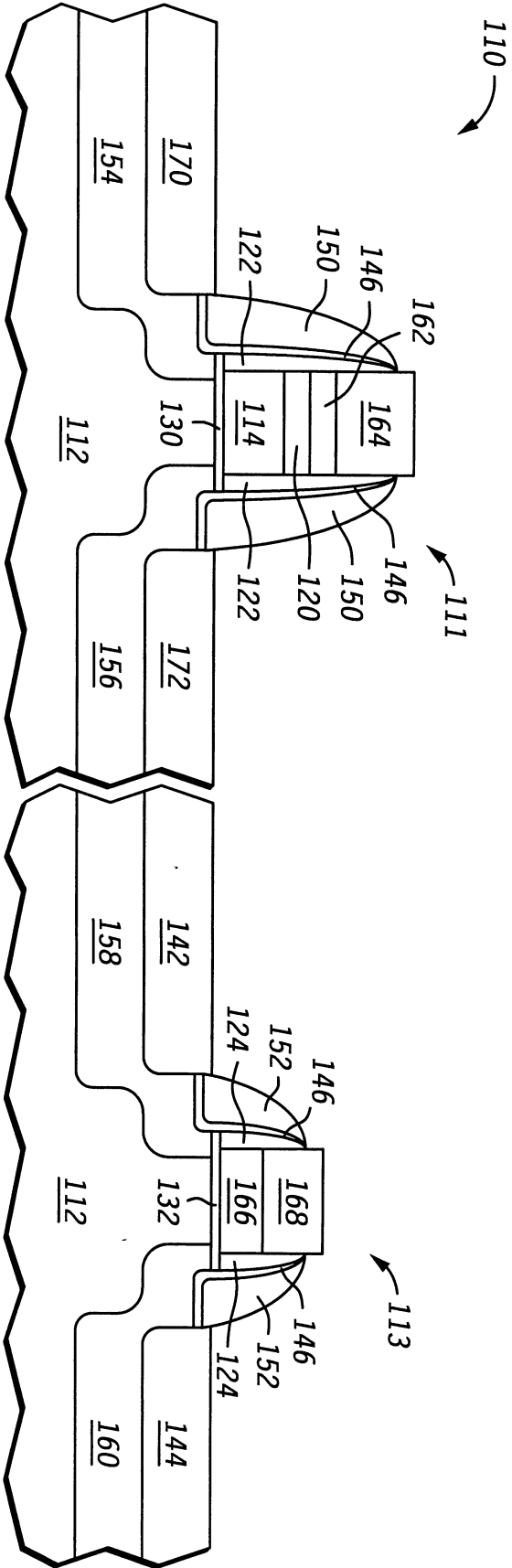


圖 25

陸、(一)、本案指定代表圖為：第 14 圖

(二)、本代表圖之元件代表符號簡單說明：

60	半 導 體 裝 置
62	基 板
64	閘 極
66	閘 極 氧 化 物
68	抗 反 射 塗 層 (ARC)
70,82,84	側 壁 間 隔
72,74	源 極 / 汲 極 區
86	部 份

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式

公告本

I283029

93年10月6日

修正
補充

發明專利說明書

中文說明書替換頁(93年10月)

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：092105907 ※IPC分類：H01L 21/3213

※申請日期：92-3-18

壹、發明名稱

(中文) 積體電路裝置及其方法

(英文) INTEGRATED CIRCUIT DEVICE AND METHOD THEREFOR

貳、發明人(共6人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 傑佛瑞 C-F 亞普

(英文) GEOFFREY C-F YEAP

住居所地址：(中文) 美國德州奧斯汀市泰魯萊路 6806 號

(英文) 6806 TELLURIDE TRAIL, AUSTIN, TX 78749, U.S.A.

國籍：(中文) 馬來西亞 (英文) MALAYSIA

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商飛思卡爾半導體公司

(英文) FREESCALE SEMICONDUCTOR, INC.

住居所或營業所地址：(中文) 美國德州奧斯汀市威廉坎嫩道西 6501 號

(英文) 6501 WILLIAM CANNON DRIVE WEST,
AUSTIN, TEXAS 78735, U.S.A.

代表人：(中文) 珍妮佛 B 伍艾梅特

(英文) WUAMETT, JENNIFER B

(6)

95年12月1日修(更)正替換頁

發明說明書續頁

罩的側壁間隔 82 而形成高濃度植摻雜的源極/汲極區 90 和 92 之後的裝置 60。如果側壁間隔 82 係選用非晶矽，則應在這項植入製程後去除該側壁間隔。圖 17 顯示在也是沿著側壁間隔 82 形成矽化物區 94 和 96 的矽化物步驟之後的裝置結構 60。如果側壁間隔 82 係選用非晶矽，則應在這項形成矽化物之步驟後去除該側壁間隔。於圖中所示的實例中側壁間隔 82 是氧化物。圖 18 顯示已充分擴散以重疊於閘極 64 的源極/汲極區 72 和 74 之各自部份 100 和 102。在形成側壁間隔 70 之過度蝕刻期間所造成之相對小的凹陷必須被克服，使源極/汲極區 100 和 102 重疊於閘極 64。在圖 18 所示的最終裝置結構中，看不到因蝕刻去除抗反射塗層 (ARC) 16 所造成的凹陷。在凹陷去除區域中形成的矽化物證實凹陷實際上曾經存在。因此可得知，藉由將由於藉由乾式蝕刻去除抗反射塗層 (ARC) 層所造成的相對大之凹陷區域進一步移至遠離閘極區域的位置，該相對大之凹陷區域就不會影響源極/汲極必須擴散的距離，以獲得所要的重疊。

圖 19 顯示裝置結構 110，這是另一項具體實施例的開始點，該裝置結構 110 係由一非揮發性記憶體 (NVM) 電晶體 111 及一標準電晶體 113 所組成，該等兩個電晶體都是形成在基板 112 中。如圖 19 所示，電晶體 111 包含一閘極氧化物 130、一浮動閘極 114、一層間介電 120 及一控制閘極 118。標準電晶體 113 包含一閘極氧化物 132 及一閘極 116。在控制閘極 118 上是一抗反射塗層 (ARC) 126，而在閘極 116 上是一抗反射塗層 (ARC) 128。這些是同時形成的兩個，並且圖中

95年12月 (日修(2)正替換頁)

拾、申請專利範圍

1. 一種用以形成一積體電路裝置的方法，包括：

提供一半導體基板；

在該半導體基板上形成一圖案化介電層；

在該圖案化介電層上形成一圖案化導電層；

在該圖案化導電層上形成一抗反射塗層(ARC)；

在該圖案化介電層及該圖案化導電層上形成一第一介電層；

在該第一介電層上形成一第二介電層；

在該第二介電層上形成一第一層；

去除該第一層之部份以構成一第一圖案化層，其中該第一圖案化層鄰接於該圖案化導電層及該圖案化介電層；

去除該第二介電層之部份以構成鄰接於該第一圖案化層的第一介電區；

去除該第一介電層之部份以構成鄰接於該第一介電區的第二介電區；以及

去除該第一介電層之部份之後去除抗反射塗層(ARC)。

2. 如申請專利範圍第1項之方法，進一步包括：

在該第一層上形成一第二層；

對該第一層選擇性去除該第二層之一部份，以構成鄰接於該第一圖案化層的第二層之第一圖案化部份。

3. 如申請專利範圍第2項之方法，其中去除該抗反射塗層(ARC)是一乾式製程。

95年12月 | 日修(2)正替換頁

申請專利範圍續頁

4. 如申請專利範圍第2項之方法，其中該第二層是一氧化物，該第一層是一氮化物，該第二介電層是一氧化物及該第一介電層是一氧化物。
5. 如申請專利範圍第4項之方法，進一步包括去除該第二層之部份，其中該第二層是非晶矽。
6. 如申請專利範圍第1項之方法，其中該第一介電層是一氧化物，該第二介電層是一氮化物，及該第一層是一氧化物。
7. 如申請專利範圍第6項之方法，其中去除該抗反射塗層(ARC)是一濕式製程。
8. 一種積體電路裝置，包括：
 - 一半導體基板；
 - 一堆疊，包括：
 - 一形成在該半導體基板上的圖案化介電層；
 - 一形成在該圖案化介電層上的圖案化導電層；
 - 一第一側壁；以及
 - 一第二側壁，其中該第二側壁係鄰接於該第一側壁；
 - 一第一電極區，其位於該半導體基板內並且鄰接於該第一側壁；
 - 一第二電極區，其位於該半導體基板內並且鄰接於該第二側壁；
 - 一通道區，其介於該第一電極區與該第二電極區之間，並且位於該堆疊下方；
 - 氧化物間隔，其鄰接於該第一側壁及該第二側壁，其

95年2月1日修(次)正替換頁

中該等氧化物間隔具有一第一高度；

絕緣層，其鄰接於該等氧化物間隔，並且位於該第一電極區與該第二電極區上方；以及

氮化物間隔，其鄰接於該等氧化物間隔，其中該等氮化物間隔具有一第二高度，該第二高度小於該第一高度。

9. 一種積體電路裝置，包括：

- 一具有一頂面之半導體基板；
- 一形成於該半導體基板上之堆疊，包括：
 - 一第一層；
 - 一形成在該第一層上之第二層；
 - 一第一側壁；
 - 一與該第一側壁相對之第二側壁；

間隔，其鄰接於該第一側壁及該第二側壁，其中該半導體基板頂面之一第一部份位於該等間隔下方，一第二部份位於該堆疊下方，且該第一部份實質上與該第二部份共面；

絕緣層，其鄰接於該等間隔，其中該基板頂面之一第三部份位於該等絕緣層下方，並且相關於該基板之第一部份及第二部份而凹入；

一第一摻雜區，其位於該半導體基板內，並且鄰接於該第一側壁；

一第二摻雜區，其位於該半導體基板內，並且鄰接於該第二側壁；及

95年12月 | 日修(更)正替換頁

申請專利範圍續頁

一通道區，其位於該第一摻雜區與該第二摻雜區之間，並且位於該半導體基板內。