

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY 104769

**Patent dodatkowy
do patentu _____**

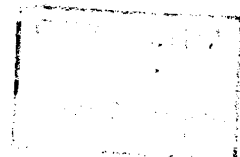
Zgłoszono: 18.02.77 (P. 196092)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 28.08.78

Opis patentowy opublikowano: 01.12.1979

Int. Cl.² G08K 5/00



Twórcy wynalazku: Wojciech Nowosielski, Marek Kazon, Edward Nowosielski,
Anna Kuczmowska

Uprawniony z patentu: Warszawskie Zakłady Urządzeń Informatyki „MERAMAT”,
Warszawa (Polska)

Układ kontroli parzystości wzdłużnej

Dziedzina techniki. Przedmiotem wynalazku jest układ kontroli parzystości wzdłużnej, oznaczonej w skrócie LRC, stosowany w szczególności w magnetycznych pamięciach taśmowych.

Stan techniki. Znany jest i stosowany w praktyce układ kontroli LRC utworzony z przyrządów elektronicznych połączonych w następujący sposób. Pierwsze wejście pierwszego elementu dwuwejściowego typu „Exclusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki zerowej, wyjście tego elementu jest połączone z pierwszym wejściem programującym pierwszego czterobitowego rejestru z równoległym wprowadzaniem i wyprowadzaniem danych zwanego dalej pierwszym rejestrem, natomiast drugie wejście pierwszego elementu „Exclusiv OR” jest połączone z pierwszym wyjściem Q_1 pierwszego czterobitowego rejestru i w wejściu pierwszego inwertera, przy czym wyjście tego inwertera jest połączone z pierwszym wejściem ośmiowejściowego elementu typu NIE—LUB, zwanego dalej elementem ośmiowejściowym.

Pierwsze wejście drugiego dwuwejściowego elementu „Exclusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki pierwszej, wyjście tego elementu jest połączone z drugim wejściem programującym pierwszego rejestru, natomiast drugie wejście drugiego elementu „Exclusiv OR” jest połączone z drugim wyjściem Q_2 pierwszego rejestru i z wejściem drugiego inwertera, przy czym wyjście tego inwertera jest połączone z drugim wejściem elementu ośmiowejściowego.

Pierwsze wejście trzeciego elementu „Exclusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki drugiej, wyjście tego elementu jest połączone z trzecim wejściem programującym pierwszego rejestru, natomiast drugie wejście trzeciego elementu „Exclusiv OR” jest połączone z trzecim wyjściem Q_3 pierwszego rejestru i z wejściem trzeciego inwertera, przy czym wyjście tego inwertera jest połączone z trzecim wejściem elementu ośmiowejściowego.

Pierwsze wejście czwartego elementu „Exclusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki trzeciej, wyjście tego elementu jest połączone z czwartym wejściem programującym pierwszego rejestru, natomiast drugie wejście czwartego elementu „Exclusiv OR” jest połączone z czwartym wyjściem Q_4 pierwszego rejestru, przy czym czwarte wyjście Q_4 tego rejestru, czyli wyjście odwracające fazę, jest połączone z czwartym wejściem elementu ośmiowejściowego.

Pierwsze wejście piątego elementu „Exlusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki czwartej, wyjście tego elementu jest połączone z pierwszym wejściem programującym drugiego czterobitowego rejestru z równoległym wprowadzaniem i wyprowadzaniem danych, zwanego dalej drugim rejestrem, natomiast drugie wejście piątego elementu „Exlusiv OR” jest połączone z pierwszym wyjściem Q_1 drugiego rejestru i z wejściem czwartego inwertera, przy czym wyjście tego inwertera jest połączone z piątym wejściem elementu ośmiowejściowego.

Pierwsze wejście szóstego elementu „Exlusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki piątej, wyjście tego elementu jest połączone z drugim wejściem programującym drugiego rejestru, natomiast drugie wejście szóstego elementu „Exlusiv OR” jest połączone z drugim wyjściem Q_2 drugiego rejestru i z wejściem piątego inwertera, przy czym wyjście tego inwertera jest połączone z szóstym wejściem elementu ośmiowejściowego.

Pierwsze wejście siódmego elementu „Exlusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki szóstej, wyjście tego elementu jest połączone z trzecim wejściem programującym drugiego rejestru, natomiast drugie wejście siódmego elementu „Exlusiv OR” jest połączone z trzecim wyjściem Q_3 drugiego rejestru i z wejściem szóstego inwertera, przy czym wyjście tego inwertera jest połączone z siódmym wejściem elementu ośmiowejściowego.

Pierwsze wejście ósmego elementu „Exlusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki siódmej, wyjście tego elementu jest połączone z czwartym wejściem programującym drugiego rejestru, natomiast drugie wejście ósmego elementu „Exlusiv OR” jest połączone z czwartym wyjściem Q_4 drugiego rejestru, przy czym czwarte wyjście Q_4 tego rejestru, czyli wyjście odwracające fazę, jest połączone z ósmym wejściem elementu ośmiowejściowego.

Pierwsze wejście dziewiątego elementu „Exlusiv OR” jest połączone z przewodem doprowadzającym sygnał ze ścieżki parzystości poprzecznej, wyjście tego elementu jest połączone z wejściem D przerzutnika typu D, natomiast drugie wejście dziewiątego elementu „Exlusiv OR” jest połączone z wyjściem Q przerzutnika D.

Wejście siódmego inwertera jest połączone z przewodem doprowadzającym sygnał STROB LRC i z wejściem zegarowym przerzutnika typu D, przy czym wyjście siódmego inwertera jest połączone z wejściem zegarowym pierwszego rejestru i z wejściem zegarowym drugiego rejestru.

Wejście zerujące przerzutnika typu D jest połączone z przewodem doprowadzającym sygnał ZEROWANIE oraz z wejściem zerującym pierwszego rejestru i z wejściem zerującym drugiego rejestru. Wyjście Q przerzutnika typu D, czyli wyjście odwracające fazę, jest połączone z pierwszym wejściem elementu dwuwejściowego typu NIE—LUB. Wyjście elementu ośmiowejściowego jest połączone z wejściem ósmego inwertera, przy czym wyjście tego inwertera jest połączone z drugim wejściem elementu dwuwejściowego typu NIE—LUB. Wyjście elementu dwuwejściowego typu NIE—LUB jest połączone z przewodem odprowadzającym sygnał błędu kontroli LRC.

Układ działa następująco. Przed odczytem każdego bloku informacji zapisanej na taśmie magnetycznej oba rejestry są wyzerowane. Na wejścia zegarowe tych rejestrów i na wejście zegarowe tych rejestrów i na wejście zegarowe przerzutnika typu D są podane impulsy w momencie odczytania kolejnych rzędów informacji z określonych ścieżek, natomiast na wejścia programujące tych rejestrów, poprzez elementy „Exlusiv OR”, są podane impulsy stanowiące wynik porównania informacji odczytanych z taśmy magnetycznej ze stanami istniejącymi na wyjściach obu rejestrów, przy czym stany te są ustawione przez poprzedni rząd informacji odczytanej z taśmy magnetycznej. Przykładowo rozatrując działanie pierwszego elementu „Exlusiv OR” można przyjąć, że jeżeli na pierwszym wejściu tego elementu jest jedynka informacyjna, a na drugim wejściu jest zero informacyjne, to na jego wyjściu jest jedynka informacyjna, która tym samym podana na pierwsze wejście programujące pierwszego rejestru i w przypadku, gdy na pierwszym wyjściu pierwszego rejestru była jedynka informacyjna, to stan pierwszego wyjścia tego rejestru zmieni się na zero, zaś w przypadku, gdy na pierwszym wyjściu tego rejestru było zero informacyjne, to stan tego wyjścia zmieni się na jedynkę. Stąd wynika wniosek, że stany wyjść rejestrów nie zależą bezpośrednio od informacji odczytanej z taśmy magnetycznej lecz zależą od wyników porównania sygnału określonego rzędu informacji z sygnałem rzędu informacji odczytanym poprzednio.

Po odczytaniu parzystej liczby jedynek informacyjnych na wszystkich ścieżkach, wyjścia rejestrów wracają do stanu zerowego, natomiast po odczytaniu nieparzystej liczby jedynek chociażby z jednej ścieżki na wyjściu elementu dwuwejściowego typu NIE—LUB pojawia się sygnał błędu kontroli LRC.

Istota wynalazku. Układ według wynalazku, współpracujący ze źródłem sygnału odczytanego ze ścieżki parzystości poprzecznej, ze źródłem sygnału STROB LRC, ze źródłem sygnału ZEROWANIE oraz ze źródłami sygnałów odczytanych z n ścieżek informacji, zapisanej na taśmie magnetycznej, w którym wejście pierwszego inwertera jest połączone z przewodem doprowadzającym sygnał STROB LRC, wejście drugiego inwertera jest połączone z przewodem doprowadzającym sygnał ZEROWANIE, wyjście elementu n — wyjściowego typu

NIE—LUB jest połączone z drugim wejściem elementu dwuwejściowego typu LUB—NIE, wyjście elementu dwuwejściowego typu LUB—NIE jest połączone z przewodem odprowadzającym sygnał błędu kontroli LRC, ma wejścia J i K pierwszego przerzutnika typu JK połączone z przewodem doprowadzającym sygnał odczytany ze ścieżki parzystości poprzecznej, ma wejścia J i K drugiego przerzutnika typu JK połączone z przewodem doprowadzającym sygnał odczytany ze ścieżki zerowej, ma wejścia J i K n-tego przerzutnika typu JK połączone z przewodem doprowadzającym sygnał odczytany z n-tej ścieżki, ma wyjście pierwszego inwertera połączone z wejściami zegarowymi wszystkich przerzutników typu JK, ma wyjście drugiego inwertera połączone z wejściami zegarowymi wszystkich przerzutników typu JK, ma wyjście Q pierwszego przerzutnika typu JK, nieodwracające fazę, połączone z pierwszym wejściem elementu dwuwejściowego typu LUB—NIE, ma wyjścia Q pozostałych przerzutników typu JK, odwracające fazy, połączone każde z określonymi wejściami elementu n-wejściowego typu NIE—LUB, przy czym liczba n jest liczbą naturalną.

Przykład wykonania. Przedmiot wynalazku jest przedstawiony na rysunku w postaci schematu blokowego. Schemat blokowy jest utworzony z przyrządów elektronicznych, połączonych w następujący sposób. Wejścia J i K pierwszego przerzutnika 1 typu JK są połączone z przewodem doprowadzającym sygnał RBP ze ścieżki parzystości poprzecznej. Wejścia J i K drugiego przerzutnika 2 typu JK są połączone z przewodem doprowadzającym sygnał RB ϕ informacji odczytanej ze ścieżki zerowej. Wejścia J i K trzeciego przerzutnika 3 typu JK są połączone z przewodem doprowadzającym sygnał RB1 informacji odczytanej ze ścieżki pierwszej. W podobny sposób są połączone wejścia J i K pozostałych pięciu przerzutników typu JK, czyli czwartego, piątego, szóstego, siódmego i ósmego, których nie przedstawiono na rysunku dla jego przejrzystości z tym oczywiście, że wejścia J i K czwartego przerzutnika są połączone z przewodem doprowadzającym sygnał RB2 informacji odczytanej ze ścieżki drugiej, wejścia J i K piątego przerzutnika są połączone z przewodem doprowadzającym sygnał RB3 informacji odczytanej ze ścieżki trzeciej, wejścia J i K szóstego przerzutnika są połączone z przewodem doprowadzającym sygnał RB4 informacji odczytanej ze ścieżki czwartej, wejścia J i K siódmego przerzutnika są połączone z przewodem doprowadzającym sygnał RB5 informacji odczytanej ze ścieżki piątej, natomiast wyjścia J i K ósmego przerzutnika są połączone z przewodem doprowadzającym sygnał RB6 informacji odczytanej ze ścieżki szóstej. Wyjścia J i K dziewiątego przerzutnika 9 typu JK są połączone z przewodem doprowadzającym sygnał RB7 informacji odczytanej ze ścieżki siódmej.

Wejście pierwszego inwertera 10 jest połączone z przewodem doprowadzającym sygnał SLRC STROB LRC, a wyjście tego inwertera 10 jest połączone z wejściami zegarowymi wszystkich przerzutników 1, 2, 3, ..., 9. Wejście drugiego inwertera 11 jest połączone z przewodem doprowadzającym sygnał ZER ZEROWANIA, natomiast wyjście tego inwertera 11 jest połączone z wejściami zerującymi wszystkich przerzutników 1, 2, 3, ..., 9. Wyjście Q pierwszego przerzutnika 1, nieodwracające fazę, jest połączone z pierwszym wejściem elementu dwuwejściowego 12 typu LUB—NIE, przy czym wyjście elementu dwuwejściowego 12 jest połączone z przewodem odprowadzającym sygnał BL błędu kontroli LRC. Wyjście Q drugiego przerzutnika 2, odwracające fazę, jest połączone z pierwszym wejściem elementu ośmiowejściowego 13 typu NIE—LUB. Wyjście Q trzeciego przerzutnika 3, odwracające fazę, jest połączone z drugim wejściem elementu ośmiowejściowego 13 i tak dalej, wyjście Q dziewiątego przerzutnika 9, odwracające fazę, jest połączone z ósmym wejściem elementu ośmiowejściowego 13, przy czym wyjście elementu ośmiowejściowego 13 jest połączone z drugim wejściem elementu dwuwejściowego 12.

Poprawnie zapisany blok informacji, zapisanej na taśmie magnetycznej, powinien mieć na każdej ścieżce parzystą liczbę jedynek informacyjnych, licząc je łącznie ze znakami kontrolnymi CRC i LRC. Zadaniem kontroli LRC jest sprawdzenie, czy na każdej ścieżce liczba jedynek jest parzysta, czy nie, a w przypadku nieparzystej liczby jedynek sygnalizowanie błędu LRC.

Układ działa następująco. Na wejścia J i K każdego z przerzutników 1, 2, 3, ..., 9 są doprowadzone odpowiednio sygnały RBP, SLRC, RB ϕ , RB₁, ..., RB₇, odczytane z pamięci taśmowej. Przerzutniki 1, 2, 3 ... 9 są wstępnie wyzerowane przed odczytem każdego bloku informacji. Na wejście zegarowe każdego z przerzutników 1, 2, 3, ..., 9 jest podany impuls w momencie odczytania kolejnego rzędu. Gdy na wejściach J i K określonego przerzutnika pojawi się poziom wysoki, odpowiadający jedynce informacyjnej, zapisanej na taśmie magnetycznej, wówczas przerzutnik ten zmienia stan na przeciwny.

W związku z tym przy parzystej liczbie jedynek na poszczególnych ścieżkach, na wyjściu przerzutników jest stan odpowiadający stanowi początkowemu.

W przypadku błędu, to znaczy nieparzystej liczbie jedynek na jednej lub kilku ścieżkach taśmy magnetycznej w określonym bloku informacji, stan końcowy przerzutników nie jest zgodny ze stanem początkowym, co powoduje pojawienie się sygnału BL błędu LRC na wyjściu całego układu.

Zastrzeżenie patentowe

Układ kontroli parzystości wzdłużnej, współpracujący ze źródłem sygnału odczytanego ze ścieżki parzystości poprzecznej, ze źródłem sygnału STROB LRC, ze źródłem sygnału ZEROWANIE oraz ze źródłami sygnałów odczytanych z n ścieżek informacji zapisanej na taśmie magnetycznej, w którym wejście pierwszego inwertera jest połączone z przewodem doprowadzającym sygnał STROB LRC, wejście drugiego inwertera jest połączone z przewodem doprowadzającym sygnał ZEROWANIE, wyjście elementu n -wejściowego typu NIE—LUB jest połączone z drugim wejściem elementu dwuwejściowego typu LUB—NIE, wyjście elementu dwuwejściowego typu LUB—NIE jest połączone z przewodem odprowadzającym sygnał błędu kontroli LRC, z n a m i e n n y t y m, że wejścia (J i K) pierwszego przerzutnika (1) typu JK są połączone z przewodem doprowadzającym sygnał (RBP) odczytany ze ścieżki parzystości poprzecznej, wejścia (J i K) drugiego przerzutnika (2) typu JK są połączone z przewodem doprowadzającym sygnał (RB ϕ) odczytany ze ścieżki zerowej, wejścia (J i K) n -tego przerzutnika typu JK są połączone z przewodem doprowadzającym sygnał odczytany z n -tej ścieżki, wyjście pierwszego inwertera (10) jest połączone z wejściami zegarowymi wszystkich przerzutników typu JK, wyjście drugiego inwertera (11) jest połączone z wejściami zerującymi wszystkich przerzutników typu JK, wyjście (Q) pierwszego przerzutnika (1) typu JK, nie odwracające fazy, jest połączone z pierwszym wejściem elementu dwuwejściowego (12) typu LUB—NIE, wyjście (Q) pozostałych przerzutników typu JK, odwracające fazy, są połączone każde z osobna z kolejnymi wejściami elementu n -wejściowego (13) typu NIE—LUB, przy czym liczba n jest liczbą naturalną.

