

(12) 发明专利申请

(10) 申请公布号 CN 102693919 A

(43) 申请公布日 2012.09.26

(21) 申请号 201210162478.5

(22) 申请日 2007.04.28

(30) 优先权数据

2006-126670 2006.04.28 JP

2006-254205 2006.09.20 JP

(62) 分案原申请数据

200710100942.7 2007.04.28

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 铃木幸惠 荒井康行

守屋芳隆 池田佳寿子 棚田好文

高桥修平

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 张金金 王忠忠

(51) Int. Cl.

H01L 21/336 (2006.01)

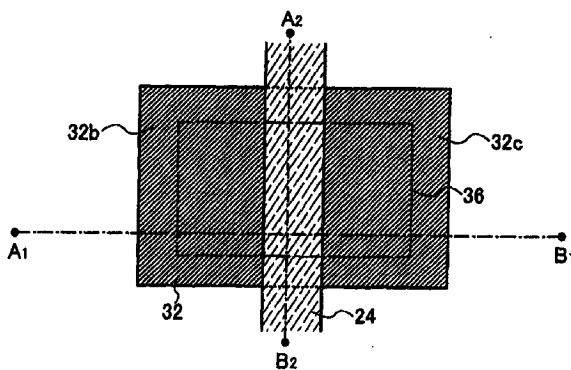
权利要求书 3 页 说明书 33 页 附图 45 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

一种半导体器件，其具有半导体层、覆盖所述半导体层的端部的栅电极和用于使所述半导体层和所述栅电极绝缘的绝缘层。使所述半导体层与所述栅电极相互重叠的区域绝缘的绝缘层的膜厚度大于覆盖所述半导体层的中央部分绝缘层的膜厚度。



1. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成起着栅极绝缘膜作用的第一绝缘层;

在所述第一绝缘层上形成第二绝缘层;

在所述第二绝缘层上形成掩模,

在形成所述掩模之后,去除所述第二绝缘层,以形成覆盖所述半导体层的端部的第三绝缘层;以及

在所述第一绝缘层上形成起着栅电极作用的导电层。

2. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成掩模,所述掩模具有顶边大于底边的梯形形状;

在所述半导体层和具有所述梯形的所述掩模的每者上形成第一绝缘层,

在形成所述第一绝缘层之后,去除具有所述梯形形状的所述掩模,以形成覆盖所述半导体层的端部的第二绝缘层;

在所述第二绝缘层和所述半导体层的暴露部分上形成起着栅极绝缘膜作用的第三绝缘层;以及

在所述第三绝缘层上形成起着栅电极作用的导电层。

3. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成起着栅极绝缘膜作用的第一绝缘层;

在所述第一绝缘层上形成掩模,所述掩模具有顶边大于底边的梯形形状;

在所述第一绝缘层和具有所述梯形的所述掩模的每者上形成第二绝缘层,

在形成所述第二绝缘层之后,去除具有所述梯形形状的所述掩模,以形成覆盖所述半导体的端部的第三绝缘层;以及

在所述第二绝缘层上形成起着栅电极作用的导电层。

4. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成掩模;

在所述半导体层和所述掩模上形成第一绝缘层;

部分去除所述掩模和所述第一绝缘层,

在部分去除所述掩模和所述第一绝缘层之后,去除所述掩模的其余部分,以形成覆盖所述半导体层的端部的第二绝缘层;

在所述第二绝缘层和所述半导体层的暴露部分上形成起着栅极绝缘膜作用的第三绝缘层;以及

在所述第三绝缘层上形成起着栅电极作用的导电层。

5. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成起着栅极绝缘膜作用的第一绝缘层;

在所述第一绝缘层上形成掩模;

在所述第一绝缘层和所述掩模上形成第二绝缘层；

部分去除所述掩模和所述第一绝缘层，

去除所述掩模的其余部分，以形成覆盖所述半导体层的端部的第三绝缘层。

6. 一种半导体器件的制造方法，包括：

在具有透光特性的衬底上形成半导体层；

在所述半导体层上形成第一绝缘层；

在所述第一绝缘层上施加抗蚀剂，

在所述第一绝缘层上施加所述抗蚀剂之后，采用所述半导体层，通过所述具有透光特性的衬底，用光照射所述抗蚀剂，从而使所述抗蚀剂曝光；

对所述经曝光的抗蚀剂显影，从而在所述第一绝缘层上形成掩模；

利用所述掩模蚀刻所述第一绝缘层，以形成覆盖所述半导体层的端部的第二绝缘层；

在所述第二绝缘层和所述半导体层的暴露部分上形成起着栅极绝缘膜作用的第三绝缘层；以及

在所述第三绝缘层上形成起着栅电极作用的导电层。

7. 一种半导体器件的制造方法，包括：

在具有透光特性的衬底上形成半导体层；

在所述半导体层上形成起着栅极绝缘膜作用的第一绝缘层；

在所述第一绝缘层上形成第二绝缘层；

在所述第二绝缘层上施加抗蚀剂，

在施加所述抗蚀剂之后，采用所述半导体层，通过所述具有透光特性的衬底，采用光照射所述抗蚀剂，从而使所述抗蚀剂曝光；

对所述经曝光的抗蚀剂显影，从而在所述第二绝缘层上形成掩模；

利用所述掩模蚀刻所述第二绝缘层，以形成覆盖所述半导体层的端部的第三绝缘层；

以及

在所述第一绝缘层上形成起着栅电极作用的导电层。

8. 一种半导体器件的制造方法，包括：

在绝缘表面上形成第一半导体层；

在所述第一半导体层上形成掩模；

利用所述掩模蚀刻所述第一半导体层，以形成第二半导体层；

在所述掩模的表面上执行防液体处理，

在执行所述防液体处理之后，形成部分覆盖所述第二半导体层的第一绝缘层；

去除所述掩模，

在去除所述掩模之后，形成覆盖所述第一绝缘层和所述第二半导体层的起着栅极绝缘膜作用的第二绝缘层；以及

在所述第二绝缘层上形成起着栅电极作用的导电层。

9. 一种半导体器件的制造方法，包括：

在绝缘表面上形成第一半导体层；

在所述第一半导体层上形成起着栅极绝缘膜作用的第一绝缘层；

在所述第一绝缘层上形成掩模；

利用所述掩模蚀刻所述第一绝缘层和所述第一半导体层,以形成第二绝缘层和第二半导体层;

在所述掩模的表面上执行防液体处理,

在执行所述防液体处理之后,形成部分覆盖所述第二半导体层的第三绝缘层;

去除所述掩模,以及

在去除所述掩模之后,在所述第二绝缘层上形成起着栅电极作用的导电层。

10. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成第一绝缘层;

通过对所述第一绝缘层的各向异性刻蚀形成与所述半导体层的侧表面接触的第二绝缘层;

形成覆盖所述第二绝缘层和所述半导体层的起着栅极绝缘膜作用的第三绝缘层;以及在所述第三绝缘层上形成起着栅电极作用的导电层。

11. 一种半导体器件的制造方法,包括:

在绝缘表面上形成半导体层;

在所述半导体层上形成第一绝缘层;

在所述第一绝缘层上形成掩模,

在形成所述掩模之后,通过高密度等离子体处理氧化所述半导体层的端部的一部分;以及

去除所述掩模,并且

在去除所述掩模之后,在所述第一绝缘层上形成起着栅电极作用的导电层。

12. 根据权利要求 1-11 中任意一项所述的半导体器件的制造方法,其中该半导体器件是选自照相机、电话、数字播放器和电子图书构成的组的一种。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制造方法。更具体地说，本发明涉及一种半导体器件及其制造方法，在所述半导体器件中，针对不同的半导体元件分隔半导体层。

### 背景技术

[0002] 作为分隔半导体层的半导体元件的典型实例，图 24A 到 24D 示出了公共薄膜晶体管的顶视图和截面图。图 24A 示出了所述薄膜晶体管的顶视图，图 24B 是沿图 24A 的 A1-B1 线得到的截面图，图 24C 是沿图 24A 的 A2-B2 线得到的截面图，图 24D 是图 24C 中的半导体层 32 的端部 25 的放大图。如图 24B 到 24D 所示，在薄膜晶体管中，在衬底 30 上形成起着基础薄膜的作用的绝缘层 31；在绝缘层 31 上形成半导体层 32，其包括沟道形成区 32 以及每者起着源极区或漏极区的作用的杂质区 32B 和 32C；在半导体层 32 和绝缘层 31 上形成起着栅极绝缘膜的作用的绝缘层 33；以及在绝缘层 33 上形成起着栅电极的作用的导电层 34。

[0003] 在图 24A 到 24D 所示的薄膜晶体管的制造过程中，在受到有选择的蚀刻的半导体层 32 上形成起着栅极绝缘膜的作用的绝缘层 33，在这种情况下，绝缘层 33 的覆盖度 (coverage) 在半导体层 32 的端部 25 处降低。在绝缘层 33 的膜厚度薄的部分栅极电压的电场强度增大，由栅极电压导致的应力增大，其将对薄膜晶体管的耐压和可靠性造成不利影响。

[0004] 此外，衬底和每一薄膜的应力集中在半导体层 32 的端部 25，其导致了元件特性发生波动的问题。

[0005] 作为一种改善由半导体层 32 的端部的不平坦造成的栅极绝缘膜的覆盖度降低的问题的方法，可以使有源层的端部成锥形（专利文献 1：已公开日本专利申请 No. 2005-167207）。

[0006] 另一方面，在构成必须以高速运行的电路的薄膜晶体管中，优选采用短沟道长度和薄栅极绝缘膜厚度。因此，栅极绝缘膜的膜厚度只有几十纳米那么薄。

### 发明内容

[0007] 但是，即使使半导体层的端部成锥形，电场和应力的集中仍然是一个问题。当栅极绝缘膜的膜厚度薄到几十纳米时，这一问题尤为显著。

[0008] 本发明就是一项解决这一问题的技术，本发明的目的在于，通过减小栅极绝缘膜的膜厚度薄的部分，即不平坦的部分对半导体元件特性的影响，由此提高半导体元件的可靠性。此外，本发明的另一目的在于提供一种制造方法，通过所述方法能够得到具有这样的半导体元件的半导体器件。

[0009] 本发明的一个特征是一种半导体器件，其包括：半导体层；覆盖所述半导体层的端部的栅电极；以及用于使所述半导体层和所述栅电极绝缘的绝缘层，其中，使所述半导体层与所述栅电极相互重叠的区域绝缘的绝缘层的膜厚度大于覆盖所述半导体层的中央部

分绝缘层的膜厚度。

[0010] 本发明的另一个特征是一种半导体器件，其包括：形成于衬底上的起着基础膜的作用的绝缘层，形成于所述绝缘层上的半导体层；以及覆盖所述起着基础膜的作用的绝缘层和所述半导体层的起着栅极绝缘膜作用的绝缘层，其中，所述半导体层的端部的侧表面相对于所述衬底的表面以第一角度倾斜，所述起着基础膜的作用的绝缘层相对于所述衬底的表面以第二角度倾斜，并且所述第二角度小于所述第一角度。换言之，所述半导体层的侧表面的倾角和所述起着基础膜的作用的绝缘层的倾角是变小的，使得斜坡逐渐降低。

[0011] 所述第一角度优选大于等于 10 度小于等于 40 度，所述第二角度优选大于等于 5 度小于等于 15 度。

[0012] 本发明的又一个特征是一种半导体器件，其包括：半导体层；覆盖所述半导体层的端部的栅电极；以及用于使所述半导体层和所述栅电极绝缘的绝缘层，其中，将位于所述半导体层的端部的使所述半导体层与所述栅电极绝缘的绝缘层形成为比在所述半导体层的中央部分厚。

[0013] 在所述本发明的半导体器件中，形成多个半导体层，并使所述多个半导体层相互分开。

[0014] 在包括半导体层、覆盖所述半导体层的端部的栅电极和用于使所述半导体层和所述栅电极绝缘的绝缘层的半导体器件中，使所述半导体层与所述栅电极相互重叠的区域绝缘的绝缘层的膜厚度大于覆盖所述半导体层的中央部分绝缘层的膜厚度，由此能够防止所述半导体层的端部与所述栅电极之间短路。当起着栅极绝缘膜的作用的绝缘膜的膜厚度为几纳米到几十纳米，并且比半导体层的膜厚度薄时，这种结构尤为有效。

[0015] 此外，在通过蚀刻去除形成于半导体层上的绝缘层时，有时会在所述绝缘层中半导体层的端部的侧表面与起着基础膜作用的绝缘层相互接触的部分内形成凹陷。但是，通过在覆盖所述半导体层的端部的区域内形成具有大厚度的绝缘层，能够填充所述凹陷。采用这种方式，在形成起着栅极绝缘膜的作用的绝缘层的情况下，能够减少覆盖度缺陷等。作为这些因素的结果，能够提高将在以后形成的半导体元件的可靠性。

## 附图说明

- [0016] 在附图中：
- [0017] 图 1A 到图 1C 是用于说明本发明的半导体器件的主结构的顶视图和截面图；
- [0018] 图 2A 到图 2C 是用于说明本发明的半导体器件的主结构的顶视图和截面图；
- [0019] 图 3A 到图 3C 是用于说明本发明的半导体器件的主结构的截面图；
- [0020] 图 4A 到图 4F 是用于说明本发明的半导体器件的制造过程的截面图；
- [0021] 图 5A 到图 5F 是用于说明本发明的半导体器件的制造过程的截面图；
- [0022] 图 6A 到图 6F 是用于说明本发明的半导体器件的制造过程的截面图；
- [0023] 图 7A 到图 7I 是用于说明本发明的半导体器件的制造过程的截面图；
- [0024] 图 8A 到图 8I 是用于说明本发明的半导体器件的制造过程的截面图；
- [0025] 图 9A 到图 9I 是用于说明本发明的半导体器件的制造过程的截面图；
- [0026] 图 10A 到图 10G 是用于说明本发明的半导体器件的制造过程的截面图；
- [0027] 图 11A 到图 11C 是用于说明本发明的半导体器件的制造过程的截面图；

- [0028] 图 12A 到图 12C 是用于说明本发明的半导体器件的制造过程的截面图；
- [0029] 图 13A 到图 13C 是用于说明本发明的半导体器件的主结构的截面图；
- [0030] 图 14A 到图 14C 是用于说明本发明的半导体器件的主结构的截面图；
- [0031] 图 15A 到图 15D 是用于说明本发明的半导体器件的主结构的截面图；
- [0032] 图 16 是示出了非易失存储单元阵列的等效电路的例子的示意图；
- [0033] 图 17 是示出了 NOR 型非易失存储单元阵列的等效电路的一个例子的示意图；
- [0034] 图 18 是示出了 NAND 型非易失存储单元阵列的等效电路的例子的示意图；
- [0035] 图 19A 和图 19B 是用于说明 NAND 型非易失存储器的写入操作的示意图；
- [0036] 图 20A 和 20B 是用于说明 NAND 型非易失存储器的擦除和读取操作的示意图；
- [0037] 图 21 是示出了在累积电荷的数据“0”的情况下和在擦除电荷的数据“1”的情况下非易失存储器的阈值电压的变化的示意图；
- [0038] 图 22 是示出了非易失半导体存储器件的电路方框图的例子的示意图；
- [0039] 图 23 是用于说明等离子体处理设备的结构的图示；
- [0040] 图 24A 到 24D 是用于说明常规例子的顶视图和截面图；
- [0041] 图 25A 到图 25C 是用于说明本发明的半导体器件的制造过程的截面图；
- [0042] 图 26A 到图 26C 是用于说明本发明的半导体器件的制造过程的截面图；
- [0043] 图 27A 到图 27C 是用于说明本发明的半导体器件的制造过程的截面图；
- [0044] 图 28A 到图 28D 是用于说明本发明的半导体器件的制造过程的顶视图；
- [0045] 图 29A 和图 29B 是用于说明本发明的半导体器件的主结构的顶视图和截面图；
- [0046] 图 30A 到图 30C 是用于说明本发明的半导体器件的制造过程的例子的截面图；
- [0047] 图 31A 和 31B 是用于说明本发明的半导体器件的制造过程的例子的截面图；
- [0048] 图 32 是示出了本发明的半导体器件的顶视图的例子的图示；
- [0049] 图 33A 和 33B 是用于说明本发明的半导体器件的例子的截面图；
- [0050] 图 34 是用于说明本发明的半导体器件的例子的示意图；
- [0051] 图 35A 和 35B 是用于说明本发明的半导体器件的例子的顶视图和截面图；
- [0052] 图 36A 和图 36B 是每者示出了本发明的半导体器件的使用方式的例子的图示；
- [0053] 图 37A 到图 37E 是每者示出了本发明的半导体器件的使用模式的例子的图示；
- [0054] 图 38A 到图 38C 是示出了用于计算的薄膜晶体管的结构的图示；
- [0055] 图 39 是示出了通过计算获得的薄膜晶体管的电流 - 电压特性的曲线图；
- [0056] 图 40 是示出了图 39 所示的电流 - 电压特性的倾角的曲线图；
- [0057] 图 41A 和 41B 是用于说明本发明的半导体器件的例子的截面图；以及
- [0058] 图 42A 和图 42B 是示出了本发明的半导体器件的薄膜晶体管的电流 - 电压特性的曲线图。

## 具体实施方式

[0059] 在下文中将参考附图说明本发明的实施模式和实施例。但是，本发明不限于下述说明，本领域技术人员容易理解，在不背离本发明的范围和精神的情况下可以对其模式和细节做出各种改变。因此，不应将本发明解释为仅限于下述对实施模式和实施例的说明。应当注意，在下文所述的本发明的结构中，表示相同部分的附图标记可以为不同的附图所共

用。

[0060] (实施模式 1)

[0061] 在本实施模式中,提供了一种半导体元件的结构及其制造方法,在所述半导体元件结构中,能够抑制由半导体层的端部中的栅极绝缘膜的覆盖度的降低而导致的栅极电压的泄漏电流。在本文的描述中,将薄膜晶体管用作所述半导体元件。

[0062] 图 1A 到图 1C 是用于说明本发明的半导体器件的主结构的顶视图和截面图。具体而言,图 1A 是示出了薄膜晶体管的基本部分的顶视图,图 1B 是沿图 1A 中的 A1-B1 线得到的截面图,图 1C 是沿图 1A 中的 A2-B2 线得到的截面图。在具有绝缘表面的衬底 30 上形成这一薄膜晶体管。作为具有绝缘表面的衬底 30,可以采用玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底、具有形成于其表面的绝缘层的金属衬底等。

[0063] 在这一具有绝缘表面的衬底 30 上形成半导体层 32。可以在衬底 30 和半导体层 32 之间设置起着基础膜的作用的绝缘层 31。可以根据情况将这一绝缘层 31 作为阻挡层提供,从而防止碱金属等杂质从衬底 30 扩散到半导体层 32 内,对其造成污染。

[0064] 作为绝缘层 31,可以采用诸如氧化硅、氮化硅或含有氧和氮的硅(氮氧化硅)的绝缘材料。例如,在将绝缘层 31 形成为两层结构的情况下,可以将所含有的氮多于氧的氮氧化硅层形成为第一绝缘层,将所含有的氧多于氮的氮氧化硅形成为第二绝缘层。或者,可以将氮化硅层形成为第一绝缘层,将氧化硅层形成为第二绝缘层。

[0065] 半导体层 32 优选由单晶半导体或多晶半导体形成。优选以硅作为所述半导体材料。此外,还可以采用硅-锗半导体。此外,出于元件隔离目的,优选在绝缘表面上形成岛状半导体层,以及在所述半导体层上形成一个或多个非易失存储元件或薄膜晶体管。

[0066] 采用这种方式,通过将形成于所述绝缘表面上的半导体层形成为彼此隔离的岛状,能够有效地执行元件隔离,即使在同一衬底上形成多个薄膜晶体管和外围电路亦如此。也就是说,即使当在同一衬底上形成必须在大约 10V 到 20V 的电压下执行写入和擦除的存储元件阵列以及在大约 3V 到 7V 的电压下工作、主要执行数据的输入和输出以及指令控制的外围电路时,也能够避免由于施加至每一元件的电压的差异而导致的互相干扰。

[0067] 将 p 型杂质注入到半导体层 32 内。例如,采用硼作为 p 型杂质,并且可以将其以大约  $5 \times 10^{15} \text{ atoms/cm}^3$  到  $1 \times 10^{16} \text{ atoms/cm}^3$  的浓度添加到半导体层 32 中。其目的在于控制晶体管的阈值电压,向沟道形成区内添加杂质能够起到有效的作用。在基本对应于起着栅电极的作用的导电层 34(在下文中将对其进行说明)的区域内形成沟道形成区,并且其位于半导体层 32 的一对杂质区 32b 和 32c 之间。

[0068] 所述一对杂质区 32b 和 32c 是每者起着非易失存储元件中的源极区或漏极区的作用的区域。所述一对杂质区 32b 和 32c 是通过向半导体层 32 内添加作为 n 型杂质的磷或砷形成的,其中,所述杂质的峰值浓度为  $10^{21} \text{ atoms/cm}^3$  左右。

[0069] 此外,可以在半导体层 32 内提供低浓度杂质区 32d 和 32e。通过提供低浓度杂质区 32d 和 32e,能够降低漏极边缘处的电场,从而抑制因重复写入和擦除导致的劣化。

[0070] 在半导体层 32 上,形成覆盖所述半导体层的端部的绝缘层 36、起着栅极绝缘膜的作用的绝缘层 33 和起着栅电极的作用的导电层 34。

[0071] 设置覆盖所述半导体层的端部的绝缘层 36 的作用在于防止半导体层 32 的端部与起着栅电极的作用的导电层 34 之间发生短路。因此,优选在半导体层 32 的端部与起着栅

电极作用的导电层 34 相互重叠的区域内,在半导体层 32 上形成绝缘层 36。

[0072] 在图 1A 中,虚线表示绝缘层 36 的末端,因此在虚线内部未形成绝缘层 36。在虚线之外形成绝缘层 36,使之覆盖半导体层 32 的端部。换言之,绝缘层 36 具有位于半导体层 32 上的开口。

[0073] 由于提供覆盖半导体层的端部的绝缘层 36 的目的在于防止半导体层 32 的端部与起着栅电极的作用的导电层 34 之间发生短路,因此可以在半导体层 32 的端部与起着栅电极的作用的导电层 34 相互重叠的区域内形成绝缘层 36。

[0074] 典型地,如图 2A 到 2C 所示,可以在半导体层 32 的端部与起着栅电极的作用的导电层 34 相互重叠的区域内形成绝缘层 39a 和 39b 中的每者。也就是说,绝缘层 39a 和 39b 是以不连续的方式形成于衬底上的。因此,如图 2B 所示,在沿图 2A 的 A1-B1 线得到的截面内未形成绝缘层 39a 和 39b;如沿 A2-B2 线得到的图 2C 的横截面图所示,绝缘层 39a 和 39b 中的每者仅形成于这样的区域内,即在半导体层 32 的端部之上形成了起着栅电极的作用的导电层 34 的区域内。

[0075] 绝缘层 39a 和 39b 每者沿沟道长度方向的长度大于等于  $3 \mu m$ ,小于等于  $10 \mu m$ ,优选大于等于  $3 \mu m$ ,小于等于  $5 \mu m$ 。

[0076] 采用这种方式,通过形成覆盖半导体层的端部的绝缘层 36 或绝缘层 39a 和 39b,能够防止半导体层 32 的端部与起着栅电极的作用的导电层 34 之间发生短路。当起着栅极绝缘膜的作用的绝缘膜的膜厚度为几纳米到几十纳米,并且比半导体层的膜厚度薄时,这种结构尤为有效。此外,在通过蚀刻整个去除形成于半导体层 32 之上的绝缘层时,有时会在绝缘层 31 的与半导体层 32 的端部相互接触的部分内形成凹陷。但是,通过形成绝缘层 36 或绝缘层 39a 和 39b,能够以绝缘层填充所述凹陷。采用这种方式,在形成起着栅极绝缘层的作用的绝缘层等的情况下,能够减少覆盖度缺陷等。作为这些因素的结果,能够提高将在以后形成的半导体元件的可靠性。

[0077] 绝缘层 36、39a 和 39b 中每者由氧化硅、氮化铝、氮化硅、氧化硅和氮化硅的叠置结构、氧化硅和氮化铝的叠置结构等形式。

[0078] 接下来,将参考图 1A 到图 1C 以及图 3A 到图 3C 描述绝缘层 36、39a 和 39b 的端部的界面形状。这里,尽管采用绝缘层 36 作为本说明的典型实例,但是也可以将所述结构适当地应用于绝缘层 39a 和 39b。

[0079] 如图 1B 所示,绝缘层 36 的端部的侧表面可以垂直于或大致垂直于半导体层 32 的表面,优选具有大于等于  $85^\circ$  小于等于  $95^\circ$  的角度。当绝缘层 36 的端部的侧表面垂直于半导体层 32 的表面时,能够减小用于覆盖半导体层 32 的端部的掩模对准裕量,还能够减小半导体层的面积。也就是说,可能实现高度集成。

[0080] 或者如图 3A 所示,绝缘层 36 的端部 36a 的侧表面可以为锥形或发生倾斜,优选相对于半导体层 32 的表面具有大于等于  $30^\circ$  小于  $85^\circ$  的角度,更优选具有大于等于  $45^\circ$  小于等于  $60^\circ$  的角度。在绝缘层 36 的端部 36a 的侧表面成锥形时,能够改善覆盖绝缘层 36 的起着栅极绝缘膜的作用的绝缘层(在下文中将对其予以说明)的覆盖度,其中,绝缘层 36 覆盖着半导体层的端部。换言之,有可能抑制半导体层与栅电极之间的泄漏电流。

[0081] 或者如图 3B 所示,半导体层 32 的侧表面 32f 为锥形或发生倾斜,其优选具有大于等于  $30^\circ$  小于  $85^\circ$  的角度,更优选具有大于等于  $45^\circ$  小于等于  $60^\circ$  的角度,这时,绝缘层

37 的侧表面 38a 可以位于半导体层 32 的侧表面 32f 上。当绝缘层 37 的侧表面 38a 位于半导体层 32 的侧表面 32f 上时, 将能够降低栅极绝缘膜(将在下文中对其予以说明)的不均匀性, 并且能够改善覆盖度。换言之, 能够抑制半导体层和栅电极之间的泄漏电流。

[0082] 此外, 绝缘层 36 的端部的侧表面可以形成于由半导体层 32 的顶表面和侧表面形成的边缘上。在这种情况下, 可以降低由绝缘层 36 覆盖的半导体层的面积, 并且能够在不形成寄生薄膜晶体管的情况下抑制半导体层和栅电极之间的漏电流。

[0083] 此外, 半导体层 32 的表面和绝缘层 36 的表面可以是平的。在这种情况下, 能够改善起着栅极绝缘膜的作用的绝缘层对半导体层 32 的覆盖度。此外, 还能够在不形成寄生薄膜晶体管的情况下抑制半导体层与栅电极之间的漏电流。

[0084] 起着栅极绝缘膜的作用的绝缘层 33 由氧化硅或氧化硅与氮化硅的叠置结构等形成。可以通过采用等离子体 CVD 法或低压 CVD 法淀积绝缘层形成绝缘层 33。或者, 优选通过利用等离子体处理的固相氧化或固相氮化形成绝缘层 33。这是因为, 通过利用等离子体处理对半导体层(通常为硅层)进行氧化或氮化形成的绝缘层具有高耐压, 并且致密、可靠性高。

[0085] 在利用等离子体处理的固相氧化处理或固相氮化处理中, 优选采用通过微波(通常为 2.45GHz)激发的等离子体, 其电子密度大于等于  $1 \times 10^{11} \text{ cm}^{-3}$  小于等于  $1 \times 10^{13} \text{ cm}^{-3}$ , 其电子温度大于等于 0.5eV 小于等于 1.5eV。这是因为, 在处于 500°C 或更低的温度下的固相氧化处理或固相氮化处理中, 能够获得实用的响应速率, 并且能够形成致密的绝缘层。

[0086] 可以在氧气气氛中(例如, 在含有氧气( $\text{O}_2$ )或一氧化二氮( $\text{N}_2\text{O}$ )以及稀有气体(包括 He、Ne、Ar、Kr 和 Xe 中的至少一种)的气氛中, 或者在含有氧气或一氧化二氮、氢气( $\text{H}_2$ )和稀有气体的气氛中)利用这种等离子体处理执行对半导体层 32 的表面的氧化。可以在氮气气氛中(例如, 在含有氮气( $\text{N}_2$ )和稀有气体(包括 He、Ne、Ar、Kr 和 Xe 中的至少一种)的气氛中, 在含有氮气、氢气和稀有气体的气氛中, 或者在含有  $\text{NH}_3$  和稀有气体的气氛中)利用这种等离子体处理执行对半导体层 32 的表面的氮化。例如, 可以采用 Ar 作为稀有气体, 此外, 也可以采用混合了 Ar 和 Kr 的气体。

[0087] 图 23 示出了用于执行等离子体处理的设备的结构实例。这一等离子体处理设备包括用于布置衬底 210 的支撑底座 280、用于引入气体的气体供应部分 276、连接至用于清除气体的真空泵的排气口 278、天线 272、电介质板 274 和提供用于生成等离子体的微波的微波供应部分 284。此外, 通过为支撑底座 280 提供温度控制部分 282, 能够控制衬底 210 的温度。

[0088] 在下文中将对等离子体处理予以说明。应当注意, 等离子体处理包括对半导体衬底、绝缘层和导电层的氧化处理、氮化处理、氮氧化处理、氢化处理和表面重整处理。在每种处理中, 可以根据其目的选择由气体供应部分 276 提供的气体。

[0089] 可以按照下述说明执行氧化处理和氮化处理。首先, 排空处理室, 并从气体供应部分 276 引入含有氧气或氮气的等离子体处理气体。通过温度控制部分 282 将半导体衬底 210 加热至室温或 100°C 到 550°C 的温度。应当注意, 衬底 210 与电介质板 274 之间的距离大约为 20mm 到 80mm(优选为 20mm 到 60mm)。接下来, 从微波供应部分 284 向天线 272 提供微波。之后, 通过电介质板 274 将微波从天线 272 引入到处理室内, 由此生成等离子体 286。通过引入微波激发等离子体, 能够生成具有低电子温度(小于等于 3eV, 优选小于等于 1.5eV)和

高电子密度（大于等于  $1 \times 10^{11} \text{ cm}^{-3}$ ）的等离子体。利用由这一高密度等离子体生成的氧根（可以包括 OH 根）或氮根（可以包括 NH 根），或者同时利用所述氧根或氮根，能够使半导体衬底的表面氧化或氮化。通过向等离子体处理气体内混合诸如氩气的稀有气体，能够利用受到激发的稀有气体种类有效地生成氧根或氮根。采用这种方法可以通过有效地利用由等离子体激发的活性根在 500°C 或更低的温度下执行由固相反应实现的氧化和氮化。

[0090] 按照下述说明形成绝缘层 33 的优选实例，所述绝缘层 33 的优选实例时采用图 23 所示的设备通过高密度等离子体处理形成的。通过氧气氛下的等离子体处理在半导体层 32 上形成具有 3nm 到 6nm 的厚度的氧化硅层，之后，在氮气氛下通过氮化等离子体对所述氧化硅层的表面进行处理，以形成氮等离子体处理层。具体而言，首先通过氧气氛下的等离子体处理在半导体层 32 上形成具有 3nm 到 6nm 的厚度的氧化硅膜。之后，接着在氮气氛下执行等离子体处理，由此在氧化硅层的表面上或接近表面的位置处形成含有高浓度的氮的氮等离子体处理层。应当注意，“接近表面”是指自氧化硅层的表面起大约 0.5nm 到 1.5nm 的深度处。例如，通过在氮气氛下执行等离子体处理，获得了这样的结构，其中，在自氧化硅层的表面起大约 1nm 的深度处含有 20 到 50 atomic% 的氮。

[0091] 通过采用等离子体处理使硅层（半导体层 32 的典型例子）表面氧化，能够形成不带有任何界面形变的致密氧化物层。此外，利用等离子体处理使所述氧化物层氮化，从而利用氮替代顶层部分内的氧，以形成氮化物层，这样能够进一步提高密度。因而，能够形成耐压高的绝缘层。

[0092] 在任何情况下，通过如上所述的利用等离子体处理实施的固相氧化处理或固相氮化处理，都能够获得能够与在 950°C 到 1050°C 下形成的热氧化膜相比拟的绝缘层，即使在采用耐热温度为 700°C 或更低的玻璃衬底时亦如此。也就是说，能够形成高度可靠的绝缘层作为起着半导体元件的栅极绝缘层的作用的绝缘层，具体而言，所述半导体元件为薄膜晶体管或非易失存储元件。

[0093] 起着栅电极的作用的导电层 34 优选由从钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铬 (Cr)、铌 (Nb) 等中选出的金属，或者以上述元素作为其主要成分的合金材料或化合物材料形成。或者，可以采用添加了诸如磷的杂质元素的多晶硅。或者，导电层 34 可以由叠层结构形成，所述叠层结构包括一个或多个金属氮化物层和上述金属层。作为金属氮化物，可以采用氮化钨、氮化钼或氮化钛。通过提供金属氮化物层，能够提高金属层的粘附性，防止层剥落。

[0094] 此外，如图 3C 所示，可以在半导体层 32 上形成起着栅极绝缘膜的作用的绝缘层 33，并且可以在其中栅极绝缘膜的作用的绝缘层 33 上提供覆盖半导体层 32 的端部的绝缘层 38。

[0095] 与图 1A 到图 1C 所示的绝缘层 36 类似，可以提供绝缘层 38，使之完全覆盖半导体层 32 的端部。或者，与图 2A 到图 2C 所示的绝缘层 39a 和 39b 类似，可以在半导体层 32 的端部与起着栅电极的作用的导电层 34 相互重叠的区域内形成绝缘层 38。此外，可以如图 1B 所示，使绝缘层 38 的端部的形状和构造垂直于半导体层的表面，或者如图 3A 所示，使之成锥形。或者，如图 3B 所示，可以使绝缘层 38 的端部位于半导体层 32 的侧表面上。

[0096] 此外，作为覆盖半导体层的端部的绝缘层，可以采用 SOI（绝缘体上硅）衬底。作为 SOI 衬底，可以采用所谓的 SIMOX（由注入氧实现分隔）衬底，其制造方式为，向镜面抛光

晶片内注入氧离子,之后执行高温退火,从而在距顶表面某一深度的位置形成氧化物层,并破坏产生于顶表面层内的缺陷。

[0097] 在所述半导体衬底为 n 型的情况下,形成向其内注入 p 型杂质的 p 阵。例如,作为 p 型杂质,可以采用并以大约  $5 \times 10^{15} \text{ atoms/cm}^{-3}$  到  $1 \times 10^{16} \text{ atoms/cm}^{-3}$  的浓度添加硼。通过形成 p 阵,能够在这一区域内形成 n 沟道晶体管。此外,被添加至所述 p 阵的 p 型杂质还具有控制晶体管的阈值电压的作用。在基本对应于将在下文中予以说明的栅极的区域内形成位于所述半导体衬底内的沟道形成区,所述沟道形成区位于形成于所述半导体衬底内的一对杂质区之间。

[0098] 接下来,将在下文中描述图 1A 到图 1C、图 2A 到图 2C 以及图 3A 到图 3C 所示的薄膜晶体管的制造过程。

[0099] 如图 4A 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 32,在半导体层 32 上形成绝缘层 40,在绝缘层 40 上形成掩模 41。

[0100] 通过 CVD 法、溅射法、涂覆法等,采用诸如氧化硅、氮化硅或含有氧和氮的硅(氮氧化硅)的绝缘材料形成绝缘层 31。

[0101] 通过下述方式形成由单晶半导体或多晶半导体构成的半导体层 32:使通过溅射法、等离子体 CVD 法或低压 CVD 法在衬底 30 的整个表面上形成的半导体层结晶,之后执行选择蚀刻。作为一种用于使半导体膜结晶的方法,可以采用激光结晶法、利用快速热退火(RTA)或退火炉的热结晶法、利用促进结晶的金属元素的结晶法或将一种或多种前述方法结合起来的方法。以大于等于 10nm 小于等于 150nm,优选大于等于 30nm 小于等于 100nm,更优选大于等于 50nm 小于等于 80nm 的厚度形成半导体层 32。

[0102] 通过 CVD 法、溅射法、涂覆法等,采用诸如氧化硅、氮化硅或含有氧和氮的硅(氮氧化硅)的绝缘材料形成绝缘层 40。

[0103] 在至少覆盖半导体层 32 的端部的区域内形成掩模 41,半导体层 32 将被以后栅电极覆盖。或者,在覆盖半导体层 32 的端部的区域内形成掩模 41。采用光刻工艺通过曝光和显影形成掩模 41。或者,可以通过微滴释放法有选择地释放化学成分,由此形成掩模 41。

[0104] 接下来,如图 4B 所示,采用掩模 41 对绝缘层 40 蚀刻,以形成绝缘层 36。这时,暴露半导体层 32 的部分。接下来,在绝缘层 36 和半导体层 32 的暴露部分上形成起着栅极绝缘膜的作用的绝缘层 33。

[0105] 起着栅极绝缘膜的作用的绝缘层 33 由氧化硅或氧化硅与氮化硅的叠置结构等形成。可以通过采用等离子体 CVD 法或低压 CVD 法叠置绝缘层形成绝缘层 33。或者,可以采用上文所述的图 23 所示的设备,利用等离子体处理下的固相氧化或固相氮化形成绝缘层 33。这是因为,通过利用等离子体处理对半导体层(通常为硅层)进行氧化或氮化形成的绝缘层具有高耐压,并且致密、可靠性高。

[0106] 接下来,如图 4C 所示,在起着栅极绝缘膜的作用的绝缘层 33 上形成起着栅电极的作用的导电层 34。此外,在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0107] 优选通过溅射法、蒸发法、喷墨法、CVD 法等,采用从钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铌(Nb)等中选出的金属,或者以上述元素作为其主要成分的合金材料或复合材料形成导电层 34。导电层 34 的厚度大于等于 100nm 小于等于 1000nm,优选大于等于

200nm 小于等于 800nm, 更优选大于等于 300nm 小于等于 500nm。

[0108] 利用栅电极或掩模向半导体层 32 有选择地添加杂质, 以形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0109] 接下来, 将参考图 4D 到图 4F 描述一种模式, 其中采用的过程与图 4A 到图 4C 所示的过程不同。

[0110] 如图 4D 所示, 在衬底 30 上形成绝缘层 31, 在绝缘层 31 上形成半导体层 32。接下来, 在半导体层 32 上形成起着栅极绝缘膜作用的绝缘层 33, 之后形成绝缘层 40, 进而在绝缘层 40 上形成掩模 41。

[0111] 接下来, 如图 4E 所示, 采用掩模 41 蚀刻绝缘层 40, 由此形成绝缘层 36。这里, 应当适当选择绝缘层 33 和 40, 从而实现只是有选择地蚀刻绝缘层 40 而不蚀刻绝缘层 33 的目的。换言之, 形成绝缘层 40 的膜比绝缘层 33 具有更高的密度和蚀刻速度。可以通过改变源气体的流速和电压值形成这样的膜。或者, 在采用不同的材料形成绝缘层 33 和绝缘层 40 之后, 可以采用仅对绝缘层 40 进行有选择地蚀刻的蚀刻剂蚀刻绝缘层 40, 以形成绝缘层 36。

[0112] 之后, 采用与图 3C 类似的方式, 形成起着栅电极的作用的导电层 34, 并在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0113] 采用上述方式, 能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶体管。

[0114] 尽管绝缘层 40 是通过图 4A 所示的薄膜形成法形成的, 但是可以在通过图 5A 所示的涂覆法形成绝缘层 46 之后, 通过与图 4B 和图 4C 所示的类似的过程形成绝缘层 48。

[0115] 绝缘层 46 可以具有单层结构或叠层结构, 所述结构由诸如环氧树脂、聚酰亚胺、聚酰胺、聚乙烯酚、苯并环丁烯或丙烯酸树脂的有机材料或诸如硅醚树脂的硅氧烷材料等形成。应当注意, 硅氧烷材料对应于含有 Si—O—Si 键的材料。硅氧烷具有含有硅 (Si) 和氧 (O) 的键的框架结构。作为取代基, 可以采用至少含有氢的有机基 (例如, 烷基或芳香烃基)。作为取代基, 还可以采用氟代基。或者, 可以采用至少含有氢的有机基和氟代基作为取代基。

[0116] 通过这样的过程形成的绝缘层在整个衬底上具有很小的不均匀性, 并且降低了所述不均匀性对绝缘层 33 的影响。因此, 即使当绝缘层 33 的膜厚度小时, 也能够保持其覆盖度。

[0117] 或者, 如图 5D 所示, 在半导体层 32 形成起着栅极绝缘膜的作用的绝缘层 33, 之后可以形成绝缘层 46, 进而可以在绝缘层 46 上形成掩模 47。此后, 如图 5E 所示, 采用掩模 47 对绝缘层 46 蚀刻, 以形成覆盖半导体层 32 的端部的绝缘层 48, 绝缘层 33 插置于二者之间。

[0118] 将参考图 6A 到 6F 和图 7A 到 7I 描述一种半导体器件制造方法, 其采用的过程与上文所述过程不同。

[0119] 如图 6A 所示, 在衬底 30 上形成绝缘层 31, 在绝缘层 31 上形成半导体层 32。之后, 在半导体层 32 上形成掩模 44, 在掩模 44、半导体层 32 和绝缘层 31 上形成绝缘层。这里, 将掩模 44 形成为具有梯形截面, 所述梯形的顶边长于底边 (在下文中, 将这一形状称为倒梯形)。通过这样做, 当在其上形成绝缘层时, 能够在掩模上形成绝缘层 45, 并围绕掩模形

成绝缘层 36，即在半导体层 32 和绝缘层 31 的暴露部分上形成绝缘层 36。

[0120] 接下来，如图 6B 所示，去除掩模 44，同时去除形成于在掩模 44 上的绝缘层 45。结果，只保留了覆盖半导体层 32 的端部的绝缘层 36。

[0121] 此后，在半导体层 32 和绝缘层 36 上形成起着栅极绝缘膜作用的绝缘层 33，在起着栅极绝缘膜作用的绝缘层 33 上形成起着栅电极的作用的导电层 34。此外，在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0122] 接下来，将参考图 6A 到图 6F 描述一种模式，其中采用的过程与图 6A 到图 6C 所示的过程不同。

[0123] 如图 6D 所示，在衬底 30 上形成绝缘层 31，在绝缘层 31 上形成半导体层 32。之后，在半导体层 32 上形成起着栅极绝缘膜作用的绝缘层 33，在绝缘层 33 上形成具有倒梯形形状的掩模 44，之后，在具有 4 倒梯形形状的掩模 44、半导体层 32 和绝缘层 33 上形成绝缘层 36。

[0124] 接下来，如图 6E 所示，去除掩模 44，从而将形成于掩模 44 上的绝缘层 45 也去除。结果，只保留了覆盖半导体层 32 的端部的绝缘层 36。

[0125] 之后，采用与图 6C 类似的方式，形成起着栅电极的作用的导电层 34，并在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0126] 采用上述方式，能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶体管。

[0127] 尽管绝缘层 36 和 45 是通过图 6A 倒 6F 所示的薄膜形成法形成的，但是在如图 7A 所示，在半导体层 32 上形成掩模 50，通过涂覆法在掩模 50 和半导体层 32 上形成绝缘层 51 的情况下，如图 7B 所示，对绝缘层 51 和掩模 50 进行各向异性蚀刻，以形成经蚀刻的绝缘层 53 和经蚀刻的掩模 52。在图 7B 中，虚线 50a 表示蚀刻前的掩模 50，虚线 51a 表示蚀刻前的绝缘层 51。

[0128] 接下来，去除经蚀刻的掩模 52，由此能够形成覆盖半导体层 32 的端部的绝缘层 53，如图 7C 所示。通过这样的方法形成的绝缘层 53 在整个衬底上具有很小的不均匀性，并且降低了所述不均匀性对绝缘层 33 的影响。因此，即使当绝缘层 33 的膜厚度小时，也能够保持其覆盖度。

[0129] 或者，如图 7F 所示，在半导体层 32 上形成起着栅极绝缘膜的作用的绝缘层 33，之后在绝缘层 33 上形成掩模 50，进而通过涂覆法在掩模 50 和绝缘层 33 上形成绝缘层 51。

[0130] 接下来，如图 7G 所示，对绝缘层 51 和掩模 50 进行各向异性蚀刻，以形成经蚀刻的绝缘层 53 和经蚀刻的掩模 52。

[0131] 接下来，如图 7H 所示，去除经蚀刻的掩模 52，由此能够形成覆盖半导体层 32 的端部的绝缘层 53，绝缘层 33 插置于二者之间。通过这样的过程形成的绝缘层 53 在整个衬底上具有很小的不均匀性，并且降低了所述不均匀性对以后形成的起着栅电极作用的导电层 34 的影响。因此，即使当绝缘层 33 的膜厚度小时，也能够保持其覆盖度。

[0132] 将参考图 8A 到图 8I 以及图 9A 到图 9I 描述一种半导体器件的制造方法，其采用的过程与上文所述的过程不同。在图 8A 到图 8I 以及图 9A 到图 9I 中示出了采用半导体层作

为掩模形成覆盖半导体层的端部的绝缘层的过程。下文描述的制造过程能够提高吞吐量，因为与图 4A 到图 4F、图 5A 到图 5F、图 6A 到图 6F 以及图 7A 到图 7I 相比，能够减少一个用于形成掩模的光掩模。此外，还降低了采用光掩模的掩模对准步骤的数量，因此能够抑制由对准偏差导致的成品率的降低。

[0133] 将参考图 8A 到图 8I 描述采用背面曝光并采用半导体层作为掩模形成覆盖所述半导体层的端部的绝缘层的过程。

[0134] 如图 8A 所示，在衬底 30 上形成绝缘层 31，在绝缘层 31 上形成半导体层 32。之后，在半导体层 32 上形成绝缘层 40，此后形成抗蚀剂 58。

[0135] 这里，采用透光材料形成衬底 30、绝缘层 31 和绝缘层 40，从而对抗蚀剂 58 曝光。换言之，可以采用具有透光特性的衬底。

[0136] 接下来，采用来自衬底 30 一侧的光 54 照射抗蚀剂 58，由此使抗蚀剂 58 的部分曝光。作为光 54，采用能够被半导体层 32 吸收，同时能够穿过衬底 30、绝缘层 31 和绝缘层 40，并使抗蚀剂 58 曝光的光。这里，采用半导体层作为掩模对抗蚀剂 58 曝光；因此，可以采用能够被半导体层吸收的波长大于等于 350nm 的光，通常为 i 线 (365nm)、g 线 (436nm) 或 h 线 (405nm)。此外，在提高光量时，光在半导体层 32 的背面逡巡，因而也能使半导体层 32 上的抗蚀剂曝光。

[0137] 如图 8B 所示，对曝光的抗蚀剂显影，以形成掩模 60。之后，如图 8C 所示，采用掩模 60 对绝缘层 40 蚀刻，从而能够形成覆盖半导体层 32 的端部的绝缘层 36。

[0138] 此后，如图 8D 所示，在半导体层 32 和绝缘层 36 上形成起着栅极绝缘膜的作用的绝缘层 33。此外，在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0139] 接下来，将参考图 8F 到图 8I 描述一种模式，其采用的过程不同于图 8A 到图 8E 所示的过程。

[0140] 如图 8F 所示，在衬底 30 上形成绝缘层 31，在绝缘层 31 上形成半导体层 32。之后，在半导体层 32 上形成起着栅极绝缘膜的作用的绝缘层 33，在绝缘层 33 上形成绝缘层 40。之后，形成抗蚀剂 58。接下来，采用来自衬底 30 一侧的光 54 照射抗蚀剂 58，由此使抗蚀剂 58 的部分曝光。

[0141] 如图 8G 所示，对经曝光的抗蚀剂显影，以形成掩模 60。之后，如图 8H 所示，采用掩模 60 只对绝缘层 40 进行蚀刻，由此能够形成覆盖半导体层 32 的端部的绝缘层 36，绝缘层 33 插置于二者之间。

[0142] 之后，如图 8I 所示，采用与图 8E 类似的方式，形成起着栅电极的作用的导电层 34，并在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0143] 采用上述方式，能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶体管。

[0144] 接下来，将参考图 9A 到图 9I 描述采用用于形成半导体层的掩模形成覆盖半导体层的端部的绝缘层的过程。

[0145] 如图 9A 所示，在衬底 30 上形成绝缘层 31，在绝缘层 31 上形成半导体层 59。之后，在半导体层 59 上形成掩模 60。

[0146] 接下来,如图 9B 所示,采用掩模 60 对半导体层 59 进行蚀刻,以形成半导体层 32。

[0147] 接下来,如图 9C 所示,通过灰化蚀刻并去除掩模 60,从而将掩模 60 形成为尺寸与其相比较小的掩模 61,之后在掩模 61 的表面上执行防液体处理。这里,作为防液体处理,采用氟等离子体处理掩模 61 的表面。尽管这里是在形成了掩模 61 之后,在掩模 61 的表面上执行防液体处理,但是也可以采用喷墨法通过释放防液体成分在半导体层 32 上形成防液体成分。虚线 60a 表示执行灰化之前的掩模 60。

[0148] 作为防液体成分的例子,可以采用包括碳氟化合物链的有机树脂(基于氟的树脂)。所述基于氟的树脂可以是聚四氟乙烯(PTFE;4-氟化乙烯树脂)、全氟代烷氧基链烷(PFA;4-氟代乙烯全氟代烷基乙烯共聚物树脂)、全氟代乙烯丙烯共聚物(PFEP;4-氟代乙烯6-氟代甲基乙烯共聚物树脂)、乙烯-四氯乙烯共聚物(ETFE;4-氟代乙烯-乙烯共聚物树脂)、聚偏二氟乙烯(PVDF;氟代亚乙烯树脂)、聚氯三氟乙烯(PCTFE;3-氟代氯化乙烯树脂)、乙烯-三氟氯乙烯共聚物(ECTFE;3-氟代氯化乙烯-乙烯共聚物树脂)、聚四氟乙烯-全氟代间二氧杂环戊烯共聚物(TFE-PDD)、聚氟乙烯(PVF;氟代乙烯基树脂)等。

[0149] 作为防液体成分的例子,可以采用由化学式  $R_n-Si-X_{(4-n)}$  表示的有机硅烷。在这一化学式中, R 表示相对不活跃的基,例如氟代烷基和烷基;X 表示诸如卤素、甲氧基、乙氧基或乙酸基的水解基,其能够通过缩合反应与衬底表面上的羟基或所吸收的水化学结合。

[0150] 作为有机硅烷的例子,可以采用以氟烷基作为 R 的氟烷基硅烷(在下文中也称为 FAS)。FAS 的氟烷基 R 具有  $(CF_3)(CF_2)_x(FH_2)_y$  的结构,其中 x 是 0 到 10 的整数,y 是 0 到 4 的整数。在多个 R 或 X 与 Si 化学结合时,所有的 R 或 X 可以是相同的,也可以是不同的。作为 FAS 的典型例子,有诸如十七氟四氢化癸基三乙氧基硅烷、十七氟四氢化癸基三氯代硅烷、十三氟代四氢化辛基三氯代硅烷和三氟丙基三甲氧基硅烷的氟烷基硅烷(FAS)。

[0151] 作为有机硅烷的另一个例子,可以采用乙烷基作为 R 的烷氧基硅烷。作为烷氧基硅烷,优选采用碳数为 2 到 30 的烷氧基硅烷。典型地,可以给出乙基三乙氧基硅烷、丙基三乙氧基硅烷、辛基三乙氧基硅烷、癸基三乙氧基硅烷、十八烷基三乙氧基硅烷(ODS)、廿烷基三乙氧基硅烷和三十烷基三乙氧基硅烷。具体而言,优选采用具有长链烷基的硅烷化合物,因为能够降低浸润性。

[0152] 接下来,通过涂敷法或印刷法形成绝缘层 62。这里,涂覆或印刷含有绝缘材料的成分,之后使其干燥并对其烘焙,由此形成绝缘层 62。可以适当采用与图 5A 和 5D 所示的绝缘层 46 的材料相类似的材料作为绝缘层 62 的材料。

[0153] 接下来,去除掩模 61,从而能够形成覆盖半导体层 32 的端部的绝缘层 62。

[0154] 此后,如图 9D 所示,在半导体层 32 上形成起着栅极绝缘膜作用的绝缘层 33,在起着栅极绝缘膜作用的绝缘层 33 上形成起着栅电极作用的导电层 34。此外,在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0155] 尽管绝缘层 62 相对于衬底表面向上凸起,但是也可以如图 9E 所示形成相对于衬底表面向下凹入的绝缘层 63。可以根据形成绝缘层 62 和 63 的成分的浓度、粘滞度等适当选择绝缘层 62 和 63 的形状。

[0156] 接下来,将参考图 9F 到图 9I 描述一种模式,其采用的过程不同于图 9A 到图 9E 所示的过程。

[0157] 如图 9F 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 59。之后,在半导体层 59 上形成起着栅极绝缘膜的作用的绝缘层 33,之后在绝缘层 33 上形成掩模 60。

[0158] 接下来,如图 9G 所示,采用掩模 60 对半导体层 59 和绝缘层 33 蚀刻,从而形成半导体层 32 和绝缘层 33c。

[0159] 接下来,如图 9H 所示,通过灰化蚀刻并去除掩模 60,从而将掩模 60 形成为尺寸与其相比较小的掩模 61,之后在掩模 61 的表面上执行防液体处理,以形成防液体层 61a。接下来,通过涂覆法或印刷法形成覆盖半导体层 32 的绝缘层 62,绝缘层 33c 插置于二者之间。之后,去除掩模 61。

[0160] 之后,采用与图 9E 类似的方式,形成起着栅电极的作用的导电层 34,之后在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0161] 采用上述方式,能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶体管。

[0162] 接下来,将参考图 10A 到 10G 以及图 11A 到 11C 描述不采用掩模形成覆盖半导体层的端部的绝缘层的过程。

[0163] 如图 10A 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 32。接下来,在位于衬底 30 之上的半导体层 32 的每一侧上形成绝缘层 55。这里,通过喷墨法或印刷法有选择地形成含有用于形成绝缘层的材料的成分,由此能够形成覆盖半导体层 32 的端部的绝缘层 55。

[0164] 接下来,如图 10B 所示,在半导体层 32 和绝缘层 55 上形成起着栅极绝缘膜作用的绝缘层 33。

[0165] 接下来,如图 10C 所示,在起着栅极绝缘膜的作用的绝缘层 33 上形成起着栅电极的作用的导电层 34。此外,在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0166] 尽管绝缘层 55 相对于衬底表面向上凸起,但是也可以如图 10D 所示形成相对于衬底 30 的表面向下凹入的绝缘层 56。可以根据形成绝缘层 55 和 56 的成分的浓度、粘滞度等适当选择绝缘层 55 和 56 的形状。

[0167] 接下来,将参考图 10E 到 10G 描述一种模式,其采用的过程与图 10A 到 10D 所示的过程不同。

[0168] 如图 10E 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 32。之后,在半导体层 32 上形成起着栅极绝缘膜作用的绝缘层 33,此后在位于半导体层 32 的每侧之上的绝缘层 33 上形成绝缘层 55。

[0169] 之后,采用与图 10D 类似的方式,形成起着栅电极的作用的导电层 34,之后在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0170] 尽管绝缘层 55 相对于衬底表面向上凸起,但是也可以如图 10G 所示形成相对于衬底 30 的表面向下凹入的绝缘层 56。

[0171] 采用上述方式,能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶

体管。

[0172] 将参考图 11A 到 11C 描述在不采用掩模的情况下形成覆盖半导体层的端部的绝缘层的过程,其与上述过程不同。

[0173] 如图 11A 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 32。这里,半导体层 32 的端部的侧表面优选垂直于衬底 30 的表面或与之成大于等于 85° 小于等于 95° 的角。通过这种方式,能够以提高的成品率形成将在以后形成的绝缘层 69。之后,在半导体层 32 上形成绝缘层 40。这里,绝缘层 40 的膜厚度优选是半导体层 32 的膜厚度的 1.5 到 3 倍。通过等离子体 CVD 法,采用氧化硅或氮氧化硅形成绝缘层 40。

[0174] 接下来,主要沿垂直于衬底的方向通过各向异性刻蚀有选择地蚀刻绝缘层 40,从而能够形成如图 11B 所示的与半导体层 32 的侧表面接触的绝缘层 69。通过这种方法,所形成的绝缘层 69 能够覆盖由半导体层 32 的侧表面与绝缘层 31 形成的边缘,但不覆盖由半导体层 32 的侧表面和顶表面形成的边缘。

[0175] 接下来,如图 11B 所示,在半导体层 32 和绝缘层 69 上形成起着栅极绝缘膜作用的绝缘层 33。

[0176] 接下来,如图 11C 所示,在起着栅极绝缘膜的作用的绝缘层 33 上形成起着栅电极的作用的导电层 34。此外,在半导体层 32 内形成与栅电极重叠的沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0177] 应当注意,低浓度杂质区 32d 和 32e 是根据需要形成的。

[0178] 采用上述方式,能够制造出一种抑制了半导体层与栅电极之间的漏电流的薄膜晶体管。

[0179] (实施模式 2)

[0180] 在本实施模式中,提供了一种半导体元件的结构及其制造方法,在所述半导体元件结构中,能够抑制由半导体层的端部中的栅极绝缘膜的覆盖度的降低而导致的栅极电压的泄漏电流。在本文的描述中,将薄膜晶体管用作所述半导体元件。

[0181] 图 12A 是用于说明本发明的半导体器件的主结构的截面图。具体而言,图 12A 示出了薄膜晶体管的横断面,图 12B 和 12C 每者示出了图 12A 所示的制造过程中半导体层的端部 67 的放大图。

[0182] 在具有绝缘表面的衬底 30 上形成这一薄膜晶体管。此外,在衬底 30 和薄膜晶体管之间形成绝缘层 31。所述薄膜晶体管包括半导体层 66、起着栅极绝缘膜作用的绝缘层 33 和起着栅电极作用的导电层 34。此外,半导体层 66 包括沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0183] 在本实施模式中描述的半导体层 66 的特征是半导体层 66 在除了侧表面以外的区域内包括具有第一膜厚度的区域 66a 和具有第二膜厚度的区域 66b,其中,第二膜厚度大于第一膜厚度。此外,起着栅极绝缘膜作用的绝缘层 33 的特征在于,绝缘层包括具有第三膜厚度的区域 33a 和具有第四膜厚度的区域 33b,第四膜厚度大于第三膜厚度。应当注意,半导体层 66 的具有第一膜厚度的区域 66a 与绝缘层 33 的具有第三膜厚度的区域 33a 与半导体层 66 的侧表面接触。以这种方法,能够在半导体层 66 的侧表面的周围确保绝缘层的足够的厚度;因此,能够抑制半导体层 66 与起着栅电极作用的导电层 34 之间的漏电流的产生。

[0184] 接下来,将参考图 12B 和 12C 描述在本实施模式中描述的半导体层和绝缘层的形成方法。

[0185] 如图 12B 所示,在衬底 30 上形成绝缘层 31,在绝缘层 31 上形成半导体层 66。这里,半导体层 66 的侧表面优选以大于等于  $30^\circ$  小于  $80^\circ$  的角度,更优选以大于等于  $45^\circ$  小于等于  $60^\circ$  的角度倾斜。在通过这种方式构形时,在后面能够采用等离子体有效地照射半导体层 66 的侧表面,并且能够使半导体层 66 的侧表面周围的绝缘层的膜厚度大。接下来,在半导体层 32 上形成绝缘层 33。

[0186] 接下来,在绝缘层 33 上形成掩模 68。优选将掩模 68 形成为覆盖将成为半导体层的沟道形成区的部分。接下来,利用图 23 所示的在实施模式 1 中描述的设备,通过采用高密度等离子体处理的固相氧化使半导体层 66 的一部分氧化,或通过采用高密度等离子体处理的固相氮化使其氮化。通过采用这样的等离子体处理的氧化或氮化形成的绝缘层具有高耐压,并且其致密、稳定性高。

[0187] 结果,如图 12C 所示,半导体层的一部分,尤其是位于与半导体层的侧表面接触的区域 66a 中的半导体层部分的膜厚度变薄,因而覆盖所述部分的绝缘层的膜厚度变厚。应当注意,虚线 66c 表示在执行高密度等离子体处理之前的半导体层。

[0188] 此外,在利用掩模 68 相半导体层 66 添加磷或硼之后,如图 12B 所示执行等离子体处理,由此加速半导体层 66 的氧化速度。因此,在与半导体层 66 的侧表面接触的区域内,半导体层 66 的膜厚度变薄,覆盖所述区域的绝缘层 33 的膜厚度变厚。

[0189] 通过上述方式,能够在半导体层 66 的侧表面的周围确保绝缘层的足够大的厚度;因此,能够抑制半导体层 66 与起着栅电极作用的导电层 34 之间的漏电流的产生。

[0190] (实施模式 3)

[0191] 在本实施模式中,提供了一种半导体元件的结构及其制造方法,在所述半导体元件结构中,能够抑制由半导体层的端部中的栅极绝缘膜的覆盖度的降低而导致的栅极电压的泄漏电流。在本文的描述中,将薄膜晶体管用作所述半导体元件。

[0192] 图 13A 是用于说明本发明的半导体器件的主结构的截面图。具体而言,图 13A 示出了薄膜晶体管的横截面;图 13B 和 13C 每者示出了图 13A 中的半导体层的端部 64 的放大图。在具有绝缘表面的衬底 30 上制造这一薄膜晶体管。此外,在衬底 30 和薄膜晶体管之间形成绝缘层 33。所述薄膜晶体管包括半导体层 32、起着栅极绝缘膜作用的绝缘层 33 和起着栅电极作用的导电层 34。此外,半导体层 32 包括沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。

[0193] 如图 13B 所示,半导体层 32 的侧表面相对于与衬底平行的平面以角度  $\theta_1$  倾斜,起着基础膜的作用的绝缘层 31 的表面相对于与衬底平行的平面以角度  $\theta_2$  倾斜。 $\theta_1$  大于等于  $10^\circ$  小于等于  $40^\circ$ ,  $\theta_2$  大于等于  $5^\circ$  小于等于  $15^\circ$ 。通过这种方式,当起着基础膜作用的绝缘层 31 的表面的倾角小于半导体层 32 的端部的侧表面的倾角时,半导体层 32 与绝缘层 31 的界面变得平滑,能够提高形成于半导体层 32 和绝缘层 31 之上的起着栅极绝缘膜作用的绝缘层 33 的覆盖度。因此,能够防止半导体层 32 与栅电极之间产生漏电流。

[0194] 此外,如图 13C 所示,起着基础膜的作用的绝缘层 31 的表面可以相对于衬底表面凸起。即使具有这样的形状,半导体层 32 与绝缘层 31 之间的界面也会变得平滑,并且能够提高形成于半导体层 32 和绝缘层 31 之上的起着栅极绝缘膜作用的绝缘层 33 的覆盖度。因

此,能够防止半导体层 32 与栅电极之间产生漏电流。

[0195] (实施模式 4)

[0196] 在本实施模式中,将描述一种半导体元件的例子,其具有如上所述的能够降低栅电极与半导体层之间的漏电流的结构。尽管在本实施模式中将描述应用了实施模式 1 中所述的结构的例子,但是也可以适当应用实施模式 2 和 3。

[0197] 在图 14A 到 14C 中,示出了一种薄膜晶体管的结构,其应用了能够抑制栅电极与半导体层之间的漏电流的结构。

[0198] 如图 14A 所示,可以在起着栅电极作用的导电层 34 的侧表面上形成间隔体 35。此外,凭借间隔体 35 的采用,能够在起着栅电极作用的导电层 34 的每一侧沿沟道长度方向形成低浓度杂质区 32d 或 32e。低浓度杂质区 32d 和 32e 起着轻度掺杂漏极 (LD) 的作用。通过提供低浓度杂质区 32d 和 32e,能够降低漏极边缘处的电场,从而能够抑制因重复写入和擦除导致的劣化。

[0199] 可以通过下述方式在导电层 34 的侧表面上有选择地形成间隔体 35:通过 CVD 法、溅射法等在绝缘层 33 和导电层 34 上形成厚度为导电层 34 的 1.5 到 3 倍的绝缘层,之后通过各向异性刻蚀刻所述绝缘层。

[0200] 或者,可以采用如图 14B 所示的结构,其中,起着栅电极作用的导电层由叠置导电层形成,其中的一个导电层大于另一个导电层。换言之,可以使叠置导电层中的一个向外扩展。这里,示出了这样一个例子,其中,处于与起着栅极绝缘膜作用的绝缘层 33 接触的一侧上的导电层 80 的面积大于形成于其上的导电层 81 的面积。应当注意,导电层 81 可以大于导电层 80,但不限于此。形成于导电层 81 之外的导电层 80 的区域与低浓度杂质区 32d 和 32e 重叠,绝缘层 33 插置于它们之间。在通过这种方式形成起着栅电极作用的导电层 80 和 81 时,能够通过形成于导电层 81 之外的导电层 80 的区域向半导体层添加杂质。换言之,通过添加杂质的步骤,能够在半导体层 32 内同时形成沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。因此,能够提高吞吐量。

[0201] 或者,可以采用如图 14C 所示的结构,其中,起着栅电极作用的导电层覆盖低浓度杂质区 32d 和 32e。就采用这种结构的薄膜晶体管而言,在形成起着栅电极作用的导电层 82 之前向半导体层 32 添加低浓度杂质,在形成低浓度杂质区 32d 和 32e 之后,形成起着栅电极作用的导电层 82。接下来,采用导电层 82 作为掩模向半导体层 32 内添加高浓度杂质。通过这种方式能够形成薄膜晶体管。

[0202] 或者,尽管未示出,但是可以形成具有单一漏极结构的薄膜晶体管,其中,半导体层 32 包括沟道形成区 32a 以及高浓度杂质区 32b 和 32c,但不包括低浓度杂质区。就这样的薄膜晶体管而言,不需要形成低浓度杂质区的步骤;因此,能够提高吞吐量。

[0203] 接下来,将参考图 15A 到图 15D 描述一种非易失存储元件的结构,所述非易失存储元件采用了能够减少栅电极和半导体层之间的漏电流的结构。

[0204] 图 15A 所示的非易失存储元件包括:形成于半导体层 32 上的起着隧道氧化物膜作用的绝缘层 83;以及形成于绝缘层 83 上的电荷累积层 84、起着控制绝缘膜的作用的绝缘层 85 和起着栅电极的作用的导电层 86。此外,对准电荷累积层 84 的末端和起着栅电极作用的导电层 86 的末端。此外,这一非易失存储元件具有单一漏极结构,其中,半导体层 32 包括沟道形成区 32a 以及高浓度杂质区 32b 和 32c,但不包括低浓度杂质区。就这样的非易失

存储元件而言,不需要形成低浓度杂质区的步骤;因此,能够提高吞吐量。

[0205] 采用起着隧道氧化物膜作用的绝缘层83作为向电荷累积层84内注入电荷的隧道绝缘层。可以采用与实施模式1中描述的起着栅极绝缘膜作用的绝缘层33的材料和形成方法类似的材料和形成方法形成绝缘层83。典型地,可以由氧化硅、氧化硅和氮化硅的叠置结构等形成绝缘层83。或者,可以采用图23所示的设备在半导体层32的表面上执行高密度等离子体处理,从而使半导体层32的表面氧化,由此形成所述绝缘层。或者,可以通过下述方式形成所述绝缘层:通过等离子体CVD法采用氧化硅形成绝缘层,之后,采用图23所示的设备执行等离子体处理,从而使所述表面氧化或氮化。在这种情况下,在使氧化硅的表面氮化时,在所述氧化硅层的表面上或表面附近提供具有高氮浓度的氮等离子体处理层。应当注意,“接近表面”是指自氧化硅层的表面起大约0.5nm到1.5nm的深度处。例如,通过在氮气氛下执行等离子体处理,获得了这样的结构,其中,在自氧化硅层的表面起大约1nm的深度处含有20到50atomic%的氮。

[0206] 在后面描述的电荷累积层是由导电层或半导体层形成的浮置栅极的情况下,优选将绝缘层83形成为具有3nm到6nm的厚度。例如,在栅极长度为600nm的情况下,可以将绝缘层83形成为具有3nm到6nm的厚度。或者,在后面描述的电荷累积层由绝缘层形成的情况下,优选将所述绝缘层83形成为具有1nm到10nm的厚度,更优选为1nm到5nm。例如,在栅极长度为600nm的情况下,可以将绝缘层83形成为具有1nm到3nm的厚度。

[0207] 电荷累积层84可以是由半导体材料或导电材料的层或颗粒形成的浮置栅极。作为半导体材料,可以采用硅、硅-锗等。在采用硅时,可以采用非晶硅或多晶硅。此外,也可以采用掺有磷的多晶硅。作为导电材料,可以采用从钽(Ta)、钛(Ti)、钼(Mo)和钨(W)中选出的元素;以上述元素作为其主要成分的合金;结合了上述元素的合金膜(典型地为Mo-W合金膜或Mo-Ta合金膜);或者具有导电性的硅膜。在由这样的材料形成的导电层之下,可以形成诸如氮化钽(TaN)、氮化钨(WN)、氮化钛(TiN)或氮化钼(MoN)的氮化物;或者诸如硅化钽、硅化钛或硅化钼的硅化物。此外,可以采用由上述半导体材料、导电材料或半导体材料和导电材料构成的叠置结构。例如,可以采用硅层和锗层的叠置结构。

[0208] 或者,可以将电荷累积层84形成为具有能够保持电荷的陷阱的绝缘层。作为此类材料的典型例子,可以采用硅化合物或锗化合物。作为硅化合物,可以采用氮化硅、氮氧化硅、添加了氢的氮氧化硅等。作为锗化合物,可以采用氮化锗、添加了氧的氮化锗、添加了氢的氧化锗、添加了氧和氢的氮化锗、添加了氮和氢的氧化锗等。

[0209] 作为起着控制绝缘膜作用的绝缘层85,可以通过低压CVD法、等离子体CVD法等形式由氧化硅、氮化硅、氮氧化硅或氧化铝等构成的一个或多个层。以1nm到20nm的厚度,优选以5nm到10nm的厚度形成绝缘层85。例如,可以采用通过淀积厚度为3nm的氮化硅层和厚度为5nm的氧化硅层形成的叠层。

[0210] 对于起着栅电极作用的导电层86而言,可以适当采用实施模式1中描述的起着栅电极作用的导电层34的材料和形成方法。

[0211] 此外,如图15B所示,可以在电荷累积层84、起着控制绝缘膜作用的绝缘层85和起着栅电极作用的导电层86的侧表面上形成掩模87。应当注意,可以在起着隧道氧化物膜作用的绝缘层83、电荷累积层84、起着控制绝缘膜作用的绝缘层85和起着栅电极作用的导电层86的侧表面上形成掩模87。此外,掩模87与低浓度杂质区32d和32e重叠,绝缘层83

插置于它们之间。

[0212] 或者,可以采用如图 15C 所示的结构,其中,电荷累积层 89 大于起着栅电极作用的导电层 86。换言之,电荷累积层 89 可以向外扩展。形成于导电层 86 之外的电荷累积层 89 的区域与低浓度杂质区 32d 和 32e 重叠,绝缘层 33 插置于它们之间。在通过这种方式形成电荷累积层 89 和起着栅电极作用的导电层 86 时,能够通过形成于导电层 86 之外的电荷累积层 89 的区域向半导体层添加杂质。换言之,通过添加杂质的步骤,能够在半导体层 32 内同时形成沟道形成区 32a、高浓度杂质区 32b 和 32c 以及低浓度杂质区 32d 和 32e。因此,能够提高吞吐量。

[0213] 或者,如图 15D 所示,电荷累积层 91 可以小于起着栅电极作用的导电层 93。就采用这种结构的薄膜晶体管而言,在形成起着栅电极作用的导电层 93 之前向半导体层 32 添加低浓度杂质,在形成低浓度杂质区 32d 和 32e 之后,形成起着栅电极作用的导电层 93。接下来,采用导电层 93 作为掩模向半导体层 32 内添加高浓度杂质。通过这种方式形成了薄膜晶体管。

[0214] 可以采用这样的非易失存储元件获得具有各种模式的非易失半导体存储装置。图 16 示出了非易失存储单元阵列的等效电路的例子。存储 1 位数据的存储单元 MS01 包括选择晶体管 S01 和非易失存储元件 M01。将选择晶体管 S01 串联于位线 BL0 与非易失存储元件 M01 之间,将其栅极连接至字线 WL1。将非易失存储元件 M01 的栅极连接至字线 WL11。在向非易失存储元件 M01 内写入数据时,将字线 WL1 和位线 BL0 的电势设为 H 电平,将位线 BL1 的电势设为 L 电平,向字线 WL11 施加高压,从而在上述电荷累积层内累积电荷。在擦除数据时,将字线 WL1 和位线 BL0 的电势设为 H 电平,同时可以向字线 WL11 施加负极性高压。

[0215] 在这一存储单元 MS01 内,在绝缘表面上将选择晶体管 S01 和非易失存储元件 M01 每者均形成为彼此隔开的岛状半导体层;因此,即使不设置元件隔离区也能够防止与其他选择晶体管或非易失存储元件之间发生干扰。此外,存储单元 MS01 中的选择晶体管 S01 和非易失存储元件 M01 均为 n 沟道型;因此,在二者均由彼此分隔的岛状半导体层形成时,能够省略这两个元件之间的线路。

[0216] 图 17 示出了将非易失存储元件直接连接至位线的 NOR 型等效电路。在这一存储单元阵列中,将字线 WL 和位线 BL 设置为彼此相交,并将所述非易失存储元件设置在每一交叉点。就 NOR 型而言,将非易失存储元件的漏极连接至位线 BL。将非易失存储元件的源极共同连接至所述源极线 SL。

[0217] 同样,就这一情况而言,在存储单元 MS01 内,在绝缘表面上将非易失存储元件 M01 均形成为彼此隔开的岛状半导体层;因此,即使不设置元件隔离区也能够防止与其他非易失存储元件之间发生干扰。此外,将多个非易失存储元件(例如,图 17 所示的 M01 到 M23)作为一个块处理,并将这些非易失存储元件形成为相互隔开的岛状半导体层;因此,能够同时执行对一个块的擦除操作。

[0218] 例如,NOR 型的操作如下。在写入数据时,将源极线 SL 设为 0V,向所选的用于数据写入的字线 WL 施加高压,并将对应于数据“0”和数据“1”的各电势提供给位线 BL。例如,将分别对应于数据“0”和数据“1”的 H 电平电势和 L 电平电势提供给位线 BL。在其提供了用于写入数据“0”的 H 电平电势的每一非易失存储元件中,在漏极附近产生电子,并将其注入到浮置栅极内。在数据“1”的情况下不会发生这样的电子注入。

[0219] 在向其提供数据“0”的存储单元内,通过源极和漏极之间的强横向电场在漏极附近产生热电子,并将所述热电子注入到电荷累积层内。通过向电荷累积层内注入电子而提高了阈值电压的状态为“0”。就数据“1”而言,不产生热电子,并且不向电荷累积层内注入电子,由此保持低阈值电压的状态,即擦除状态。

[0220] 在想要擦除数据时,向源极线 SL 施加大约 10V 的正电压,并将位线 BL 设置为浮置状态。之后,向字线 WL 施加负极性高压(向每一控制栅极施加负极性高压),由此从电荷累积层提取电子。通过这种方式能够获得数据“1”的擦除状态。

[0221] 在想要读取数据时,通过将源极线 SL 设为 0V,将位线 BL 设为大约 0.8V,并向所选的字线 WL 提供被设为数据“0”和数据“1”的阈值之间的中间值的读取电压,由此采用连接至位线 BL 的读出放大器判断是否引出了非易失存储元件的电流。

[0222] 图 18 示出了 NAND 型存储单元阵列的等效电路。其内串联了多个非易失存储元件的 NAND 单元 NS1 连接至每一位线 BL。块 BLK1 包括多个 NAND 单元。图 18 所示的块 BLK1 中的字线的数量为 32(字线 WL0 到 WL31)。将设置于块 BLK1 内的同一行上的非易失存储元件共同连接至对应于这一行的字线上。

[0223] 在这种情况下,由于非易失存储元件 M0 到 M31 是串联的,因而可以将它们作为一个组由半导体层形成。通过这样做,能够省略连接非易失存储元件的线路,从而实现集成。此外,能够容易地执行相邻 NAND 单元之间的分离。此外,可以单独形成用于选择晶体管 S1 和 S2 的半导体层以及用于 NAND 单元 NS1 的半导体层。在执行从非易失存储元件 M0 到 M31 的电荷累积层提取电荷的擦除操作时,能够同时执行对一个 NAN 单元的擦除操作。此外,可以由一个半导体层形成共同连接至一条字线的非易失存储元件(例如 M30 的行)。

[0224] 在将 NAND 单元 NS1 变成处于擦除状态后,即将 NAND 单元 NS1 中的每一非易失存储元件的阈值变成处于负电压状态之后,执行写入操作。从处于源极线 SL 一侧的存储元件 M0 开始依次执行写入。在下文中将以向存储元件 M0 中写入数据为例对写入操作进行粗略描述。

[0225] 在写入数据“0”的情况下,如图 19A 所示,向选择栅极线 SG2 提供(例如)Vcc(电源电压),以导通选择晶体管 S2,并向位线 BL0 施加 0V 电压(地电势)。向选择栅极线 SG1 施加 0V 电压,从而使选择晶体管 S1 截止。接下来,向存储单元 M0 的字线 WL0 施加高压 Vpgm(大约 20V),并向另一字线施加中间电压 Vpass(大约为 10V)。由于位线 BL 的电压为 0V,因此所选的存储单元 M0 的沟道形成区的电势为 0V。由于字线 WL0 与所述沟道形成区之间的电势差大,因此通过上述 FN 隧道电流向存储单元 M0 的电荷累积层注入电子。通过这种方式,获得了存储单元 M0 的阈值电压为正的状态(写入“0”的状态)。

[0226] 在写入“1”的情况下,如图 19B 所示,向位线 BL 施加(例如)Vcc(电源电压)。由于选择栅极线 SG2 的电压为 Vcc,因此在 Vcc-Vth(Vth 是选择晶体管 S2 的阈值电压)的情况下选择晶体管 S2 截止。因此,使存储单元 M0 的沟道形成区进入浮置状态。接下来,向字线 WL0 施加高压 Vpgm(20V),同时向另一字线施加中间电压 Vpass(10V),从而通过每一字线与每一沟道形成区之间的电容耦合使所述沟道形成区的电压从(Vcc-Vth)增大到(例如)大约 8V。由于使沟道形成区的电压提高到了这样的高压,因此与写入“0”的情况不同,字线 WL0 与沟道形成区之间的电势差小。因此,不会由 FN 隧道电流导致向存储单元 M0 的浮置栅极内注入电子。通过这种方式,保持存储单元 M0 的阈值电压为负的状态(写入了“1”)

的状态)。

[0227] 在执行擦除操作的情况下,如图 20A 所示,向包括在所选块内的所有字线施加负极性高压 (Vers)。将位线 BL 和源极线 SL 设为浮置状态。作为其结果,在该块的所有存储单元内,浮置栅极中的电子被通过隧道电流发射到半导体层内。因此,所述存储单元的每一阈值电压均沿负方向漂移。

[0228] 在图 20B 所示的读取操作中,将选择读取的存储单元 M0 的字线 WL0 设为电压 Vr(例如 0V),并向未选的存储单元的字线 WL1 到 WL31 以及选择栅极线 SG1 和 SG2 施加读取中间电压 Vread,其中,Vread 比施加到字线 WL1 到 WL31 上的电源电压稍高一些。也就是说,如图 21 所示,除了所选的存储元件之外的存储元件起着传输晶体管的作用。通过这种方式,探测电流是否流过了选择读取的存储单元 M0。也就是说,在存储单元 M0 中存储的数据为“0”的情况下,由于存储单元 M0 截止,因而位线 BL 不放电;而在存储单元 M30 中存储的数据为“1”的情况下,由于存储单元 M0 导通,因而位线 BL 放电。

[0229] 图 22 是具有上述存储元件的非易失半导体存储器件的电路方框图的例子。在非易失半导体存储器件中,在同一衬底上形成存储单元阵列 252 和外围电路 254。存储单元阵列 252 具有图 16、17 或 18 所示的结构。外围电路 254 的结构如下。

[0230] 在存储单元阵列 252 周围提供用于选择字线的行译码器 262 和用于选择位线的列译码器 264。通过地址缓冲器 256 向控制电路 258 发送地址,并分别将内部行地址信号和内部列地址信号转移到行译码器 262 和列译码器 264。

[0231] 在写入或擦除数据时,采用通过升高电源电势得到的电势。出于这一目的,提供由控制电路 258 根据操作模式控制的升压电路 260。将升压电路 260 的输出通过行译码器 262 和列译码器 264 提供给字线 WL 和位线 BL。将列译码器 264 输出的数据输入至读出放大器 266。将从读出放大器 266 读出的数据存储在数据缓冲器 268 内,在控制电路 258 的控制下以随机的方式对其访问,以及通过数据输入 / 输出缓冲器 270 将其输出。通过数据输入 / 输出缓冲器 270 将写入数据一次性存储在数据缓冲器 268 内,并在控制电路 258 的控制下将其转移到列译码器 264。

[0232] 通过这种方式,在所述非易失半导体存储器件的存储单元阵列 252 内,必须采用与电源电势不同的电势。因此,优选至少将存储单元阵列 252 与外围电路 254 相互电隔离。在这种情况下,如下文中的实施例所示,当非易失存储元件和外围电路的晶体管每者均由形成于绝缘表面上的半导体层形成时,能够容易地实现隔离。通过这种方式,防止了故障,并且能够获得具有低能耗的非易失半导体存储器件。

[0233] 在下文中,将通过实施例详细描述本发明的非易失半导体存储器件。在下文描述的本发明的每一结构当中,所有的附图均采用相同的附图标记表示相同的元件,因而将省略对其的重复说明。

[0234] [实施例 1]

[0235] 在这一实施例中,将参考附图描述作为半导体器件的具有非易失存储元件的非易失半导体存储器件的一个例子。这里,在所述非易失半导体存储器件中,同时形成构成存储部分的非易失存储元件和诸如晶体管的构成逻辑部分的元件,逻辑部分与存储部分设置于同一衬底上,并执行对存储部分等的控制。

[0236] 首先,在图 16 中示出了本实施例中描述的非易失半导体存储器件中的存储部分

的示意图。

[0237] 在这一实施例描述的存储部分中,提供多个存储单元,每一存储单元包括控制晶体管 S 和非易失存储元件 M。在图 16 中,一个存储单元包括控制晶体管 S01 和非易失存储元件 M01。类似地,每一存储单元包括控制晶体管 S02 和非易失存储元件 M02、控制晶体管 S03 和非易失存储元件 M03、控制晶体管 S11 和非易失存储元件 M11、控制晶体管 S12 和非易失存储元件 M12 或者控制晶体管 S13 和非易失存储元件 M13。

[0238] 将控制晶体管 S01 的栅电极连接至字线 WL1,将其源极或漏极之一连接至位线 BL0,将其源极或漏极中的另一个连接至非易失存储元件 M01 的源极或漏极。将非易失存储元件 M01 的栅电极连接至字线 WL11,将其源极或漏极之一连接至控制晶体管 S01 的源极或漏极,将其源极或漏极中的另一个连接至源极线 SL。

[0239] 应当注意,由于设置于存储部分内的控制晶体管的驱动电压高于设置于逻辑部分内的晶体管的驱动电压,因此优选将设置于存储部分内的晶体管和设置于逻辑部分内的晶体管的栅极绝缘膜形成为具有不同的厚度。例如,在驱动电压低并希望阈值电压变化小时,优选提供包括薄栅极绝缘膜的薄膜晶体管;而当驱动电压高并要求栅极绝缘膜具有高耐受能力时,优选提供包括厚栅极绝缘膜的薄膜晶体管。

[0240] 因此,在这一实施例中,将参考附图描述这样一种情况,其中,为逻辑部分内的晶体管形成薄绝缘层,在所述逻辑部分内驱动电压低,并希望阈值电压变化小,同时为存储部分内的晶体管形成厚绝缘层,在存储部分内驱动电压高并且要求栅极绝缘膜具有高耐受能力。应当注意,图 28A 到图 28D 是顶视图,图 25A 到 25C、图 26A 到 26C 以及图 27A 到 27C 是图 28A 到 28D 中的 A 和 B 之间、C 和 D 之间、E 和 F 之间以及 G 和 H 之间的部分的横截面图。此外,A 和 B 之间以及 C 和 D 之间的部分示出了设置于逻辑部分内的薄膜晶体管,E 和 F 之间的部分示出了设置于存储部分内的非易失存储元件,G 和 H 之间的部分示出了设置于存储部分内的薄膜晶体管。此外,尽管在本实施例中所描述的情况为,设置于 A 和 B 之间的部分内的薄膜晶体管为 p 沟道型,设置于 C 和 D 之间以及 G 和 H 之间的部分内的薄膜晶体管为 n 沟道型,设置于 E 和 F 之间的部分内的非易失存储元件为 MONOS 型,并且通过电子执行非易失存储元件的电荷累积,但是本发明的非易失半导体器件不限于此。

[0241] 首先,在衬底 100 上形成岛状半导体层 104、106 和 108,第一绝缘层 102 插置于其间,此后形成覆盖所述岛状半导体层 104、106 和 108 的第二绝缘层 111。接下来,在第二绝缘层 111 之上形成掩模 114(参考图 25A 和 28A)。

[0242] 这里,采用玻璃衬底作为衬底 100。作为第一绝缘层 102,通过 CVD 法形成厚度为 50nm 的、所含有的氮超过氧的氮氧化硅层,之后形成厚度为 100nm 的、所含有的氧超过氮的氮氧化硅层。

[0243] 接下来,通过等离子体 CVD 法在第一绝缘层 102 上形成厚度大于等于 10nm 小于等于 150nm,优选大于等于 30nm 小于等于 100nm,更优选大于等于 50nm 小于等于 80nm 的半导体层。这里,形成厚度为 66nm 的非晶硅层,并在 500°C 的温度下对其加热一小时,之后在 550°C 的温度下对其加热四个小时,以去除非晶硅层内含有的氢。之后,采用激光以 35cm/sec 的扫描速度照射所述非晶硅,使之结晶,由此形成多晶硅层。这里,采用具有 LD 激发的连续波(CW)激光器(YVO<sub>4</sub> 的二次谐波(波长为 532nm))作为激光光源。接下来,在去除了通过激光照射形成于多晶硅层表面上的氧化物膜之后,采用过氧化氢溶液重新在多晶硅层

上形成氧化物膜，并在其上涂覆抗蚀剂。之后，通过光刻工艺对所述抗蚀剂曝光和显影，以形成掩模。此后，向所述多晶硅层内掺杂  $1 \times 10^{17}$  到  $3 \times 10^{17} \text{ cm}^{-3}$  的硼 (B)，以控制将在后面形成的薄膜晶体管的阈值电压。接下来，采用掩模对所述多晶硅层蚀刻，以形成由多晶硅形成的半导体层 104、106 和 108。这时，采用流量比为 4 : 15 的 SF<sub>6</sub> 和氧气作为蚀刻气体。

[0244] 接下来，在去除了掩模之后，采用流量比为 1 : 800 的硅烷和一氧化二氮 (N<sub>2</sub>O) 作为材料，通过 CVD 法形成厚度为 40nm 的、所含有的氧超过氮的氮氧化硅层作为第二绝缘层 111。之后，在第二绝缘层 111 上涂覆抗蚀剂，并通过光刻工艺对所述抗蚀剂曝光和显影，以形成掩模 114。

[0245] 接下来，采用掩模 114，通过采用蚀刻剂的湿法蚀刻蚀刻所述第二绝缘层 111，以形成第三绝缘层 112，所述蚀刻剂是氢氟酸、氟化铵和表面活性剂的混合体。

[0246] 应当注意，形成于半导体层 108 之上的第三绝缘层 112 起着将在后面形成的薄膜晶体管中的栅极绝缘膜的作用。此外，在栅极绝缘膜的膜厚度薄的薄膜晶体管内，覆盖半导体层 104、106 和 108 的端部的第三绝缘层 112 能够降低在半导体层和栅电极内产生的漏电流。

[0247] 接下来，分别在半导体层 104、106 和 108 上形成厚度为 1 到 10nm，优选为 1 到 5nm 的第四绝缘层 116、118 和 120。

[0248] 这里，采用氩气、氧气和氢气在 110Pa 的压强下，以 400°C 的衬底温度在半导体层 104、106 和 108 上执行高密度等离子体处理，以使半导体层 104、106 和 108 氧化，由此分别在半导体层 104、106 和 108 上形成作为第四绝缘层 116、118 和 120 的氧化物层。应当注意，这时的气流比例为氩气 : 氧气 : 氢气 = 180 : 1 : 1。或者，可以通过 CVD 法或溅射法形成作为第四绝缘层 116、118 和 120 的氧化硅层或氮化硅层；或者还可以采用高密度等离子体处理在通过 CVD 法或溅射法形成的上述层上执行氧化处理或氮化处理。或者，在采用高密度等离子体处理在半导体层 104、106 和 108 上执行氧化处理之后，通过再次执行高密度等离子体处理执行氮化处理。在这种情况下，形成与半导体层 104、106 和 108 接触的氧化硅层，并在氧化硅层的表面上或表面附近形成氮等离子体处理层。在所述氮等离子体处理层的结构中，在从氧化硅层的表面起大约 1nm 的深度处含有比率为 20 到 50atomic% 的氮。在氮等离子体处理层中，形成含有氧和氮的硅（氮氧化硅）。

[0249] 在该实施例中，形成于设置在存储部分内的半导体层 108 上的第四绝缘层 120 起着将在后面形成的非易失存储元件中的隧道氧化物膜的作用。因此，第四绝缘层 120 的厚度越薄，隧道电流的流动越容易，所能获得的存储器的操作速度越高。此外，随着第四绝缘层 120 的厚度变薄，能够以更低的电压在以后形成的电荷累积层内累积电荷，因而能够降低非易失半导体存储器件的功耗。因此，优选形成薄的第四绝缘层 116、118 和 120（例如，小于等于 10nm）。

[0250] 通常，热氧化法使一种已知的用来在半导体层上形成薄绝缘层的方法。但是，在采用熔点不够高的衬底，例如，玻璃衬底作为衬底 100 的情况下，通过热氧化法形成第四绝缘层 116、118 和 120 是非常困难的。此外，通过 CVD 法或溅射法形成的绝缘层的问题在于，由于在层内包含缺陷，以及在形成厚度薄的层时产生了诸如针洞的缺陷，因而膜质量不够高。因此，通过采用本实施例中描述的高密度等离子体处理形成第四绝缘层 116、118 和 120，能够形成比通过 CVD 法和溅射法形成的绝缘层更为致密的绝缘层。此外，在通过 CVD 法或溅

射法形成绝缘层的情况下,有时未能充分覆盖半导体层的端部,从而在半导体层和将要在后面形成于第四绝缘层 120 上的导电层之间产生泄漏。但是,这里,半导体层的端部被第三绝缘层 112 覆盖,并且能够通过进一步执行高密度等离子体处理而形成致密的第四绝缘层;因此,半导体层 104、106 和 108 的端部能够被第三绝缘层 112 和第四绝缘层 116、118 和 120 充分覆盖。结果,能够实现高速操作,并且能够提高存储器的电荷保持特性。

[0251] 接下来,形成覆盖第一绝缘层 112 以及第四绝缘层 116、118 和 120 的电荷累积层 122(参考图 25C)。电荷累积层 122 可以由具有能够俘获膜内的电荷的缺陷的绝缘层或者含有导电颗粒或诸如硅的半导体颗粒的绝缘层形成。这里,通过采用硅烷、氨气、一氧化二氮和氢气的等离子体 CVD 法形成所含有的氮超过氧的氮氧化硅层。这时的流量比为硅烷:氨气:一氧化二氮:氢气 = 1 : 10 : 2 : 40。所述电荷累积层可以由诸如氮化锗的锗化合物、添加了氧的氮化锗、添加了氮的氧化锗、添加了氧和氢的氮化锗或添加了氮和氢的氧化锗形成,以替代氮氧化硅层。在将诸如氮化锗的锗化合物、添加了氧的氮化锗、添加了氮的氧化锗、添加了氧和氢的氮化锗或添加了氮和氢的氧化锗用于电荷累积层时,通过在含有锗元素的气氛(例如,含有  $\text{GeH}_4$  和  $\text{N}_2$ 、 $\text{GeH}_4$  和  $\text{NH}_3$  或  $\text{GeH}_4$  和  $\text{N}_2\text{O}$  等的气氛)内执行等离子体 CVD 法形成所述电荷累积层。或者,蒸发通过在氨气气氛内加热氧化锗而获得的烧结体,由此形成采用氮化锗的电荷累积层。此外,通过在含有  $\text{GeH}_4$  和  $\text{H}_2$  的气氛中,在含有  $\text{GeH}_4$ 、 $\text{SiH}_4$  和  $\text{H}_2$  的气氛当中,或在类似气氛中执行等离子体 CVD 法形成锗颗粒或硅-锗颗粒。

[0252] 这里,形成氮氧化硅层作为电荷累积层 122,以形成 MONOS(金属-氧化物-氮化物-氧化物半导体)非易失存储元件。但是,可以按照下述说明形成电荷累积层 122:通过等离子体 CVD 法形成厚度为 50nm 的非晶硅层,之后采用激光照射非晶硅层,以形成多晶硅层。或者,可以通过溅射法形成厚度为 30nm 的钨层作为电荷累积层 122。或者,可以通过等离子体 CVD 法形成锗层或硅锗层作为电荷累积层 122。

[0253] 接下来,有选择地去除形成于半导体层 104 和 106 上的第二绝缘层 116、118 和电荷累积层 122,以及形成于半导体层 108 上的电荷累积层 122,以保留形成于半导体层 108 上的第二绝缘层 120 和电荷累积层 122。这里,通过抗蚀剂 124 有选择地覆盖形成于存储部分内的半导体层 108,并通过蚀刻有选择地去除未被抗蚀剂 124 覆盖的第二绝缘层 116 和 118 以及电荷积聚 122(参考图 26A)。应当注意,在图 26A 示出的例子中,通过蚀刻有选择地去除电荷累积层 122,从而保留电荷累积层 122 的部分,以形成电荷累积层 126。

[0254] 接下来,形成第五绝缘层 128,以覆盖半导体层 104 和 106、形成于半导体层 108 上的电荷累积层 126 和半导体层 108(图 26B 所示)。

[0255] 通过 CVD 法或溅射法等,采用诸如氧化硅、氮化硅或氮氧化硅的绝缘材料形成作为单个层或叠层的第五绝缘层 128。这里,采用流速为 1 : 800 的硅烷和一氧化二氮( $\text{N}_2\text{O}$ )作为材料,通过等离子体 CVD 法形成厚度为 1 到 20nm 的、所含有的氧超过氮的氮氧化硅层,从而将其作为第五绝缘层 128。

[0256] 形成于半导体层 108 上的第五绝缘层 128 起着将在后面形成的非易失存储元件中的控制绝缘层的作用,而形成于半导体层 104 和 106 上的第五绝缘层 128 则起着将在以后完成的晶体管内的栅极绝缘膜的作用。

[0257] 接下来,形成厚度大于等于 100nm 小于等于 1000nm,优选大于等于 200nm 小于等于 800nm,更优选大于等于 300nm 小于等于 500nm 的导电层 134、136、138 和 140,以覆盖形

成于半导体层 104、106 和 108 上的第五绝缘层 128(参见图 26C 和 28B)。这里,叠置厚度为 30nm 的氮化钽层和厚度为 270nm 的钨层作为所述导电层,之后,利用掩模有选择地蚀刻所述叠置的导电层,由此形成每者由 30nm 厚的氮化钽层和 270nm 厚的钨层构成的导电层 134、136、138 和 140。形成于设置在存储部分内的半导体层 108 上的导电层 138 起着将在以后完成的非易失存储元件的控制栅极的作用,导电层 134、136 和 140 起着将在以后完成的晶体管中的栅电极的作用。

[0258] 接下来,通过光刻工艺有选择地形成覆盖半导体层 104 的掩模 142,并采用掩模 142 以及导电层 136、138 和 140 作为掩模向半导体层 106 内引入杂质元素,由此形成杂质区(参考图 27A)。这里,采用磷(P)作为杂质元素。这里,以  $10^{21}\text{atoms/cm}^3$  的峰值浓度向半导体层内添加磷(P)。

[0259] 图 29A 和 29B 示出了非易失存储元件的放大图。图 29A 是存储部分内的非易失存储元件的顶视图,图 29B 是沿图 29A 内的 A-B 线获得的截面图。如图 29B 所示,优选不向被绝缘层 112 覆盖的半导体层区域添加杂质。在区域 126a 中,绝缘层 120 是形成于电荷累积层 126 与半导体层之间、起着隧道氧化物膜作用的绝缘层。另一方面,在区域 126b 中,绝缘层 112 是形成于电荷累积层 126 与半导体层之间、起着隧道氧化物膜作用的绝缘层。因此,当起着隧道氧化物膜作用的绝缘层的膜厚度在区域 126b 内存在不同时,向电荷累积层内的电子注入和发射将发生变化,非易失存储元件的特性将发生劣化。因此,优选不向处于存储部分内的、被覆盖半导体层的端部的绝缘层所覆盖的半导体层区域中掺杂杂质。

[0260] 在图 27A 中,通过引入杂质元素在半导体层 106 内形成每者形成了源极区或漏极区的杂质区 146 以及沟道形成区 144。此外,在半导体层 108 中形成每者形成了源极区或漏极区的杂质区 150 以及沟道形成区 148。此外,在半导体层 108 中形成每者形成了源极区或漏极区的杂质区 154 以及沟道形成区 152。

[0261] 接下来,有选择地形成覆盖半导体层 106 和 108 的抗蚀剂 156,并采用抗蚀剂 156 和导电层 134 作为掩模向半导体层 104 内引入杂质元素,由此形成杂质区(参考图 27B 和 27C)。作为杂质元素,采用赋予 n 型导电性的杂质元素或赋予 p 型导电性的杂质元素。这里引入的杂质元素(例如硼(B))的导电类型不同于向图 27A 所示的半导体层 106 和 108 内引入的杂质元素的导电类型。这里,以  $10^{21}\text{atoms/cm}^3$  的峰值浓度向半导体层内添加硼(B)。结果形成了每者形成源极区或漏极区的杂质区 160 以及沟道形成区 158。

[0262] 接下来,形成覆盖第三绝缘层 128 以及导电层 134、136、138 和 140 的绝缘层 162,并通过加热激活半导体层内的杂质。之后,在绝缘层 162 上形成每者电连接到形成于半导体层 104、106 或 108 内的杂质区 146、150、154 或 160 的导电层 164(参考图 27C 和 28D)。

[0263] 可以采用下述结构提供绝缘层 162:诸如氧化硅、氮化硅或氮氧化硅的包括氧或氮的绝缘层;诸如 DLC(金钢石状碳)的含有碳的层;或由诸如环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸的有机材料或诸如硅醚树脂的硅氧烷材料形成的单层或叠层结构。应当注意,硅氧烷材料对应于包括 Si-O-Si 键的材料。硅氧烷具有含有硅(Si)和氧(O)的键的框架结构。作为取代基,可以采用至少含有氢的有机基(例如,烷基或芳香烃基)。作为取代基,还可以采用氟代基。或者,可以采用至少含有氢的有机基和氟代基作为取代基。

[0264] 这里,作为绝缘层 162,采用硅烷和一氧化二氮,通过等离子体 CVD 法形成厚度为

50nm 的、所含有的氧超过氮的氮氧化硅层；采用硅烷、氨气、氢气和一氧化二氮，通过等离子体 CVD 法形成厚度为 100nm 的、所含有的氮超过氧的氮氧化硅层；以及采用硅烷和一氧化二氮，通过等离子体 CVD 法形成厚度为 600nm 的、所含有的氧超过氮的氮氧化硅层。

[0265] 这里，对于半导体层内杂质的活化而言，在 550°C 的温度下，在氮气氛中执行加热。

[0266] 采用从铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C) 和硅 (Si) 中选出的元素或者以上述元素作为其主要成分的合金材料或化合物材料，通过 CVD 法或溅射法等形成作为单层或叠层的导电层 164。以铝作为其主要成分的合金材料对应于，例如，含有作为主要成分的铝和镍的材料；或者含有作为主要成分的铝、镍以及碳和硅中的一者或两者的合金材料。导电层 164 可以采用，例如，由阻挡层、铝硅合金 (Al-Si) 层和阻挡层构成的叠层结构；或者由阻挡层、铝硅合金 (Al-Si) 层、氮化钛 (TiN) 层和阻挡层构成的叠层结构。应当注意，阻挡层对应于由钛、钛的氮化物、钼或钽的氮化物形成的薄膜。铝和铝硅合金由于电阻值低，并且价格低廉，因而是形成导电层 164 的优选材料。此外，在提供上层和下层阻挡层时，能够防止在铝和铝硅合金中产生小丘。此外，在由作为高度可还原元素的钛形成阻挡层的情况下，即使在结晶半导体层上形成了薄自然氧化物膜，也能够减少所述自然氧化物膜，并实现与结晶半导体层的有利接触。

[0267] 这里，通过采用 CHF<sub>3</sub> 和 He 的干法蚀刻有选择地蚀刻所述绝缘层，以形成开口，从而暴露半导体层中的杂质区 146、150、154 和 160 的部分。接下来，通过溅射法叠置具有 60nm 的厚度的钛层、具有 40nm 的厚度的氮化钛层、具有 300nm 的厚度的铝层和具有 100nm 的厚度的层。之后，采用掩模通过光刻工艺执行蚀刻，由此形成导电层 164。

[0268] 尽管在本实施例描述的例子中同时形成了起着形成于存储部分内的非易失存储元件的控制绝缘膜和形成于逻辑部分内的薄膜晶体管的栅极绝缘膜的作用的绝缘层（如图 26B 所示），但是本发明不限于此。例如，可以按照图 30A 到 30C 所示形成绝缘层。对其具体的描述如下。

[0269] 首先，在与上文类似形成了图 25C 所示的状态之后，在电荷累积层 122 上形成第三绝缘层 128（参考图 30A）。接下来，有选择地形成覆盖半导体层 108 的抗蚀剂 124，之后有选择地去除形成于半导体层 104、106 和 108 上的电荷累积层 122 和第三绝缘层 128，由此形成电荷累积层 126 和绝缘层 127（图 30B）。之后，分别在半导体层 104 和 106 的暴露表面上形成每者起着栅极绝缘膜的作用的绝缘层 168 和 170（参考图 30C）。可以采用所描述的在形成第二绝缘层 116、118 和 120 的过程中采用的高密度等离子体处理提供绝缘层 168 和 170，或者可以通过 CVD 法或溅射法形成绝缘层 168 和 170。

[0270] 如图 30A 到 30C 所示，可以采用不同的厚度和材料形成形成于逻辑部分内的薄膜晶体管的栅极绝缘膜和形成于存储部分内的非易失存储元件的控制绝缘膜。

[0271] 此外，在本实施例描述的过程中，可以将绝缘层 172（也称为侧壁）提供为与每者起着栅电极作用的导电层 134、136、138 和 140 的侧表面接触（参考图 31A 和 31B）。通过采用绝缘层 172 向半导体层 104、106 和 108 内引入杂质元素，能够在半导体层 104、106 和 108 内形成每者起着 LDD 区的作用的低浓度杂质区 180、174、176 和 178。

[0272] 应当注意，可以形成与半导体层 104 直接接触的绝缘层 172（参考图 31A），或者可以采用在绝缘层 172 下面形成了其他绝缘层或电荷累积层的结构（参考图 31B）。

[0273] 此外,尽管在本实施例描述的结构中,在设置于存储部分内的半导体层 108 与导电层 138 相互交叉的部分内形成了电荷累积层 126,但是本发明不限于此。例如,可以采用这样的结构,其中,在半导体层 108 的整个表面上提供电荷累积层 126。在将非易失存储元件的沟道长度和沟道宽度分别设为 L 和 W 时,可以将电荷累积层 126 设置为既大于沟道长度 L 又大于沟道宽度 W,或者可以将其设置为大于沟道长度 L 或沟道宽度 W 之一,或者可以将其设置为既小于沟道长度 L 又小于沟道宽度 W(始终将电荷累积层 126 设置于半导体层 108 上的状态)。

[0274] 可以将本实施例与在本说明书中描述的实施模式或其他实施例结合实现。

[0275] [ 实施例 2 ]

[0276] 在这一实施例中,将参考附图描述这样一种情况,其中,在上述实施例描述的结构中的一个岛状半导体层上提供多个非易失存储元件。应当注意,采用相同的附图标记表示与上述实施例中相同的元件,并将省略对其的说明。图 32 为顶视图,图 33A 和 33B 分别示出了沿图 32 的 E-F 线和 G-H 线得到的截面图。

[0277] 在这一实施例描述的非易失半导体存储器件中,提供分别电连接到位线 BL0 和 BL1 的岛状半导体层 200a 和 200b,并在每一岛状半导体层 200a 和 200b 中提供多个非易失存储元件(参考图 32、33A 和 33B)。具体而言,在半导体层 200a 中,在选择晶体管 S01 和 S02 之间提供包括多个非易失存储元件 M0、M30 和 M31 的 NAND 单元 202a。此外,在半导体层 200b 的选择晶体管之间提供包括多个非易失存储元件的 NAND 单元 202b。此外,提供相互隔开的半导体层 200a 和半导体层 200b,从而使彼此相邻的 NAND 单元 202a 和 NAND 单元 202b 彼此绝缘。

[0278] 此外,当在一个岛状半导体层内提供多个非易失存储元件时,更高的非易失存储元件集成度将成为可能,并且能够形成高容量非易失半导体存储器件。

[0279] 可以将本实施例与在本说明书中描述的实施模式或其他实施例结合实现。

[0280] [ 实施例 3 ]

[0281] 在这一实施例中,将在下文中参考附图描述能够实现非接触数据输入和数据输出的半导体器件的应用实例。将能够实现非接触数据输入和数据输出的半导体器件称为 RFID 标签、ID 标签、IC 标签、IC 芯片、RF 标签、无线标签、电子标签或无线芯片。

[0282] 如图 34 所示,半导体器件 800 具有在不发生接触的条件下交换数据的功能,起包括高频电路 810、电源电路 820、复位电路 830、时钟发生电路 840、数据解调电路 850、数据调制电路 860、用于控制其他电路的控制电路 870、存储电路 880 和天线 890。高频电路 810 是从天线 890 接收信号的电路。高频电路 810 将接收自数据调制电路 860 的信号输出至天线 890。电源电路 820 是由所接收的信号生成电源电势的电路。复位电路 830 是生成复位信号的电路。时钟发生电路 840 是基于从天线 890 输入的接收信号生成各种时钟信号的电路。数据解调电路 850 是对接受信号解调并将其输出至控制电路 870 的电路。数据调制电路 860 是调制接收自控制电路 870 的信号的电路。例如,作为控制电路 870,可以提供代码提取电路 910、代码判决电路 920、CRC 判决电路 930 和输出单元电路 940。应当注意,代码提取电路 910 是单独提取包含在传输至控制电路 870 的指令中的多个代码的电路,代码判决电路 920 是将所提取的代码与对应于基准的代码相比较以确定指令内容的电路,CRC 判决电路 930 是基于所确定的代码检测是否存在传输误差的电路。

[0283] 接下来,将描述上述半导体器件的操作实例。首先,通过天线 890 接收无线电信号。通过高频电路 810 向电源电路 820 传输无线电信号,并生成高电源电势(以下称为 VDD)。将 VDD 提供给包含在半导体器件 800 中的每一电路。此外,对通过高频电路 810 传输至数据解调电路 850 的信号解调(以下称为解调信号)。此外,将经由高频电路 810 通过复位电路 830 传输的信号和通过时钟发生电路 840 传输的调制信号传输至控制电路 870。通过代码提取电路 910、代码判决电路 920、CRC 判决电路 930 等分析传输至控制电路 870 的信号。之后,根据经分析的信号,输出存储在存储电路 880 内的半导体器件的信息。通过输出单元电路 940 对半导体器件的输出信息编码。此外,使经过编码的半导体器件 800 的信息通过数据调制电路 860 经由天线 890 作为无线电信号发射。应当注意,低电源电势(下文中称为 VSS)在包含于半导体器件 800 内的多个电路中是共用的,并且可以将 VSS 设为 GND。此外,可以采用上述半导体元件,典型地采用薄膜晶体管形成高频电路 810、电源电路 820、复位电路 830、时钟发生电路 840、数据解调电路 850、数据调制电路 860、用于控制其他电路的控制电路 870、存储电路 880 等。此外,可以将上述非易失半导体存储器件应用于存储电路 880。由于在本发明的半导体器件中能够降低驱动电压,因而能够在更长的距离内实现非接触数据通信。

[0284] 因此,可以通过从读取器 / 写入器向半导体器件 800 发送信号以及采用读取器 / 写入器接收由半导体器件 800 发射的信号而读取半导体器件的数据。

[0285] 此外,半导体器件 800 可以在不安装电源(电池)的情况下通过电磁波向每一电路提供电源电压,或者半导体器件 800 可以安装电源(电池),从而通过电磁波或电源(电池)向每一电路提供电源电压。

[0286] 接下来,将参考附图描述上述半导体器件的结构的例子。图 35A 示出了本实施例的半导体器件的顶视图,图 35B 示出了沿图 35A 的 X-Y 线得到的截面图。

[0287] 如图 35A 所示,所述半导体器件在衬底 400 上设有存储电路 404、集成电路部分 421 和天线 431。应当注意,图 35A 和 35B 所示的存储电路 404 对应于图 34 所示的存储电路 880;集成电路部分 421 对应于图 34 所示的高频电路 810、电源电路 820、复位电路 830、时钟发生电路 840、数据解调电路 850、数据调制电路 860 和控制电路 870;天线 431 对应于图 34 所示的天线 890。此外,可以采用在上述实施例中描述的薄膜晶体管形成存储电路 404 和集成电路部分 421 的部分。此外,可以采用上述非易失存储器件形成存储电路 404 的部分。

[0288] 如图 35B 所示,在半导体器件中,在衬底 400 和衬底 401 之间插置元件形成层 403。采用粘合剂 402 和 405 使元件形成层 403 分别附着于衬底 400 和 401。此外,在元件形成层 403 内形成绝缘层 453、非易失存储元件 440 以及晶体管 441 和 442。在非易失存储元件 440 以及晶体管 441 和 442 之上形成绝缘层 454,在绝缘层 454 内形成线路。在绝缘层 454 和线路上形成天线 431,在天线 431 和绝缘层 455 上形成绝缘层 432。将天线 431 连接至线路 456,线路 456 在形成于绝缘层 455 中的开口内形成于绝缘层 454 上。将线路 456 连接至作为集成电路的部分的高频电路。尽管这里描述了存储电路 404 包括非易失存储元件 440 和晶体管 441,集成电路部分 421 包括晶体管 442 的情况,但是还包括电阻元件、电容器、整流器等。

[0289] 在这一实施例中,采用聚酰亚胺层形成绝缘层 455;将钛膜、铝膜和钛膜的叠层用

于所述导电层；并且将通过印刷法形成的银合金层用于天线 431。形成降低天线 431 的不平坦性的绝缘层 432，优选通过涂覆法涂覆成相应分并使其干燥，之后对其焙烧来形成绝缘层 432。这里，采用环氧树脂层形成绝缘层 432。将 PEN 膜用于衬底 400 和 401，并将热塑料树脂用于粘合剂 402 和 405。

[0290] 应当注意，可以将天线设置为与存储电路重叠，或者可以将其设置在存储电路的外围，不与存储电路重叠。在天线与存储电路重叠的情况下，它们可以完全或部分相互重叠。在天线部分和存储电路相互重叠的时，能够减少天线传输数据时由信号噪声等导致的半导体器件的故障或由电磁感应产生的电动势的波动等；由此提高了可靠性。此外，能够降低半导体器件的尺寸。

[0291] 此外，作为上文所述的能够实现非接触数据输入和数据输出的半导体器件中的信号传输方法，可以采用电磁耦合型、电磁感应型或微波型。可以由研制人根据具体应用适当选择传输方法，并根据传输方法提供最佳的天线。

[0292] 例如，在采用电磁耦合型或电磁感应型（例如，13.56MHz）作为半导体器件中的信号传输方法的情况下，由于利用了随着磁场密度的变化而产生的电磁感应，因而将起着天线作用的导电层形成为环形（例如，环形天线）或螺旋形（例如，螺旋天线）。

[0293] 在采用微波型（例如，UHF 波段（860 到 960MHz）或 2.45GHz 等）作为半导体器件中的信号传输方法的情况下，可以根据用来传输信号的电磁波的波长适当确定起着天线作用的导电层的形状，例如长度。例如，可以将起着天线作用的导电层形成为线形（例如，偶极子天线）、平面形（例如，接线天线）或带形等。此外，起着天线作用的导电层的形状不限于线形；可以根据电磁波的波长将其提供为波浪形、蛇形或将它们结合起来的形状。

[0294] 通过 CVD 法、溅射法、诸如丝网印刷法或照相凹版印刷法的印刷法、微滴释放法、喷洒法或电镀法等，采用导电材料形成起着天线作用的导电层。采用从铝 (Al)、钛 (Ti)、银 (Ag)、铜 (Cu)、金 (Au)、铂 (Pt)、镍 (Ni)、钯 (Pd)、钽 (Ta) 和钼 (Mo) 中选出的元素或者以上述元素作为其主要成分的合金材料或化合物材料形成具有单层结构或叠层结构的导电材料。

[0295] 例如，在采用丝网印刷法形成起着天线作用的导电层的情况下，可以通过有选择地印刷导电膏，之后使所述导电膏干燥，并对其烘焙来提供所述导电层，在所述导电膏中，溶解或散布着颗粒尺寸为几 nm 到几十  $\mu\text{m}$  的导电颗粒。作为导电颗粒，可以采用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钽 (Ta)、钼 (Mo) 和钛 (Ti) 等当中的一种或多种的金属颗粒、卤化银的细小颗粒或者散布的纳米颗粒。此外，作为包含在导电膏中的有机树脂，可以采用从起着金属颗粒的黏合剂、溶剂、分散剂和涂覆成分的作用的有机树脂中选出的一种或多种有机树脂。典型地，可以提供诸如环氧树脂或硅树脂的有机树脂。除了上述材料之外，还可以将陶瓷或铁氧体等应用于天线。

[0296] 此外，在应用电磁耦合型或电磁感应型，并将具有天线的半导体器件设置为与金属接触时，优选在半导体器件和金属之间设置具有导磁性的磁性材料。在将具有天线的半导体器件设置为与金属接触时，随着磁场的变化，在金属中存在涡流，由于由涡流产生的去磁磁场减弱了所述磁场，因而将缩短通信距离。因此，通过在半导体器件与金属之间提供具有导磁性的材料，能够抑制金属的涡流，并且能够抑制通信距离的缩短。应当注意，可以采用具有高磁导率和低高频损耗的铁氧体或金属薄膜作为所述磁性材料。

[0297] 尽管在本实施例描述的半导体器件中，在元件形成层内直接形成了诸如晶体管的半导体元件和起着天线作用的导电层，但是本发明不限于此。例如，可以在不同的衬底上提供半导体元件和起着天线作用的导电层，之后时所述衬底相互附着，从而使所述半导体元件与所述导电层相互电连接。

[0298] 采用本发明，能够制作出抑制了半导体层与栅电极之间的漏电流的高度可靠的半导体器件。

[0299] 接下来，将描述能够实现非接触数据输入和数据输出的半导体器件的使用实例。包括显示部分 3210 的便携式终端的侧表面设有通信器（例如读取器 / 写入器）3200，物品 3220 的侧表面设有半导体器件 3230（参考图 36A）。当通信器（例如读取器 / 写入器）3200 置于包括在物品 3220 内的半导体器件 3230 之上时，将在显示部分 3210 上显示物品的相关信息，例如，原料、原产地、每一生产过程的检查结果、分销历史或物品说明等。此外，在通过传送带传输产品 3260 时，采用通信器（例如读取器 / 写入器）3240 和设置在产品 3260 上的半导体器件 3250 能够对产品 3260 进行检查（参考图 36B）。因此，在将所述半导体器件用于系统时，能够容易地获得信息，并且能够实现系统的功能性和附加值的提高。

[0300] 此外，可以将本发明的非易失半导体存储器件应用于各个领域中带有存储器的电子装置内。例如，作为应用了本发明的非易失半导体存储器件的电子装置的例子，给出了摄像机、数字照相机、护目镜型显示器（头戴显示器）、导航系统、还音装置（例如汽车音频或音频部件）、计算机、游戏机、移动信息终端（例如移动计算机、移动电话、移动游戏机或电子书）、设有记录介质的图像重现装置（具体而言是指复现诸如 DVD（数字通用盘）的记录介质的装置，其设有用于显示再现图像的显示器）。图 37A 到 37E 示出了所述电子装置的具体例子。

[0301] 图 37A 和 37B 每者示出了数字照相机。图 37B 示出了图 37A 所示的数字照相机的背面。这一数字照相机包括机壳 2111、显示部分 2112、透镜 2113、操作键 2114、快门 2115 等。此外，所述数字照相机包括可拆卸的非易失存储器 2116，存储器 2116 存储由数字照相机获取的数据。可以将通过采用本发明形成的非易失半导体存储器件应用于存储器 2116。

[0302] 图 37C 示出了移动电话，其是便携式终端的代表实例。这一移动电话包括机壳 2121、显示部分 2122、操作键 2123 等。此外，所述移动电话还包括可拆卸非易失存储器 2125，可以在存储器 2125 内存储移动电话电话号码、图像、音乐数据等，并对其进行复现。可以将通过采用本发明形成的非易失半导体存储器件应用于存储器 2125。

[0303] 图 37D 示出了数字播放器，其是音频设备的代表实例。图 37D 所示的数字播放器包括主体 2130、显示部分 2131、存储部分 2132、操作部分 2133、耳机 2134 等。可以采用头戴耳机或无线耳机替代耳机 2134。对于存储部分 2132 而言，可以采用利用本发明形成的非易失半导体存储器件。例如，通过采用存储容量为 20 到 200 千兆字节 (GB) 的 NAND 非易失存储器，并对操作部分 2133 进行操作，能够记录和复现图像和声音（音乐）。应当注意，能够通过在显示部分 2131 上的黑色背景上显示白色字符而减少功耗。这对移动音频设备尤为有效。设置于存储部分 2132 内的非易失半导体存储器件可以是可拆卸的。

[0304] 图 37E 示出了电子图书（也称为电子纸张）。这一电子图书包括主体 2141、显示部分 2142、操作键 2143 和存储部分 2144。可以在主体 2141 内包含调制解调器，或者可以采用无线发送和接收信息的结构。对于存储部分 2144 而言，可以采用利用本发明形成的非

易失半导体存储器件。例如,通过采用存储容量为 20 到 200 千兆字节 (GB) 的 NAND 非易失存储器,并对操作键 2143 进行操作,能够记录并复现图像和声音 (音乐)。设置于存储部分 2144 内的非易失半导体存储器件可以是可拆卸的。

[0305] 如上所述,本发明的非易失半导体存储器件的应用范围是非常宽的,可以将其应用于各个领域的电子装置内,只要所述电子装置包括存储器即可。

[0306] [实施例 4]

[0307] 在这一实施例中,将描述通过计算得到的实施模式 1 中所述的能够抑制漏电流的半导体元件中的第二绝缘层 36 的最佳厚度的模拟结果。在这一实施例中,采用薄膜晶体管作为半导体元件。

[0308] 首先,将提供薄膜晶体管中第二绝缘层 36 的最佳厚度的模拟结果。就计算而言,在离散化网目 (mesh) 上 (由 Mesh 形成的“Devise-3D”),采用迭代法解器件方程 ((1) 载流子连续方程, (2) 泊松方程)。就计算而言,,采用 NihonSynopsys Co. Ltd 出品的“Dessis-3D”。

[0309] 图 38A 到 38C 示出了计算采用的 p 沟道薄膜晶体管的结构。图 38A 是所述薄膜晶体管的顶视图。所述薄膜晶体管的沟道宽度和沟道长度分别是  $3.5 \mu m$  和  $1.5 \mu m$ 。半导体层、起着栅极绝缘膜作用的绝缘层 33 (下文称为第一绝缘层 33) 和覆盖半导体层的端部的绝缘层 36 (下文称为第二绝缘层 36) 相互重叠的区域的宽度 (下文称为 F0x 区域 37) 为  $1 \mu m$ ;起着栅电极作用的导电层 34 与开口之间的距离为  $1 \mu m$ ;所述开口与 F0x 区域 37 之间的距离为  $1 \mu m$ 。此外,在所述开口中,即每者起着源极区或漏极区的作用的杂质区 32b 和 32c 掺有硼。硼的激活率为 10%,薄层电阻为  $500 \Omega$ ,硼的浓度为  $4.87 \times 10^{19}/cm^3$ 。

[0310] 图 38B 是沿图 38A 的 A1-B1 线的得到的截面图,图 38C 是沿图 38A 的 A2-B2 线得到的截面图。所述半导体层的厚度为  $66nm$ ,所述第一绝缘层 33 的厚度为  $20nm$ ,所述起着栅电极作用的导电层 34 的厚度为  $400nm$ 。在这一条件下,通过计算模拟了在将第二绝缘层 36 的厚度设为  $0nm$ 、 $20nm$ 、 $40nm$ 、 $60nm$ 、 $70nm$ 、 $80nm$  和  $100nm$  时薄膜晶体管的电流 - 电压特性。图 39 示出了其结果。在图 39 中,x 记号表示第二绝缘层 36 的膜厚度为  $0nm$  时的电流 - 电压特性,黑色三角形记号表示第二绝缘层 36 的膜厚度为  $20nm$  时的电流 - 电压特性,黑色菱形记号表示第二绝缘层 36 的膜厚度为  $40nm$  时的电流 - 电压特性,黑色圆形记号表示第二绝缘层 36 的膜厚度为  $60nm$  时的电流 - 电压特性,黑色方块记号表示第二绝缘层 36 的膜厚度为  $70nm$  时的电流 - 电压特性,白色圆形记号表示第二绝缘层 36 的膜厚度为  $80nm$  时的电流 - 电压特性,白色方块记号表示第二绝缘层 36 的膜厚度为  $100nm$  时的电流 - 电压特性。

[0311] 根据图 39,我们发现,当第二绝缘层 36 的膜厚度增大时产生了扭结。

[0312] 这里,将在下文中解释电流 - 电压特性中产生扭结的原因。半导体层、第一绝缘层 33 和第二绝缘层 36 相互重叠的区域 (F0x 区域 37) 变成了由半导体层 32、第一绝缘层 33、第二绝缘层 36 和起着栅电极作用的导电层 34 构成的寄生 MOS 晶体管。在所述寄生 MOS 晶体管中,起着栅极绝缘膜作用的第一绝缘层的膜厚度 (这里是第一绝缘层 33 和第二绝缘层 36 的厚度之和) 变厚。此外,寄生 MOS 晶体管的沟道长度短。因此,在短沟道效应的作用下,在具有低阈值 ( $V_{th}$ ) 的寄生 MOS 晶体管内产生了电流。在将所述电流 - 电压特性与常规薄膜晶体管 (起着栅极绝缘膜作用的绝缘层仅为第一绝缘层 33 的薄膜晶体管) 的电流 - 电压特性结合时,形成了扭结。

[0313] 接下来,通过计算模拟开始在薄膜晶体管的电流 - 电压特性中产生扭结的第二绝缘层 36 的膜厚度。这里,在图 40 中示出了表现范围 49 内的电流 - 电压特性的曲线的倾角 ( $\Delta \log(I_d) / \Delta \log V_g$ ), 在范围 49 中, 电压从 -1.6 到 -0.8V。可以说, 图 39 所示的曲线具有扭结, 在所述曲线中, 改变了通过对所述倾角的一阶微分获得的值 (即, 通过对示出了电流 - 电压特性的曲线的二阶微分获得的值) 的符号 (这里, 将正值变成了负值)。

[0314] 这里, 如图 40 所示, 当第二绝缘层 36 的厚度为 80nm 时, 以及当第二绝缘层 36 的厚度为 100nm 时, 将通过对示出了电流 - 电压特性的曲线的二阶微分获得的值从正值改成了负值。因而, 我们发现, 当第二绝缘层 36 的厚度小于等于 70nm 时, 在电流 - 电压特性内没有产生扭结。

[0315] 此外, 当在半导体层 32 上形成第一绝缘层 33 之前, 存在去除形成于半导体层 32 的表面上的氧化物层的步骤。形成于半导体层 32 的表面上的氧化物层是半导体层 32 与空气中的氧气接触并受到氧化而形成的自然氧化膜。在去除了所述氧化物层之后, 如图 41A 所示, 还要去除作为半导体层 32 的基础膜形成的绝缘层 31 的部分, 以形成凹陷 37。之后, 在形成第一绝缘层 33 时, 未充分覆盖半导体层 32 的不平坦和凹陷 37, 并且部分截断了第一绝缘层 33, 这是一个问题。在通过这样的方式在第一绝缘层 33 上形成了栅电极之后, 将在半导体层 32 和栅电极层之间产生漏电流。

[0316] 鉴于此, 第二绝缘层 36 的厚度必须足够厚, 以覆盖绝缘层 31 的凹陷。由于所述凹陷大约为 5nm 深, 因而第二绝缘层 36 的厚度优选大于等于 5nm。

[0317] 出于上述原因, 第二绝缘层 36 的膜厚度大于等于 5nm 小于等于 70nm, 能够借此抑制薄膜晶体管的漏电流, 并保持所述电流 - 电压特性。应当注意, 此时的第一绝缘层 33 的膜厚度为 20nm。

[0318] 此外, 在半导体层 32 上形成具有不同厚度的绝缘层; 将具有薄的膜厚度的区域 (即形成第一绝缘层 33 的区域) 的厚度设为  $t_1$ , 将具有厚的膜厚度的区域 (即形成了第一绝缘层 33 和第二绝缘层 36 的区域) 的厚度设为  $t_2$ 。这是, 根据在电流 - 电压特性中不产生扭结的第一绝缘层 33 和第二绝缘层 36 的厚度的计算结果, 具有厚膜厚度的区域的厚度  $t_2$  优选大于等于  $t_1$  的 1.2 倍小于等于  $t_1$  的 4.5 倍。

[0319] 此外, 根据上述计算的结果, 半导体层 32 上具有薄的膜厚度的绝缘层 (即第一绝缘层 33) 的厚度优选大于等于 3nm 小于等于 30nm, 半导体层 32 上具有厚膜厚度的绝缘层 (即第一绝缘层 33 和第二绝缘层 36 的叠层) 的厚度优选大于等于 3.6nm 小于等于 135nm, 更优选大于等于 5nm 小于等于 135nm。当第一绝缘层 33 的厚度小于 3nm 时, 产生厚度变化, 并且在半导体层 32 和栅电极之间产生漏电流。另一方面, 当第一绝缘层 33 的厚度大于 30nm 时, 难以制造能够高速工作的薄膜晶体管。这时的薄膜晶体管的沟道长度为 0.1 到 3  $\mu\text{m}$ , 优选为 0.1 到 1.5  $\mu\text{m}$ 。此外, 薄膜晶体管的 S 值为 50 到 120mV/dec, 优选为 60 到 100mV/dec。凭借这样的结构, 能够制造抑制了漏电流并且能够实现高速操作的薄膜晶体管。

[0320] [实施例 5]

[0321] 接下来, 将在下文中描述每者具有厚度为 50nm 或 150nm 的第二绝缘层 36 的 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的电流 - 电压特性的测量结果。

[0322] 首先, 将参考图 4A 到 4F 解释薄膜晶体管的制造过程。在衬底 30 上形成起着基础膜作用的绝缘层 31, 在绝缘层 31 上形成半导体层 32。作为衬底, 采用厚度为 0.7mm 的

AN100(由ASAHI GLASS CO.,LTD制造)。作为绝缘层31,通过等离子体CVD法形成厚度为50nm的氧氮化硅层,之后形成厚度为100nm的氮氧化硅层。作为半导体层32,通过下述方式形成晶体硅层:通过等离子体CVD法形成厚度为66nm的非晶硅层,在温度为500℃的加热炉内对所述非晶硅层加热一小时,以去除其中的氢气,之后采用激光照射所述非晶硅层。就执行激光照射的条件而言,采用脉冲Nd:YVO<sub>4</sub>激光器的二次谐波作为激光振荡器。接下来,采用通过光刻工艺形成的抗蚀剂掩模有选择地蚀刻所述晶体硅层,由此形成半导体层32。

[0323] 接下来,通过等离子体CVD法在半导体层32上形成厚度为50nm或150nm的氮氧化硅层作为绝缘层40,之后,利用通过光刻工艺形成的抗蚀剂掩模对所述氮氧化硅层有选择地蚀刻,由此形成第二绝缘层36。

[0324] 接下来,在半导体层32和第二绝缘层36上形成第一绝缘层33。这里,通过等离子体CVD法形成厚度为20nm的氮氧化硅层作为第一绝缘层33。

[0325] 接下来,形成起着栅电极作用的导电层34。这里,通过下述方式形成起着栅电极作用的导电层34:通过溅射法形成厚度为30nm的氮化钽层,形成厚度为170nm或370nm的钨层,采用通过光刻工艺形成的抗蚀剂掩模对所述氮化钽层和钨层有选择地蚀刻。应当注意,以后将要被包含到所述n沟道薄膜晶体管中的栅电极是厚度为30nm的氮化钽层和厚度为370nm的钨层的叠层,以后将被包含到所述p沟道薄膜晶体管中的栅电极是厚度为30nm的氮化钽层和厚度为170nm的钨层的叠层。

[0326] 接下来,采用起着栅电极作用的导电层34作为掩模向半导体层32内添加杂质,由此形成源极区和漏极区。这里,通过离子掺杂法,向以后将要被包含在所述n沟道薄膜晶体管中的半导体层中掺杂磷。就此时的离子掺杂法的条件而言,加速电压为20kV,剂量为 $3.4 \times 10^{15}/\text{cm}^2$ 。此外,通过离子掺杂法,向以后将要被包含在所述p沟道薄膜晶体管中的半导体层中掺杂硼。就此时的离子掺杂法的条件而言,加速电压为15kV,剂量为 $3.4 \times 10^{15}/\text{cm}^2$ 。

[0327] 接下来,在第一绝缘层33和起着栅电极作用的导电层34上形成层间绝缘层。作为所述层间绝缘层,通过等离子体CVD法形成厚度为100nm的氧氮化硅层,之后形成厚度为600nm的氮氧化硅层。之后,通过加热使所述半导体层32氢化。

[0328] 接下来,蚀刻所述层间绝缘层和第一绝缘层33,以形成开口,从而部分暴露半导体层32中的源极区和漏极区中的每一个。接下来,通过溅射法叠置厚度为100nm的钛层、厚度为300nm的铝层和厚度为100nm的钛层。之后,采用通过光刻工艺形成的掩模执行选择蚀刻,由此形成叠置了钛层、铝层和钛层的线路。通过上述过程,形成了每者具有厚度为50nm的第二绝缘层36的n沟道薄膜晶体管和p沟道薄膜晶体管,以及每者具有150nm的厚度的第二绝缘层36的n沟道薄膜晶体管和p沟道薄膜晶体管。

[0329] 图42A示出了n沟道薄膜晶体管的电流-电压特性。实线表示具有厚度为50nm的第二绝缘层36的薄膜晶体管的测量结果,虚线示出了具有厚度为150nm的第二绝缘层36的薄膜晶体管的测量结果。此外,实线和虚线42a示出了Vd(漏电压)为1V的情况下的测量结果,实线和虚线42b示出了Vd为3V的情况下的测量结果。

[0330] 如图42A所示,当第二绝缘层36的厚度为50nm时,在示出了薄膜晶体管的电流-电压特性的曲线中不存在扭结;而当第二绝缘层36的厚度为150nm时,在示出了薄膜晶体管的电流-电压特性的曲线中观察到了扭结。

[0331] 图 42B 示出了 p 沟道薄膜晶体管的电流 - 电压特性。实线表示具有厚度为 50nm 的第二绝缘层 36 的薄膜晶体管的测量结果, 虚线示出了具有厚度为 150nm 的第二绝缘层 36 的薄膜晶体管的测量结果。此外, 实线和虚线 43a 示出了  $V_d$  (漏电压) 为 -1V 的情况下的测量结果, 实线和虚线 43b 示出了  $V_d$  为 -3V 的情况下的测量结果。

[0332] 如图 42B 所示, 当第二绝缘层 36 的厚度为 50nm 时, 在示出了薄膜晶体管的电流 - 电压特性的曲线中不存在扭结; 而当第二绝缘层 36 的厚度为 150nm 时, 在示出了薄膜晶体管的电流 - 电压特性的曲线中轻微地观察到了扭结。

[0333] 因此, 在使覆盖半导体层的端部的绝缘层 (第二绝缘层) 的厚度处于在实施例 4 中通过计算得到的范围内时, 能够制造出电流 - 电压特性不具有扭结的薄膜晶体管。

[0334] 本申请基于 2006 年 4 月 28 日在日本专利局提交的日本专利申请 No. 2006-126670 和 2006 年 9 月 20 日在日本专利局提交的日本专利申请 No. 2006-254205, 其全部内容在此引作参考。

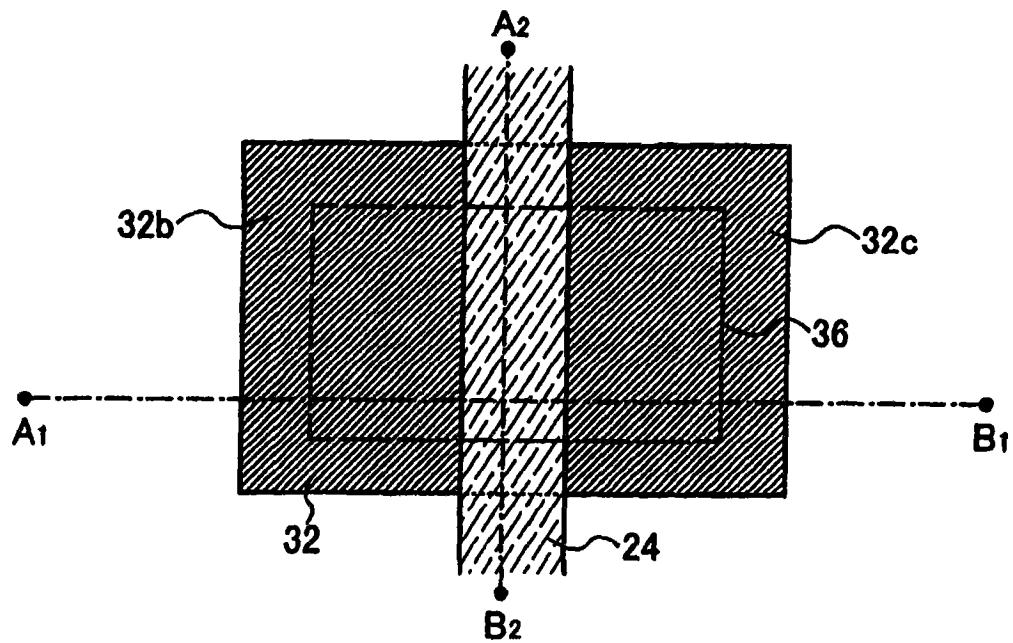


图 1A

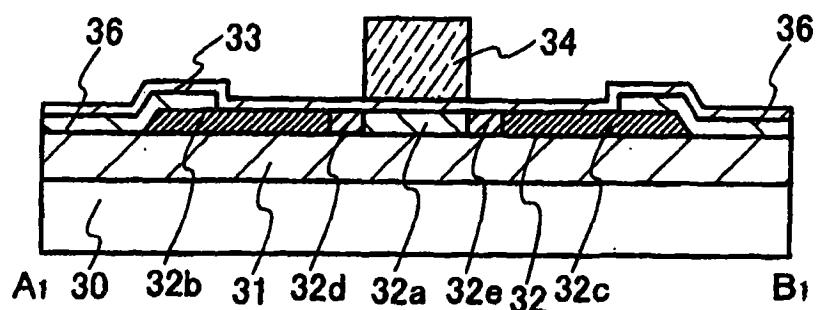


图 1B

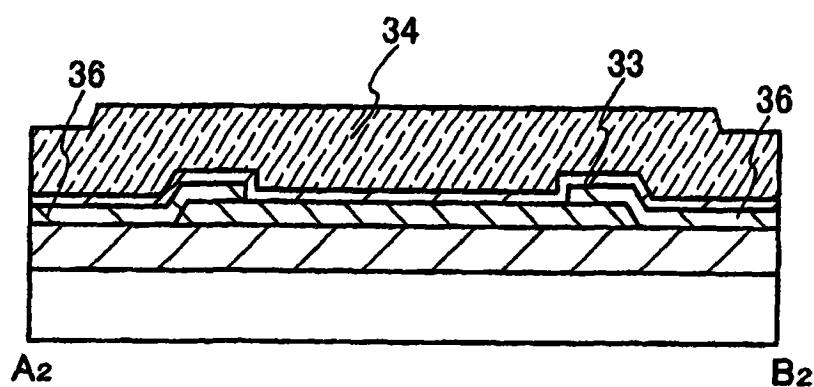


图 1C

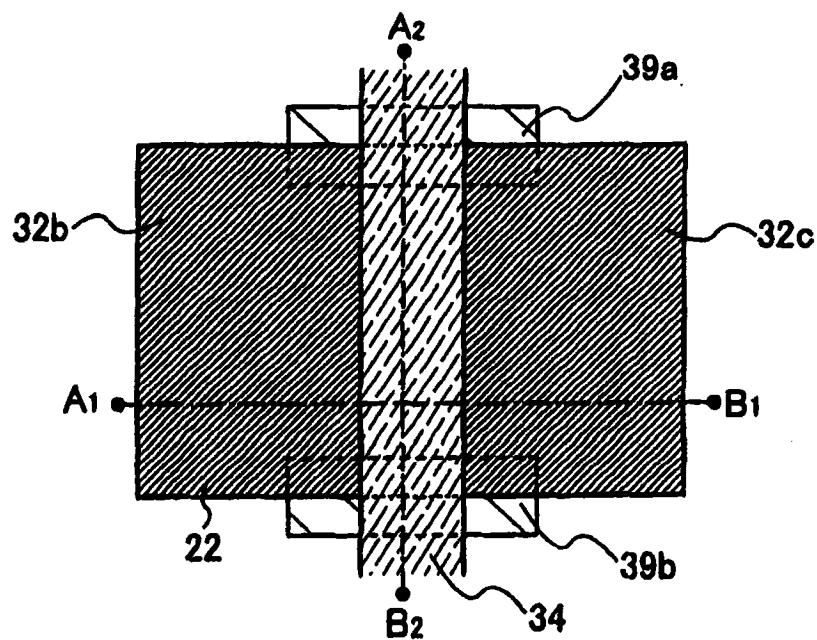


图 2A

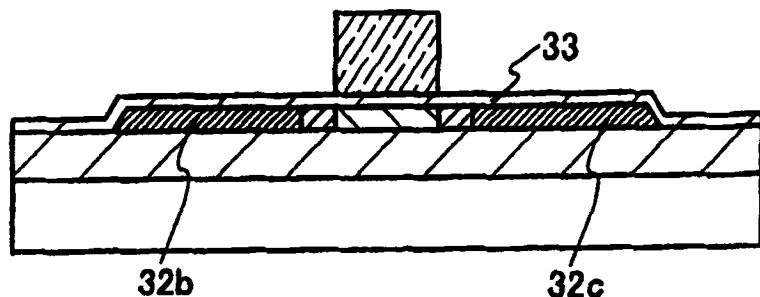


图 2B

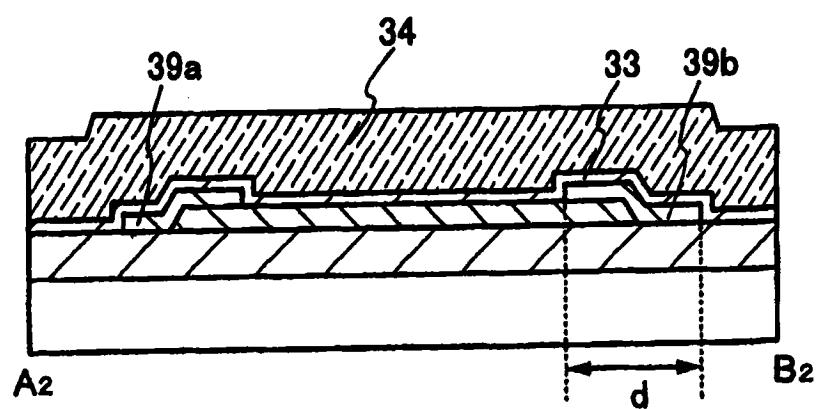


图 2C

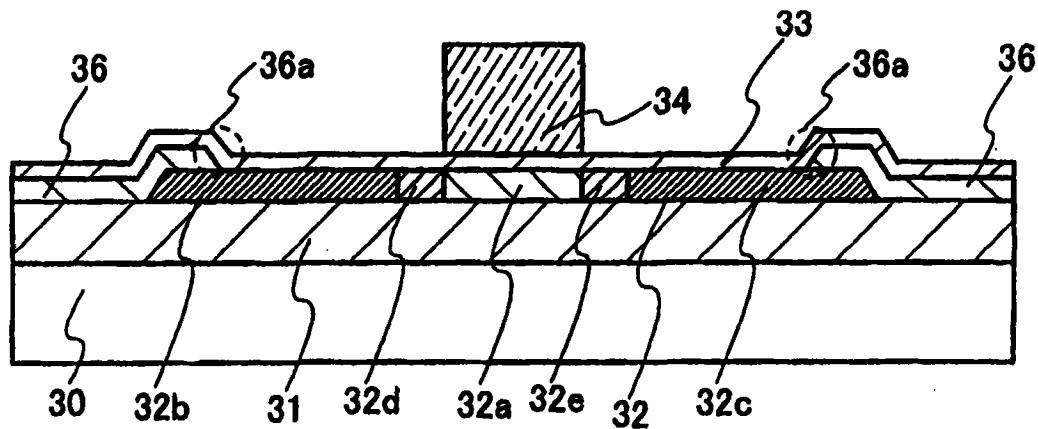


图 3A

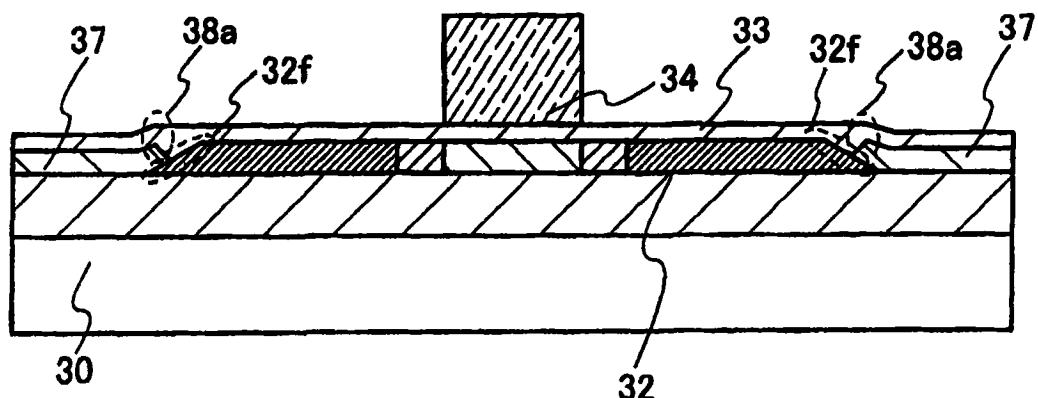


图 3B

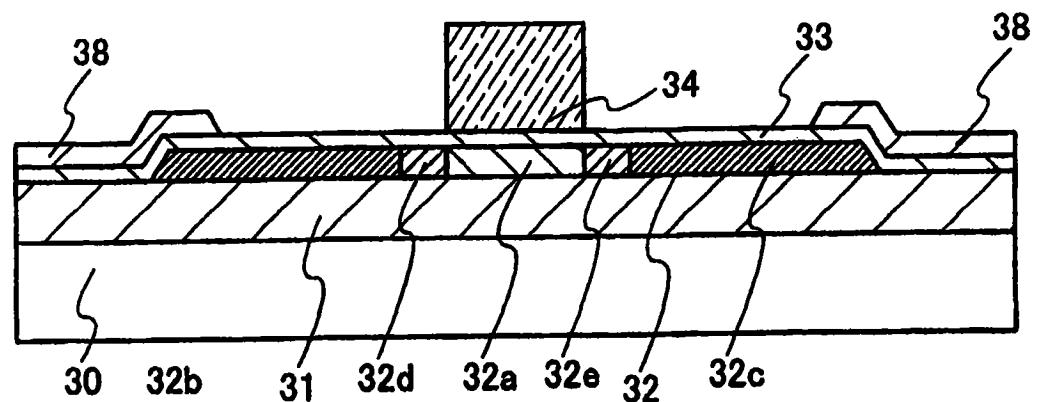


图 3C

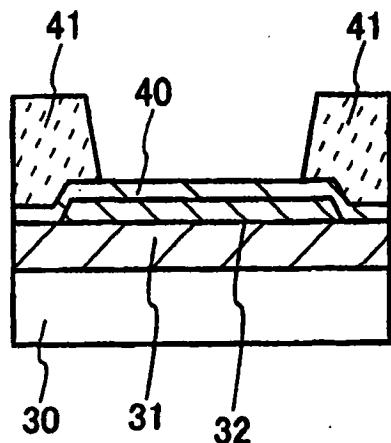


图 4A

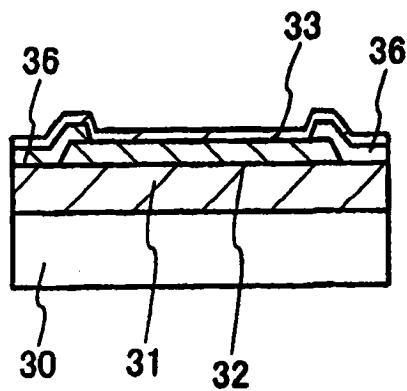


图 4B

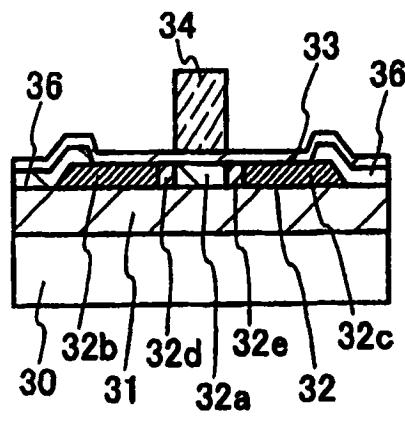


图 4C

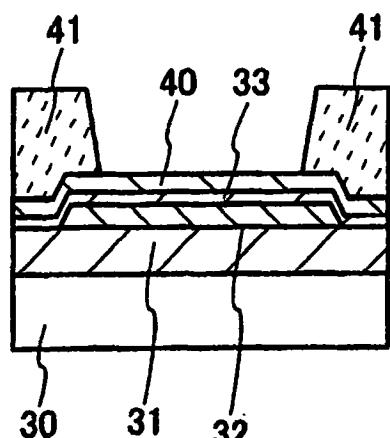


图 4D

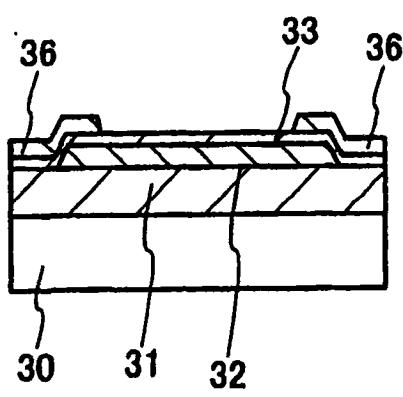


图 4E

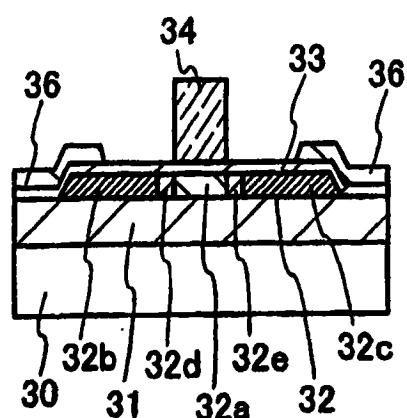


图 4F

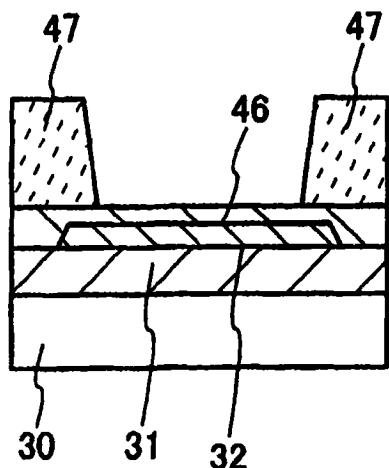


图 5A

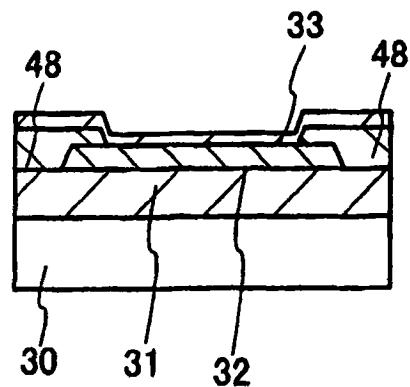


图 5B

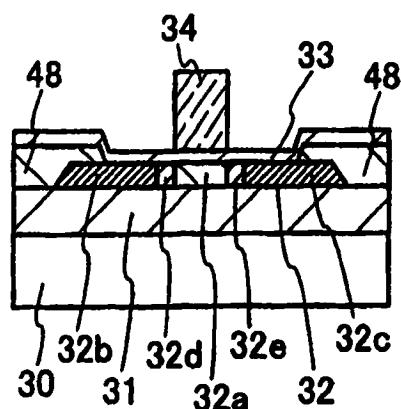


图 5C

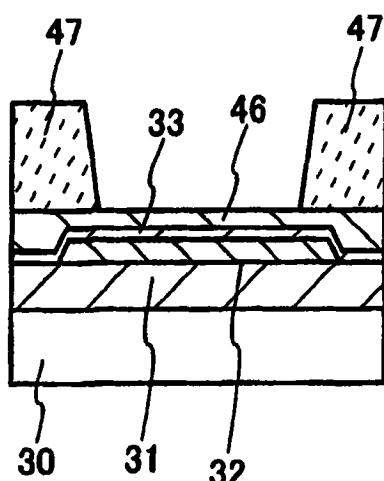


图 5D

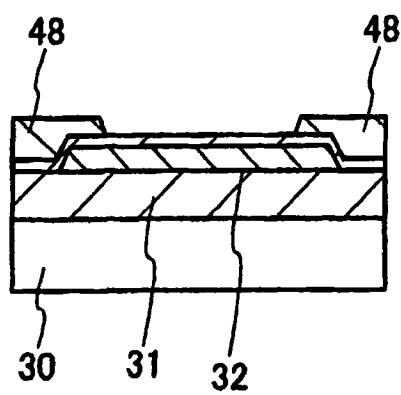


图 5E

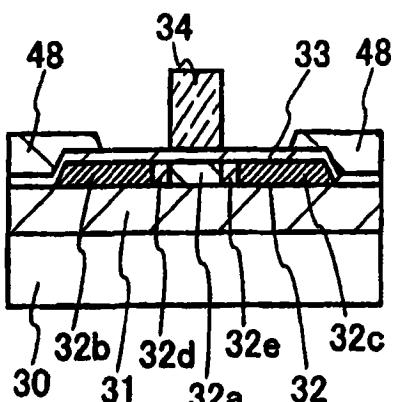


图 5F

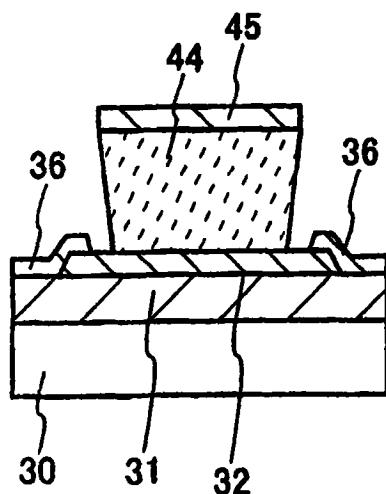


图 6A

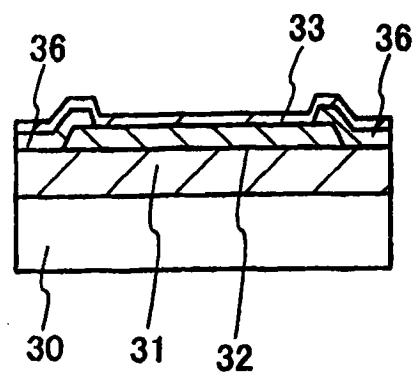


图 6B

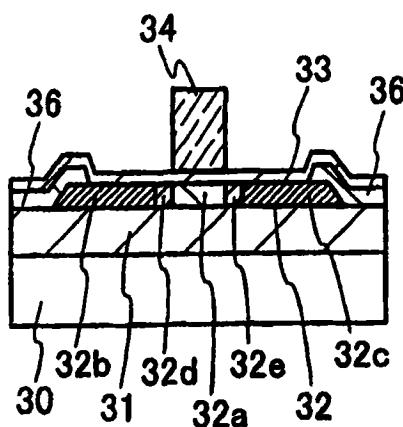


图 6C

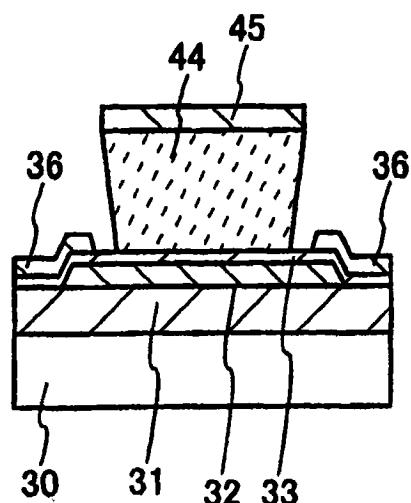


图 6D

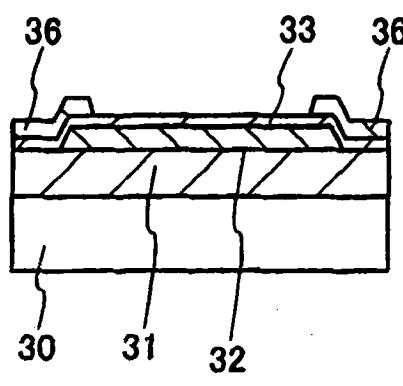


图 6E

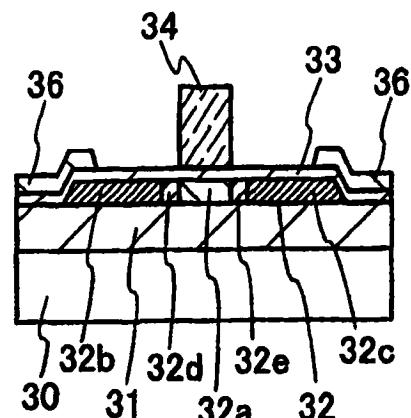


图 6F

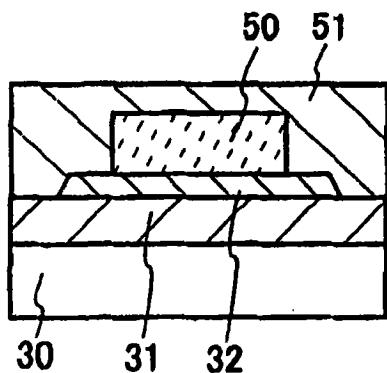


图 7A

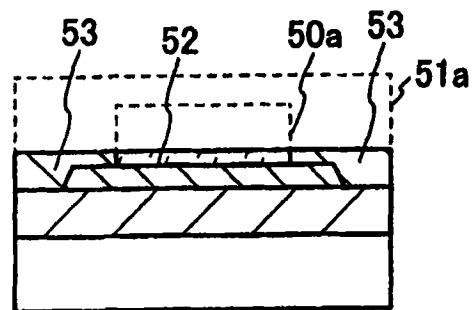


图 7B

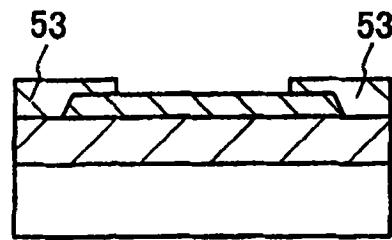


图 7C

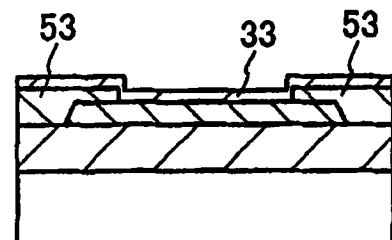


图 7D

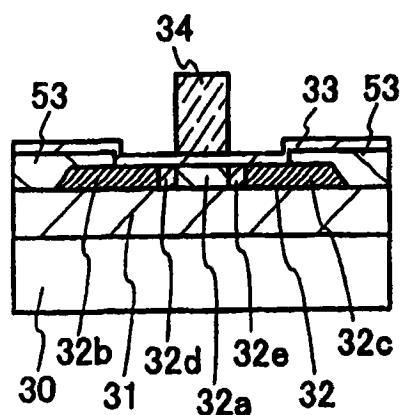


图 7E

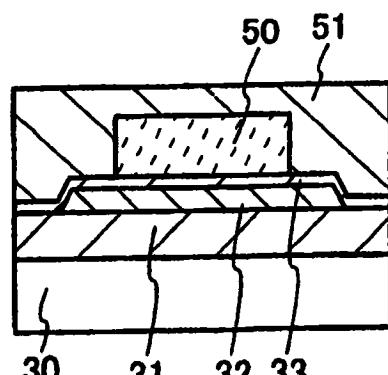


图 7F

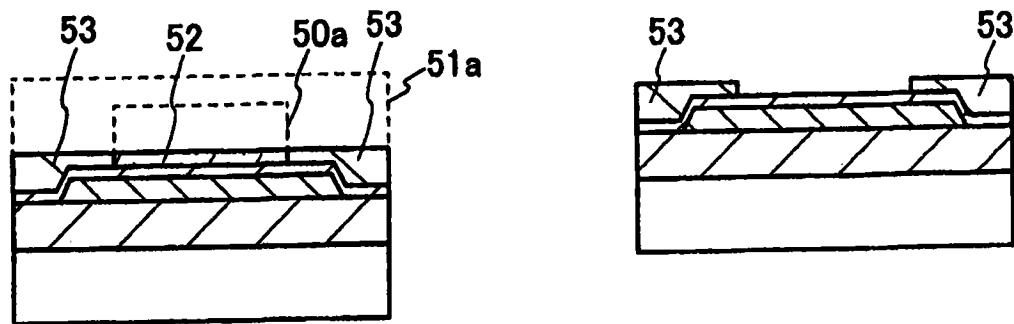


图 7H

图 7G

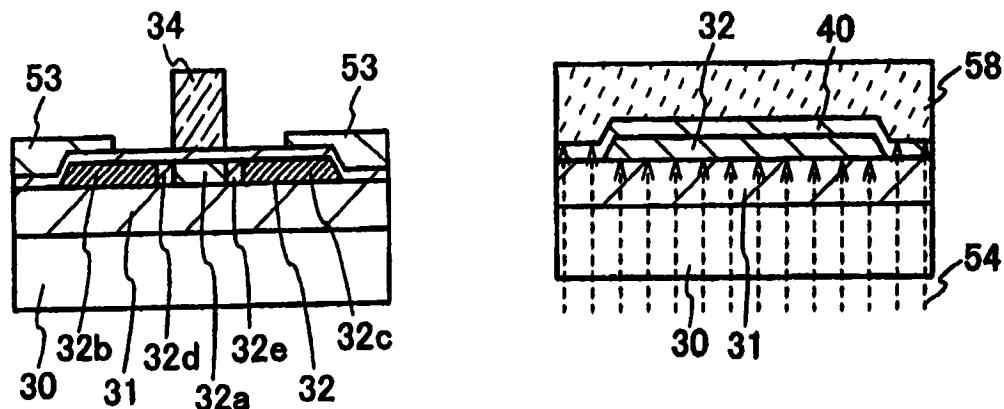


图 8A

图 7I

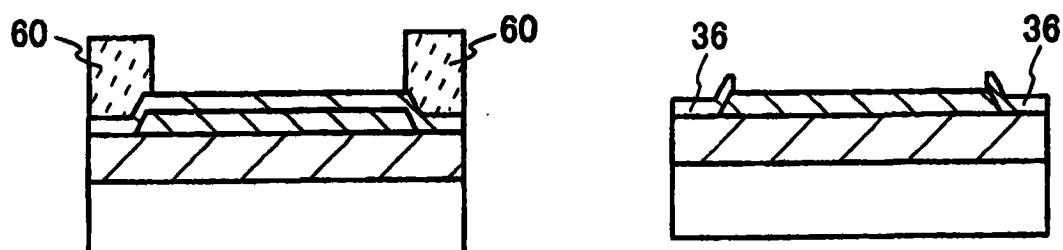


图 8C

图 8B

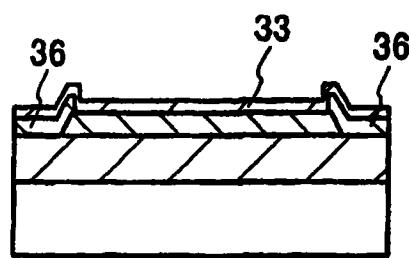


图 8D

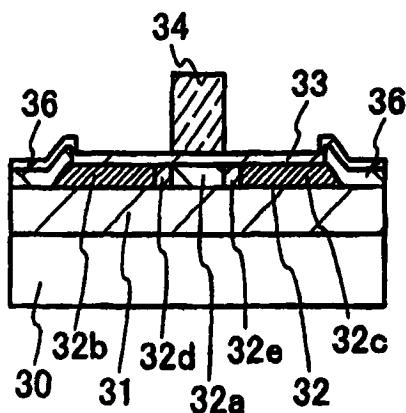


图 8E

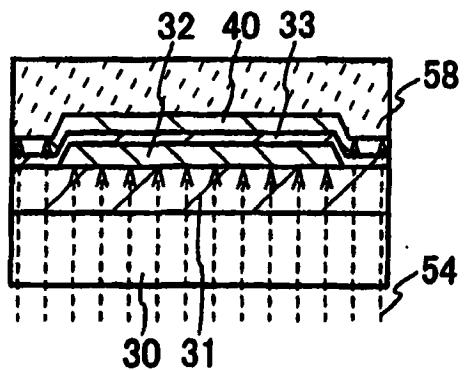


图 8F

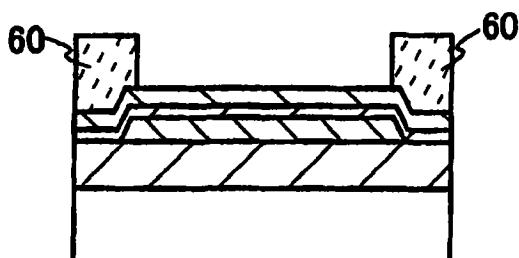


图 8G

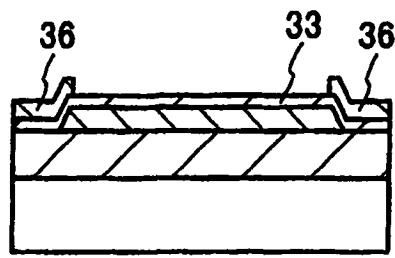


图 8H

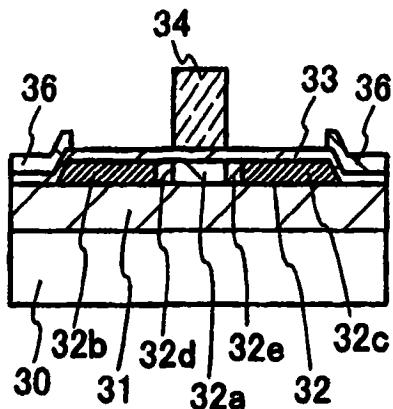


图 8I

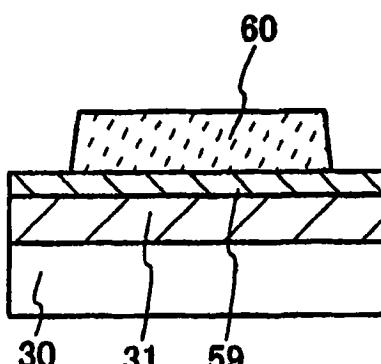


图 9A

图 9B

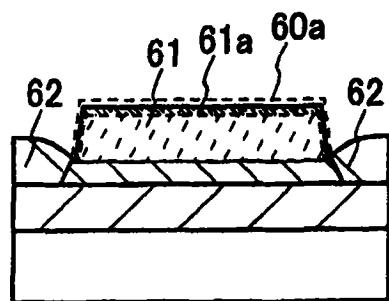


图 9C

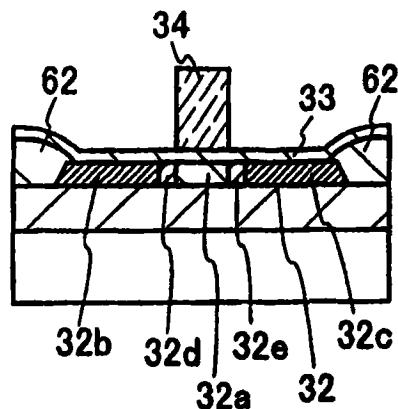


图 9D

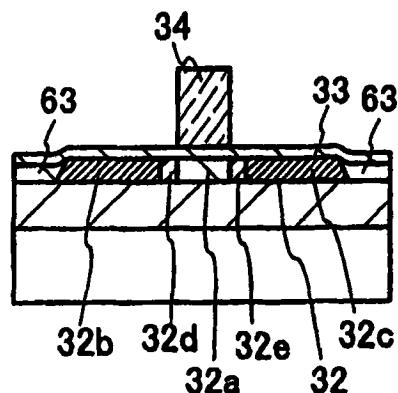


图 9E

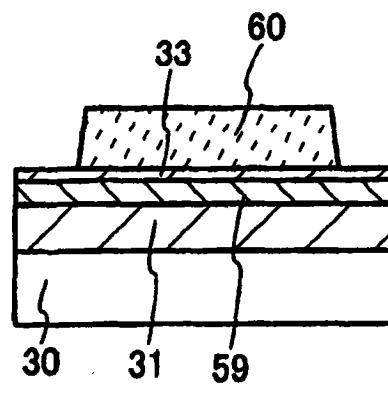


图 9F

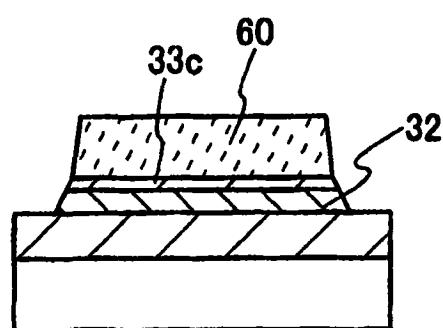


图 9G

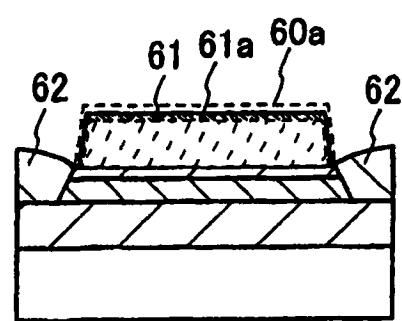


图 9H

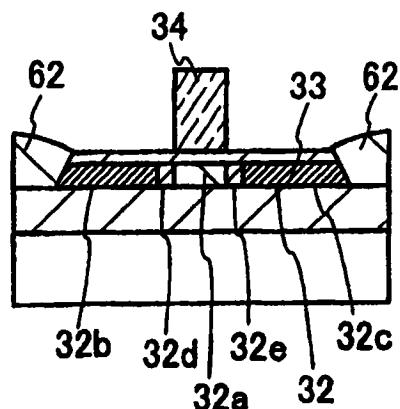


图 9I

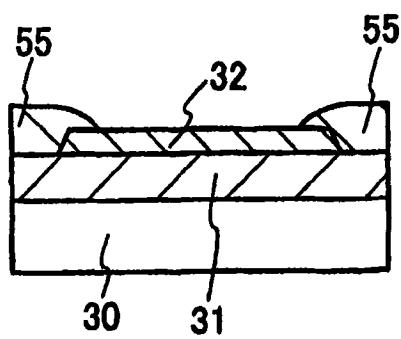


图 10A

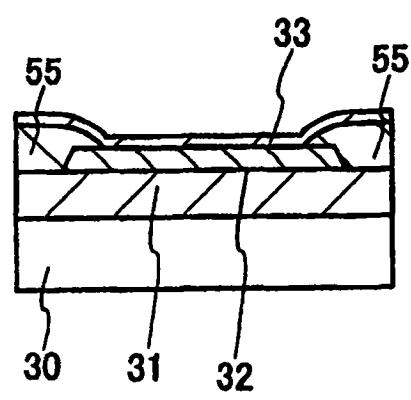


图 10B

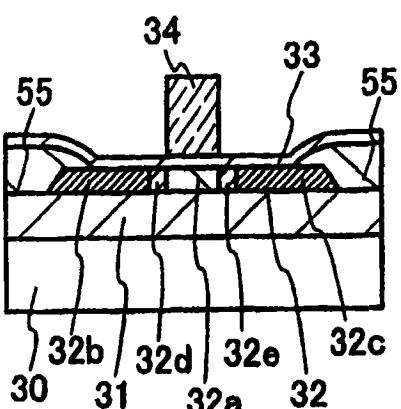


图 10C

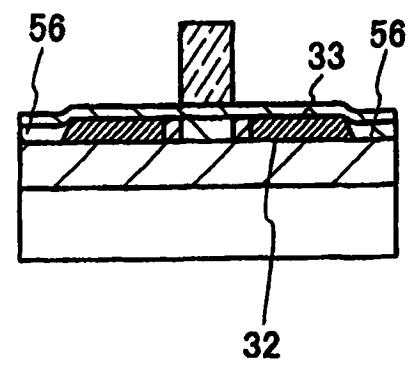


图 10D

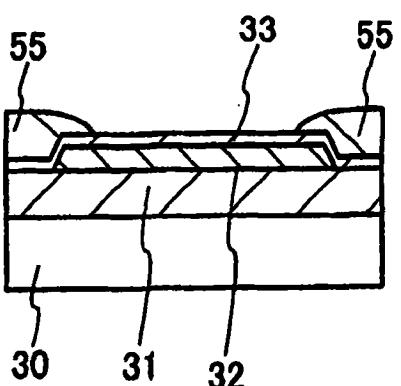


图 10E

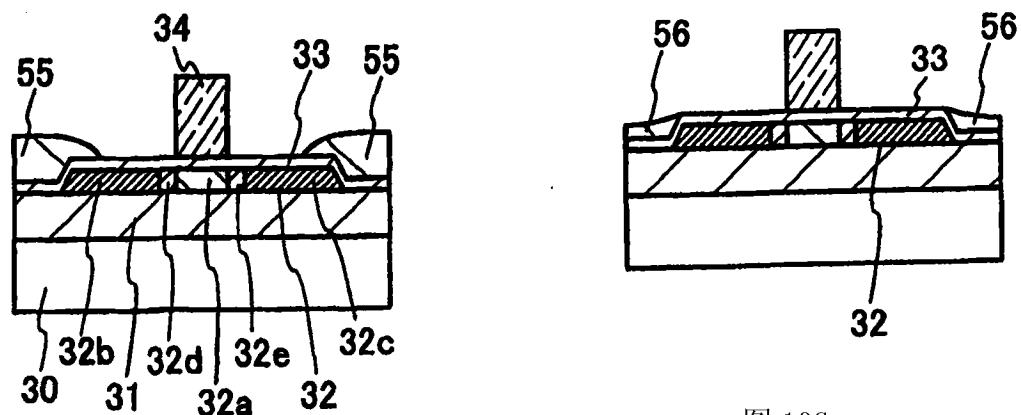


图 10G

图 10F

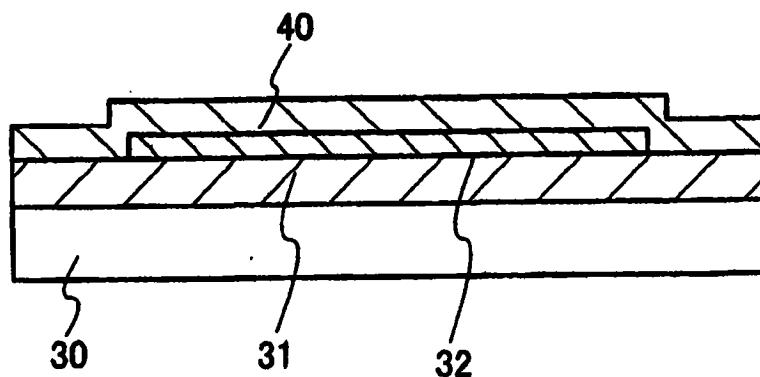


图 11A

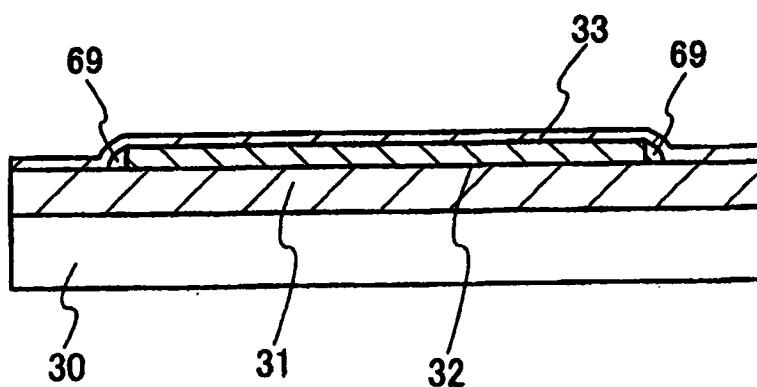


图 11B

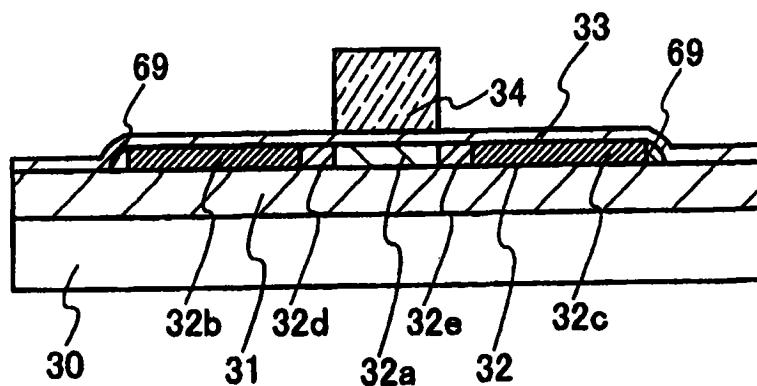


图 11C

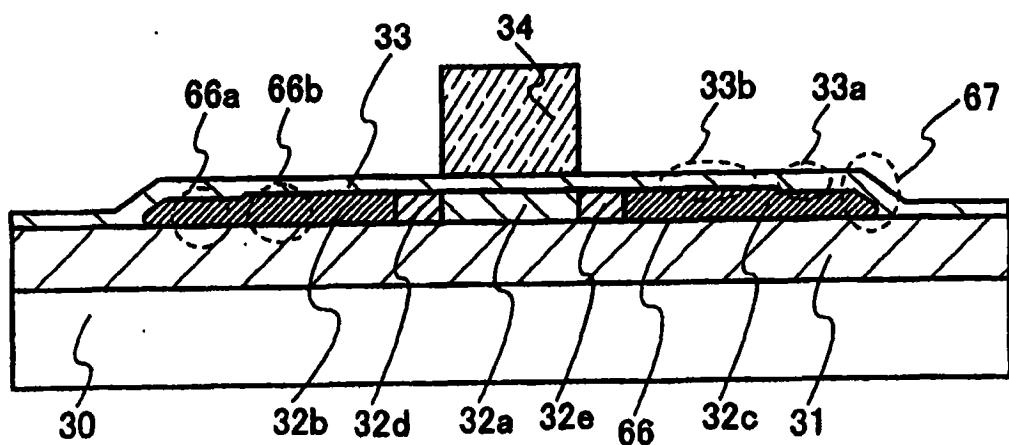


图 12A

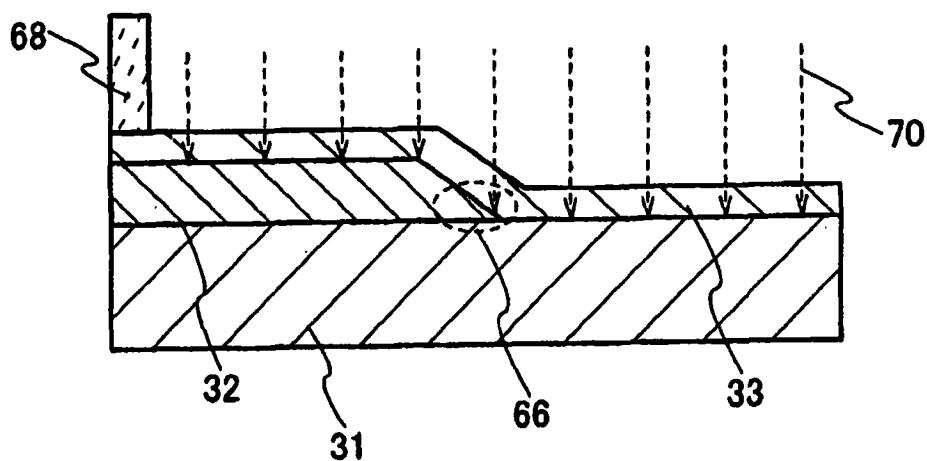


图 12B

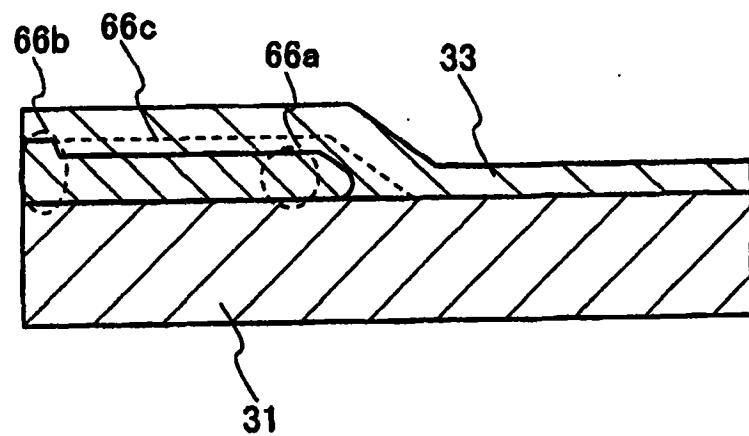


图 12C

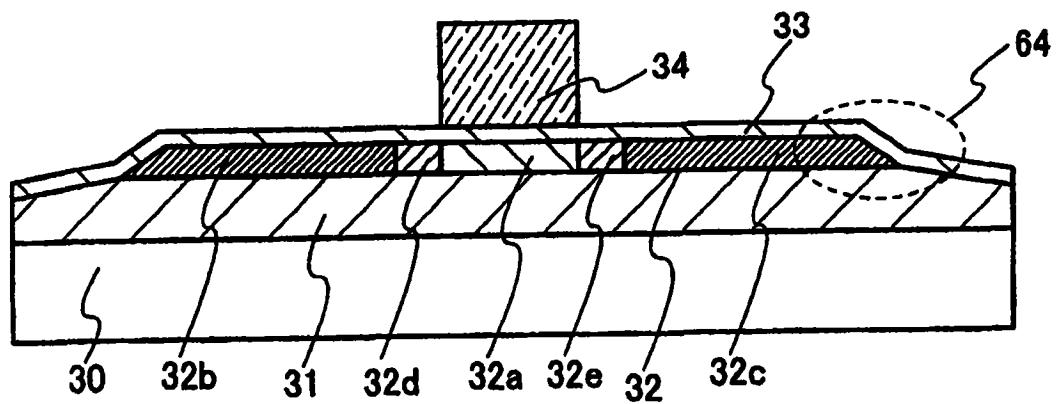


图 13A

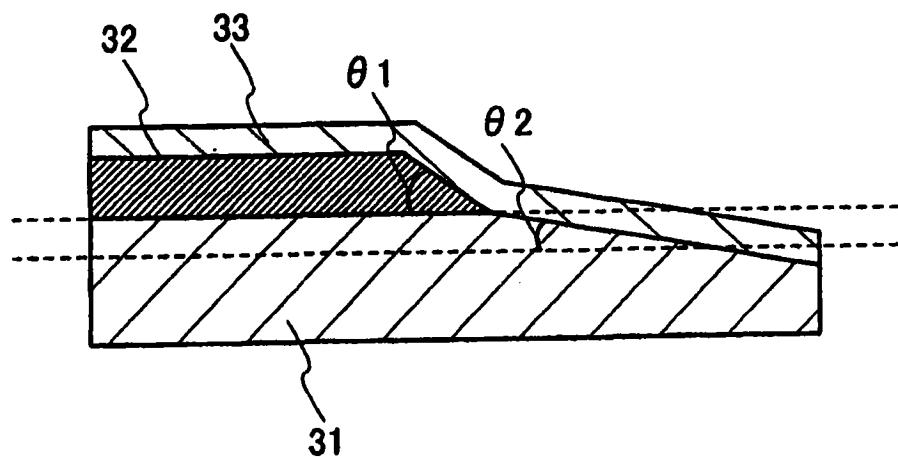


图 13B

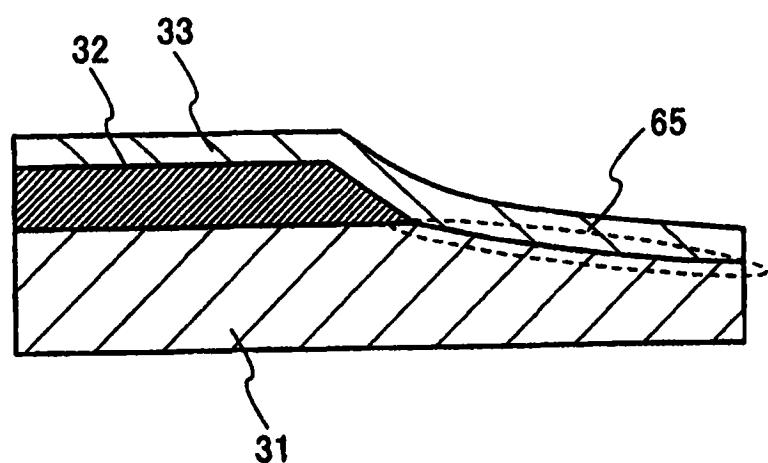


图 13C

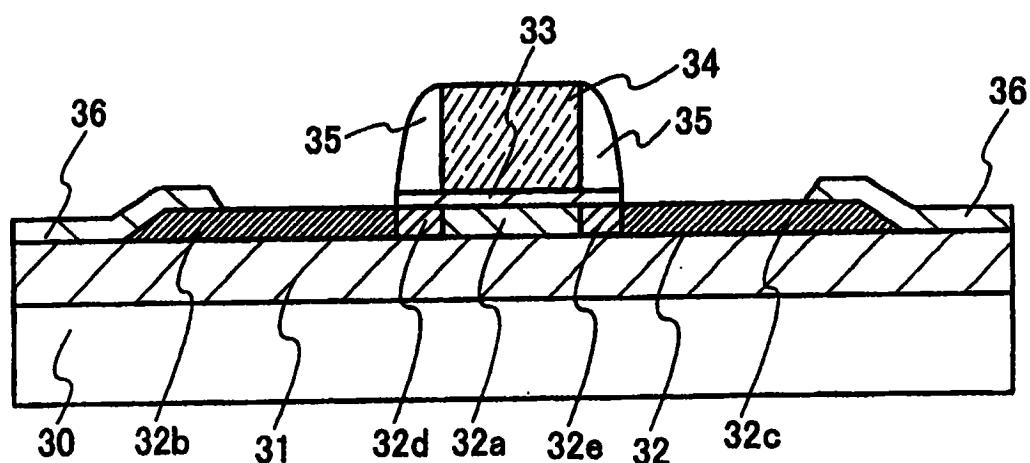


图 14A

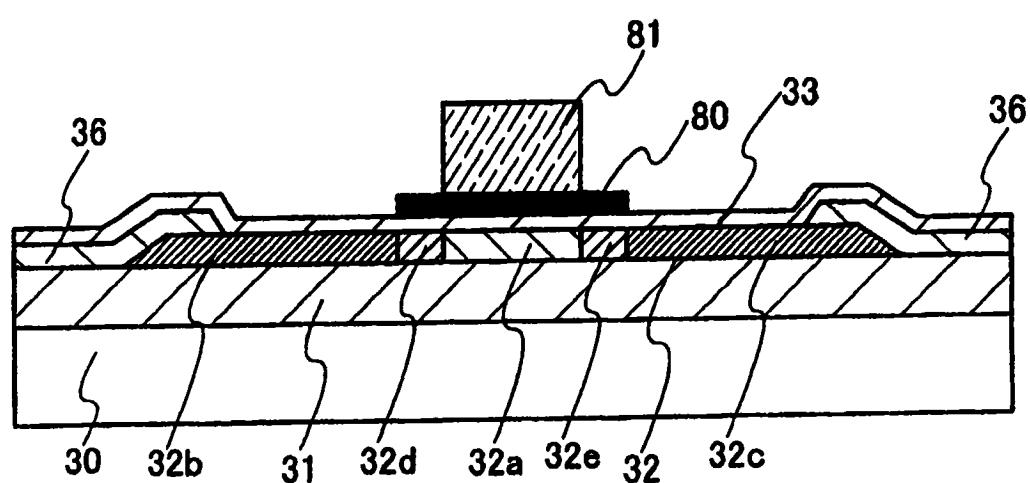


图 14B

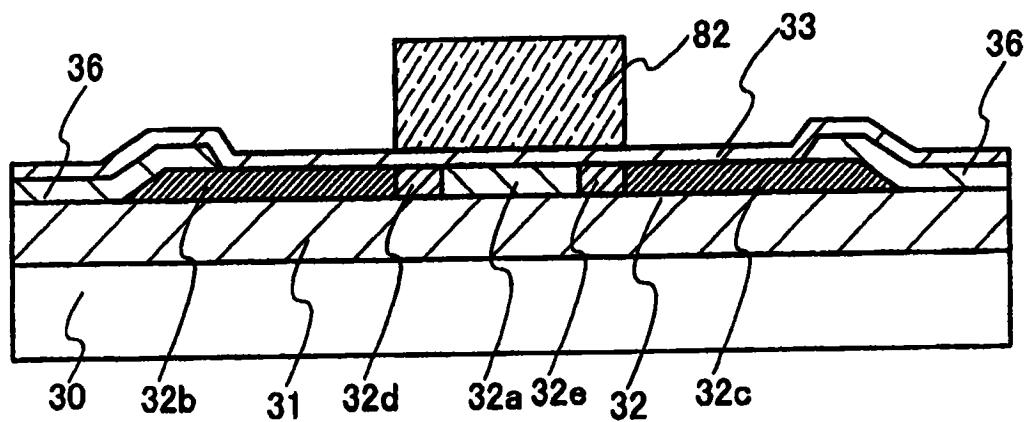


图 14C

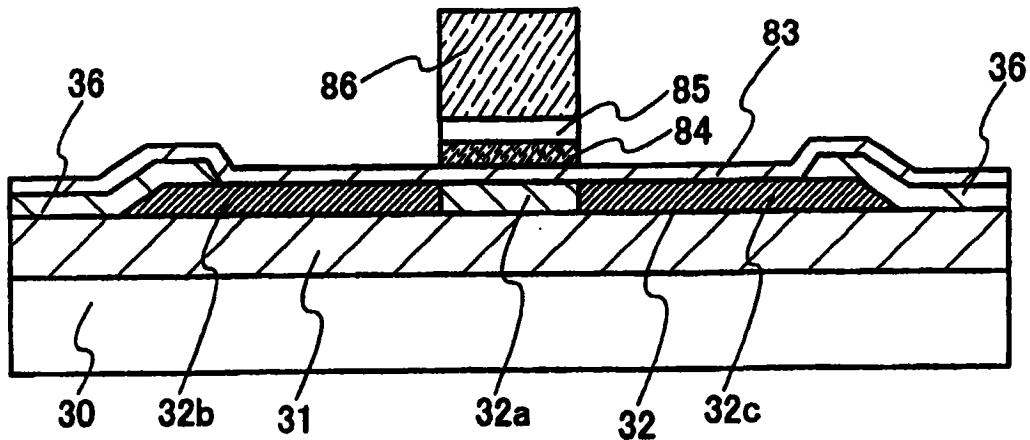


图 15A

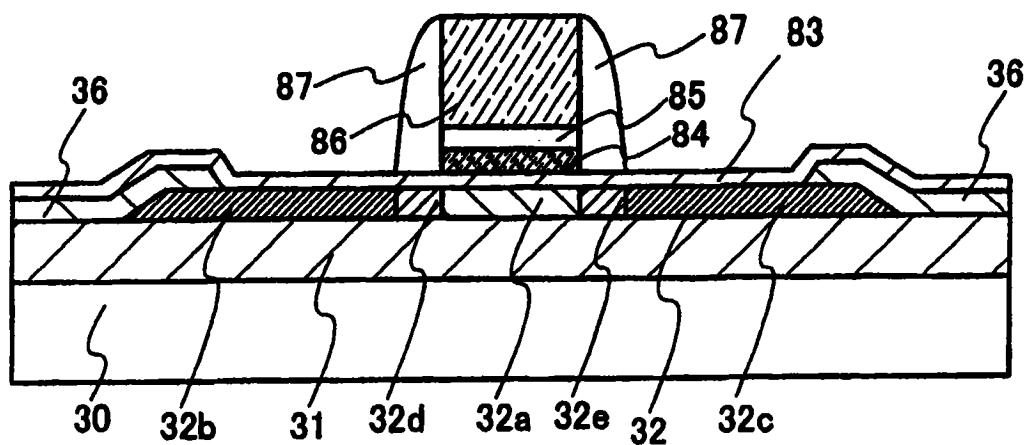


图 15B

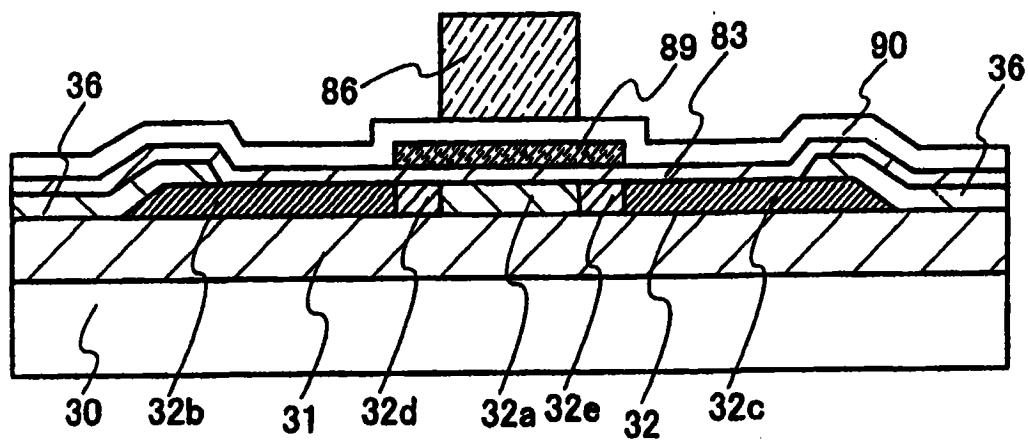


图 15C

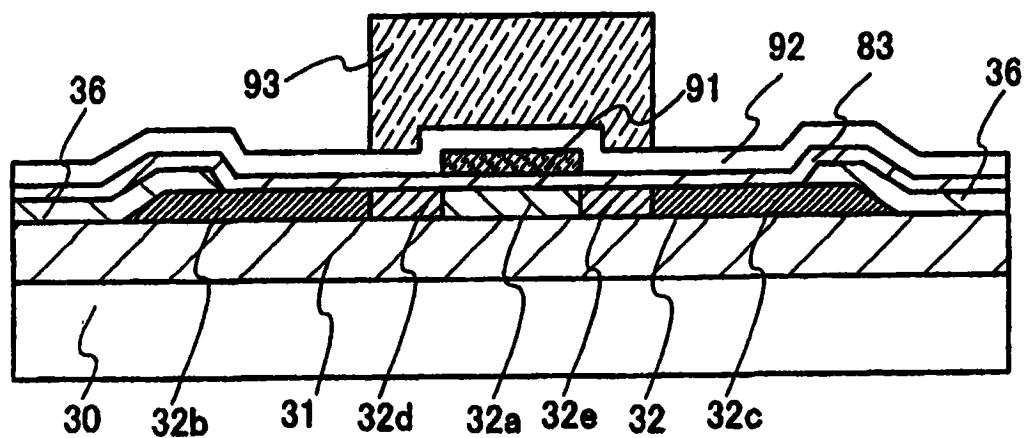


图 15D

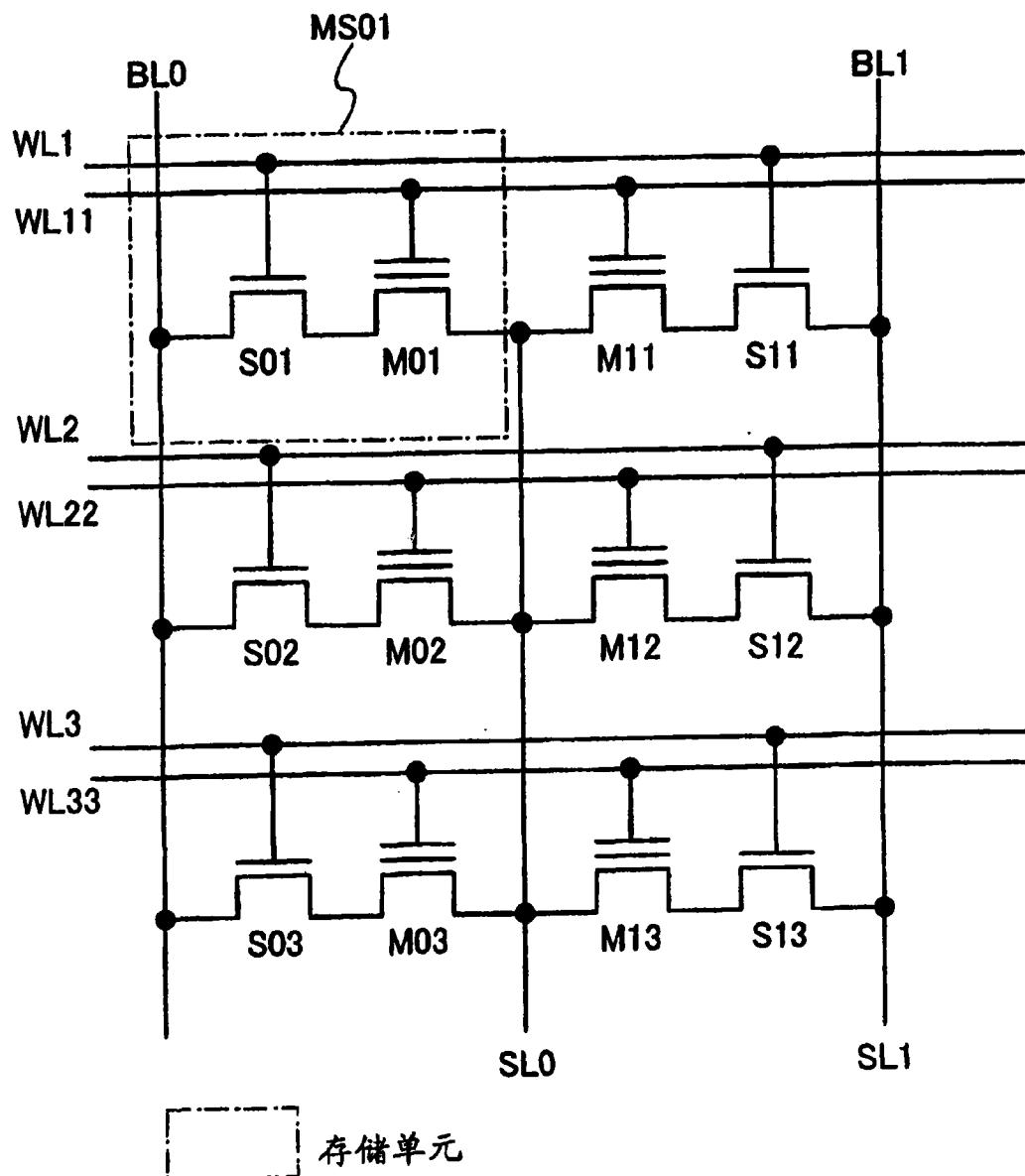
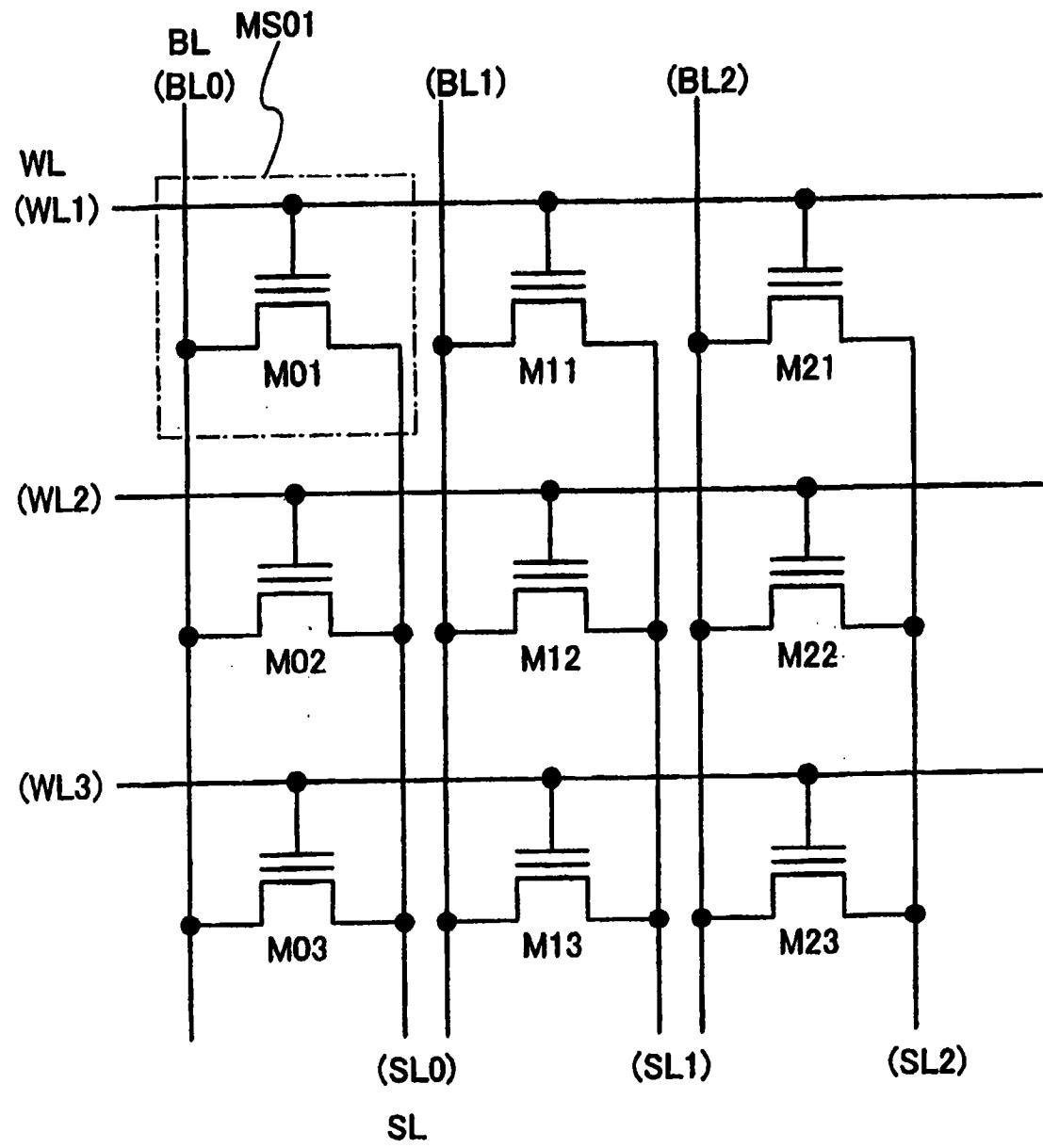


图 16



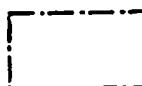
 存储单元

图 17

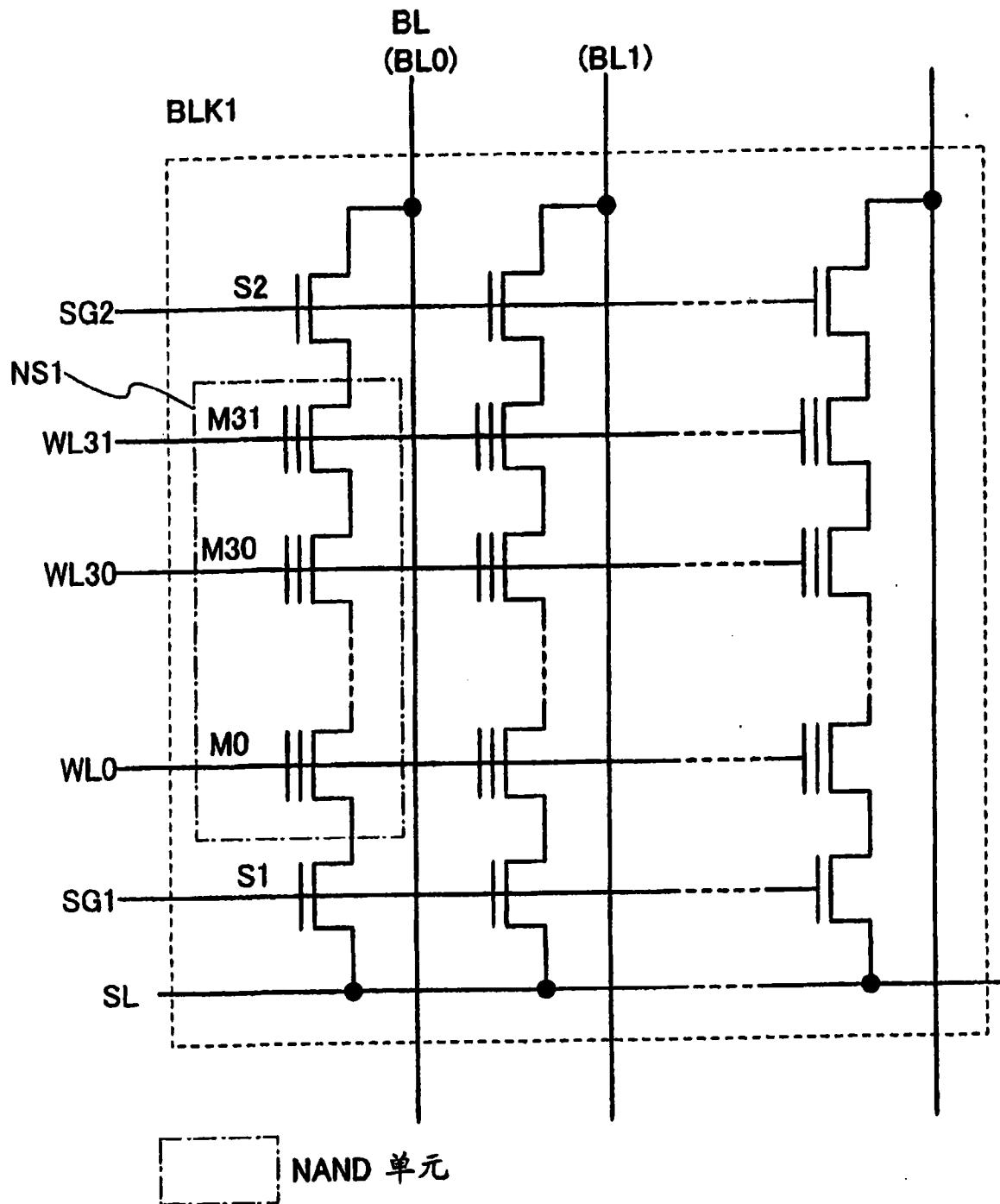
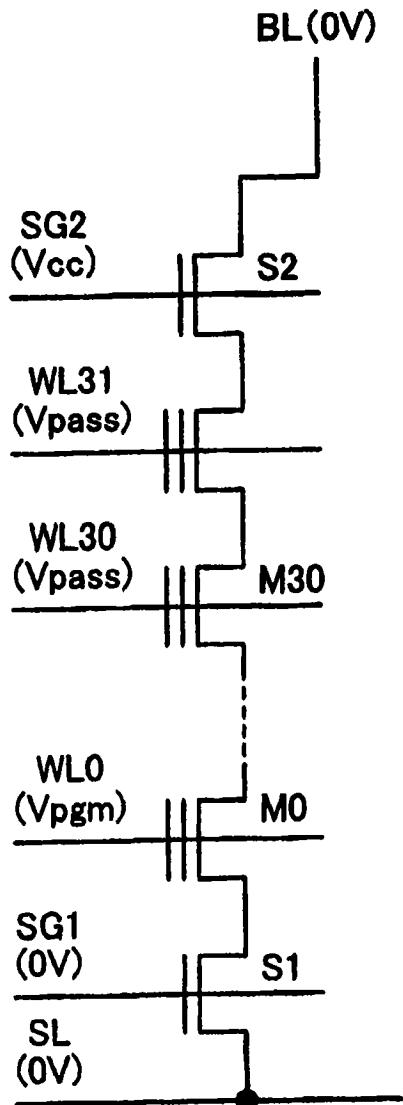


图 18

写入 “0”



写入 “1”

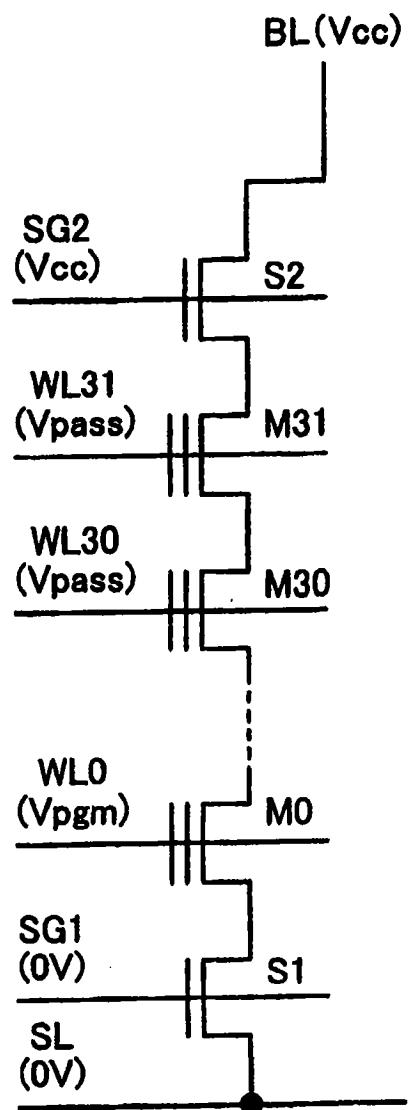


图 19A

图 19B

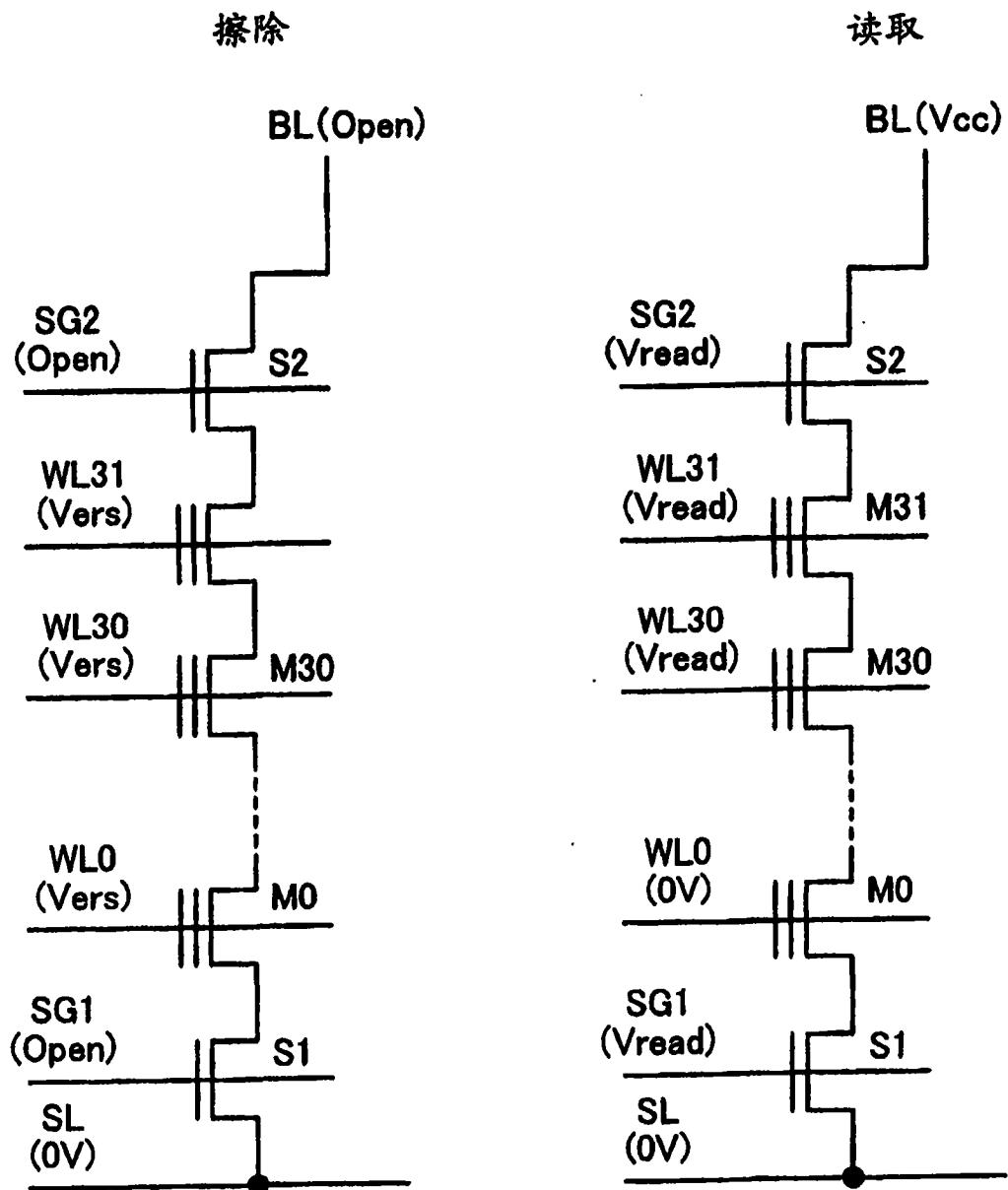


图 20A

图 20B

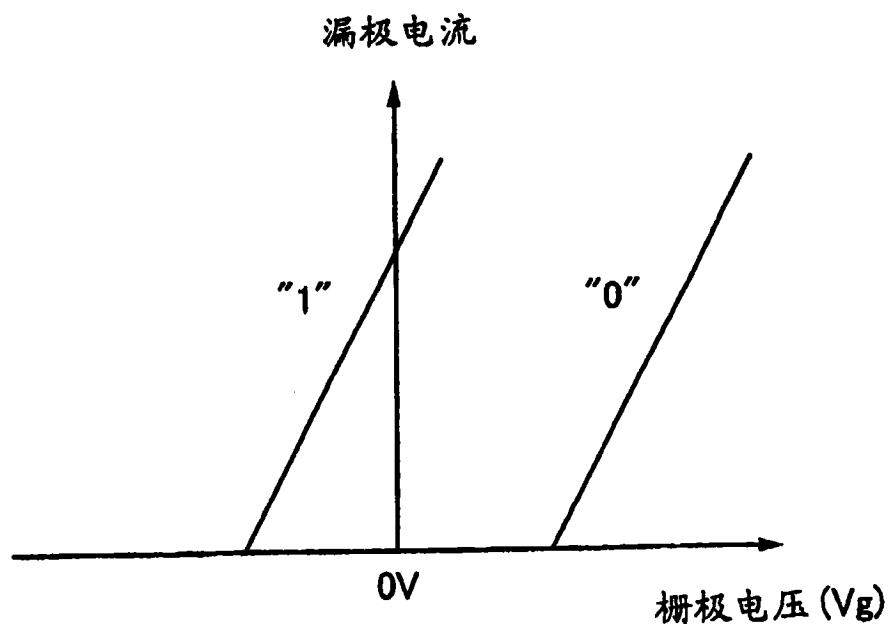


图 21

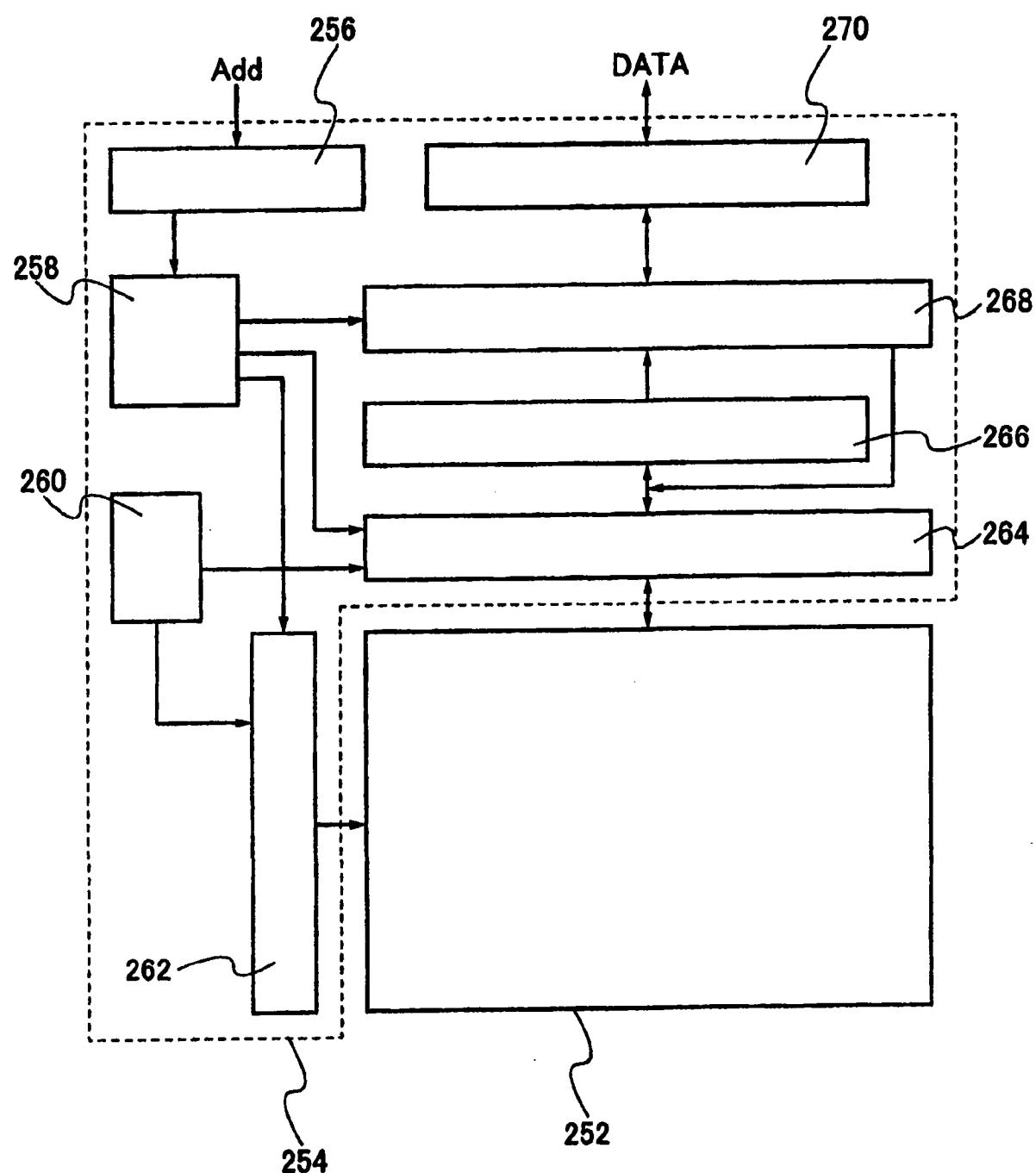


图 22

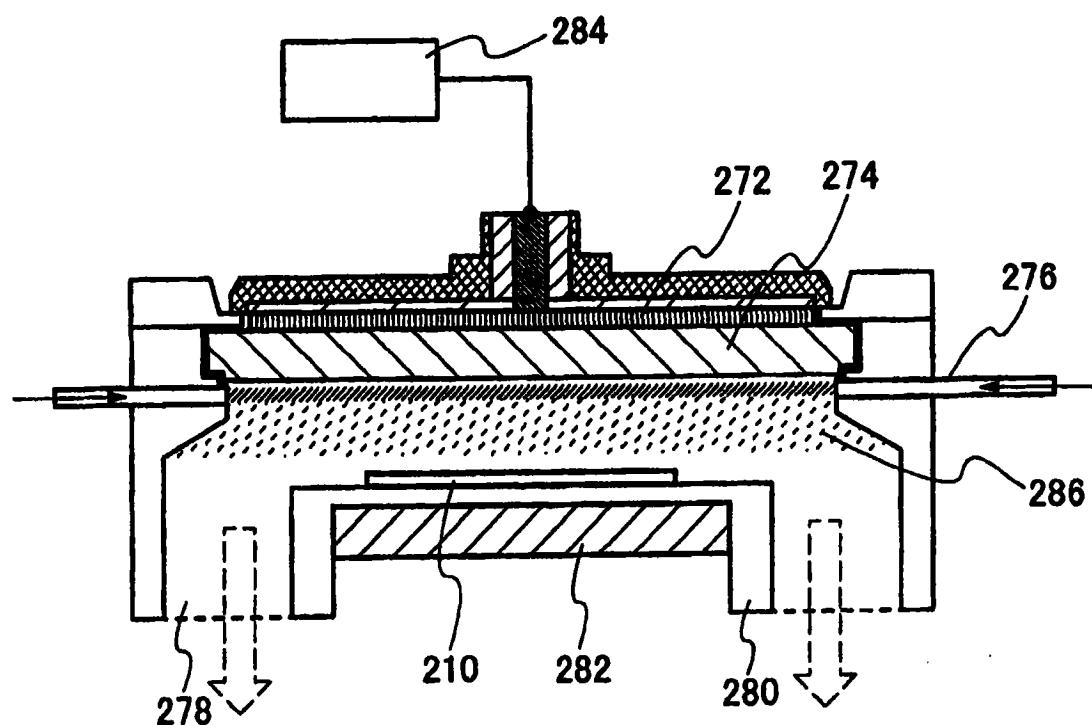


图 23

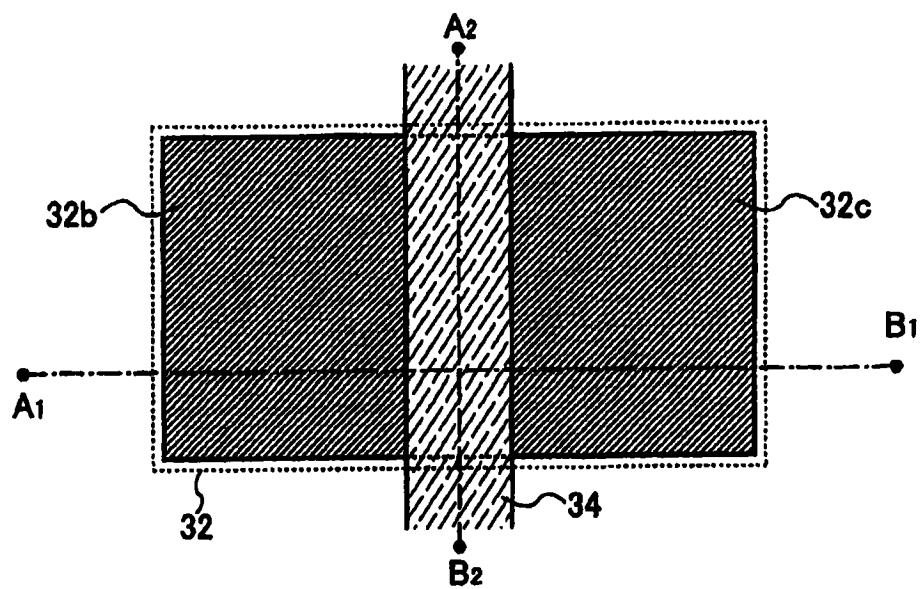


图 24A

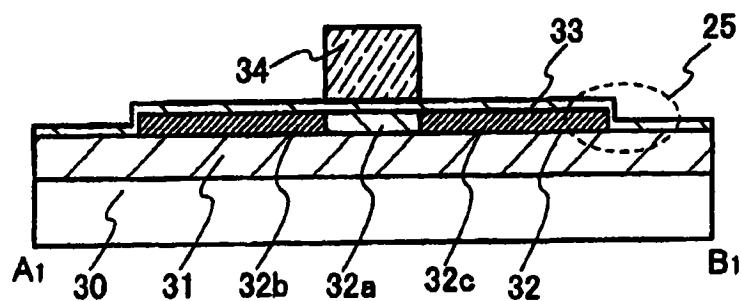


图 24B

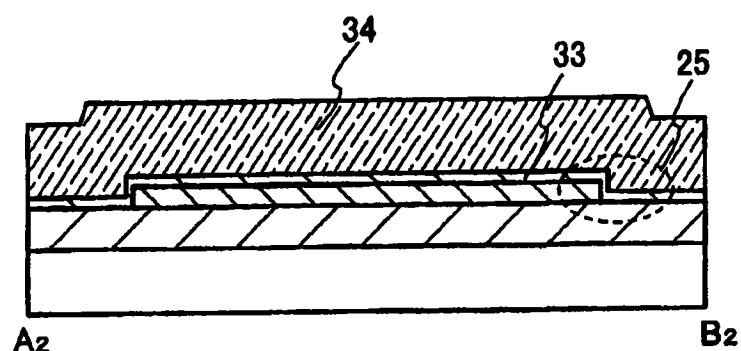


图 24C

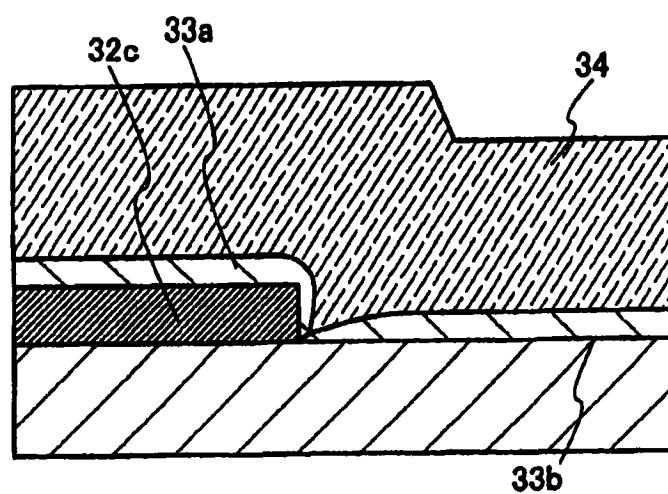


图 24D

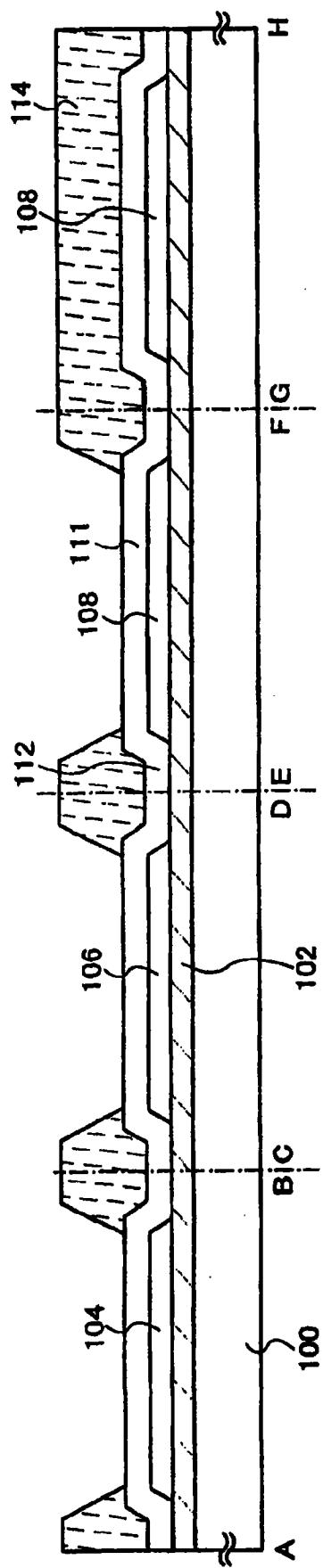


图 25A

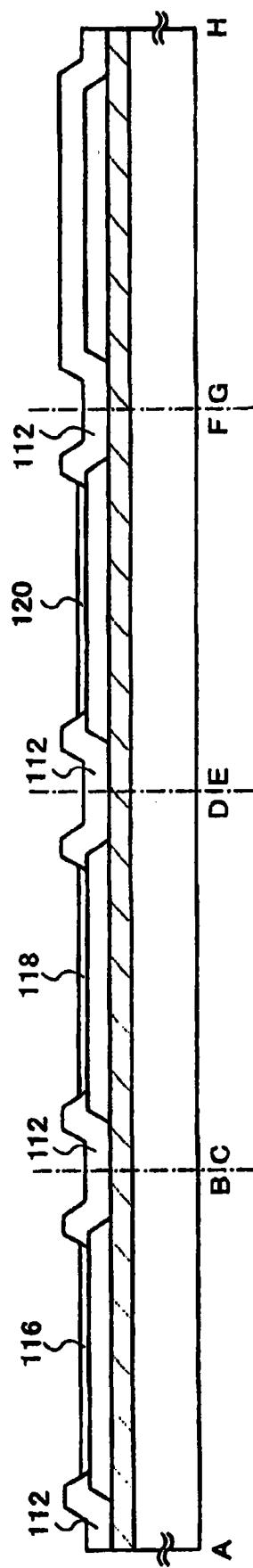


图 25B

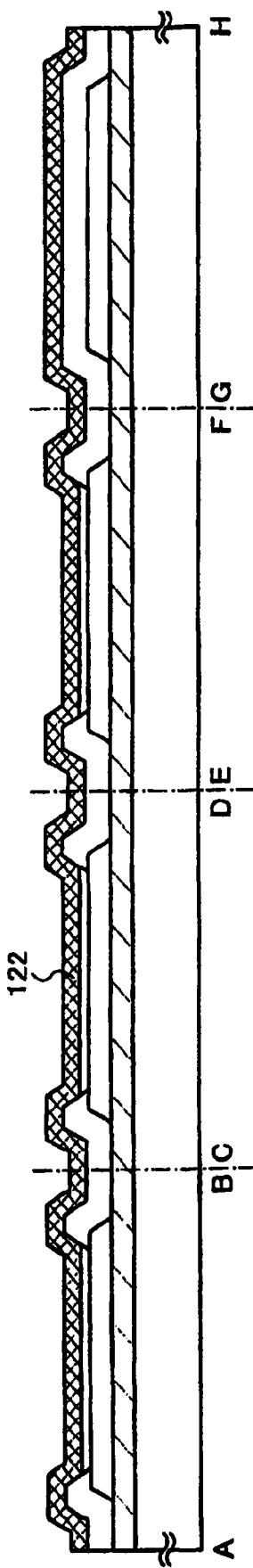


图 25C

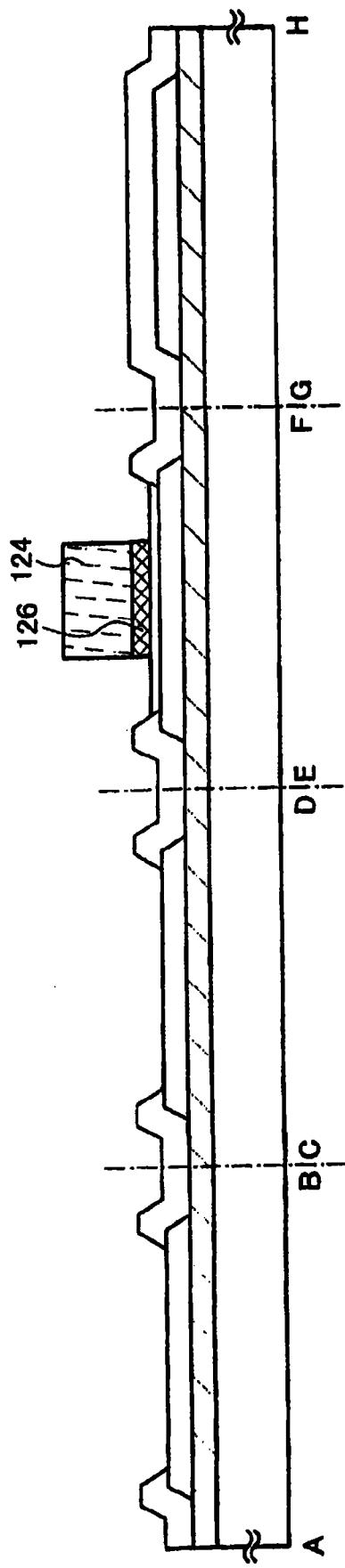


图 26A

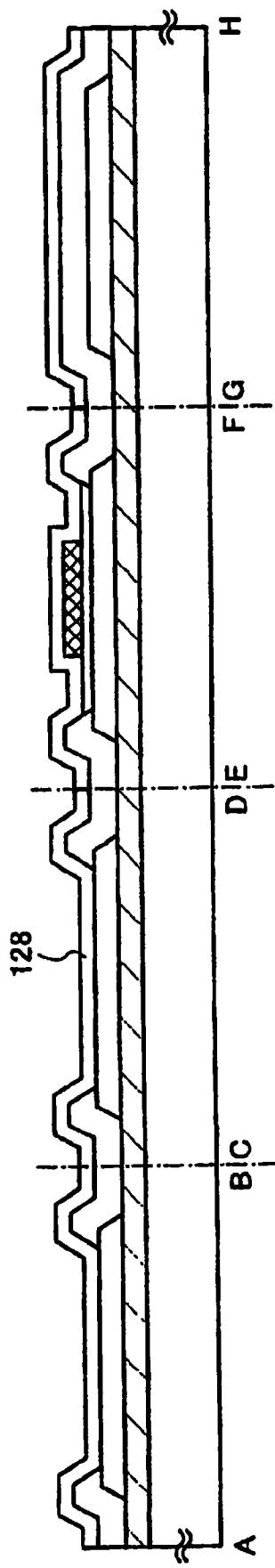


图 26B

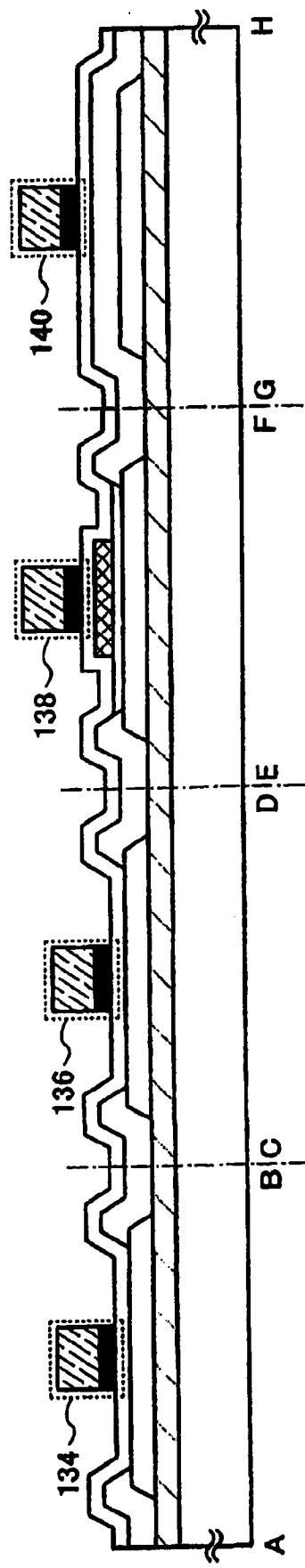
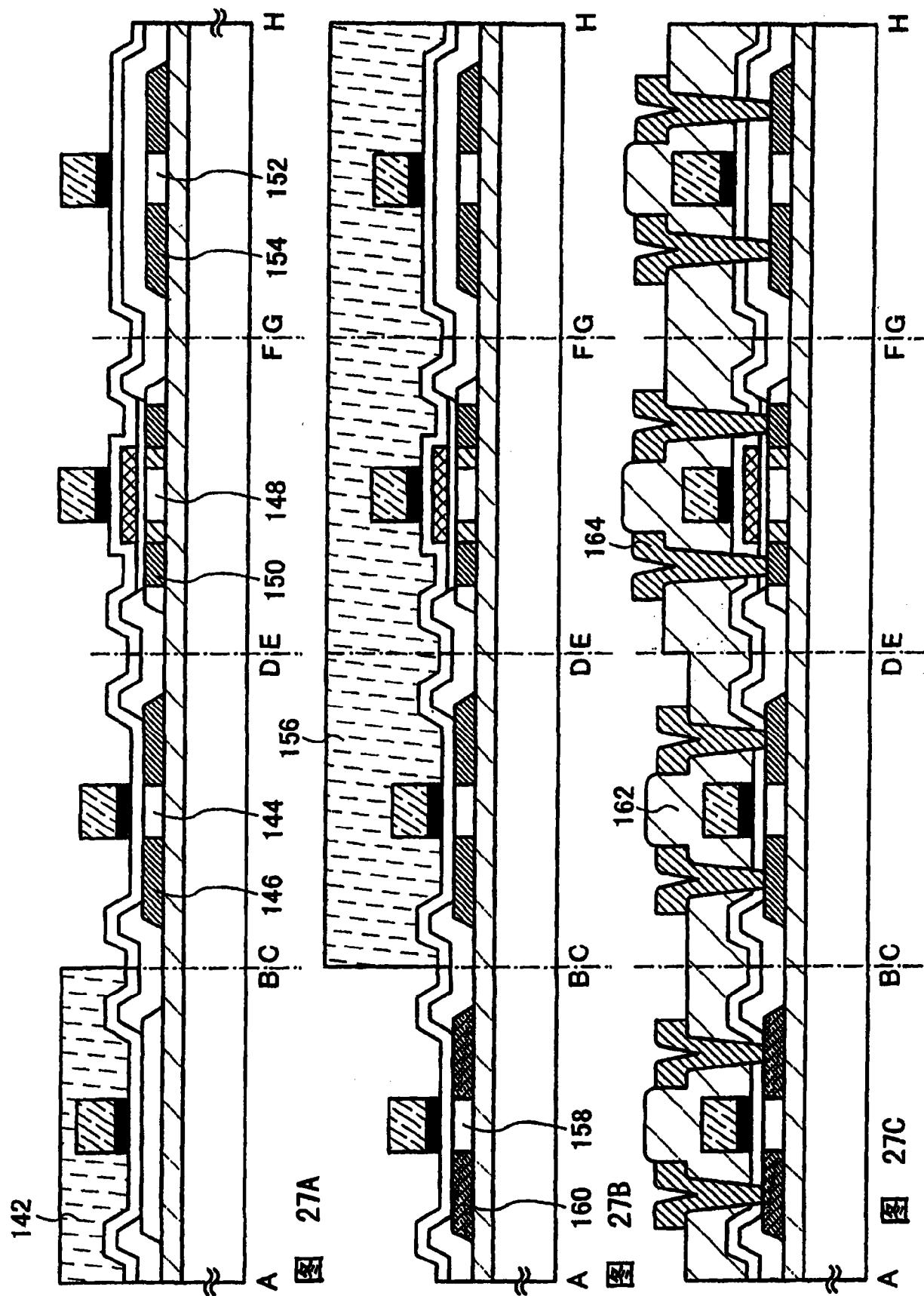


图 26C



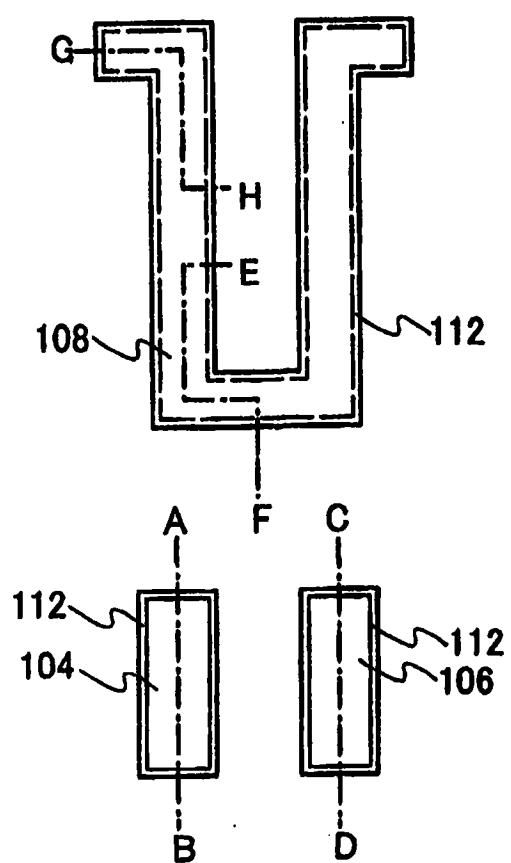


图 28A

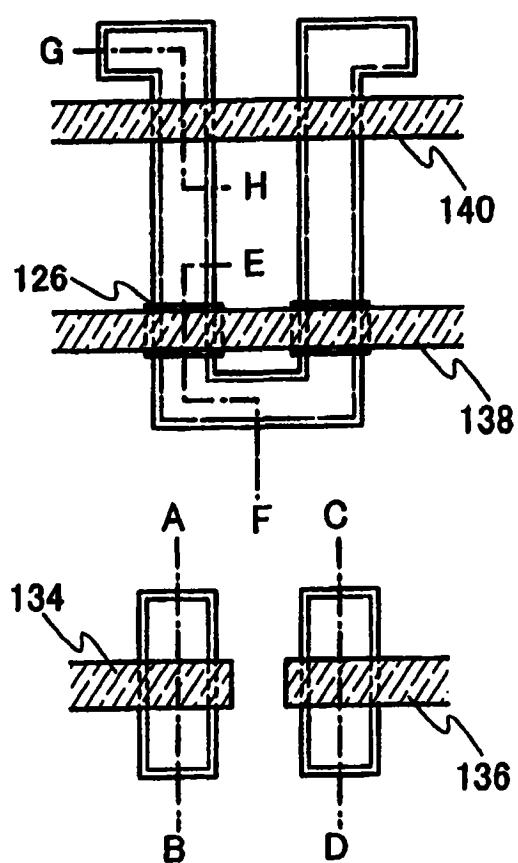


图 28B

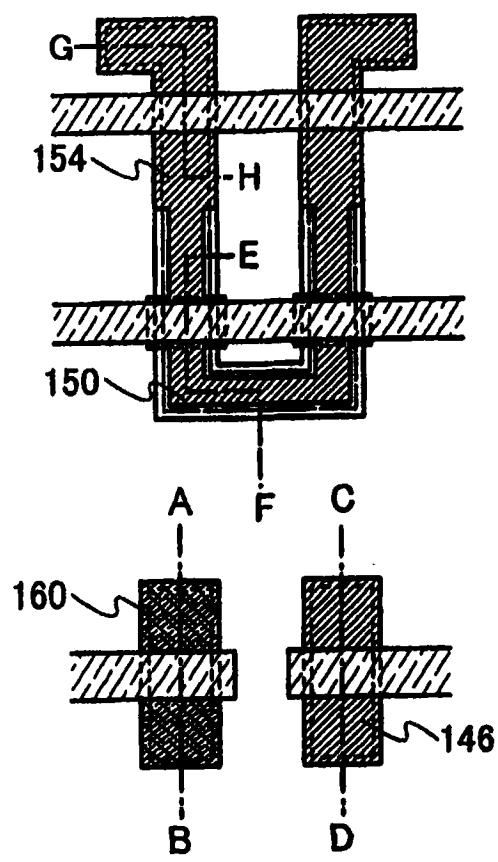


图 28C

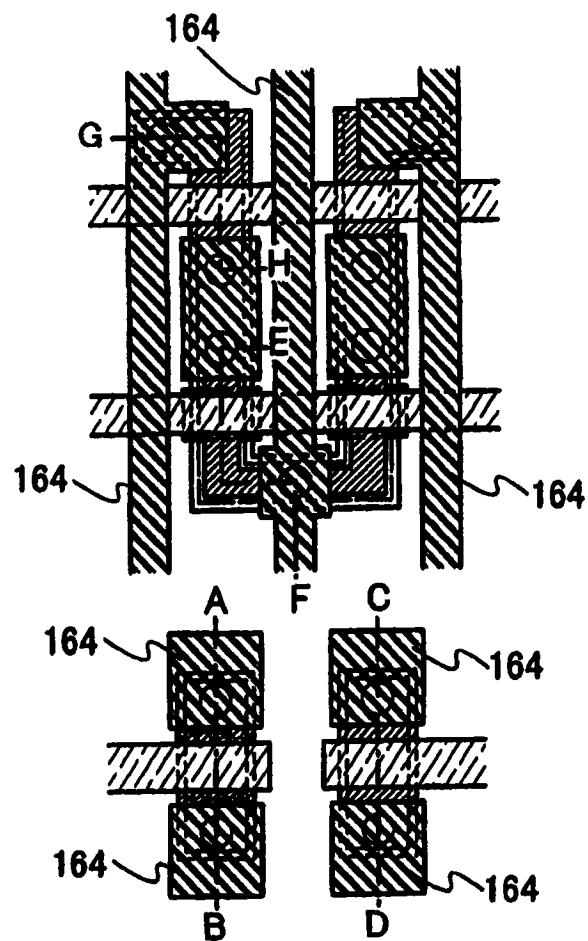


图 28D

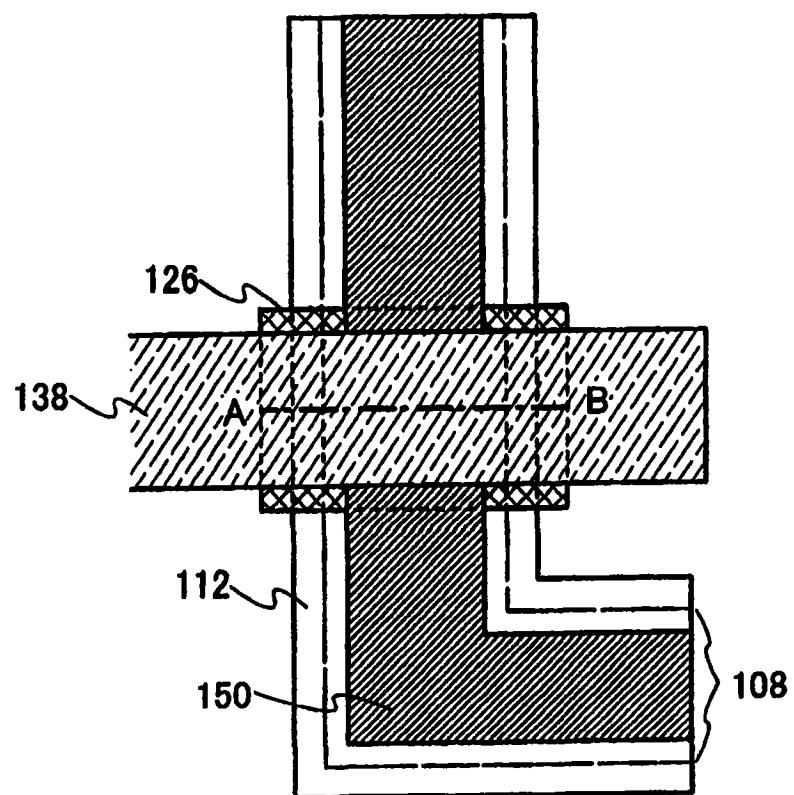


图 29A

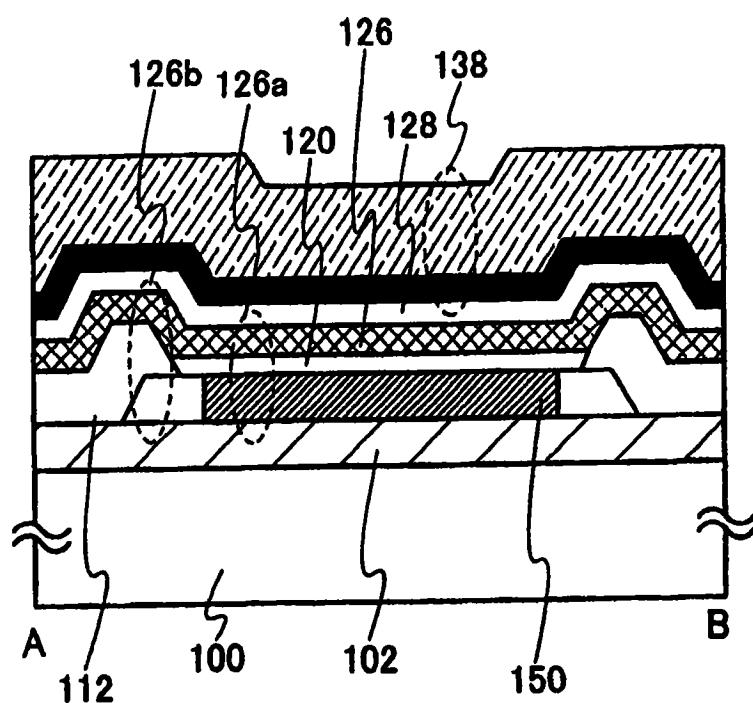


图 29B

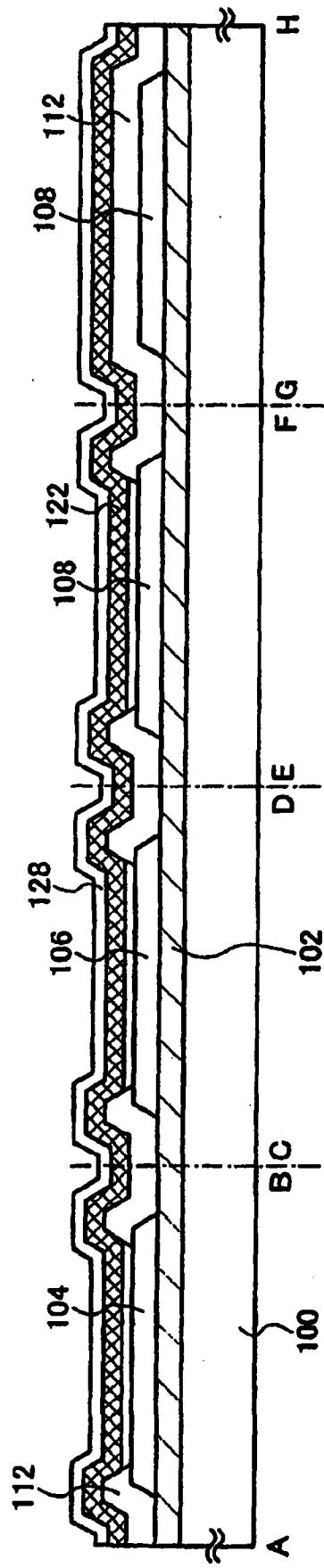


图 30A

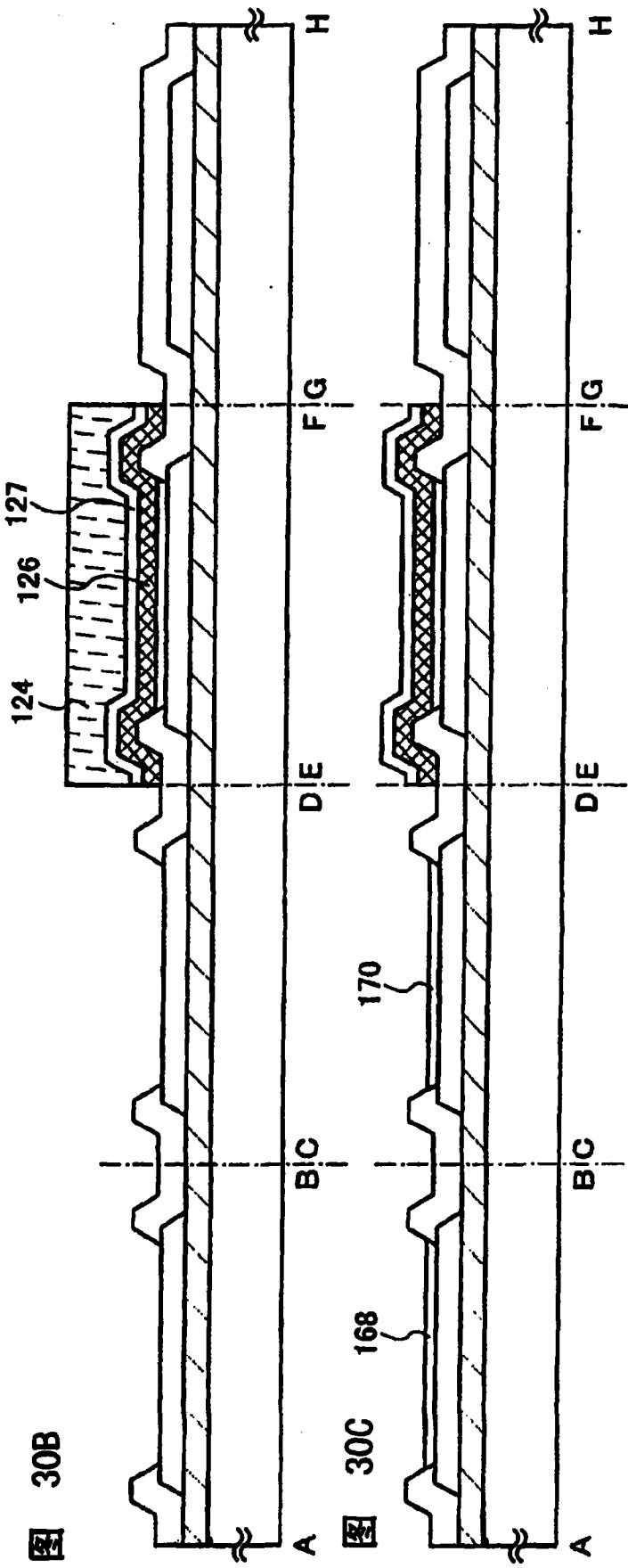


图 30B

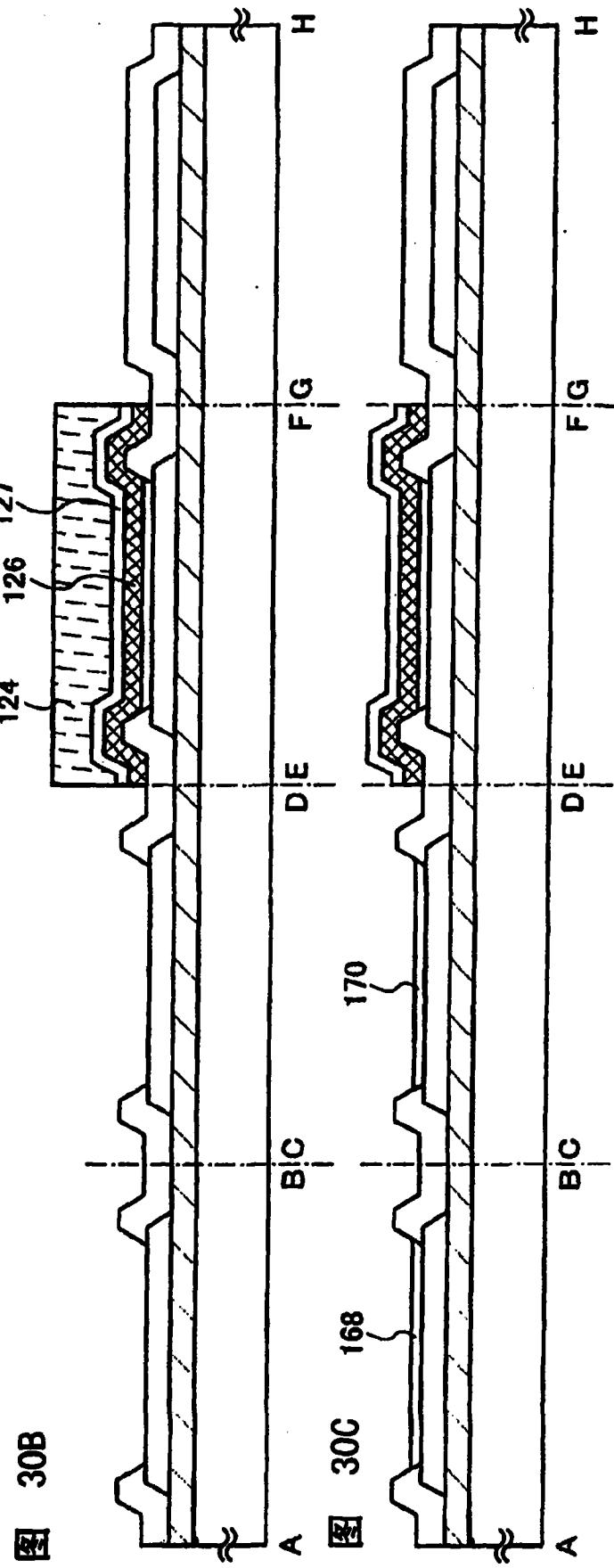


图 30C

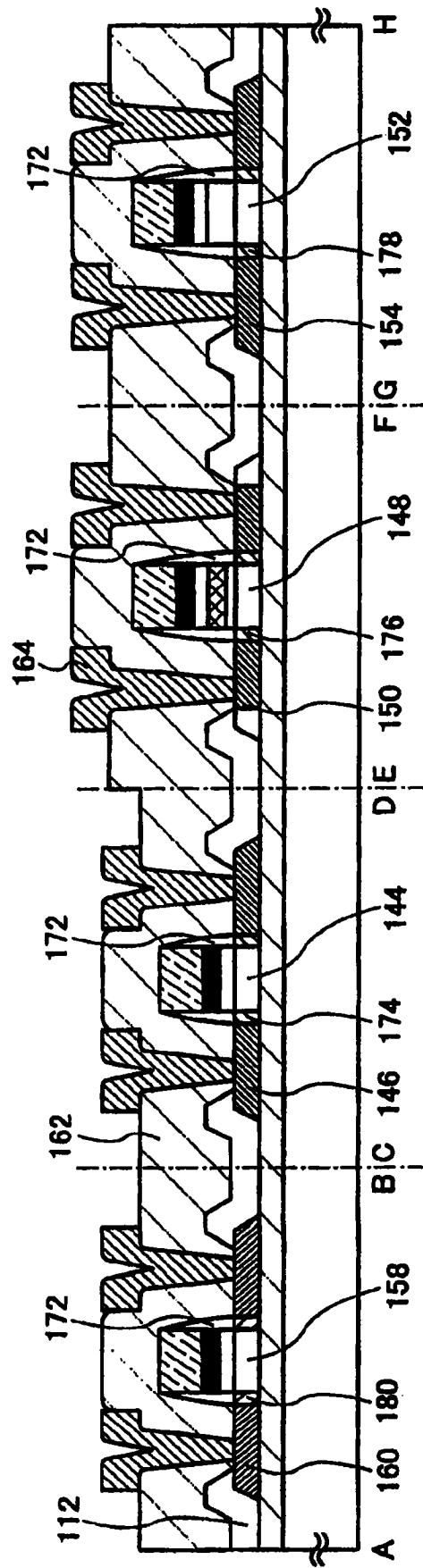


图 31A

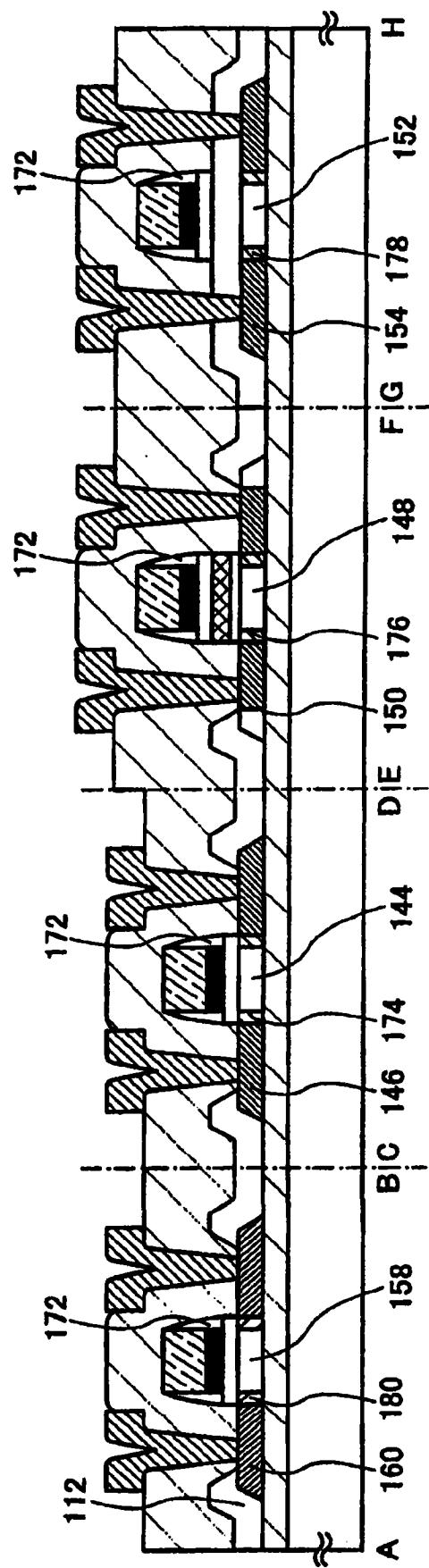


图 31B

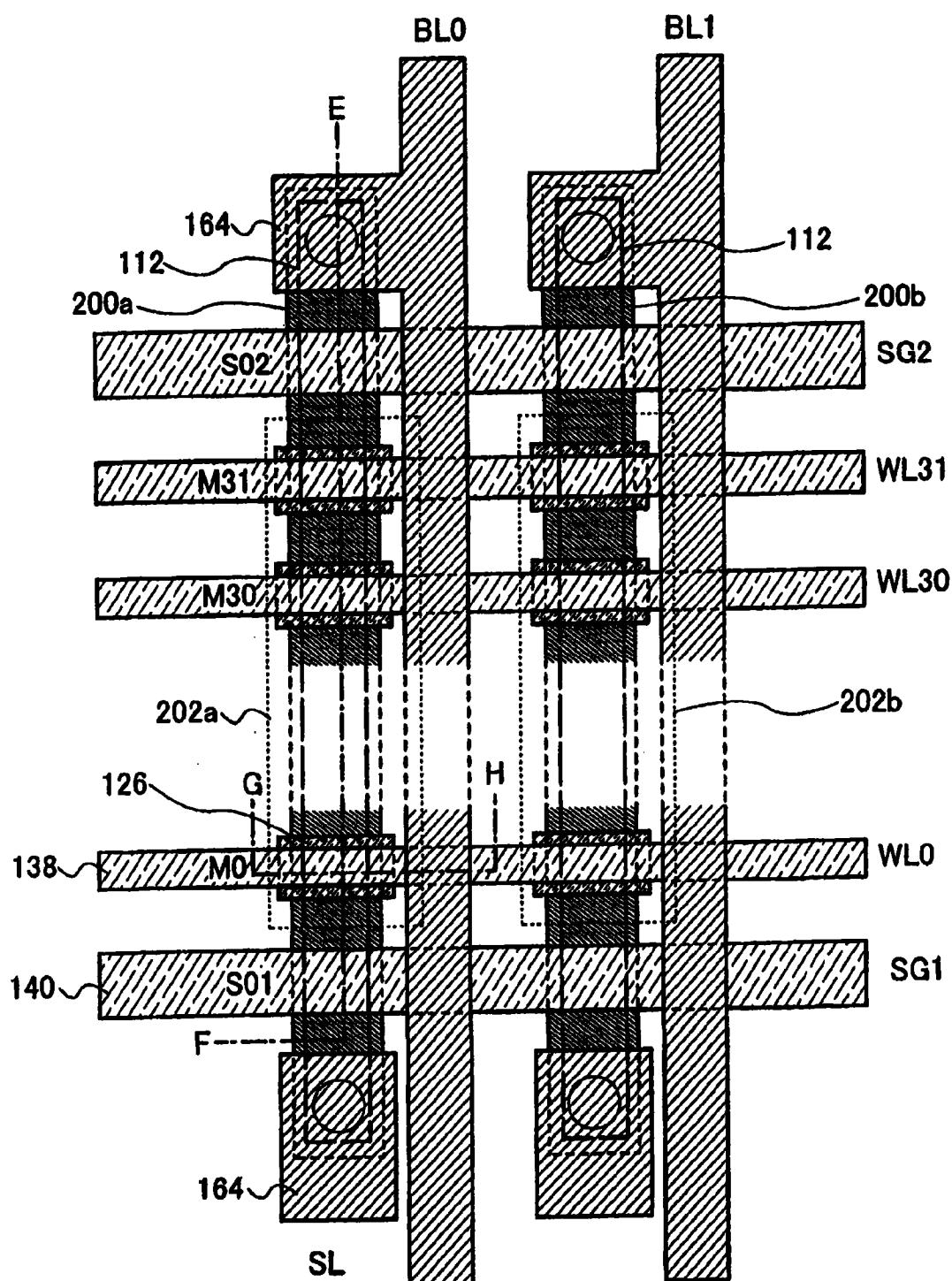


图 32

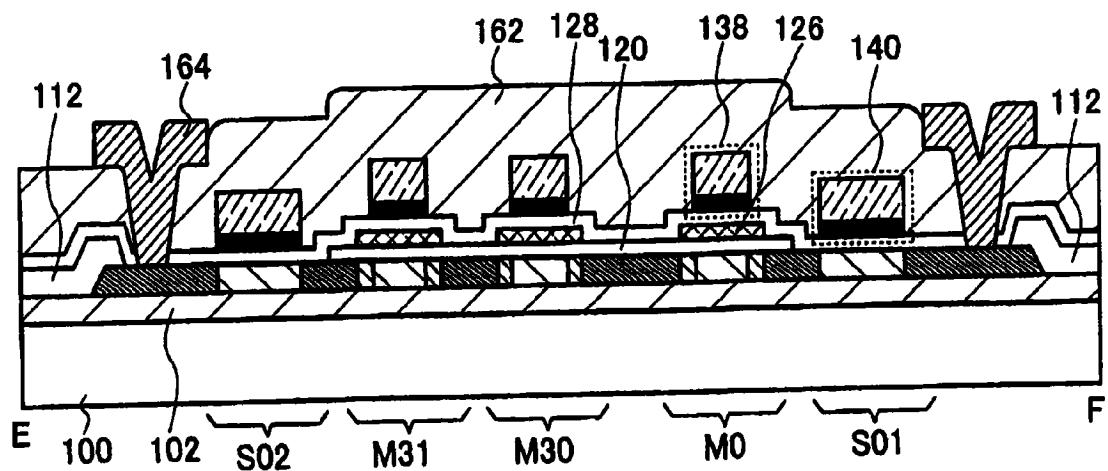


图 33A

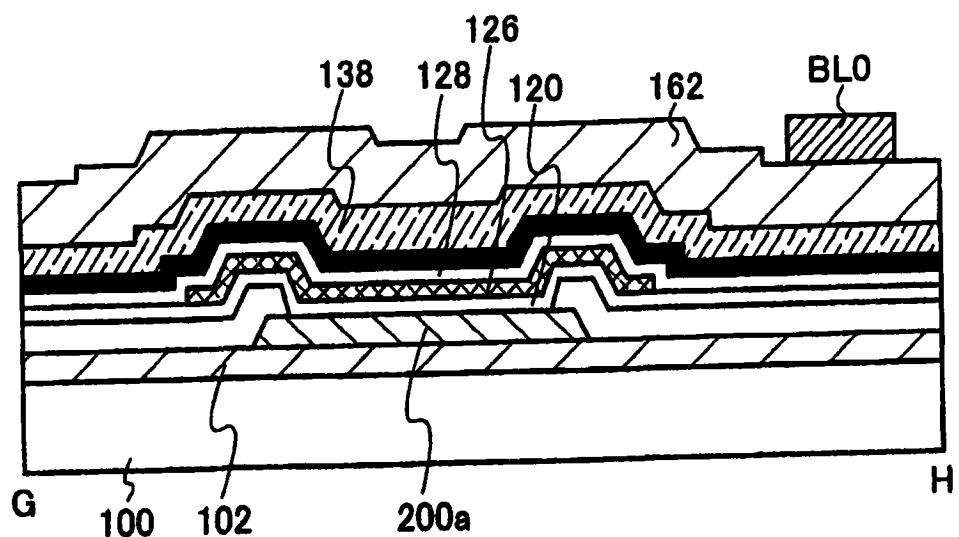


图 33B

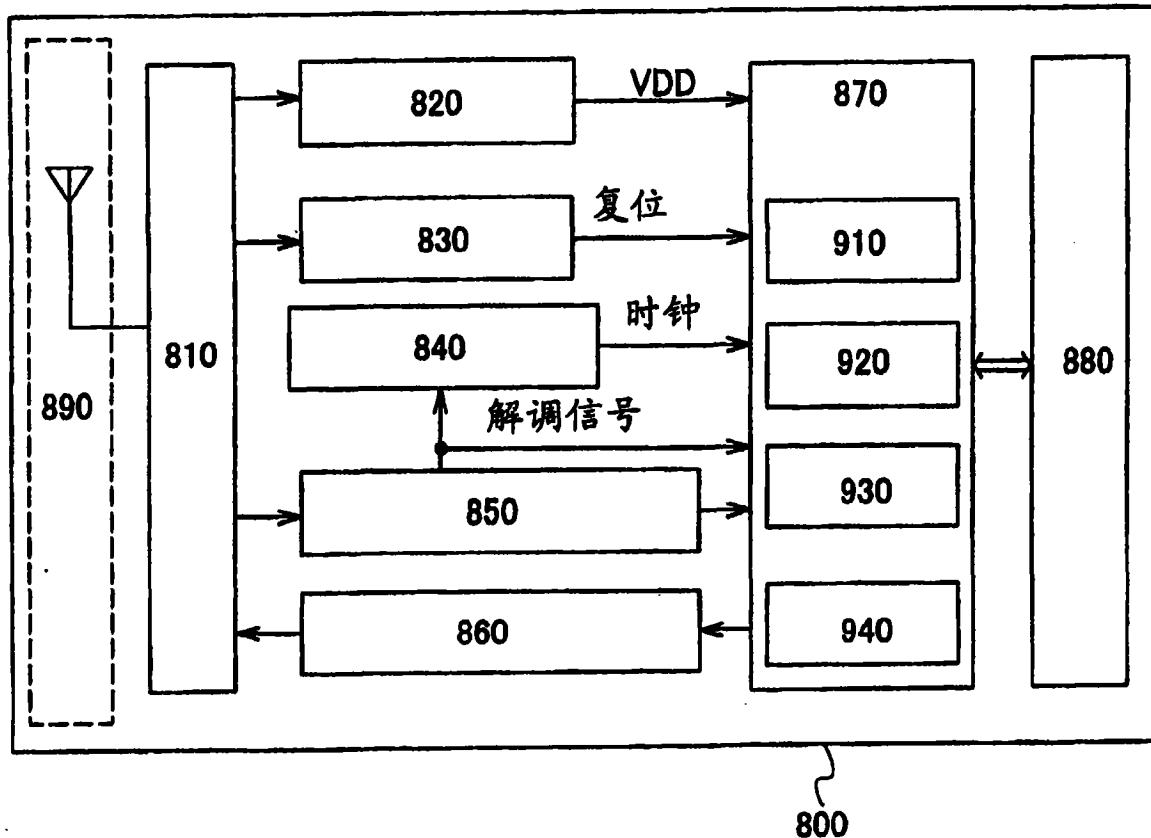


图 34

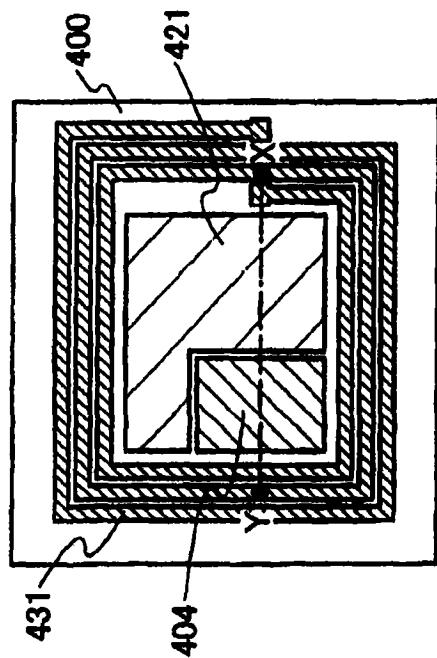


图 35A

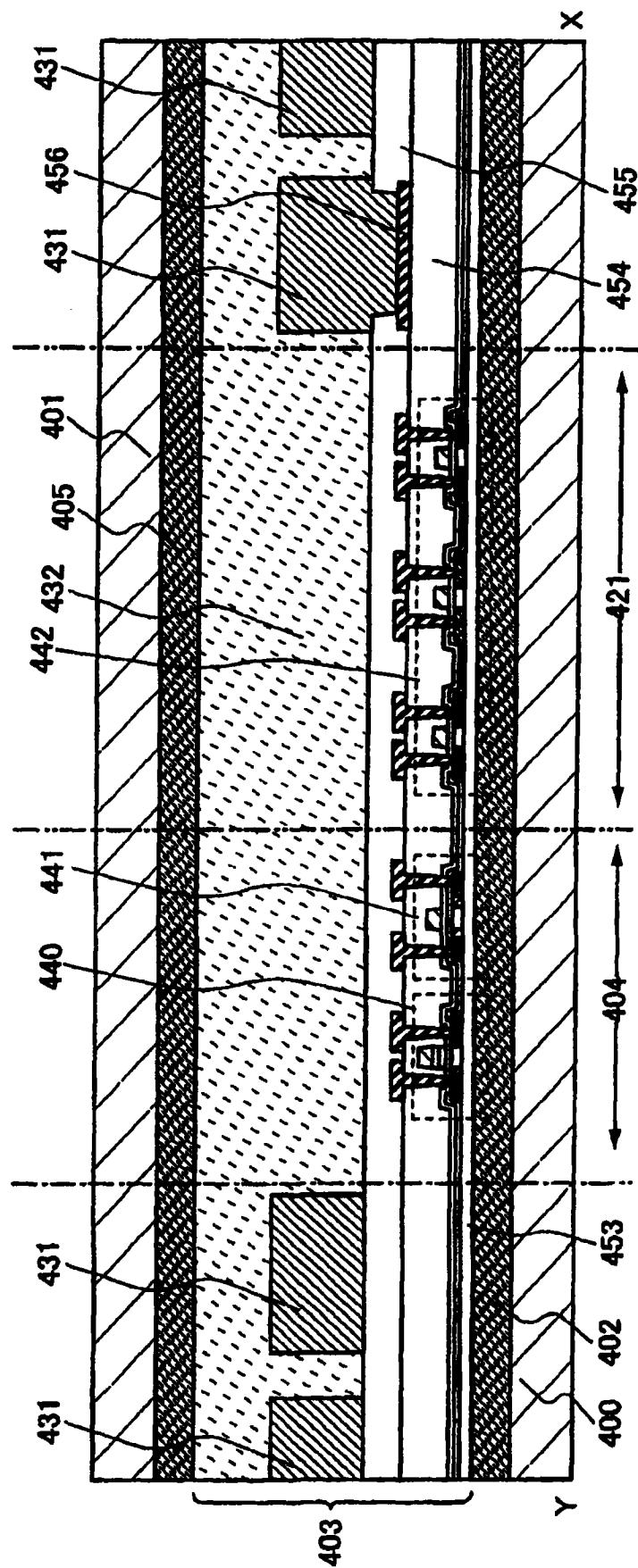


图 35B

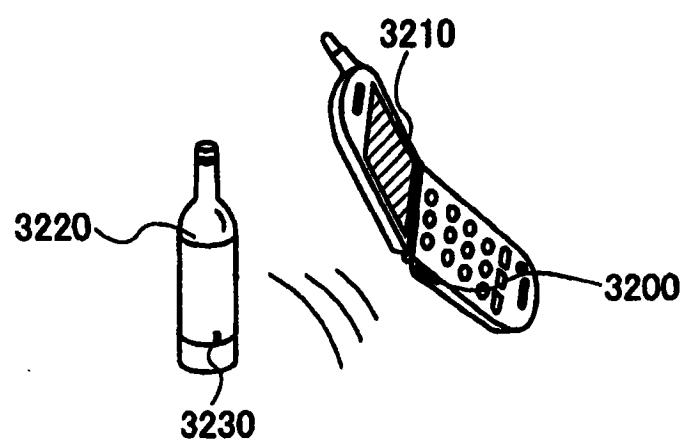


图 36A

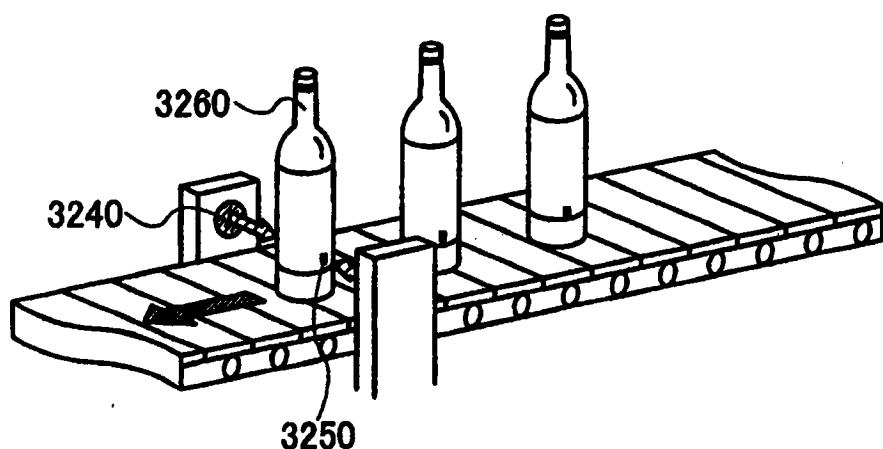


图 36B

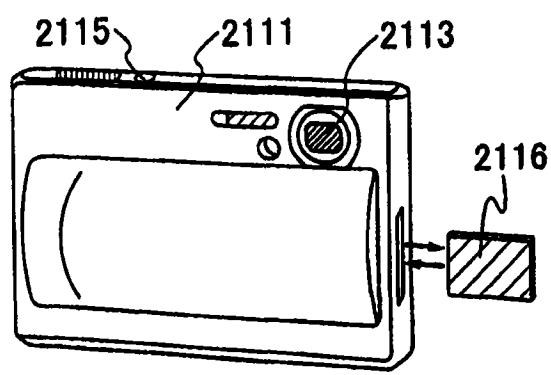


图 37A

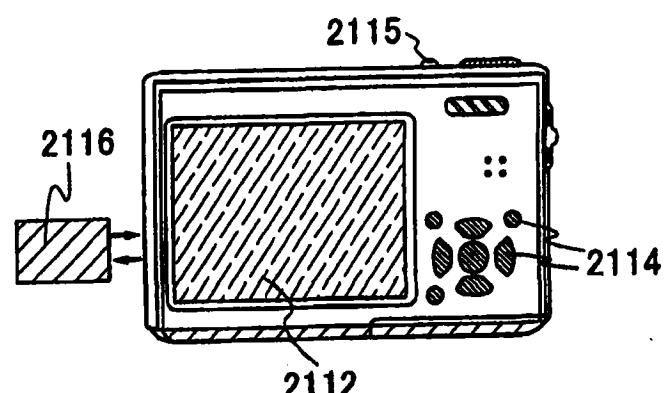


图 37B

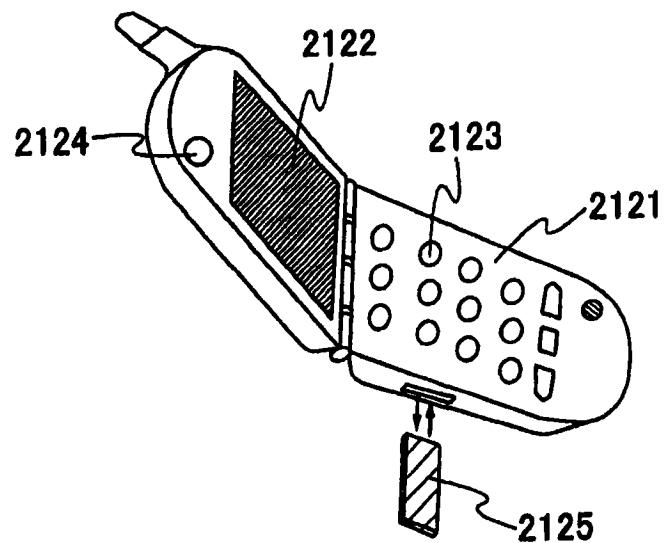


图 37C

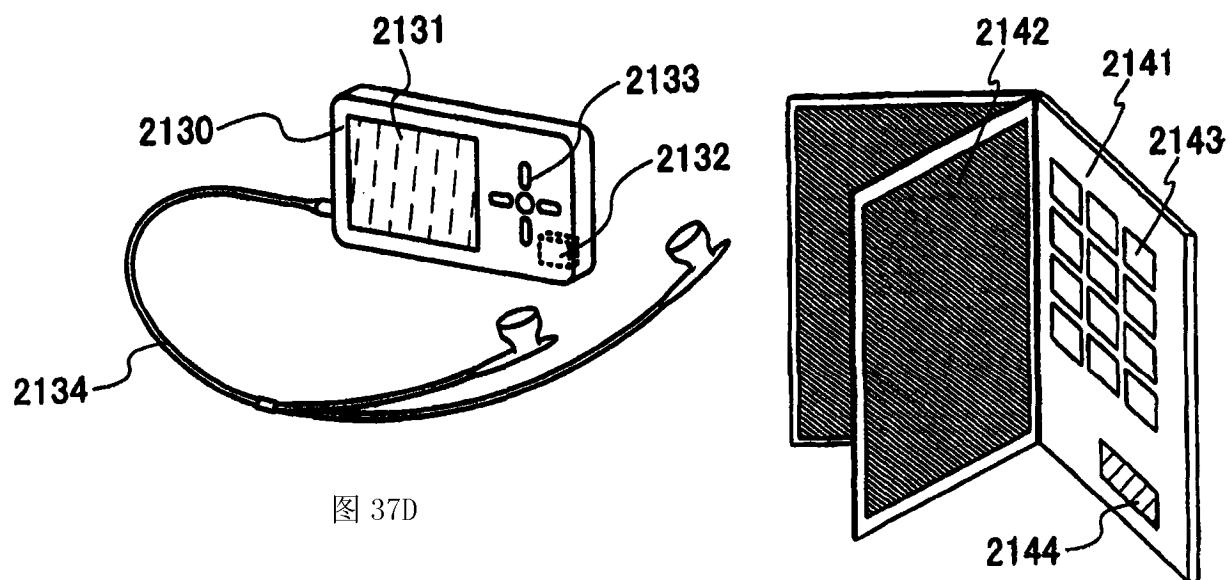


图 37D

图 37E

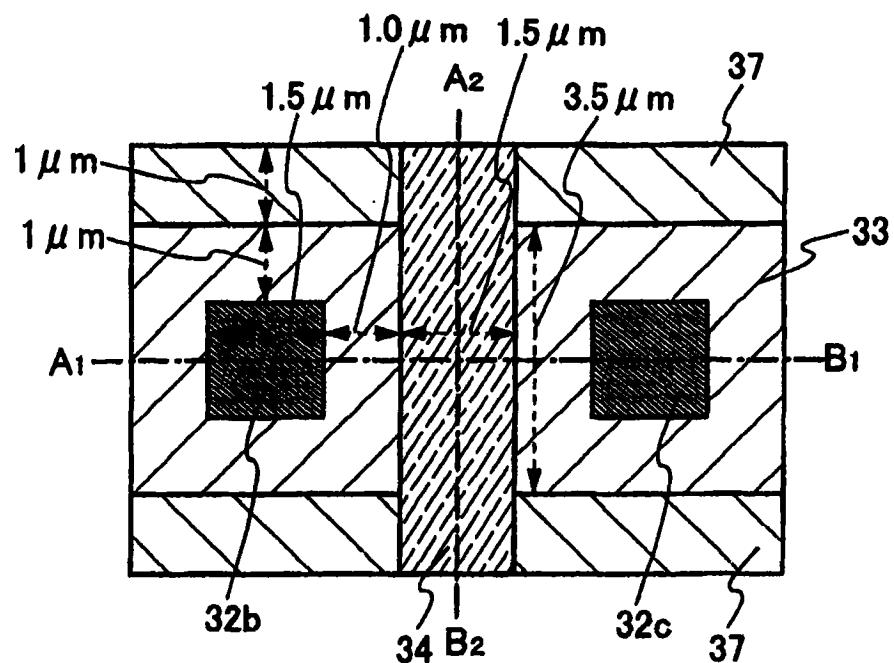


图 38A

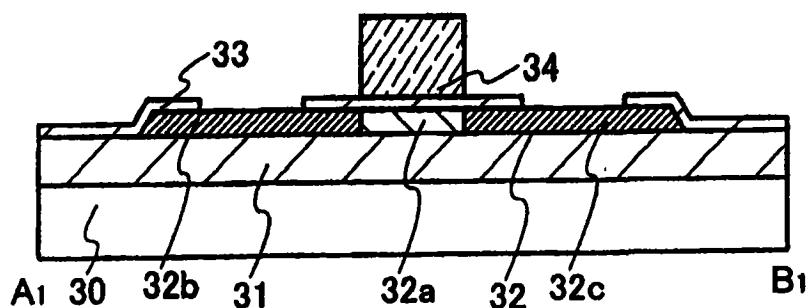


图 38B

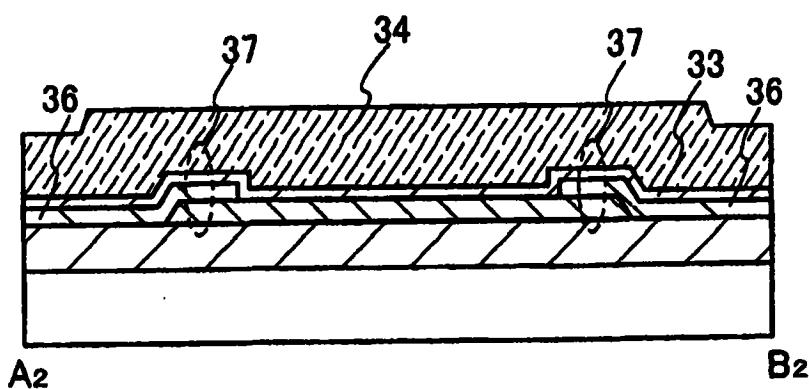


图 38C

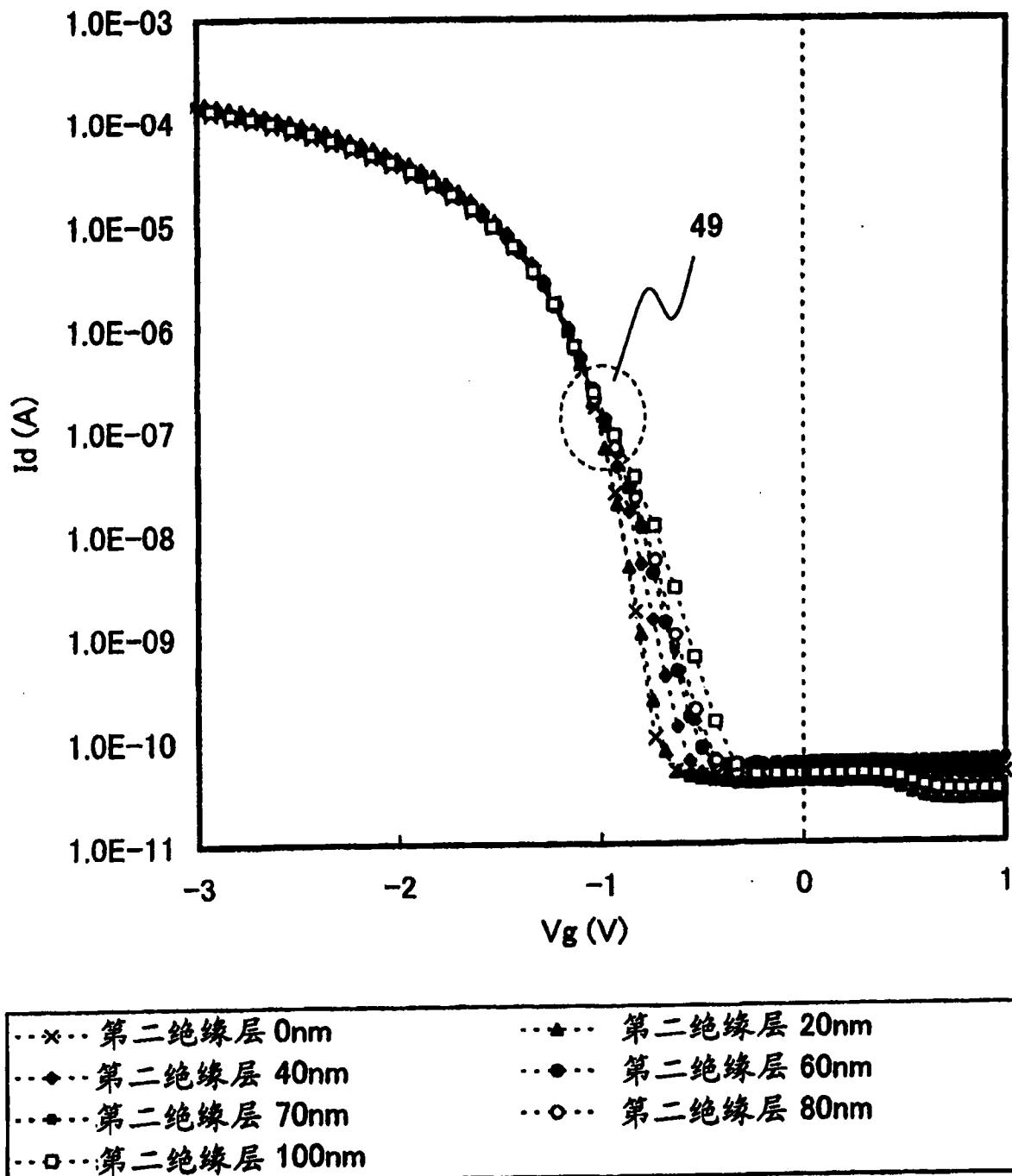
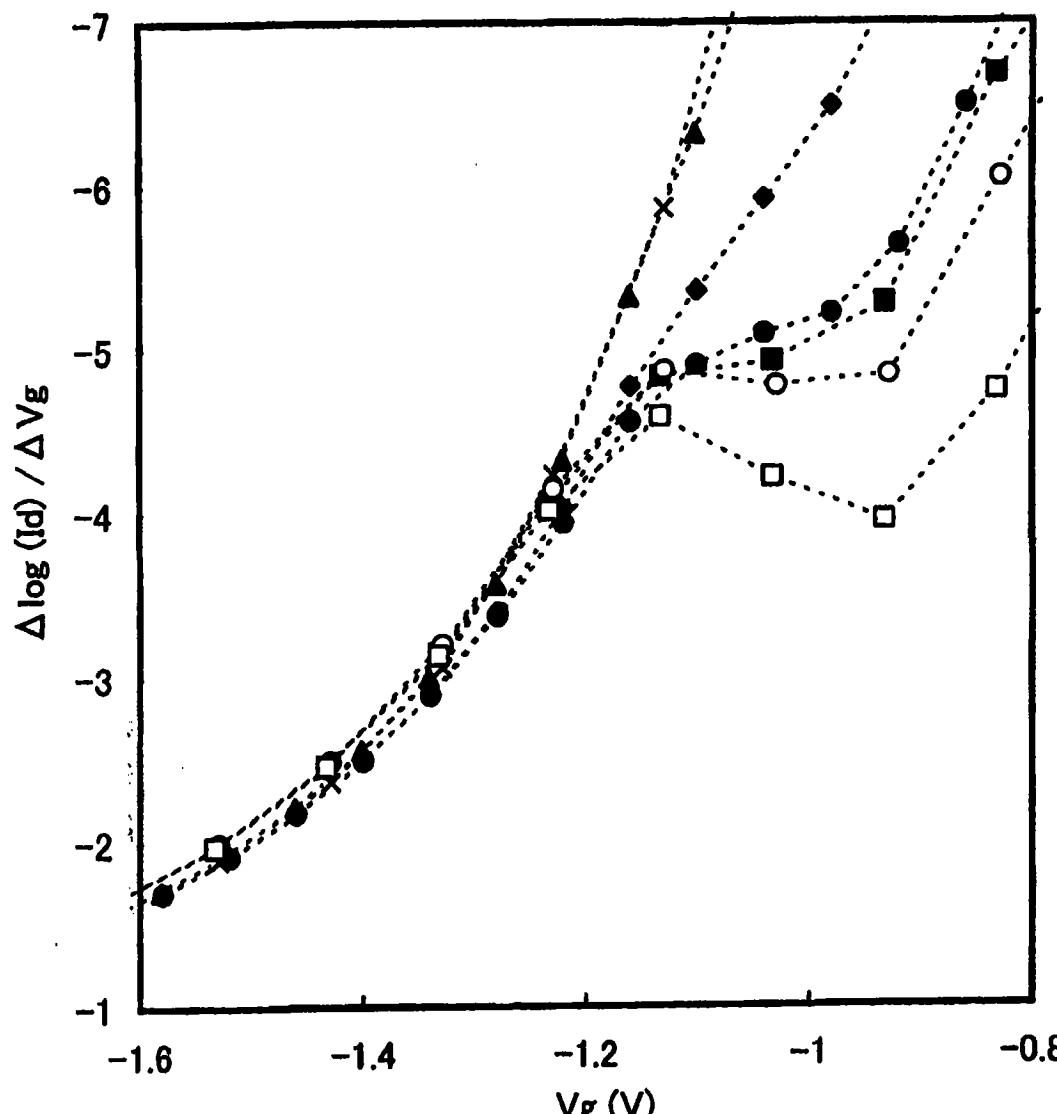


图 39



…x… 第二绝缘层 0nm	…▲… 第二绝缘层 20nm
…◆… 第二绝缘层 40nm	…●… 第二绝缘层 60nm
…■… 第二绝缘层 70nm	…○… 第二绝缘层 80nm
…□… 第二绝缘层 100nm	

图 40

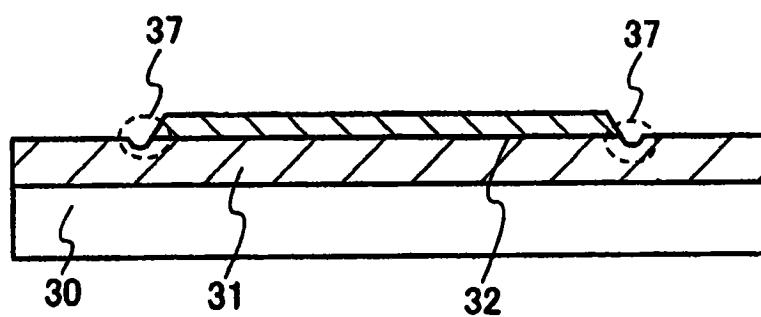


图 41A

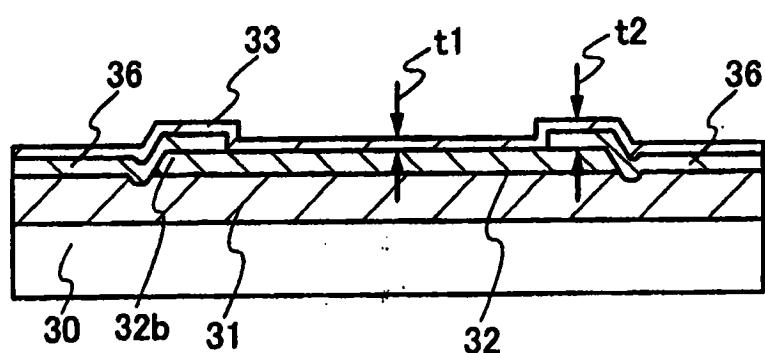


图 41B

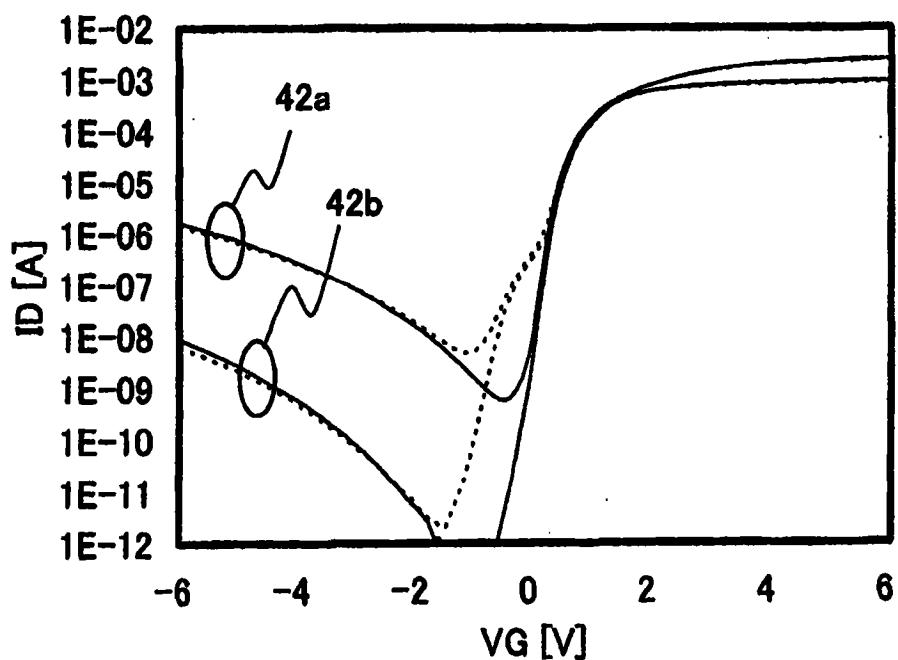


图 42A

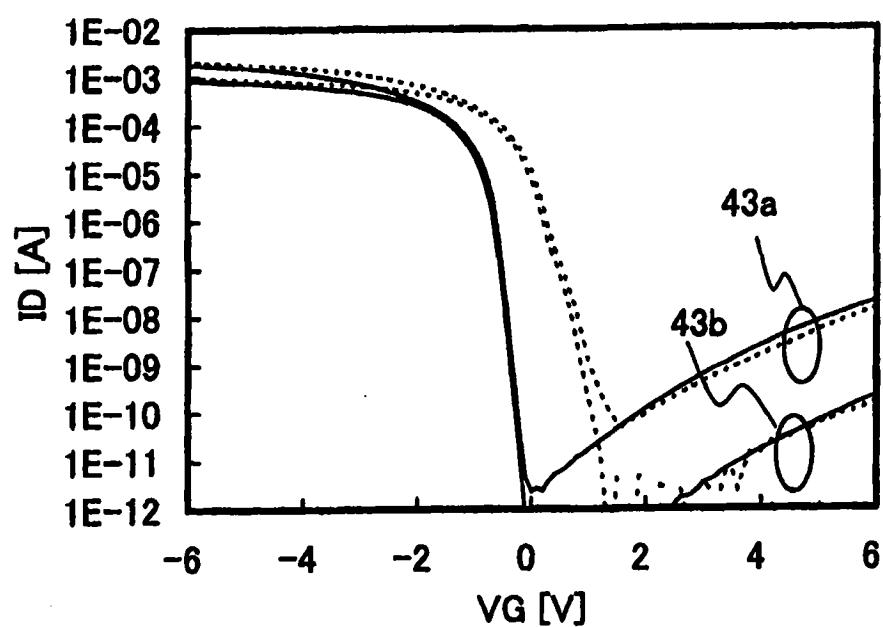


图 42B