

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4746468号
(P4746468)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 27/115 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)

請求項の数 2 (全 20 頁)

(21) 出願番号	特願2006-112191 (P2006-112191)	(73) 特許権者	000003078
(22) 出願日	平成18年4月14日(2006.4.14)		株式会社東芝
(65) 公開番号	特開2007-287858 (P2007-287858A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年11月1日(2007.11.1)	(74) 代理人	100091351
審査請求日	平成21年2月9日(2009.2.9)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板の表面に形成された素子分離溝内に埋め込まれた素子分離絶縁膜と、
前記半導体基板上に設けられた複数の不揮発性メモリセルと
 を具備してなる半導体装置であって、
 前記不揮発性メモリセルは、
 前記半導体基板上に設けられた第1の絶縁膜と、
 前記第1の絶縁膜上に設けられた電荷蓄積層と、
 前記電荷蓄積層の上方に設けられた制御ゲート電極と、
 前記制御ゲート電極と前記電荷蓄積層との間に設けられた第2の絶縁膜とを備え、
 前記不揮発性メモリセルのチャンネル幅方向の断面において、
前記素子分離絶縁膜の上面は、前記半導体基板の表面よりも高く、かつ、前記電荷蓄積層の上面よりも低く、

10

前記第2の絶縁膜は、前記素子分離絶縁膜の上面、前記電荷蓄積層の上面、および、前記電荷蓄積層の側面上に設けられており、

前記素子分離絶縁膜の上面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の絶縁膜よりも誘電率が低く、かつ、前記電荷蓄積層の上面上の前記第2の絶縁膜とは組成が異なる第1の領域を含み、および

前記電荷蓄積層の側面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の

20

絶縁膜よりも誘電率が低く、かつ、前記第 1 の領域よりも誘電率が大きい第 2 の領域を含むことを特徴とする半導体装置。

【請求項 2】

半導体基板と、

前記半導体基板の表面に形成された素子分離溝内に埋め込まれた素子分離絶縁膜と、
前記半導体基板上に設けられた複数の不揮発性メモリセルと

を具備してなる半導体装置であって、

前記不揮発性メモリセルは、

前記半導体基板上に設けられた第 1 の絶縁膜と、

前記第 1 の絶縁膜上に設けられた電荷蓄積層と、

前記電荷蓄積層の上方に設けられた制御ゲート電極と、

前記制御ゲート電極と前記電荷蓄積層との間に設けられ、金属酸化物を有する第 2 の絶縁膜とを備え、

前記不揮発性メモリセルのチャネル幅方向の断面において、

前記素子分離絶縁膜の上面は、前記半導体基板の表面よりも高く、かつ、前記電荷蓄積層の上面よりも低く、

前記第 2 の絶縁膜は、前記素子分離絶縁膜の上面、前記電荷蓄積層の上面、および、前記電荷蓄積層の側面上に設けられており、

前記素子分離絶縁膜の上面上の前記第 2 の絶縁膜は、前記電荷蓄積層の上面上の前記第 2 の絶縁膜よりも酸素組成が大きい金属酸化物からなる第 1 の領域を含み、および

前記電荷蓄積層の側面上の前記第 2 の絶縁膜は、前記電荷蓄積層の上面上の前記第 2 の絶縁膜よりも酸素組成が大きく、かつ、前記第 1 の領域よりも酸素組成が小さい第 2 の領域を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に書き換え可能な不揮発性メモリセルを備えた半導体装置に関する。

【背景技術】

【0002】

半導体記憶装置の一つとして、不揮発性半導体メモリがある。近年、不揮発性半導体メモリは、データ格納用のデバイスとしての需要が高くなってきている。浮遊ゲート電極を用いた代表的な電氣的に書き換え可能な不揮発性メモリとして、NAND型フラッシュメモリが知られている。

【0003】

NAND型フラッシュメモリは微細化に有利であるため、その大容量化が進んでいる（特許文献 1）。メモリセルのカップリング比を所望の値に維持しながら、大容量化を進めると、メモリセルの横方向の寸法が縮小する。現在、メモリセル寸法および隣接メモリセル間隔が 100 nm 以下に達している。

【0004】

このような横方向の寸法の縮小によって、浮遊ゲート電極の形がだんだんと縦長になってくる。そのため、メモリセル形状の加工形成が難しくなって動作特性のばらつきが生じやすくなる。さらに、隣接メモリセル間の寄生電気容量が増大する。以上述べた動作特性のばらつきや、寄生電気容量の増大は、メモリ誤動作の原因となる。

【特許文献 1】特開 2005 - 26590 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、記憶容量の大容量化に伴うメモリ誤動作の発生を抑制できる不揮発性メモリを含む半導体装置を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

【0006】

本発明に係る半導体装置は、半導体基板と、前記半導体基板の表面に形成された素子分離溝内に埋め込まれた素子分離絶縁膜と、前記半導体基板上に設けられた複数の不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記半導体基板上に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられた電荷蓄積層と、前記電荷蓄積層の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記電荷蓄積層との間に設けられた第2の絶縁膜とを備え、前記不揮発性メモリセルのチャンネル幅方向の断面において、前記素子分離絶縁膜の上面は、前記半導体基板の表面よりも高く、かつ、前記電荷蓄積層の上面よりも低く、前記第2の絶縁膜は、前記素子分離絶縁膜の上面、前記電荷蓄積層の上面、および、前記電荷蓄積層の側面上に設けられており、前記素子分離絶縁膜の上面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の絶縁膜よりも誘電率が低く、かつ、前記電荷蓄積層の上面上の前記第2の絶縁膜とは組成が異なる第1の領域を含み、および前記電荷蓄積層の側面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の絶縁膜よりも誘電率が低く、かつ、前記第1の領域よりも誘電率が大きい第2の領域を含むことを特徴とする。

10

【0007】

本発明に係る他の半導体装置は、半導体基板と、前記半導体基板の表面に形成された素子分離溝内に埋め込まれた素子分離絶縁膜と、前記半導体基板上に設けられた複数の不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記半導体基板上に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられた電荷蓄積層と、前記電荷蓄積層の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記電荷蓄積層との間に設けられ、金属酸化物を有する第2の絶縁膜とを備え、前記不揮発性メモリセルのチャンネル幅方向の断面において、前記素子分離絶縁膜の上面は、前記半導体基板の表面よりも高く、かつ、前記電荷蓄積層の上面よりも低く、前記第2の絶縁膜は、前記素子分離絶縁膜の上面、前記電荷蓄積層の上面、および、前記電荷蓄積層上の側面に設けられており、前記素子分離絶縁膜の上面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の絶縁膜よりも酸素組成が大きい金属酸化物からなる第1の領域を含み、および前記電荷蓄積層の側面上の前記第2の絶縁膜は、前記電荷蓄積層の上面上の前記第2の絶縁膜よりも酸素組成が大きく、かつ、前記第1の領域よりも酸素組成が小さい第2の領域を含むことを特徴とする。

20

30

【発明の効果】

【0009】

本発明によれば、記憶容量の大容量化に伴うメモリ誤動作の発生を抑制できる不揮発性メモリを含む半導体装置を実現できるようになる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しながら本発明の実施形態を説明する。

【0011】

(第1の実施形態)

図1および図2は、それぞれ、本実施形態の第1および第2の不揮発性メモリセルのワード線方向(チャンネル幅方向)の断面図である。図中、100は半導体基板、101はトンネル絶縁膜、102は浮遊ゲート電極、103はSTI(Shallow Trench Isolation)のための素子分離絶縁膜、104(104₁, 104₂, 104₃)はゲート電極間絶縁膜(以下、単に電極間絶縁膜という。)、105は制御ゲート電極を示している。

40

【0012】

図1の電極間絶縁膜104は、第1の電極間絶縁膜104₁と第2の電極間絶縁膜104₂とを備えている。第1の電極間絶縁膜104₁は、隣接する浮遊ゲート電極102間の領域に設けられている。第2の電極間絶縁膜104₂は、他の領域(ここでは、浮遊ゲート電極102の上面および上部側面)上に設けられている。

【0013】

50

第1の電極間絶縁膜104₁の誘電率 ϵ_1 は、第2の電極間絶縁膜104₂の誘電率 ϵ_2 よりも小さい。上記誘電率の大小関係($\epsilon_1 < \epsilon_2$)は、例えば、第1および第2の電極間絶縁膜104₁、104₂の組成または相を変えることにより、実現される。ここで、組成とは、対象としている物質を構成している一群の成分(元素、化合物など)、およびそれらの量的関係をいう。具体的には、第1および第2の電極間絶縁膜104₁、104₂の添加元素や主成分の元素(組成元素)を変える。また、相とは、物質を構成する成分同士の化学的な結合力、結合距離、結合角度などで規定される物質の状態をいう。

【0014】

添加元素を変える例としては、第1の電極間絶縁膜104₁中には低誘電率となる元素を添加したり(例えば、アルミナを有する電極間絶縁膜中へのシリコン元素の添加)、または、第2の電極間絶縁膜104₂中には高誘電率となる元素を添加すること(例えば、アルミナを有する電極間絶縁膜中へのハフニウム元素の添加)があげられる。

10

【0015】

また、組成元素を変える例として、電極間絶縁膜104として複数の金属元素を含む多元系金属酸化物を用い、第1の電極間絶縁膜104₁が第2の電極間絶縁膜104₂よりも低誘電率になるようにすること(例えば、ハフニウムアルミネートを有する電極間絶縁膜の場合には、第1の電極間絶縁膜104₁のアルミニウム含有率を増やしてハフニウム含有率を減らすこと)があげられる。

【0016】

ところで、背景技術の項で述べたように、カップリング比を所望の値に維持しながら、横方向の寸法を縮小していくと、浮遊ゲート電極の形がだんだんと縦長になり、メモリセル形状の加工形成が難しくなって動作特性のばらつきや、隣接メモリセル間の寄生電気容量が増大する。

20

【0017】

本願発明者らは、上記問題を解決する手段として、電極間絶縁膜として高誘電率絶縁物を用いることを考えた。しかし、電極間絶縁膜の誘電率を上げると、所望の電気容量を得るためには物理膜厚が厚くなるため、図27に示すように、所望の浮遊ゲート電極FGと制御ゲート電極CGとの間の電気容量(電極間絶縁膜容量)C1を確保すると、隣接する浮遊ゲート電極FG間の寄生容量C2が増大してしまい、隣接セル間干渉によるメモリ誤動作を回避することができないことが、本願発明者らの検討により判明した。なお、図27において、AAは活性領域(半導体基板)、STIはシャロウ・トレンチによる素子分離のための素子分離絶縁膜、IPDは電極間絶縁膜を示している。

30

【0018】

これに対して、隣接する浮遊ゲート電極102間の誘電率が相対的に小さい、実施形態の電極間絶縁膜104(104₁、104₂)を用いれば、電極間絶縁膜容量C1を確保しつつ、隣接する浮遊ゲート電極102間の寄生容量を低減できる。これにより、カップリング比を所望の値に維持しながら、横方向の寸法を縮小しても、隣接セル間干渉によるメモリ誤動作を回避できるようになる。なお、上記カップリング比は、図27に示された容量C_{ipd}、C_{tnl}を用いて、 $C_{ipd} / (C_{tnl} + C_{ipd})$ で与えられる。

【0019】

また、浮遊ゲート電極102の側面の電極間絶縁膜104₁を低誘電率化することで、浮遊ゲート電極102の側面における電極間絶縁膜104₁の物理膜厚を薄くすることができる。これにより、隣接メモリセルの電極間絶縁膜104で形成される溝の深さを下げ、十分な長さの制御ゲート電極105を溝内に埋め込むことができ、電気力線のシールド効果による寄生容量の低下も可能となる。

40

【0020】

図2の電極間絶縁膜104は、第1の電極間絶縁膜104₁と第2の電極間絶縁膜104₂と第3の電極間絶縁膜104₃とを備えている。第1の電極間絶縁膜104₁は、隣接する浮遊ゲート電極102間の領域に設けられている。第2の電極間絶縁膜104₂は浮遊ゲート電極102の上面およびその周囲に設けられている。第3の電極間絶縁膜10

50

4₃は、他の領域（ここでは、浮遊ゲート電極102の上部側面）上に設けられている。言い換えれば、第3の電極間絶縁膜104₃は、第1の電極間絶縁膜104₁と第2の電極間絶縁膜104₂との間の、浮遊ゲート電極102の側面に設けられている。

【0021】

第1の電極間絶縁膜104₁の誘電率 ϵ_1 は、第2の電極間絶縁膜104₂の誘電率 ϵ_2 よりも小さく、第3の電極間絶縁膜104₃の誘電率 ϵ_3 は、誘電率 ϵ_1 よりも大きくかつ誘電率 ϵ_2 よりも小さい（ $\epsilon_1 < \epsilon_3 < \epsilon_2$ ）。これにより、電気力線の回り込みによる隣接する浮遊ゲート電極102間の寄生容量がより低減して、上記効果はいっそう顕著となる。

【0022】

また、浮遊ゲート電極102の側面の電極間絶縁膜104₁、104₃を低誘電率化することで、浮遊ゲート電極102の側面における電極間絶縁膜104₁、104₃の物理膜厚を薄くすることができる。これにより、隣接メモリセルの電極間絶縁膜104で形成される溝の間隔を広げて、十分な長さの制御ゲート電極105を溝内に埋め込むことができ、電気力線のシールド効果による寄生容量の低下も可能となる。

【0023】

なお、図1および図2では、単層の電極間絶縁膜の場合を示したが、材料が異なる複数の絶縁膜が積層されてなる多層の電極間絶縁膜の場合でも、実施形態の効果を得ることができる。特に、下層側が高誘電率の絶縁膜である場合に、下層側に本実施形態を適用することは有効である。

【0024】

また、図1および図2では、隣接する浮遊ゲート電極間の電極間絶縁膜の全体が、浮遊ゲート電極の表面上の電極間絶縁膜よりも低誘電率になっている場合を示したが、隣接する浮遊ゲート電極間の電極間絶縁膜の一部が、浮遊ゲート電極の表面上の電極間絶縁膜よりも低誘電率になっている場合でも、上述した実施形態の効果は得ることができる。さらに、隣接する浮遊ゲート電極間以外の一部の電極間絶縁膜が低誘電率になっていても、上述した実施形態の効果は得ることができる。

【0025】

次に、図3 - 図9を用いて、実施形態の不揮発性メモリセル（図1）の第1の製造方法を説明する。図3 - 図9において、左側はビット線方向（チャンネル長方向）の断面図、右側はワード線方向（チャンネル幅方向）の断面図を示している。

【0026】

まず、図3に示すように、所望の不純物をドーピングした半導体基板（ここではシリコン基板）100の表面に、厚さ6nmのトンネル絶縁膜（ここではトンネル酸化膜）101を熱酸化法で形成し、その後、浮遊ゲート電極となる厚さ100nmのリンドープの多結晶シリコン層102、素子分離加工のためのマスク材200を順次CVD（Chemical Vapor Deposition）法で堆積した。次に、第1のレジストマスク（図示せず）を用いたRIE（Reactive Ion Etching）法により、マスク材200、多結晶シリコン層102、トンネル絶縁膜101を順次エッチング加工し、さらに半導体基板100の露出領域をエッチングして、深さ100nmの素子分離溝201を形成した。このとき、素子分離溝201の幅および多結晶シリコン層102の幅は、ともに約50nmとした。

【0027】

次に、図4に示すように、全面に素子分離絶縁膜（ここではシリコン酸化膜）103を堆積して、素子分離溝201を完全に埋め込み、その後、表面部分の素子分離絶縁膜103をCMP（Chemical Mechanical Polish）法で除去して、表面を平坦化した。このとき、マスク材200を露出させた。

【0028】

次に、図5に示すように、露出したマスク材200を化学薬液等で選択的にエッチング除去し、さらに、素子分離絶縁膜103の露出表面を希フッ酸溶液を用いてエッチング除去することにより、多結晶シリコン層102の側壁面202を露出させた。側壁面202

10

20

30

40

50

の高さは50nmとした。

【0029】

次に、図6に示すように、基板全体をアルミニウムの硝酸溶液に浸して、素子分離絶縁膜103の表層10nm程度の領域203に、アルミニウム元素を $1 \times 10^{15} \text{ atoms/cm}^2$ 程度の濃度で染み込ませた。次に、加熱処理により素子分離絶縁膜103中の水分を蒸発させ、その後、全面に電極間絶縁膜となる厚さ20nmのハフニア膜104aをCVD法で堆積した。

【0030】

次に、図7に示すように、900程度の酸化雰囲気アニールを行い、隣接する浮遊ゲート電極102間のハフニア膜104a中にアルミニウム元素を熱拡散させて、隣接する浮遊ゲート電極102間のハフニア膜104aをハフニウムアルミネート膜104a'に変換した。ハフニウムアルミネート膜104a'は図1の第1の電極間絶縁膜104₁に相当し、ハフニア膜104aは図1の第2の電極間絶縁膜104₂に相当する。

10

【0031】

次に、図8に示すように、制御ゲート電極となる導電層105を形成する。ここでは、導電層105として、多結晶シリコン層とタングステンシリサイド層とからなる厚さ100nmの2層構造の導電層を用いた。上記多結晶シリコン層、上記タングステンシリサイド層は、例えば、順次CVD法で形成する。次に、導電層105上に、RIEのマスク材となるシリコン窒化膜106をCVD法で堆積し、その後、上記第1のレジストマスクと直交するパターンを有する第2のレジストマスク(図示せず)を用いたRIE法により、シリコン窒化膜(マスク材)106、導電層105、電極間絶縁膜104(104a, 104a')、多結晶シリコン層102を順次エッチング加工して、浮遊ゲート電極102、制御ゲート電極105を形成した。このとき、浮遊ゲート電極102の幅および間隔は、ともに約50nmとした。

20

【0032】

次に、図9に示すように、浮遊ゲート電極102および制御ゲート電極105の側壁に、熱酸化法とCVD法を組み合わせる厚さ10nm程度のゲート側壁酸化膜107を形成し、その後、イオン注入法を行い、さらに、熱アニールを行うことにより、不純物拡散層(ソース/ドレイン領域)108を形成した。次に、CVD法等を用いて層間絶縁膜109を形成し、さらに、公知の技術を用いて配線層等(図示せず)を形成して、不揮発性メモリセルを完成させた。

30

【0033】

第1の製造方法により、隣接する浮遊ゲート電極102間の電極間絶縁膜104a'が他の部分の電極間絶縁膜104aよりも誘電率が低い、電極間絶縁膜104が実現できた。

【0034】

なお、本製造方法では、溶液に浸して低誘電率となる元素の供給源を形成したが、もちろん他の方法でも良い。また、電極間絶縁膜への低誘電率となる元素の導入は、熱拡散に限らない。さらに、本製造方法では、ハフニア膜にアルミニウム元素を導入する例を示したが、1<2が実現されるなら、他の元素を導入したり、あるいは、他の膜と他の元素との組合せでも、同様の効果が得られる。

40

【0035】

図10および図11は、第2の製造方法を示す断面図である。図10および図11は、それぞれ、第1の製造方法の図6および図7の右側に示された断面図に相当する。

【0036】

まず、第1の製造方法と同様に、図3-図5までの工程を行う。

【0037】

次に、図10に示すように、全面に電極間絶縁膜となる厚さ10nmのシリコン酸窒化膜104bをCVD法で堆積した。次に、全面に入射角度30°程度、ドーズ量 $1 \times 10^{15} \text{ atoms/cm}^2$ 程度の条件で、アルミニウム元素210のイオン注入を行うことで、浮遊

50

ゲート電極 102 の上面上のシリコン酸窒化膜 104b、浮遊ゲート電極 102 の側面上のシリコン酸窒化膜 104b、および、隣接する浮遊ゲート電極 102 間のシリコン酸窒化膜 104b 中に、アルミニウム元素を導入した。

【0038】

次に、図 11 に示すように、900 程度の酸化雰囲気アニールを行うことにより、シリコン酸窒化膜 104b を窒素含有アルミニウムシリケート膜 104b'、104b''、104b''' に変換した。窒素含有アルミニウムシリケート膜 104b'、104b''、104b''' は、それぞれ、図 2 の電極間絶縁膜 104₁、104₂、104₃ に相当する。その後は、第 1 の製造方法と同様に公知の技術を用いて、不揮発性メモリセルを完成させた。

10

【0039】

第 2 の製造方法により、電極間絶縁膜の誘電率は、シリコン酸窒化膜 104b のアルミニウム含有率に応じて、浮遊ゲート電極 102 の上面上の窒素含有アルミニウムシリケート膜 104'' が最も高く、次が浮遊ゲート電極 102 の上部側面の窒素含有アルミニウムシリケート膜 104'''、そして、隣接浮遊ゲート電極間の窒素含有アルミニウムシリケート膜 104'' が最も低くなった。

【0040】

なお、本方法では、斜めイオン注入法で高誘電率となる元素を導入したが、もちろん他の方法でも良い。また、電極間絶縁膜の形成後に高誘電率となる元素を導入したが、電極間絶縁膜の成膜中に元素導入することも可能である。さらに、本方法では、シリコン酸窒化膜にアルミニウム元素を導入する例を示したが、1<3<2 が実現されるなら、他の元素を導入したり、あるいは、他の膜と他の元素との組合せでも、同様の効果が得られる。

20

【0041】

図 12 および図 13 は、第 3 の製造方法を示す断面図である。図 12 および図 13 は、それぞれ、第 1 の製造方法の図 6 および図 7 の右側に示された断面図に相当する。

【0042】

まず、第 1 の製造方法と同様に、図 3 - 図 5 までの工程を行う。

【0043】

次に、図 12 に示すように、全面に電極間絶縁膜となる厚さ 20 nm のハフニウムアルミネート膜 104c を ALD (Atomic Layer Deposition) 法で堆積した。金属ソースガスには、高分子のテトラキスエチルメチルアミノハフニウム (高分子ソースガス) 221 と低分子のトリメチルアルミニウム (低分子ソースガス) 222 を使い、酸素ソースガスには水蒸気を用いた。このとき、高分子ソースガス 221 は隣接する浮遊ゲート電極 102 間の領域に入り込みにくいため、この領域への高分子ソースガス 221 供給は抑制される。

30

【0044】

次に、図 13 に示すように、900 程度の加熱処理により、ハフニウムアルミネート膜 104c を緻密化して、高品質のハフニウムアルミネート膜 104c'、104c''、104c''' に変換した。ハフニウムアルミネート膜 104c'、104c''、104c''' は、それぞれ、図 2 の電極間絶縁膜 104₁、104₂、104₃ に相当する。その後は、第 1 の製造方法と同様に公知の技術を用いて、不揮発性メモリセルを完成させた。

40

【0045】

第 3 の製造方法により、電極間絶縁膜の誘電率は、ハフニウムアルミネート膜 104c のハフニウム含有率に応じて、浮遊ゲート電極上面のハフニウムアルミネート膜 104c'' が最も高く、次が浮遊ゲート電極側面のハフニウムアルミネート膜 104c'''、そして隣接浮遊ゲート電極間のハフニウムアルミネート膜 104c' が最も低くなった。

【0046】

なお、本方法では、ALD 法で電極間絶縁膜を堆積したが、もちろん他の方法でも良い

50

。また、本方法では、ハフニウムアルミネート膜の例を示したが、他のソースガス（金属）の組合せでも良く、低誘電率となる金属のソースガスとして低分子のものを選び、高誘電率となる金属のソースガスとして高分子のものを選べば、同様の効果が得られる。さらに、金属元素は3種類以上の場合でも適用できる。また、分子量に係わらず、気相中の移送効率が異なるソースガスを用いても、同様の効果が得られる。

【0047】

（第2の実施形態）

図14および図15は、それぞれ、本実施形態の第1および第2の不揮発性メモリセルのワード線方向（チャンネル幅方向）の断面図である。なお、前出した図と同一符号は同一部分を示し、詳細な説明は省略する。

10

【0048】

図14の電極間絶縁膜204は、金属酸化物を有する第1および第2の電極間絶縁膜204₁、204₂を備えている。第1の電極間絶縁膜204₁は、隣接する浮遊ゲート電極102間の領域に設けられている。第2の電極間絶縁膜204₂は、他の領域（ここでは、浮遊ゲート電極102の上面および上部側面）上に設けられている。

【0049】

第1の電極間絶縁膜204₁の酸素組成比 r_1 は、第2の電極間絶縁膜204₂の酸素組成比 r_2 よりも大きい。上記酸素組成比の大小関係（ $r_1 > r_2$ ）は、例えば、電極間絶縁膜となる金属酸化物膜を成膜後に、隣接する浮遊ゲート電極102間の金属酸化物膜中に酸素を供給したり、または、浮遊ゲート電極102の上面および浮遊ゲート電極の上部側面の上の金属酸化物膜中に金属を供給することにより、実現される。あるいは、隣接する浮遊ゲート電極102間の金属酸化物膜中の金属濃度を下げたり、または、浮遊ゲート電極102の上面および浮遊ゲート電極102の上部側面の上の金属酸化物膜の酸素濃度を下げることにより、実現される。

20

【0050】

ところで、高誘電率絶縁物は、印加電界が弱い場合でもホッピング伝導と思われる絶縁物中の電荷移動が起こりやすい。このため、図28に示すように、電極間絶縁膜として高誘電率絶縁物を用いた場合、隣接する浮遊ゲート電極間で電荷（図28では電子）の移動が起こってしまい、メモリセルの電荷保持特性が低下し、その結果として、メモリ誤動作の発生することが、本願発明者らの検討により判明した。

30

【0051】

また、高誘電率絶縁物は、電荷の捕獲/放出（いわゆるトラップ/デトラップ）が起こりやすい。このため、図29に示すように、高電界が印加される浮遊ゲート電極と制御ゲート電極の端部が対向する領域で、電荷（図29では電子）のトラップ/デトラップが顕著に起こってしまい、メモリセルのしきい値変動によるメモリ誤動作が起こることが、本願発明者らの検討により判明した。

【0052】

しかしながら、本実施形態の場合、 $r_1 > r_2$ を満たす電極間絶縁膜204（204₁、204₂）を設けることにより、浮遊ゲート電極102と制御ゲート電極105との間に高電界が印加されたときの、リーク電流抑制および絶縁破壊耐圧向上を実現しつつ、隣接する浮遊ゲート電極102間の電荷移動を低減して、セルの電荷保持特性を確保できる。

40

【0053】

すなわち、酸素組成比の高い金属酸化物膜を有する第1の電極間絶縁膜204₁のトラップ準位起因の低電界リーク電流が抑制されるため、隣接する浮遊ゲート電極102間の第1の電極間絶縁膜204₁中での電荷移動は起こらなくなる。

【0054】

一方、酸素組成比の低い金属酸化物膜を有する第2の電極間絶縁膜204₂に高電界が印加されると、注入電荷は金属酸化物膜中に捕獲されるため、リーク電流は抑制され、絶縁破壊耐圧は向上する。

50

【 0 0 5 5 】

なお、隣接する浮遊ゲート電極間の電極間絶縁膜中での電荷移動を抑制するには、隣接する浮遊ゲート電極間の領域の一部分を低トラップ準位密度にすればよいので、例えば、図 1 5 に示すように、隣接する浮遊ゲート電極 1 0 2 間の電極間絶縁膜 2 0 4 のうち、浮遊ゲート電極 1 0 2 の側面の部分 2 0 4₃ の酸素組成比を少し低くしておけば、電極間絶縁膜 2 0 4 の高電界耐性確保と隣接浮遊ゲート電極間の電荷移動低減の両立を、容易に実現できるようになる。

【 0 0 5 6 】

なお、図 1 4 および図 1 5 では、単層の電極間絶縁膜の場合を示したが、材料が異なる複数の絶縁膜が積層されてなる多層の電極間絶縁膜の場合でも、実施形態の効果を得ることはできる。積層の電極間絶縁膜の場合、膜中トラップ準位起因の低電界リーク電流が流れにくいシリコン酸化膜などの高品質な絶縁膜は下側にあると良い。

10

【 0 0 5 7 】

また、図 1 4 および図 1 5 では、隣接する浮遊ゲート電極間の電極間絶縁膜の全体が、浮遊ゲート電極の上面上の電極間絶縁膜よりも高酸素組成比になっている場合を示したが、隣接する浮遊ゲート電極間の電極間絶縁膜の一部が、浮遊ゲート電極の上面上の電極間絶縁膜よりも高酸素組成比になっている場合でも、上述した実施形態の効果は得ることはできる。さらに、隣接する浮遊ゲート電極間以外の一部の電極間絶縁膜が低酸素組成比になっていても、上述した実施形態の効果は得ることはできる。

【 0 0 5 8 】

20

図 1 6 および図 1 7 を用いて、実施形態の不揮発性メモリセル（図 1 4 ）の第 1 の製造方法を説明する。図 1 6 および図 1 7 は、ワード線方向（チャンネル幅方向）の断面図を示している。

【 0 0 5 9 】

まず、第 1 の実施形態の図 3 - 図 5 までの工程を行う。

【 0 0 6 0 】

次に、図 1 6 に示すように、基板全体を水溶液に浸して、シリコン酸化膜を有する素子分離絶縁膜 1 0 3 の表層領域 1 0 3 s（厚みは 1 原子層以上、1 0 0 nm 程度以下）に、水分を 1 % 程度の濃度で染み込ませた。次に、全面に電極間絶縁膜となる厚さ 2 0 nm のハフニウムシリケート膜 2 0 4 a を ALD 法で堆積した。堆積温度は、3 0 0 程度の低温で行い、素子分離絶縁膜 1 0 3 の表層領域 1 0 3 s に水分が残留するようにした。

30

【 0 0 6 1 】

次に、9 0 0 程度の加熱処理により、隣接する浮遊ゲート電極 1 0 2 間のハフニウムシリケート膜 2 0 4 a 中に、素子分離絶縁膜 1 0 3 の表層領域 1 0 3 s 中の水分を熱拡散させる。これにより、隣接する浮遊ゲート電極 1 0 2 間のハフニウムシリケート膜 2 0 4 a は、図 1 7 に示すように、高酸素組成比のハフニウムシリケート膜 2 0 4 a' に変換される。

【 0 0 6 2 】

ハフニウムシリケート膜 2 0 4 a' は図 1 4 の第 1 の電極間絶縁膜 2 0 4₁ に相当し、ハフニウムシリケート膜 2 0 4 a は図 1 4 の第 2 の電極間絶縁膜 2 0 4₂ に相当する。その後は、第 1 の実施形態と同様に公知の技術を用いて、不揮発性メモリセルを完成させた。

40

【 0 0 6 3 】

第 1 の製造方法により、隣接する浮遊ゲート電極 1 0 2 間の電極間絶縁膜 2 0 4 a' が他の部分の電極間絶縁膜 2 0 4 a よりも酸素組成比が高い、電極間絶縁膜 2 0 4 が実現できた。

【 0 0 6 4 】

なお、本方法では、水分を酸素供給種として、水溶液に浸して酸素供給源を形成した。しかし、もちろん、酸素供給種は水分に限らないし、また、酸素供給源の形成方法は他の方法でも良い。例えば、制御ゲート電極と浮遊ゲート電極の加工工程（図 8 の工程）の後

50

に、制御ゲート電極と浮遊ゲート電極で覆われていない素子分離絶縁膜の露出部から素子分離絶縁膜（例えばシリコン酸化膜）中を通して、酸素ガス等を熱拡散させることにより、隣接する浮遊ゲート電極間の電極間絶縁膜中に供給させてもよい。また、電極間絶縁膜への酸素の導入は、熱拡散に限らない。さらに、本方法では、ハフニウムシリケート膜の例を示したが、他の金属酸化物膜でも同様の効果が得られる。

【0065】

図18および図19は、第2の製造方法を示す断面図である。

【0066】

まず、第1の実施形態の図3 - 図5までの工程を行う。ただし、浮遊ゲート電極となるリンドープの多結晶シリコン層102には、あらかじめイオン注入法等によりアルミニウムが1%程度導入してある。

10

【0067】

次に、図18に示すように、全面に電極間絶縁膜となる厚さ20nmのアルミナ膜204bをALD法で堆積した。

【0068】

次に、900程度 of 加熱処理により、浮遊ゲート電極102の上面および側面の上のアルミナ膜204b中に、多結晶シリコン層102中のアルミニウムを熱拡散させることにより、浮遊ゲート電極102の上面および側面の上のアルミナ膜204bを、図19に示すように、低酸素組成比のアルミナ膜204b'に変換する。

【0069】

20

アルミナ膜204b, 204b'は、それぞれ、図14の第1の電極間絶縁膜204₁, 204₂に相当する。その後は、第1の実施形態と同様に公知の技術を用いて、不揮発性メモリセルを完成させた。

【0070】

第2の製造方法により、浮遊ゲート電極102の上面および側面の上の電極間絶縁膜204b'が、他の部分電極間絶縁膜204bよりも低酸素組成比の電極間絶縁膜204が実現できた。

【0071】

なお、本方法では、浮遊ゲート電極となる多結晶シリコン層をアルミニウム供給源としたが、もちろん、これに限らない。また、上記多結晶シリコン層へのアルミニウムの導入はイオン注入に限らないし、電極間絶縁膜へのアルミニウムの導入は熱拡散に限らない。

30

【0072】

さらに、本方法では、アルミナ膜の例を示したが、他の金属酸化物膜でも同様の効果が得られる。また、金属酸化物膜を構成する金属とは別種類の金属を導入して、部分的に低酸素組成比にしても、実施形態の効果は得られる。

【0073】

さらに、第1の製造方法と第2の製造方法を組み合わせることにより、図15に示した酸素組成比を有する電極間絶縁膜204(204₁, 204₂, 204₃)を形成することができる。

【0074】

40

図20および図21は、第3の製造方法を示す断面図である。

【0075】

まず、第1の実施形態の図3 - 図5までの工程を行う。

【0076】

次に、図20に示すように、全面に電極間絶縁膜となる厚さ20nmのアルミナ膜204cをCVD法で堆積した。その後、全面に入射角度30°程度、ドーズ量 1×10^{15} atoms/cm²程度の条件でアルミニウム元素210のイオン注入を行うことで、浮遊ゲート電極102の上面および側面上のアルミナ膜204c、ならびに、隣接する浮遊ゲート電極102間のアルミナ膜204c中にアルミニウム元素を導入した。

【0077】

50

次に、900 程度の加熱処理を行うことにより、導入したアルミニウム元素を、アルミナ膜204cのネットワーク構造中に結合させた。これにより、図21に示すように、アルミナ膜204cはアルミニウム含有アルミナ膜204c'、204c''、204c'''に変換された。アルミニウム含有アルミナ膜204c'、204c''、204c'''は、それぞれ、図15の電極間絶縁膜204₁、204₂、204₃に相当する。その後は、公知の技術を用いて、不揮発性メモリセルを完成させた。

【0078】

第3の製造方法により、電極間絶縁膜の酸素組成比はアルミニウム含有率に応じて、浮遊ゲート電極102の上面上のアルミニウム含有アルミナ膜204c''が最も低く、次が浮遊ゲート電極102の上部側面上のアルミニウム含有アルミナ膜204c'''、そして、隣接する浮遊ゲート電極102間のアルミニウム含有アルミナ膜204c'が最も高くなった。

【0079】

なお、本方法では、斜めイオン注入法で金属元素を導入したが、もちろん他の方法でも良い。さらに、本方法では、アルミナ膜にアルミニウム元素を導入する例を示したが、他の絶縁膜材料でも同様の効果が得られる。また、金属酸化物膜を構成する金属とは別種類の金属を導入して、部分的に低酸素組成比にしても、実施形態の効果は得られる

(第3の実施形態)

図22は、本実施形態の不揮発性メモリセルのビット線方向(チャンネル長方向)の断面図である。

【0080】

図22の電極間絶縁膜301は、例えば、金属酸化物を有する第1および第2の電極間絶縁膜301₁、301₂を備えている。第2の電極間絶縁膜301₂は第1の電極間絶縁膜301₁の側面上に設けられている。言い換えれば、電極間絶縁膜301は、中央部の領域が第1の電極間絶縁膜301₁であり、制御/浮遊ゲート電極端部の領域が第2の電極間絶縁膜301₂となっている。

【0081】

第1の電極間絶縁膜301₁の酸素組成比(酸素濃度)は、第2の電極間絶縁膜301₂の酸素組成比(酸素濃度)よりも低い。このような酸素組成比(酸素濃度)を有する第1および第2の電極間絶縁膜301₁、301₂は、制御/浮遊ゲート電極の加工後に、制御/浮遊ゲート電極端部の領域に酸素を相対的に多く供給することにより、実現される。

【0082】

図22の電極間絶縁膜301は、例えば、複数の金属元素を含む多元系金属酸化物を有する電極間絶縁膜301₁、301₂を備えていても構わない。この場合、第1の電極間絶縁膜301₁の電荷トラップ準位密度は、第2の電極間絶縁膜301₂の電荷トラップ準位密度よりも大きくする。このような電荷トラップ準位密度の分布を有する第1および第2の電極間絶縁膜301₁、301₂は、金属元素の組成比を領域によって変化させて、制御/浮遊ゲート電極端部の領域が中央部の領域よりも低電荷トラップ準位密度になるようにすることにより、実現される。例えば、ハフニウムアルミネートを有する電極間絶縁膜の場合に、制御/浮遊ゲート電極端部の領域のアルミニウム含有率を増やしハフニウム含有率を減らすと、制御/浮遊ゲート電極端部領域の電荷トラップ準位密度が中央部領域よりも低くなる。この電荷トラップ準位密度分布は、酸素欠損の密度分布に対応している。すなわち、電荷トラップ準位密度が低いほど、酸素欠損が低く、酸素組成比は高くなる。この対応関係は、本発明者等が実験にて見出した新規な事実である。

【0083】

このような電極間絶縁膜301(301₁、301₂)を設けることにより、浮遊ゲート電極102と制御ゲート電極105との間に高電界が印加されたときの、リーク電流抑制および絶縁破壊耐圧向上を実現しつつ、制御/浮遊ゲート電極端部の電荷トラップ/デトラップによるセルしきい値変動を低減して、メモリ誤動作を回避できる。

【 0 0 8 4 】

すなわち、酸素組成比の低い金属酸化物膜を有する中央部領域の第 1 の電極間絶縁膜 301₁ に高電界が印加されると、注入電荷は上記金属酸化物膜中に捕獲されるので、リーク電流は抑制され、絶縁破壊耐圧は向上する。

【 0 0 8 5 】

一方、制御/浮遊ゲート電極端部の領域は電極形状起因で電界強度が増大しており電荷トラップ/デトラップ現象が顕著となるが、酸素組成比の高い金属酸化物膜はその膜中の電荷トラップ準位密度が低いので、電荷トラップ/デトラップによるセルしきい値変動は、十分無視できるようになる。

【 0 0 8 6 】

なお、図 22 では、単層の電極間絶縁膜の場合を示したが、材料が異なる複数の絶縁膜が積層されてなる多層の電極間絶縁膜の場合でも、実施形態の効果を得ることはできる。積層の電極間絶縁膜の場合、膜中トラップ準位起因の低電界リーク電流が流れにくいシリコン酸化膜などの高品質な絶縁膜が下側にあると良い。

【 0 0 8 7 】

次に、図 23 を用いて、実施形態の不揮発性メモリセルの第 1 の製造方法を説明する。

【 0 0 8 8 】

まず、第 1 の実施形態の図 3 - 図 9 までの工程を行う。

【 0 0 8 9 】

次に、図 23 に示すように、基板全体を水溶液に浸して、層間絶縁膜 109 に、水分 303 を 1% 程度の濃度で染み込ませた。

【 0 0 9 0 】

次に、900 程度の加熱処理により、層間絶縁膜 109 中により導入した水分 303 を制御/浮遊ゲート電極端部の金属酸化物を有する電極間絶縁膜 104 にまで拡散させ、さらに、導入した水分 303 を電極間絶縁膜 104 のネットワーク構造中に結合させ、制御/浮遊ゲート電極端部の電極間絶縁膜 104 の酸素組成比を高くする。その後は、公知の技術を用いて、不揮発性メモリセルを完成させた。

【 0 0 9 1 】

第 1 の製造方法により、制御/浮遊ゲート電極端部の領域が他の領域よりも高酸素組成比の電極間絶縁膜が実現できた。本方法では、水分を酸素供給種として、水溶液に浸して酸素供給源を形成した。しかし、もちろん、酸素供給種は水分に限らないし、また、酸素供給源の形成方法は他の方法でも良い。また、電極間絶縁膜への酸素の導入は、熱拡散に限らない。さらには、電極中央部領域に金属元素を導入することでも、制御/浮遊ゲート電極端部の領域が他の領域よりも高酸素組成比の電極間絶縁膜を実現することは可能である。

【 0 0 9 2 】

図 24 は、第 2 の製造方法を示す断面図である。

【 0 0 9 3 】

まず、第 1 の実施形態の図 3 - 図 8 までの工程を行う。ここでは、電極間絶縁膜 104 はハフニウムアルミネートを有する絶縁膜である。

【 0 0 9 4 】

次に、全面に入射角度 30° 程度、ドーズ量 1×10^{15} atoms / cm² 程度の条件で、アルミニウム元素 210 のイオン注入を行うことで、制御/浮遊ゲート電極端部の電極間絶縁膜 104 にアルミニウム元素 210 を導入した。

【 0 0 9 5 】

次に、900 程度の酸化雰囲気アニールを行うことにより、導入したアルミニウム元素 210 を、電極間絶縁膜 104 のネットワーク構造中に結合させる。その後は、公知の技術を用いて、不揮発性メモリセルを完成させた。

【 0 0 9 6 】

第 2 の製造方法により、制御/浮遊ゲート電極端部の領域が他の領域よりも低電荷トラ

10

20

30

40

50

ップ準位密度の電極間絶縁膜が実現できた。なお、本方法では、斜めイオン注入法で低電荷トラップ準位密度となる元素を導入したが、もちろん他の方法でも良い。さらに、本方法では、ハフニウムアルミネート膜にアルミニウム元素を導入する例を示したが、上記電荷トラップ準位密度の分布が実現されるなら、他の元素を導入したり、他の膜と他の元素との組合せでも、同様の効果が得られる。さらには、電極間絶縁膜の中央部に電荷トラップ準位密度が高くなる金属元素を導入することでも、制御/浮遊ゲート電極端部の領域が他の領域よりも低電荷トラップ準位密度の電極間絶縁膜を実現することは可能である。

【0097】

以上、いくつかの実施形態を示したが、本発明の実施形態は、図1および図2、図14および図15、ならびに、図22のようなメモリセル構造に対してのみ適用されるわけではない。例えば、図25に示すように、電極間絶縁膜104がほぼ平坦な構造の場合にも、同様に適用できる。

10

【0098】

さらに、図26に示すように、絶縁膜に電荷を蓄積するMONOS型不揮発性メモリにおいて、電荷蓄積絶縁膜401または電荷ブロック絶縁膜402に高誘電率絶縁物膜を用いた場合にも、本発明を適用すれば同様の効果が得られる。

【0099】

さらに、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組合せにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

20

【0100】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【図面の簡単な説明】

【0101】

【図1】第1の実施形態の第1の不揮発性メモリセルを示すワード線方向(チャンネル幅方向)の断面図。

【図2】第1の実施形態の第2の不揮発性メモリセルを示すワード線方向(チャンネル幅方向)の断面図。

30

【図3】第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図4】図3に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図5】図4に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図6】図5に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図7】図6に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図8】図7に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

40

【図9】図8に続く第1の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図10】第1の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図11】図10に続く第1の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図12】第1の実施形態の不揮発性メモリセルの第3の製造方法を示す断面図。

【図13】図12に続く第1の実施形態の不揮発性メモリセルの第3の製造方法を示す断面図。

【図14】第2の実施形態の第1の不揮発性メモリセルを示すワード線方向(チャンネル幅

50

方向)の断面図。

【図15】第2の実施形態の第2の不揮発性メモリセルを示すワード線方向(チャンネル幅方向)の断面図。

【図16】第2の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図17】図16に続く第2の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図18】第2の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図19】図18に続く第2の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図20】第2の実施形態の不揮発性メモリセルの第3の製造方法を示す断面図。

10

【図21】図20に続く第2の実施形態の不揮発性メモリセルの第3の製造方法を示す断面図。

【図22】第3の実施形態の不揮発性メモリセルを示すビット線方向(チャンネル長方向)の断面図。

【図23】第3の実施形態の不揮発性メモリセルの第1の製造方法を示す断面図。

【図24】第3の実施形態の不揮発性メモリセルの第2の製造方法を示す断面図。

【図25】他の実施形態を説明するための断面図。

【図26】さらに別の実施形態を説明するための断面図。

【図27】本願発明者らの検討により判明した問題点を説明するための図。

【図28】本願発明者らの検討により判明した他の問題点を説明するための図。

20

【図29】本願発明者らの検討により判明したさらに別の問題点を説明するための図。

【符号の説明】

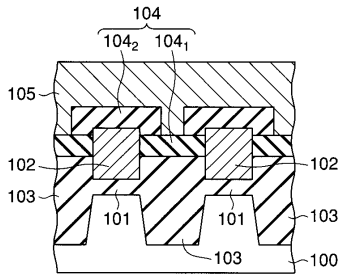
【0102】

100...半導体基板、101...トンネル絶縁膜、102...浮遊ゲート電極、103...素子分離絶縁膜、103s...素子分離絶縁膜の表層領域、104...電極間絶縁膜、104₁...第1の電極間絶縁膜、104₂...第2の電極間絶縁膜、104₃...第3の電極間絶縁膜、104a...ハフニア膜、104a'...ハフニウムアルミネート膜、104b...シリコン窒化膜、104b', 104b'', 104b'''...窒素含有アルミニウムシリケート膜、105...制御ゲート電極、106...シリコン窒化膜、107...ゲート側壁酸化膜、108...不純物拡散層(ソース/ドレイン領域)、109...層間絶縁膜、200...マスク材、201...素子分離溝、202...多結晶シリコン層の側壁面、203...素子分離絶縁膜の表層領域、204...電極間絶縁膜、204₁...第1の電極間絶縁膜、204₂...第2の電極間絶縁膜、204a...ハフニウムシリケート膜、204a'...ハフニウムシリケート膜、204b, 204b', 204c...アルミナ膜、210...アルミニウム元素、301, 301₁, 301₂...電極間絶縁膜、401...電荷蓄積絶縁膜、402...電荷ブロック絶縁膜。

30

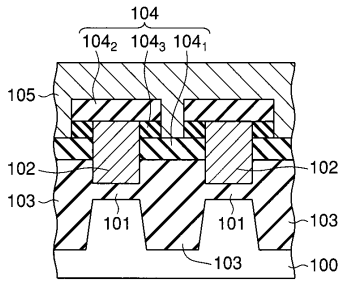
【図 1】

図 1



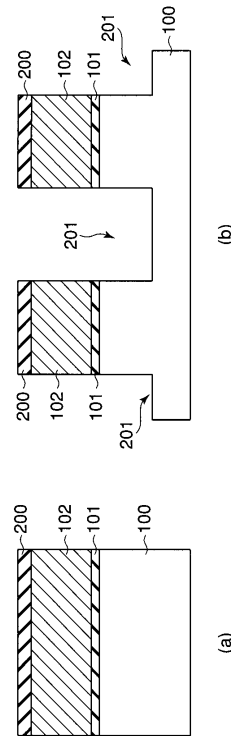
【図 2】

図 2



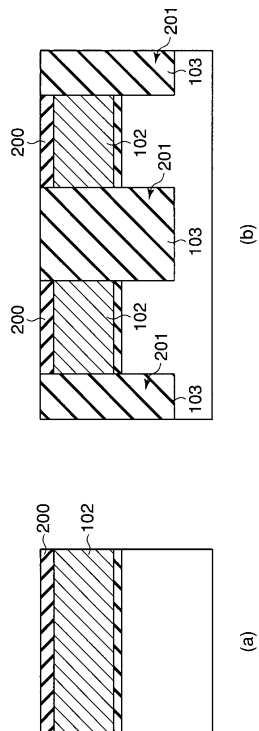
【図 3】

図 3



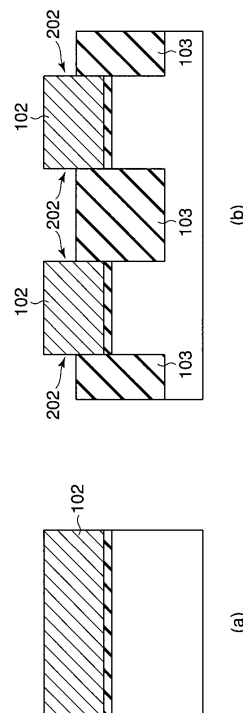
【図 4】

図 4



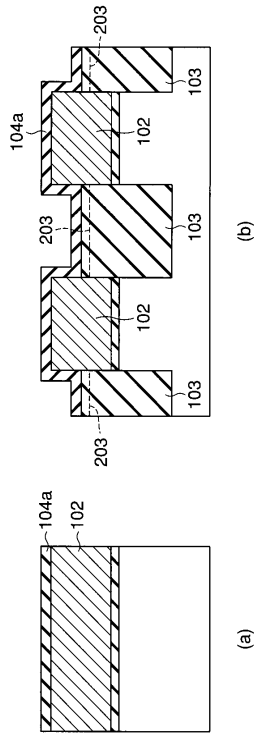
【図 5】

図 5



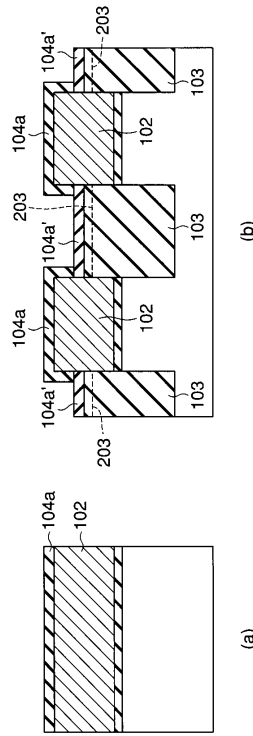
【 図 6 】

図 6



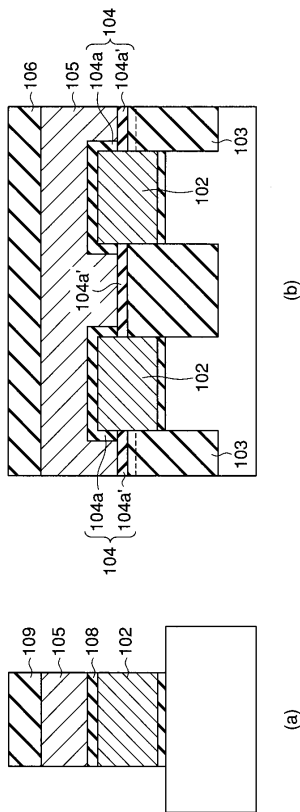
【 図 7 】

図 7



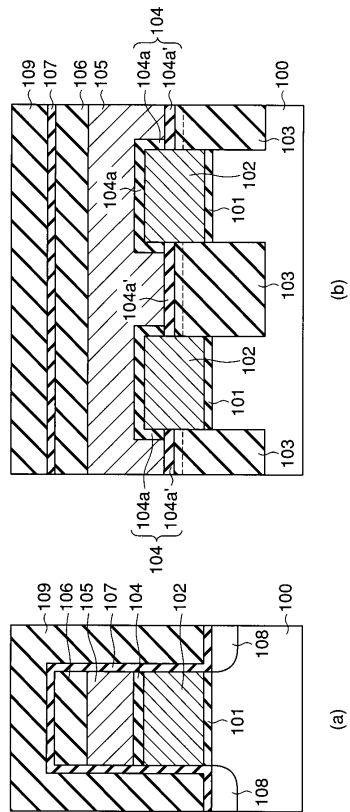
【 図 8 】

図 8



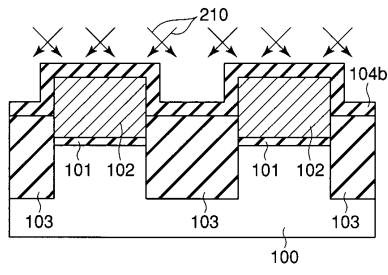
【 図 9 】

図 9



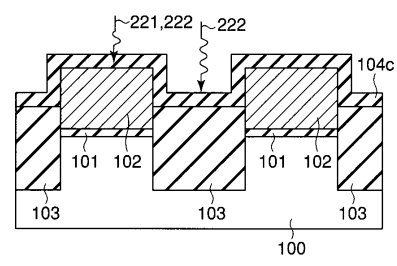
【図 10】

図 10



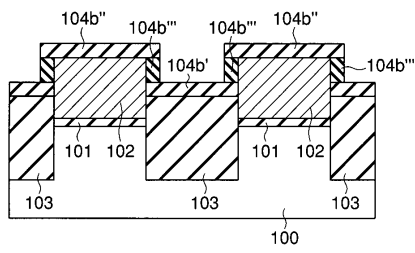
【図 12】

図 12



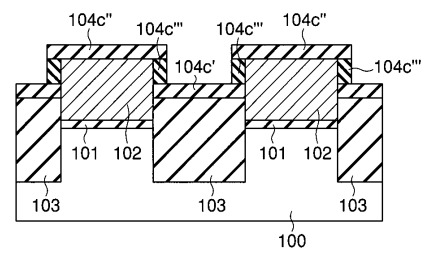
【図 11】

図 11



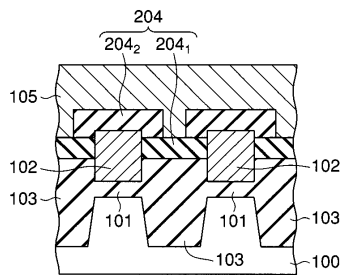
【図 13】

図 13



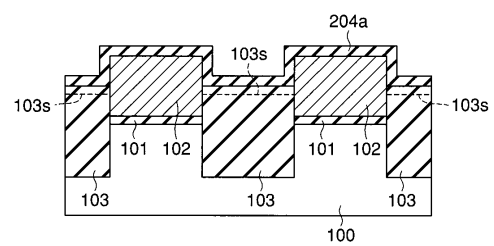
【図 14】

図 14



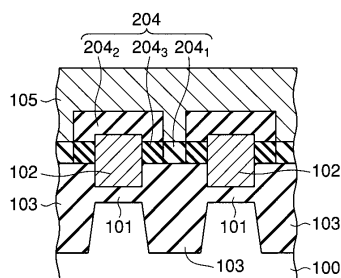
【図 16】

図 16



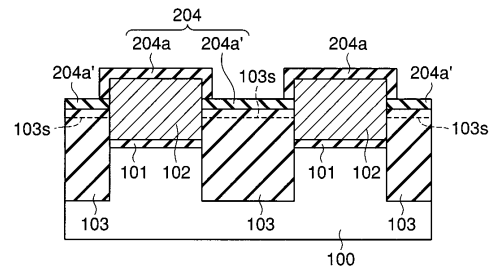
【図 15】

図 15



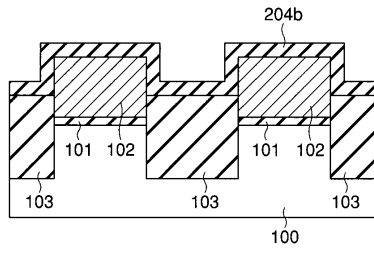
【図 17】

図 17



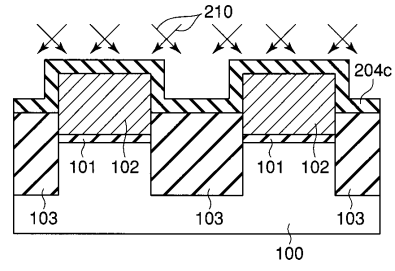
【 図 18 】

図 18



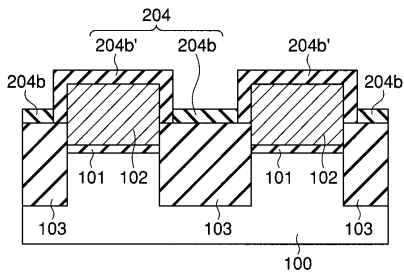
【 図 20 】

図 20



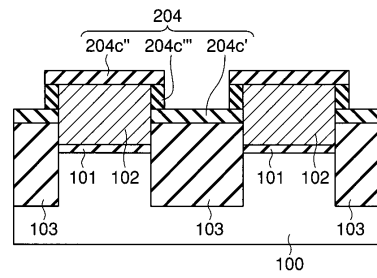
【 図 19 】

図 19



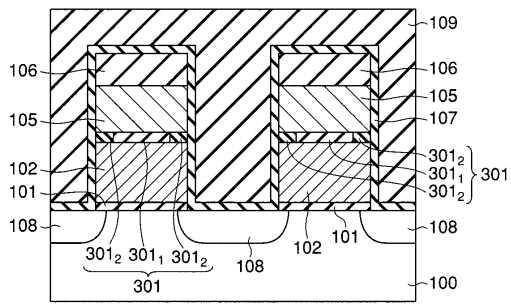
【 図 21 】

図 21



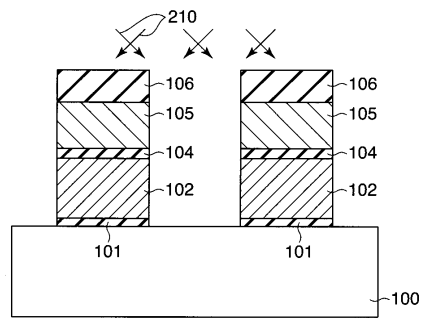
【 図 22 】

図 22



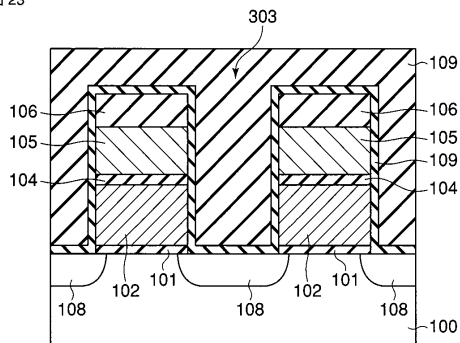
【 図 24 】

図 24



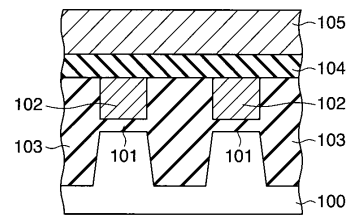
【 図 23 】

図 23



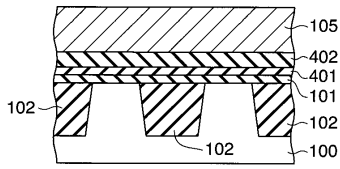
【 図 25 】

図 25



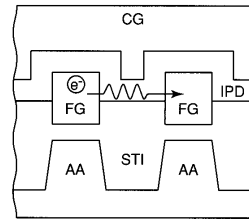
【 26 】

図 26



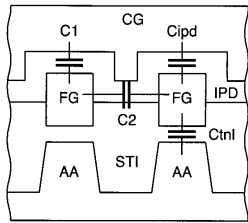
【 28 】

図 28



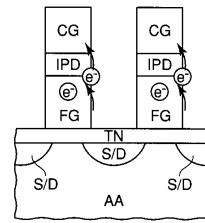
【 27 】

図 27



【 29 】

図 29



フロントページの続き

- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 小澤 良夫
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 山本 明人
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 田中 正幸
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 名取 克晃
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 関根 克行
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 西田 大介
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 藤塚 良太
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 正山 旭

- (56)参考文献 特開 2005 - 340853 (JP, A)
特開平 05 - 267683 (JP, A)
特開 2005 - 026590 (JP, A)
特開 2004 - 281662 (JP, A)
特開 2005 - 235987 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792