



(12) 发明专利申请

(10) 申请公布号 CN 103370728 A

(43) 申请公布日 2013. 10. 23

(21) 申请号 201280008415. 2

(22) 申请日 2012. 02. 10

(30) 优先权数据

13/024, 579 2011. 02. 10 US

(85) PCT申请进入国家阶段日

2013. 08. 09

(86) PCT申请的申请数据

PCT/US2012/024760 2012. 02. 10

(87) PCT申请的公布数据

W02012/109619 EN 2012. 08. 16

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 科林·夏普 扎卡里·阿龙·普费弗

埃杜瓦杜斯·A·梅茨

莫里斯·里布尔

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 宋献涛

(51) Int. Cl.

G06T 1/60 (2006. 01)

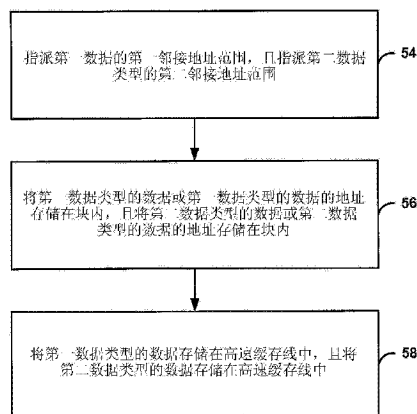
权利要求书5页 说明书15页 附图5页

(54) 发明名称

用于图形处理的数据存储地址指派

(57) 摘要

大体来说,本发明的方面描述针对用于图形处理的各种数据类型的数据的有效存储的实例技术。在一些实例中,处理单元可分别指派第一和第二数据类型的第一和第二邻接地址范围。所述处理单元可分别将所述第一或第二数据类型的图形数据或所述第一或第二数据类型的所述图形数据的地址中的至少一者存储在地址在所述第一和第二邻接地址范围内的块内。所述处理单元可将所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据存储的高速缓冲存储器的高速缓存线中。



1. 一种方法,其包括:

利用处理单元指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中所述第一和第二数据类型是不同数据类型;

利用所述处理单元将所述第一数据类型的图形数据或所述第一数据类型的所述图形数据的地址中的至少一者存储在地址在所述第一邻接地址范围内的块内;

利用所述处理单元将所述第二数据类型的图形数据或所述第二数据类型的所述图形数据的地址中的至少一者存储在地址在所述第二邻接地址范围内的块内;以及

将所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据存储在共同高速缓冲存储器的多个高速缓存线中。

2. 根据权利要求1所述的方法,其中所述第一和第二邻接地址范围包括存储装置地址的第一和第二邻接范围以及输入/输出存储器管理单元 IOMMU 地址的第一和第二邻接范围中的至少一者。

3. 根据权利要求1所述的方法,其中地址在所述第一邻接地址范围内的所述块和地址在所述第二邻接地址范围内的所述块包括存储装置内的存储块和输入/输出存储器管理单元 IOMMU 内的地址块中的至少一者。

4. 根据权利要求1所述的方法,其进一步包括:

基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效。

5. 根据权利要求4所述的方法,其进一步包括:

确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的地址,且

其中使一个或一个以上高速缓存线无效包括使经确定为包含在所述第一邻接地址范围内的所述地址的一个或一个以上高速缓存线无效。

6. 根据权利要求5所述的方法,其中确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的所述地址包括将所述多个高速缓存线中的所述高速缓存线的每一者的地址字段与所述第一邻接地址范围进行比较。

7. 根据权利要求4所述的方法,其进一步包括:

确定所述第一数据类型的所述图形数据是否改变,

其中基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效包括当所述第一数据类型的所述图形数据改变时使所述多个高速缓存线中的一个或一个以上高速缓存线无效。

8. 根据权利要求1所述的方法,其中所述第一和第二数据类型各自包括纹理数据、顶点数据、指令、常数和像素数据中的至少一者。

9. 根据权利要求1所述的方法,其进一步包括:

接收对于所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据中的至少一者的请求,其中所述请求包含所述第一数据类型或所述第二数据类型的地址;

确定所述第一数据类型或第二数据类型的所述地址是否分别在所述第一邻接地址范围或所述第二邻接地址范围内;以及

基于所述确定处理所述请求。

10. 一种设备,其包括:

包含多个高速缓存线的共同高速缓冲存储器;以及

处理单元,所述处理单元经配置以:

指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中所述第一和第二数据类型是不同数据类型;

将所述第一数据类型的图形数据或所述第一数据类型的所述图形数据的地址中的至少一者存储在地址在所述第一邻接地址范围内的块内,以及将所述第二数据类型的图形数据或所述第二数据类型的所述图形数据的地址中的至少一者存储在地址在所述第二邻接地址范围内的块内;且

将所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据存储存储在所述共同高速缓冲存储器的所述多个高速缓存线中。

11. 根据权利要求 10 所述的设备,其中所述处理单元包括处理器和图形处理单元 GPU 中的至少一者。

12. 根据权利要求 10 所述的设备,其中所述第一和第二邻接地址范围包括存储装置地址的第一和第二邻接范围以及输入/输出存储器管理单元 IOMMU 地址的第一和第二邻接范围中的至少一者。

13. 根据权利要求 10 所述的设备,其进一步包括:

存储装置,

其中地址在所述第一邻接地址范围内的所述块和地址在所述第二邻接地址范围内的所述块包括所述存储装置内的存储块。

14. 根据权利要求 10 所述的设备,其进一步包括:

输入/输出存储器管理单元 IOMMU,

其中地址在所述第一邻接地址范围内的所述块和地址在所述第二邻接地址范围内的所述块包括所述 IOMMU 内的地址块。

15. 根据权利要求 10 所述的设备,其中所述处理单元进一步经配置以基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效。

16. 根据权利要求 15 所述的设备,其中所述处理单元进一步经配置以确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的地址,且其中所述处理单元使经确定为包含在所述第一邻接地址范围内的所述地址的所述一个或一个以上高速缓存线无效。

17. 根据权利要求 16 所述的设备,其中所述处理单元将所述高速缓存线中的每一者的地址字段与所述第一邻接地址范围进行比较以确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的所述地址。

18. 根据权利要求 15 所述的设备,其中所述处理单元确定所述第一数据类型的所述图形数据是否改变,且当所述第一数据类型的所述图形数据改变时使所述一个或一个以上高速缓存线无效。

19. 根据权利要求 10 所述的设备,其中所述第一和第二数据类型各自包括纹理数据、顶点数据、指令、常数和像素数据中的至少一者。

20. 根据权利要求 10 所述的设备,其中所述处理单元接收对于所述第一数据类型的所述数据和所述第二数据类型的所述数据中的至少一者的请求,其中所述请求包含所述第一数据类型或所述第二数据类型的地址,其中所述处理单元确定所述第一数据类型或第二数据类型的所述地址是否分别在所述第一邻接地址范围或所述第二邻接地址范围内,且其中所述处理单元基于所述确定处理所述请求。

21. 一种计算机可读存储媒体,其包括致使一个或一个以上处理单元进行以下操作的指令:

指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中所述第一和第二数据类型是不同数据类型;

将所述第一数据类型的图形数据或所述第一数据类型的所述图形数据的地址中的至少一者存储在地址在所述第一邻接地址范围内的块内;

将所述第二数据类型的图形数据或所述第二数据类型的所述图形数据的地址中的至少一者存储在地址在所述第二邻接地址范围内的块内;

将所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据存储存储在共同高速缓冲存储器的多个高速缓存线中。

22. 根据权利要求 21 所述的计算机可读存储媒体,其中所述第一和第二邻接地址范围包括存储装置地址的第一和第二邻接范围以及输入/输出存储器管理单元 IOMMU 地址的第一和第二邻接范围中的至少一者。

23. 根据权利要求 21 所述的计算机可读存储媒体,其中地址在所述第一邻接地址范围内的所述块和地址在所述第二邻接地址范围内的所述块包括存储装置内的存储块和输入/输出存储器管理单元 IOMMU 内的地址块中的至少一者。

24. 根据权利要求 21 所述的计算机可读存储媒体,其进一步包括:

致使所述一个或一个以上处理单元基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效的指令。

25. 根据权利要求 24 所述的计算机可读存储媒体,其进一步包括:

致使所述一个或一个以上处理单元确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的地址的指令,且

其中所述致使所述一个或一个以上处理器使一个或一个以上高速缓存线无效的指令包括致使所述一个或一个以上处理单元使经确定为包含在所述第一邻接地址范围内的所述地址的一个或一个以上高速缓存线无效的指令。

26. 根据权利要求 25 所述的计算机可读存储媒体,其中所述致使所述一个或一个以上处理单元确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的所述地址的指令包括致使所述一个或一个以上处理单元将所述高速缓存线中的每一者的地址字段与所述第一邻接地址范围进行比较的指令。

27. 根据权利要求 24 所述的计算机可读存储媒体,其进一步包括:

致使所述一个或一个以上处理单元确定所述第一数据类型的所述图形数据是否改变的指令,

其中所述致使所述一个或一个以上处理单元基于所述第一邻接地址范围使一个或一个以上高速缓存线无效的指令包括致使所述一个或一个以上处理单元在所述第一数据类

型的所述图形数据改变时使所述多个高速缓存线中的一个或一个以上高速缓存线无效的指令。

28. 根据权利要求 21 所述的计算机可读存储媒体,其中所述第一和第二数据类型各自包括纹理数据、顶点数据、指令、常数和像素数据中的至少一者。

29. 根据权利要求 21 所述的计算机可读存储媒体,其进一步包括:

致使所述一个或一个以上处理单元接收对于所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据中的至少一者的请求的指令,其中所述请求包含所述第一数据类型或所述第二数据类型的地址;

致使所述一个或一个以上处理单元确定所述第一数据类型或第二数据类型的所述地址是否分别在所述第一邻接地址范围或所述第二邻接地址范围内的指令;以及

致使所述一个或一个以上处理单元基于所述确定处理所述请求的指令。

30. 一种设备,其包括:

用于指派用于图形处理的第一数据类型的第一邻接地址范围以及指派用于图形处理的第二数据类型的第二邻接地址范围的装置,其中所述第一和第二数据类型是不同数据类型;

用于将所述第一数据类型的图形数据或所述第一数据类型的所述图形数据的地址中的至少一者存储在地址在所述第一邻接地址范围内的块内的装置;

用于将所述第二数据类型的图形数据或所述第二数据类型的所述图形数据的地址中的至少一者存储在地址在所述第二邻接地址范围内的块内的装置;以及

用于将所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据存储在共同高速缓冲存储器的多个高速缓存线中的装置。

31. 根据权利要求 30 所述的设备,其中所述第一和第二邻接地址范围包括存储装置地址的第一和第二邻接范围以及输入/输出存储器管理单元 IOMMU 地址的第一和第二邻接范围中的至少一者。

32. 根据权利要求 30 所述的设备,其中地址在所述第一邻接地址范围内的所述块和地址在所述第二邻接地址范围内的所述块包括存储装置内的存储块和输入/输出存储器管理单元 IOMMU 内的地址块中的至少一者。

33. 根据权利要求 30 所述的设备,其进一步包括:

用于基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效的装置。

34. 根据权利要求 33 所述的设备,其进一步包括:

用于所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的地址的装置,且

其中所述用于使一个或一个以上高速缓存线无效的装置包括用于使经确定为包含在所述第一邻接地址范围内的所述地址的一个或一个以上高速缓存线无效的装置。

35. 根据权利要求 34 所述的设备,其中所述用于确定所述共同高速缓冲存储器的所述多个高速缓存线中的哪些高速缓存线包含在所述第一邻接地址范围内的所述地址的装置包括用于将所述多个高速缓存线中的所述高速缓存线的每一者的地址字段与所述第一邻接地址范围进行比较的装置。

36. 根据权利要求 33 所述的设备,其进一步包括:

用于确定所述第一数据类型的所述图形数据是否改变的装置,

其中所述用于基于所述第一邻接地址范围使所述多个高速缓存线中的一个或一个以上高速缓存线无效的装置包括用于在所述第一数据类型的所述图形数据改变时使所述多个高速缓存线中的一个或一个以上高速缓存线无效的装置。

37. 根据权利要求 30 所述的设备,其中所述第一和第二数据类型各自包括纹理数据、顶点数据、指令、常数和像素数据中的至少一者。

38. 根据权利要求 30 所述的设备,其进一步包括:

用于接收对于所述第一数据类型的所述图形数据和所述第二数据类型的所述图形数据中的至少一者的请求的装置,其中所述请求包含所述第一数据类型或所述第二数据类型的地址;

用于确定所述第一数据类型或第二数据类型的所述地址是否分别在所述第一邻接地址范围或所述第二邻接地址范围内的装置;以及

用于基于所述确定处理所述请求的装置。

用于图形处理的数据存储地址指派

技术领域

[0001] 本发明涉及数据存储,且更特定来说涉及用于图形处理的数据存储地址的指派。

背景技术

[0002] 提供用于视觉呈现的内容的装置通常包含图形处理单元 (GPU)。GPU 处理且再现代表显示器上的图像的内容的像素。为再现显示器上的像素, GPU 处理各种数据类型。各种类型的数据存储在一个或一个以上数据存储装置中。GPU 从所述一个或一个以上存储装置检索数据,且处理数据以再现显示器上的像素。

发明内容

[0003] 一般来说,本发明描述针对用于图形处理的各种数据类型的数据的有效存储的技术。图形处理单元 (GPU) 可处理各种数据类型的数据以再现用于显示的图像。处理器可将各种数据类型的数据存储在存储装置中,且界定其中各种数据类型的数据存储在存储装置中的片段,或界定其中各种数据类型的数据的地址存储在存储装置中的片段。每一片段可包含可由邻接地址寻址的多个块。

[0004] 所述装置还可包含共同高速缓冲存储器。所述共同高速缓冲存储器可存储各种数据类型的数据。GPU 可能快速从共同高速缓冲存储器检索数据。在一些实例中, GPU 和处理器可能快速从共同高速缓冲存储器检索数据。在本发明描述的一些实例实施方案中,共同高速缓冲存储器可存储用于图形处理的所有各种数据类型的数据。举例来说,共同高速缓冲存储器可存储第一数据类型的数据和第二数据类型的数据,其中第一和第二数据类型是用于图形处理的不同数据类型。

[0005] 在一个实例中,本发明描述一种方法,其包括:利用处理单元指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中第一和第二数据类型是不同数据类型;利用处理单元将第一数据类型的图形数据或第一数据类型的图形数据的地址中的至少一者存储在地址在第一邻接地址范围内的块内;利用处理单元将第二数据类型的图形数据或第二数据类型的图形数据的地址中的至少一者存储在地址在第二邻接地址范围内的块内;以及将第一数据类型的图形数据和第二数据类型的图形数据存储存储在共同高速缓冲存储器的多个高速缓存线中。

[0006] 在另一实例中,本发明描述一种设备,其包括包含多个高速缓存线的共同高速缓冲存储器,以及处理单元,所述处理单元经配置以:指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中第一和第二数据类型是不同数据类型;将第一数据类型的图形数据或第一数据类型的图形数据的地址中的至少一者存储在地址在第一邻接地址范围内的块内,以及将第二数据类型的图形数据或第二数据类型的图形数据的地址中的至少一者存储在地址在第二邻接地址范围内的块内;且将第一数据类型的图形数据和第二数据类型的图形数据存储存储在共同高速缓冲存储器的多个高速缓存线中。

[0007] 在另一实例中,本发明描述一种计算机可读存储媒体,其包括致使一个或一个以上处理单元进行以下操作的指令:指派用于图形处理的第一数据类型的第一邻接地址范围,以及指派用于图形处理的第二数据类型的第二邻接地址范围,其中第一和第二数据类型是不同数据类型;将第一数据类型的图形数据或第一数据类型的图形数据的地址中的至少一者存储在地址在第一邻接地址范围内的块内;将第二数据类型的图形数据或第二数据类型的图形数据的地址中的至少一者存储在地址在第二邻接地址范围内的块内;将第一数据类型的图形数据和第二数据类型的图形数据存储在共同高速缓冲存储器的多个高速缓存线中。

[0008] 在另一实例中,本发明描述一种设备,其包括:用于指派用于图形处理的第一数据类型的第一邻接地址范围以及指派用于图形处理的第二数据类型的第二邻接地址范围的装置,其中第一和第二数据类型是不同数据类型;用于将第一数据类型的图形数据或第一数据类型的图形数据的地址中的至少一者存储在地址在第一邻接地址范围内的块内的装置;用于将第二数据类型的图形数据或第二数据类型的图形数据的地址中的至少一者存储在地址在第二邻接地址范围内的块内的装置;以及用于将第一数据类型的图形数据和第二数据类型的图形数据存储在共同高速缓冲存储器的多个高速缓存线中的装置。

[0009] 一个或一个以上实例的细节陈述于附图及以下描述中。其它特征、目标及优势将从描述及附图和从权利要求书中显而易见。

附图说明

[0010] 图 1 是说明可经配置以实施本发明的各方面的装置的框图。

[0011] 图 2 是更详细说明图 1 的一些组件的框图。

[0012] 图 3 是更详细说明图 1 的一些组件的另一框图。

[0013] 图 4 是说明可经配置以实施本发明的各方面的装置的实例操作的流程图。

[0014] 图 5 是说明用以确定共同高速缓冲存储器的多个高速缓存线中的哪些者与特定数据类型相关联的实例技术的流程图。

[0015] 图 6 是说明由处理单元执行的实例技术的流程图。

具体实施方式

[0016] 本发明的各方面可涉及用于图形处理的各种数据类型的图形数据的有效存储。出于说明的目的,在数据用于图形处理的上下文中描述本发明的各方面。然而,本发明的各方面可延伸到除图形处理系统以外的系统。本发明的技术可通常适用于提供视频或图像内容的例如桌上型计算机和膝上型计算机等计算机图形系统、数字媒体播放器、机顶盒、例如移动电话等移动视频接收装置、个人数字助理(PDA)、包含视频显示器的视频游戏控制台、移动视频会议单元等。

[0017] 装置内的图形处理单元(GPU)可处理各种数据类型的图形数据以产生在装置上显示的可检视内容。GPU是处理单元的一个实例。用于图形处理的各种数据类型可包含(但不限于)纹理数据、顶点数据、指令、常数和像素数据。各种数据类型的图形数据可存储在装置的存储装置中。可存在比上文提供的实例多的用于图形处理的数据类型。

[0018] 在一些非限制性实例中,装置还包含输入/输出存储器管理单元(IOMMU)。IOMMU

可向 GPU 提供到存储装置的存储块的虚拟化地址空间。IOMMU 可包含多个地址块。每一地址块可存储各种数据类型的图形数据存储在存储装置中所在的地址。IOMMU 的每一地址块可由 GPU 个别存取。

[0019] 装置内的处理器可将 IOMMU 的地址空间分段为多个片段。处理器可为处理单元的一个实例。每一片段可包含可以邻接地址寻址的多个地址块。处理器可指派每一片段以存储特定数据类型的图形数据存储在存储装置中所在的地址。举例来说, IOMMU 的地址空间的第一片段可包含可以邻接地址 0-15 寻址的地址块, IOMMU 的地址空间的第二片段可包含可以邻接地址 16-31 寻址的地址块, 等等。

[0020] 在此实例中, 处理器可指派可由第一片段的邻接地址 0-15 寻址的地址块以存储图形纹理数据存储在存储装置中所在的地址。处理器可指派可由第二片段的邻接地址 16-31 寻址的地址块以存储图形顶点数据存储在存储装置中所在的地址, 等等。地址块(例如, 0-15 和 16-31) 的邻接地址仅出于说明的目的而提供, 且不具有限制性。

[0021] 从处理器和 GPU 的视角来看, IOMMU 可呈现为存储用于图形处理的各种数据类型的图形数据的装置。举例来说, 当处理器或 GPU 读取或写入数据时, 处理器或 GPU 就像正从 IOMMU 读取或写入到 IOMMU 那样读取或写入数据。IOMMU 可维持关于所读取或写入的数据实际上存储在存储装置中何处的地图。关于数据实际上存储在存储装置中何处的地图可视为虚拟地址空间。

[0022] 在一些替代实例中, 装置内的处理器可将存储装置的存储空间分段为多个片段, 而非 IOMMU。在这些实例中, 可不需要 IOMMU, 但本发明的方面不应视为限于此。每一片段可包含可由邻接地址寻址的多个存储块。处理器可指派每一片段以存储特定数据类型的图形数据。举例来说, 存储装置的第一片段可包含可由邻接地址 0-15 寻址的存储块, 存储装置的第二片段可包含可由邻接地址 16-31 寻址的存储块, 等等。在此实例中, 处理器可指派可由第一片段的邻接地址 0-15 寻址的地址块以存储图形像素数据。处理器可指派可由第二片段的邻接地址 16-31 寻址的地址块以存储用于图形处理的指令, 等等。存储块(例如, 0-15 和 16-31) 的邻接地址仅出于说明的目的而提供, 且不具有限制性。

[0023] 所述装置还可包含共同高速缓冲存储器。共同高速缓冲存储器可包含多个高速缓存线, 其中每一高速缓存线可经配置以存储用于图形处理的数据类型中的任一者的图形数据。举例来说, 共同高速缓冲存储器可经配置以将纹理数据、顶点数据、指令、常数和像素数据存储在共同高速缓冲存储器的一个或一个以上高速缓存线内。高速缓存线可视为用于存储的存储器的固定大小块。

[0024] 共同高速缓冲存储器可存储用于由处理器或 GPU 快速存取的图形数据。共同高速缓冲存储器内的每一高速缓存线可包含至少两个字段。第一字段可存储到 IOMMU 的地址块中的一者的地址, 或到存储装置的存储块中的一者的地址。在其中第一字段存储到 IOMMU 的地址块中的一者的地址的实例中, IOMMU 的地址块可包含其中存储一数据类型的图形数据的存储装置内的地址。高速缓存线的第二字段可存储实际图形数据。

[0025] 当一数据类型的图形数据改变(例如, 重写或擦除)时, 处理器可需要使共同高速缓冲存储器内的存储所述数据类型的图形数据的一些高速缓存线无效。为使高速缓存线无效, 处理器可将无效数据值存储在所述高速缓存线的第二字段中。使共同高速缓冲存储器内的高速缓存线无效可向 GPU 指示存储在无效高速缓存线中的图形数据不是当前的。这可

致使 GPU 从存储装置而非从共同高速缓冲存储器检索所述数据类型的图形数据,因为存储图形数据的高速缓存线不存储当前数据。

[0026] 为使存储一数据类型的图形数据的一些高速缓存线无效, GPU 可确定哪些高速缓存线存储所述数据类型的图形数据。为确定哪些高速缓存线存储所述数据类型的图形数据, GPU 可询问高速缓存线中的每一者的第一数据字段以确定高速缓存线中的每一者的第一数据字段是否将地址块或存储块的所指派邻接地址范围内的地址分别存储在针对所述数据类型的 IOMMU 或存储装置内。

[0027] 举例来说,假定图形数据类型是用于图形处理的纹理数据。此外,假定处理器指派地址块用于存储纹理数据存储在存储装置中的地址, IOMMU 内的邻接地址 0-15。当纹理数据改变时,处理器可使共同高速缓冲存储器中的存储纹理数据的每一高速缓存线无效。GPU 可确定高速缓存线中的每一者的第一字段是否存储在 0-15 内的地址。如果高速缓存线存储在 0-15 内的地址,那么 GPU 可使所述高速缓存线无效。在本发明的方面中, GPU 可使存储所述特定数据类型的图形数据的高速缓存线中的一者或一者以上无效。GPU 不可使共同高速缓冲存储器中的其它高速缓存线中的任一者无效。举例来说, GPU 不可使不存储所述特定数据类型的数据的高速缓存线中的任一者无效。

[0028] 图 1 是说明可经配置以实施本发明的各方面的装置 10 的框图。装置 10 的实例包含(但不限于)移动无线电话、个人数字助理(PDA)、包含视频显示器的视频游戏控制台、移动视频会议单元、膝上型计算机、桌上型计算机、平板计算机、电视机顶盒、数字媒体播放器等。装置 10 可包含处理器 12、图形处理单元(GPU)14、显示器 16、显示缓冲器 18、存储装置 20、收发器模块 22、用户接口 24、共同高速缓冲存储器 26 和输入/输出存储器管理单元(IOMMU)28。处理器 12 和 GPU14 可各自为处理单元的实例。

[0029] 装置 10 可包含图 1 中为清晰起见未图示的额外模块或单元。举例来说,装置 10 可包含扬声器和麦克风(其均未在图 1 中展示)以在装置 10 是移动无线电话的实例中实行电话通信。此外,装置 10 中展示的各个模块和单元可能并非在装置 10 的每个实例中都是必需的。举例来说,在装置 10 为桌上型计算机的实例中,用户接口 24 和显示器 16 可在装置 10 外部。作为另一实例, IOMMU28 可能并非在每个实例中都是必需的,如下文更详细描述。

[0030] 尽管处理器 12、GPU14、共同高速缓冲存储器 26 和 IOMMU28 说明为单独单元,但本发明的方面不限于此。作为一个实例, GPU14、共同高速缓冲存储器 26 和 IOMMU28 可形成在处理器 12 内,例如一个处理单元可包含处理器 12 和 GPU14 以及共同高速缓冲存储器 26 和 IOMMU28。作为另一实例,处理器 12 可包含 IOMMU28,且 GPU14 可包含共同高速缓冲存储器 26。处理器 12、GPU14、共同高速缓冲存储器 26 和 IOMMU28 的配置的不同组合可为可能的,且本发明的方面预期所述不同组合。

[0031] 各自可视为处理单元的处理器 12 和 GPU14 的实例包含(但不限于)数字信号处理器(DSP)、通用微处理器、专用集成电路(ASIC)、现场可编程逻辑阵列(FPGA),或其它等效集成或离散逻辑电路。存储装置 20 可包括一个或一个以上计算机可读存储媒体。存储装置 20 的实例包含(但不限于)随机存取存储器(RAM)、只读存储器(ROM)、电可擦除可编程只读存储器(EEPROM)、CD-ROM 或其它光盘存储装置、磁盘存储装置或其它磁性存储装置、快闪存储器,或可用于携载或存储指令或数据结构的形式的数据程序代码且可由计算机或处

理器存取的任何其它媒体。在一些方面中,存储装置 20 可包含致使处理器 12 和 / 或 GPU14 执行在本发明中归于处理器 12 和 GPU14 的功能的指令。

[0032] 用户接口 24 的实例包含(但不限于)跟踪球、鼠标、键盘和其它类型的输入装置。用户接口 24 还可为触摸屏,且可并入作为显示器 16 的一部分。收发器模块 22 可包含用以允许装置 10 与另一装置或网络之间的无线或有线通信的电路。收发器模块 22 可包含调制器、解调器、放大器和用于有线或无线通信的其它此类电路。

[0033] 处理器 12 可执行一个或一个以上应用程序。应用程序的实例包含网络浏览器、电子邮件应用程序、电子数据表、视频游戏,或产生供呈现的可检视图像的其它应用程序。所述一个或一个以上应用程序可存储在存储装置 20 中。在一些例子中,处理器 12 可经由收发器模块 22 下载所述一个或一个以上应用程序。处理器 12 可基于用户经由用户接口 24 做出的选择而执行所述一个或一个以上应用程序。在一些实例中,处理器 12 可在无用户交互的情况下执行所述一个或一个以上应用程序。

[0034] 处理器 12 产生的可检视图像中的每一者可为以多个多边形(其可称为图元)形成的二维(2-D)或三维(3-D)图像。处理器 12 可确定多边形的顶点的坐标。多边形的一个实例为三角形,但多边形不应视为限于三角形。出于说明的目的,本发明中的实例在多边形为三角形的上下文中描述。举例来说,处理器 12 可确定每一三角形的三个顶点的坐标。对于 2-D 图像,每一三角形的每一顶点的坐标可包括 x 和 y 坐标。对于 3-D 图像,每一三角形的每一顶点的坐标可包括 x、y、z 和 w 坐标,其中 w 坐标是可利于识别无穷远的顶点的均匀坐标。多边形的所确定的顶点坐标称为顶点数据。处理器 12 可将顶点数据存储在存储装置 20 中。

[0035] 处理器 12 还可确定所确定的顶点的各种其它属性。举例来说,对于每一顶点,处理器 12 可确定颜色值,其称为像素数据。每一颜色值可包含三个或四个分量,例如红、绿和蓝分量,或红、绿、蓝和透明因子。可在一些装置中使用额外颜色坐标。处理器 12 可将像素数据存储在存储装置 20 中。

[0036] 处理器 12 还可将纹理图像存储在存储装置 20 中。纹理图像可为施加到多边形以使多边形呈现为更逼真的图像。纹理图像可通常为纹理数据的二维阵列;然而,纹理图像也可可为纹理数据的一维或三维阵列。出于说明的目的,本发明的方面在纹理数据的二维阵列的上下文中描述。处理器 12 可基于阵列的坐标将纹理数据存储在二维阵列内。阵列的坐标可为(u, v),其中坐标 u 是沿着二维阵列的 x 轴,且坐标 v 是沿着二维阵列的 y 轴。举例来说,处理器 12 可针对在阵列内的对应于多边形的坐标的位置处施加到多边形的纹理图像将纹理数据存储在存储装置 20 中。

[0037] 顶点数据、像素数据和纹理数据是 GPU14 可用来在显示器 16 上再现图像的用于图形处理的不同数据类型的实例。除了顶点数据、像素数据和纹理数据外,GPU14 还可利用用于图形处理的其它数据类型的图形数据在显示器 16 上再现图像。作为一个实例,GPU16 可利用存储在存储装置 20 中的再现指令在显示器 16 上再现图像。存储在存储装置 20 中的指令可为用于图形处理的数据类型的另一实例。作为另一实例,GPU16 可利用存储在存储装置 20 中的常数在显示器 16 上再现图像。存储在存储装置 20 中的常数可为用于图形处理的数据类型的另一实例。

[0038] GPU14 可实施使用来自各个数据类型的图形数据再现图像的图形管线。图形管线

可经由至少一些硬件实施。举例来说,图形管线可实施为在 GPU14 上执行的软件、在 GPU14 上执行的固件、形成在 GPU14 上的一个或一个以上硬件单元,或其组合。图形管线可包含多个组件。举例来说, GPU14 的图形管线可包含顶点着色器,其检索顶点数据且将顶点的坐标变换到另一坐标系中,且计算顶点的光值。 GPU14 的图形管线还可包含图元组装器,其确定多边形内的像素的深度 (z)。 GPU14 的图形管线还可包含早期深度测试引擎,其在多边形内的像素随后会被其它像素阻挡的情况下排除对所述像素的进一步处理。 GPU14 的图形管线还可包含像素着色器,其基于多边形的顶点的颜色值而内插多边形内的像素的颜色值。

[0039] 图形管线的各个组件是出于说明的目的而提供,且不应视为具有限制性。在替代实例中,图形管线可包含比上文描述的组件多的组件。图形管线也可包含比上文描述的组件少的组件。

[0040] 在一些实例中,当 GPU14 再现图像时, GPU14 可将图像的所再现部分输出到显示缓冲器 18。显示缓冲器 18 可临时存储所再现的图像直到再现整个图像为止。显示缓冲器 18 可视为帧缓冲器。显示缓冲器 18 可接着发射所再现的图像以在显示器 16 上显示。在一些替代实例中, GPU14 可将图像的所再现部分直接输出到显示器 16 以供显示,而非将图像临时存储在显示缓冲器 18 中。显示器 16 可包括液晶显示器 (LCD)、阴极射线管 (CRT) 显示器、等离子体显示器,或另一类型的显示装置。

[0041] 存储装置 20 可包含多个存储块。每一存储块可存储用于图形处理的各种数据类型的图形数据。每一存储块可个别可寻址。在一些实例中,处理器 12 可将存储装置 20 提供的存储空间分段为若干数据存储片段。每一片段可包含各自可由邻接存储器地址寻址的多个数据存储块。因此,每一数据存储片段可由邻接存储器地址范围界定。

[0042] 处理器 12 可指派特定数据类型的每一数据存储片段。举例来说,处理器 12 可指派第一片段以存储第一数据类型的图形数据,且指派第二片段以存储第二数据类型的图形数据。在此实例中,第一片段的存储块可能可由邻接地址寻址。举例来说,处理器 12 可指派针对第一片段中的块的第一邻接地址范围。第一片段的每一存储块的地址可在第一邻接地址范围内。类似地,第二片段的存储块的地址可在处理器 12 指派的第二邻接地址范围内。

[0043] 在一些实例中,装置 10 可包含 IOMMU28。 IOMMU28 可并非在装置 10 的每个实例中都是必需的。举例来说, IOMMU28 可并非在其中处理器 12 指派存储在存储装置 20 中的各种数据类型的图形数据的邻接地址的实例中都是必需的。然而,本发明的方面不应视为限于此。即使在其中处理器 12 指派存储在存储装置 20 中的各种数据类型的图形数据的邻接地址的实例中,装置 10 也可包含 IOMMU28。

[0044] IOMMU28 可实施为一个或一个以上硬件单元、在硬件单元上执行的软件、在硬件单元上执行的固件,或其任何组合。在其中 IOMMU28 为一个或一个以上硬件单元的实例中, IOMMU28 的实例可包含 (但不限于) DSP、通用微处理器、ASIC、FPGA,或其它等效集成或离散逻辑电路。

[0045] IOMMU28 可向 GPU14 提供到存储装置 20 的存储块的虚拟化地址空间,使得 IOMMU28 例如对于 GPU14 呈现为存储各种数据类型的图形数据的装置。举例来说, IOMMU28 可为负责处置处理器 12 和 / 或 GPU14 请求的对存储装置 20 的存取的硬件组件。举例来说, IOMMU28 可包含指示多个地址块的表或其它数据结构,例如寄存器。每一地址块可存储存储装置 20 的存储块中的一者的地址。每一地址块可为个别可寻址的。

[0046] 当处理器 12 或 GPU14 希望读取或写入数据时,在处理器 12 或 GPU14 上执行的软件调出 IOMMU28 的地址块中的一者的地址,就像处理器 12 或 GPU14 正从由其地址调出的地址块读取或向所述地址块写入。IOMMU28 可接着确定哪一存储块对应于存储在 IOMMU28 的地址块中的地址。IOMMU28 可接着向对应于存储在 IOMMU28 的地址块中的地址的存储块写入或从所述存储块读取。

[0047] 出于清楚的目的,术语存储装置地址可指代存储装置 20 内的存储块的地址。并且,术语 IOMMU 地址可指代 IOMMU28 内的地址块的地址。如上文描述,IOMMU28 的每一地址块可存储存储装置地址。一般来说,IOMMU28 可将 IOMMU 地址映射到存储装置地址。以此方式,当处理器 12 或 GPU14 调出 IOMMU 地址时,IOMMU28 可基于映射通过确定对应于 IOMMU 地址的存储装置地址(例如,如表、寄存器、矩阵或其它数据结构所指示)确定存储图形数据的存储块的存储装置地址。

[0048] 如上文描述,处理器 12 可将存储装置 20 的存储器空间分段为若干片段。每一片段可包含各自可由邻接存储装置地址寻址的多个存储块。在一些实例中,处理器 12 可将 IOMMU28 的地址空间分段为若干片段。每一片段可包含各自可由邻接 IOMMU 地址寻址的多个地址块。

[0049] 在一些实例中,处理器 12 可将第一邻接 IOMMU 地址范围指派到 IOMMU28 内的地址块。在这些实例中,第一邻接 IOMMU 地址范围是针对存储关于第一数据类型的图形数据存储在存储装置 20 中何处的地址的地址块。处理器 12 还可将第二邻接 IOMMU 地址范围指派到 IOMMU28 内的地址块。在这些实例中,第二邻接 IOMMU 地址范围是针对存储关于第二数据类型的图形数据存储在存储装置 20 中何处的地址的地址块。处理器 12 可类似地指派针对用于图形处理的各种数据类型的邻接 IOMMU 地址范围。

[0050] 在一些例子中,指派针对每一数据类型的图形数据的邻接存储装置地址或指派针对每一数据类型的图形数据的邻接 IOMMU 地址可为有利的。作为一个实例,处理器 12 和 GPU14 可不需要跟踪数据类型中的每一者的图形数据存储在存储装置 20 中的确切地址。处理器 12 和 GPU14 可仅跟踪邻接存储装置地址或 IOMMU 地址的范围。邻接存储装置地址或 IOMMU 地址的每一范围可视为子堆(sub-heap)。处理器 12 可视为将例如邻接存储装置地址或 IOMMU 地址的范围等子堆指派到存储装置 20 内的存储块或 IOMMU28 内的地址块的分配器。

[0051] 举例来说,假定 GPU14 希望检索用于图形处理的纹理数据。并且,假定所述纹理数据不存储在可邻接寻址的存储块中,如常规堆分配器中所发生的那样。在此例子中,GPU14 将需要跟踪纹理数据的每一者的存储装置地址,这可能是处理低效的。在本发明的方面中,GPU14 可不需要跟踪每一个别存储装置地址,且可跟踪存储装置地址的范围,这可促进有效处理。

[0052] 作为另一实例,对于指派每一数据类型的图形数据的邻接存储装置地址或 IOMMU 地址的潜在益处,处理器 12 和 GPU14 可较不可能检索错误数据。举例来说,在 GPU14 上执行的软件(例如,着色器程序)可致使 GPU14 检索特定数据类型的数据(例如,纹理数据)。着色器程序可由应用程序开发者使用 OpenCL 版本 1.1 规格的语法编写,作为一个非限制性实例。然而,本发明的方面不应视为限于根据 OpenCL 版本 1.1 规格编写着色器程序的实例。在 GPU14 上执行的软件可向 GPU14 提供关于从何处检索纹理数据的地址。在此实例中,处

理器 12 可向 GPU14 指示纹理数据的邻接 IOMMU 地址范围。在 GPU14 上执行的软件可接着确保其提供到 GPU14 用于检索纹理数据的地址在邻接 IOMMU 地址范围内。举例来说,着色器程序可确保 GPU14 不会试图存取在着色器程序请求的数据类型的范围之外的数据。

[0053] 如图 1 中说明,装置 10 还可包含共同高速缓冲存储器 26。尽管共同高速缓冲存储器 26 说明为在处理器 12 和 GPU14 外部,但在一些实例中,共同高速缓冲存储器 26 可形成在处理单元(例如,处理器 12 或 GPU14)内,或部分形成在处理器 12 和 GPU14 两者中。共同高速缓冲存储器 26 可存储图形数据以供由处理器 12 或 GPU14 快速存取。举例来说,处理单元(例如,处理器 12 和 GPU14)可能比从存储装置 20 检索图形数据更快地从共同高速缓冲存储器 26 检索图形数据。

[0054] 共同高速缓冲存储器 26 可包含多个高速缓存线,其中每一高速缓存线可经配置以存储用于图形处理的图形数据类型中的任一者的图形数据。举例来说,共同高速缓冲存储器 26 可将纹理数据、顶点数据、指令、常数和像素数据存储在共同高速缓冲存储器 26 的一个或一个以上高速缓存线内。共同高速缓冲存储器 26 可促进有效存储,因为共同高速缓冲存储器 26 经配置以存储各种数据类型的图形数据,而非存储单一数据类型的图形数据的多个高速缓冲存储器。举例来说,装置 10 可不需要包含纹理数据高速缓冲存储器、像素数据高速缓冲存储器、顶点数据高速缓冲存储器、指令高速缓冲存储器和常数高速缓冲存储器,因为共同高速缓冲存储器 26 可将纹理数据、像素数据、顶点数据、指令和常数存储在共同高速缓冲存储器中。

[0055] 高速缓存线可视为用于存储的存储器的固定大小块。每一高速缓存线可包含两个字段。第一字段可存储到存储装置地址或 IOMMU 地址中的一者的地址,例如到存储装置 20 的存储块中的一者的地址或到 IOMMU28 的地址块中的一者的地址。第二字段可存储各种数据类型的实际图形数据。

[0056] 当一数据类型的图形数据改变(例如,重写或擦除)时,处理器 12 可能需要使共同高速缓冲存储器 26 内的存储所述数据类型的图形数据的高速缓存线无效。举例来说,共同高速缓冲存储器 26 内的一些高速缓存线可存储当前纹理图像的纹理数据。当处理器 12 存储新的纹理图像时,处理器 12 可能需要使共同高速缓冲存储器 26 内的存储纹理数据的这些高速缓存线无效,因为纹理图像改变了。作为另一实例,共同高速缓冲存储器 26 内的一些高速缓存线可存储正处理的当前多边形的顶点数据。当 GPU14 需要处理另一多边形时,处理器 12 可能需要使共同高速缓冲存储器 26 内的存储顶点数据的这些高速缓存线无效,因为当前多边形的顶点不再正被处理。

[0057] 作为一个实例,为使高速缓存线无效,处理器 12 或 GPU14 可将空数据值存储在所述高速缓存线的第二字段中。使共同高速缓冲存储器 26 内的高速缓存线无效可向处理器 12 和 GPU14 指示存储在无效高速缓存线中的数据并非当前的。“高速缓冲存储器未命中”可在处理器 12 或 GPU14 从无效高速缓存线检索数据时发生。当高速缓冲存储器未命中发生时,处理器 12 或 GPU14 可从存储装置 20 检索图形数据,因为共同高速缓冲存储器 26 中的无效高速缓存线不存储当前数据。在一些实例中,除了从存储装置 20 检索图形数据外,处理器 12 或 GPU14 还可将所检索的图形数据存储在共同高速缓冲存储器 26 的高速缓存线中,以供随后快速存取。

[0058] 处理器 12 或 GPU14 可基于哪一数据类型改变了而确定应使共同高速缓冲存储器

26 的哪些高速缓存线无效。举例来说,如果纹理图像改变,那么 GPU14 可确定共同高速缓冲存储器 26 的哪些高速缓存线存储纹理数据。在此实例中,GPU14 可使存储纹理数据的一个或一个以上高速缓存线无效,且不可使存储除纹理数据以外的数据类型的数据的高速缓存线中的任一者无效。

[0059] 以此方式,每当特定数据类型的图形数据改变时,处理器 12 或 GPU14 可仅使共同高速缓冲存储器 26 的一些高速缓存线无效,且不使所有共同高速缓冲存储器 26 无效。不使共同高速缓冲存储器 26 的所有高速缓存线无效可进一步促进有效存储,因为处理器 12 或 GPU14 可不需要在每次无效之后检索先前存储在共同高速缓冲存储器 26 中的所有图形数据。处理器 12 或 GPU14 可仅需要检索改变的图形数据,且仅将改变的数据存储到共同高速缓冲存储器 26 中。

[0060] 为使存储改变的数据类型的图形数据的高速缓存线无效,处理器 12 或 GPU14 可确定共同高速缓冲存储器 26 的哪些高速缓存线存储所述数据类型的图形数据。举例来说, GPU14 可询问高速缓存线中的每一者的第一数据字段以确定高速缓存线中的每一者的第一数据字段是否存储在针对所述数据类型的存储装置地址或 IOMMU 地址的所指派邻接范围内的地址。举例来说,假定图形数据类型是像素数据。此外,假定处理器 12 向 IOMMU28 内的地址块指派邻接 IOMMU 地址 16-31。在此实例中,邻接 IOMU 地址 16-31 可各自存储其中存储像素数据的存储装置 20 的存储块的地址。

[0061] 当 GPU14 需要存取除存储在共同高速缓冲存储器 26 中的像素数据以外的像素数据时, GPU14 可需要从存储装置 20 检索像素数据。为将新的所检索的像素数据存储存储在共同高速缓冲存储器中,处理器 12 可使共同高速缓冲存储器 26 中的存储像素数据的足够数目的高速缓存线无效以使得处理器 12 可存储所检索的像素数据。处理器可确定高速缓存线中的每一者的第一字段是否存储在 16-31 内的地址。如果高速缓存线存储在 16-31 内的地址,那么处理器 12 可使所述高速缓存线无效。

[0062] 因为处理器 12 可指派邻接存储装置地址或 IOMMU 地址,所以处理器 12 可较容易确定高速缓存线是否存储特定数据类型的图形数据。举例来说,如果存储装置地址或 IOMMU 地址不邻接,那么处理器 12 将需要跟踪针对所述特定数据类型的每个单一存储装置地址或 IOMMU 地址。处理器 12 将接着需要将存储在高速缓存线的第一数据字段中的地址与针对所述特定数据类型的每个单一存储装置地址或 IOMMU 地址进行比较以确定高速缓存线是否存储所述特定数据类型的图形数据。在本发明的方面中,处理器 12 可将存储在每一高速缓存线的第一字段中的地址与邻接存储装置地址或 IOMMU 地址的范围而非个别存储装置地址或 IOMMU 地址进行比较,以确定高速缓存线是否存储特定数据类型的图形数据。

[0063] 图 2 是更详细说明图 1 的一些组件的框图。举例来说,图 2 更详细说明图 1 的共同高速缓冲存储器 26 和存储装置 20。如图 2 中说明,存储装置 20 包含十二个存储块 0-11(统称为“存储块”)。存储装置 20 可包含比十二个存储块多或少的存储块。在一些实例中,存储装置 20 可为 4 千兆字节 (GB) 存储装置;然而,本发明的方面不限于此。

[0064] 如图 2 中说明,存储块 0-11 不连续排序。这是为了说明在一些实例中,存储块 0-11 并非必须在存储装置 20 上为邻接的,但有可能存储块 0-11 在存储装置 20 上为邻接的。存储块 0-11 中的每一者可个别通过其地址可寻址。举例来说,图 2 说明存储装置地址 0-11。存储装置地址 0-11 可分段(即,划分)为若干片段,其中每一片段包括存储装置地址范围。

处理器 12 可将每一存储装置地址范围指派到特定数据类型。针对每一数据类型的存储装置地址范围可为邻接的。

[0065] 举例来说,如图 2 中说明,存储装置地址范围 32 可为存储纹理数据的存储块(例如,存储块 4、8 和 1)的邻接存储装置地址。存储装置地址范围 32 可包含存储地址 0-2。存储装置地址范围 34 可为存储顶点数据的存储块(例如,存储块 10 和 5)的邻接存储装置地址。存储装置地址范围 34 可包含存储地址 3 和 4。存储装置地址范围 36 可为存储指令的存储块(例如,存储块 2 和 9)的邻接存储装置地址。存储装置地址范围 36 可包含存储地址 5 和 6。存储装置地址范围 38 可为存储常数的存储块(例如,存储块 0 和 6)的邻接存储装置地址。存储装置地址范围 38 可包含存储地址 7 和 8。存储装置地址范围 40 可为存储像素数据的存储块(例如,存储块 11、3 和 7)的邻接存储装置地址。存储装置地址范围 40 可包含存储地址 9-11。可存在比图 2 中说明的多或少的纹理数据、顶点数据、指令、常数和像素数据。

[0066] 如图 2 中说明,共同高速缓冲存储器 26 可包含高速缓存线 42A-42F(统称为“高速缓存线 42”)。可存在比图 2 中说明的多或少的高速缓存线 42。在一些实例中,共同高速缓冲存储器 26 可为层级 2(L2) 高速缓冲存储器。在一些实例中,共同高速缓冲存储器 26 可为具有快速范围无效的 32 千字节(KB)8 路组相关联 L2 高速缓冲存储器。

[0067] 高速缓存线 42 中的每一者可包含地址字段 30A 和数据字段 30B。地址字段 30A 可指示存储在数据字段 30B 中的图形数据的存储装置地址。举例来说,高速缓存线 42A 的地址字段 30A 指示存储在数据字段 30B 中的图形数据的地址为 1。如图 2 中说明,高速缓存线 42A 的数据字段 30B 存储对应于存储块 8 的第二纹理数据,因为存储块 8 的存储装置地址为 1。

[0068] 共同高速缓冲存储器 26 的存储相同数据类型的高速缓存线 42 可视为高速缓存线 42 的集合。举例来说,如图 2 中说明,高速缓存线 42B 和高速缓存线 42E 各自存储顶点数据。在此实例中,高速缓存线 42B 和高速缓存线 42E 可形成存储顶点数据的高速缓存线的集合。作为另一实例,如图 2 中说明,高速缓存线 42C、高速缓存线 42D 和高速缓存线 42F 各自存储像素数据。在此实例中,高速缓存线 42C、高速缓存线 42D 和高速缓存线 42F 可形成存储像素数据的高速缓存线的集合。

[0069] 应理解,“高速缓存线的集合”并不暗示仅所述集合中的高速缓存线可存储特定图形数据类型。举例来说,如图 2 中说明,高速缓存线 42A 和 42E 存储顶点数据。然而,在替代实例中,高速缓存线 42A 和 42E 可存储其它图形数据类型,例如纹理数据、像素数据、指令数据和常数数据。使用短语“高速缓存线的集合”来指示存储类似图形数据类型的高速缓存线 42 的群组。

[0070] 在一些实例中,高速缓存线的集合可不是邻接的。举例来说,高速缓存线 42B 和 42E 形成高速缓存线的集合,但不是邻接的。作为另一实例,高速缓存线 42C、42D 和 42F 形成高速缓存线的集合,但不是邻接的。在替代实例中,有可能高速缓存线的集合是邻接的。

[0071] 如上文描述,在一些实例中,处理器 12 可在图形数据针对高速缓存线 42 中的一者存储的数据类型改变的情况下使高速缓存线 42 中的所述一者无效。举例来说,如果纹理图像改变,那么处理器 12 可使高速缓存线 42 的存储纹理数据的一个或一个以上高速缓存线无效。为确定高速缓存线 42 中的一者是否存储纹理数据,处理器 12 可将高速缓存线 42 中

的每一者的地址字段 30A 与指派到纹理数据的存储装置地址的邻接范围进行比较。

[0072] 举例来说,在图 2 的实例中,处理器 12 向纹理数据指派了存储装置地址的邻接范围 32,其包含邻接存储装置地址 0-2。在此实例中,处理器 12 可比较高速缓存线 42 中的的每一者的地址字段 30A 以确定其是否在存储装置地址的邻接范围 32 内。高速缓存线 42A 的地址字段 30A 在存储装置地址的邻接范围 32 内,例如 1 在 0-2 内。在此实例中,处理器 12 可用空数据代替存储在高速缓存线 42A 的数据字段 30B 中的第二纹理数据。处理器 12 可接着从存储装置 20 检索新纹理数据,且可将所述纹理数据存储在高速缓存线 42A 中。处理器 12 可不需要在每个实例中均将所述纹理数据存储在高速缓存线 42A 中。在一些实例中,处理器 12 还可在所检索的新纹理数据的存储装置地址存储在不同于 1 的存储装置地址处的情况下更新高速缓存线 42A 的地址字段 30A。

[0073] 图 3 是更详细说明图 1 的一些组件的另一框图。举例来说,图 3 更详细说明图 1 的共同高速缓冲存储器 26、IOMMU28 和存储装置 20。如图 3 中说明的存储装置 20 可类似于图 2 中说明的存储装置 20。然而,在图 3 的实例中,处理器 12 可不指派邻接存储装置地址范围。举例来说,如图 3 中说明,存储装置 20 的存储块中的的每一者的地址不连续排序。为便于说明,在图 3 的实例中,存储块的存储装置地址对应于存储块的识别符。举例来说,存储装置 20 的存储块 4 的存储装置地址是 4,存储装置 20 的存储块 8 的存储装置地址是 8,等等。然而,本发明的方面不限于此。存储块的存储装置地址不限于存储块的识别符。

[0074] 图 3 更详细说明 IOMMU28。在图 3 的实例中,IOMMU28 包含十二个地址块 0-11。IOMMU28 可包含比十二个地址块多或少的地址块。在一些实例中,IOMMU28 可向 GPU14 提供到存储装置 20 的存储块 0-11 的虚拟化地址空间。

[0075] 地址块 0-11 中的的每一者可个别通过其地址可寻址。举例来说,图 3 说明 IOMMU 地址 0-11。IOMMU 地址 0-11 可分段为若干片段,其中每一片段包括 IOMMU 地址范围。处理器 12 可将每一 IOMMU 地址范围指派到特定数据类型。针对每一数据类型的 IOMMU 地址范围可为邻接的。

[0076] 举例来说,如图 3 中说明,IOMMU 地址范围 44 可为存储存储装置 20 的存储纹理数据的存储块的存储装置地址(例如,存储装置地址 4、8 和 1)的地址块的邻接 IOMMU 地址。IOMMU 地址范围 44 可包含 IOMMU 地址 0-2。IOMMU 地址范围 46 可为存储存储装置 20 的存储顶点数据的存储块的存储装置地址(例如,存储装置地址 10 和 5)的地址块的邻接 IOMMU 地址。IOMMU 地址范围 46 可包含 IOMMU 地址 3 和 4。IOMMU 地址范围 48 可为存储存储装置 20 的存储指令的存储块的存储装置地址(例如,存储装置地址 2 和 9)的地址块的邻接 IOMMU 地址。IOMMU 地址范围 48 可包含 IOMMU 地址 5 和 6。IOMMU 地址范围 50 可为存储存储装置 20 的存储常数的存储块的存储装置地址(例如,存储装置地址 0 和 6)的地址块的邻接 IOMMU 地址。IOMMU 地址范围 50 可包含 IOMMU 地址 7 和 8。IOMMU 地址范围 52 可为存储存储装置 20 的存储像素数据的存储块的存储装置地址(例如,存储装置地址 11、3 和 7)的地址块的邻接 IOMMU 地址。IOMMU 地址范围 52 可包含 IOMMU 地址 9-11。如图 2 一样,可存在比图 3 中说明的多或少的纹理数据、顶点数据、指令、常数和像素数据。

[0077] 如图 3 中说明,类似于图 2,共同高速缓冲存储器 26 可包含高速缓存线 42。同样,类似于图 2,高速缓存线 42 中的的每一者可包含地址字段 30A 和数据字段 30B。在图 3 中说明的实例中,地址字段 30A 可指示 IOMMU28 的存储关于存储在数据字段 30B 中的图形数据

存储在存储装置 20 中何处的地址的地址块的 IOMMU 地址。举例来说,图 3 中,高速缓存线 42A 的地址字段 30A 指示 IOMMU28 的地址块的地址为 1。如图 3 中说明,IOMMU 地址 1 是针对 IOMMU28 的地址块 1。IOMMU 的地址块 1 存储存储装置地址 8。存储装置地址 8 对应于存储装置 20 中的存储块 8。如图 3 中说明,存储装置 20 的存储块 8 存储第二纹理数据。高速缓存线 42A 的数据字段 30B 存储对应于具有存储装置地址 8 的存储块 8 的第二纹理数据。存储装置地址 8 对应于 IOMMU28 的地址块 1,且地址块 1 的 IOMMU 地址为 1,其对应于高速缓存线 42A 的数据字段 30A。

[0078] 如上文,在一些实例中,处理器 12 可在图形数据针对高速缓存线 42 中的一者存储的数据类型改变的情况下使图 3 的高速缓存线 42 中的一者无效。与之前一样,假定纹理图像改变,且处理器 12 可能需要使高速缓存线 42 的存储纹理数据的一个或一个以上高速缓存线无效。为确定高速缓存线 42 中的一者是否存储纹理数据,处理器 12 可将高速缓存线中的每一者的地址字段 30A 与指派到纹理数据的 IOMMU 地址的邻接范围进行比较。

[0079] 举例来说,类似于图 2 的实例,处理器 12 向纹理数据指派了 IOMMU 地址的邻接范围 44,其包含邻接 IOMMU 地址 0-2。在此实例中,处理器 12 可比较高速缓存线 42 中的每一者的地址字段 30A 以确定其是否在 IOMMU 地址的邻接范围 44 内。图 3 中,高速缓存线 42A 的地址字段 30A 在 IOMMU 地址的邻接范围 44 内。在此实例中,处理器 12 可使高速缓存线 42A 无效。

[0080] 图 4 是说明可经配置以实施本发明的各方面的装置 10 的实例操作的流程图。出于说明的目的,参看图 1、2 和 3。如上文描述,处理单元(例如,处理器 12 或 GPU14)可将存储装置 20 的存储空间分段为各自包含多个存储块的片段,或将 IOMMU28 的地址空间分段为各自包含多个地址块的片段。出于说明的目的,存储装置 20 的存储块和 IOMMU28 的地址块可概括地称为块。

[0081] 处理单元可指派第一数据类型的第一邻接地址范围,且指派第二数据类型的第二邻接地址范围(54)。第一和第二数据类型可为用于图形处理的不同数据类型。举例来说,如图 2 中说明,存储装置地址的邻接范围 32、34、36、38 和 40 中的一者可包括第一邻接地址范围。存储装置地址的邻接范围 32、34、36、38 和 40 中的另一者可包括第二邻接地址范围。并且,如图 2 中说明,针对特定数据类型指派存储装置地址的邻接范围 32、34、36、38 和 40 中的每一者。存储装置地址的邻接范围 32、34、36、38 和 40 中的每一者的所指派数据类型可包括第一数据类型。存储装置地址的邻接范围 32、34、36、38 和 40 中的另一者的所指派数据类型可包括第二数据类型。

[0082] 作为另一实例,如图 4 中说明, IOMMU 地址的邻接范围 44、46、48、50 和 52 中的一者可包括第一邻接地址范围。 IOMMU 地址的邻接范围 44、46、48、50 和 52 中的另一者可包括第二邻接地址范围。并且,如图 3 中说明,针对特定数据类型指派 IOMMU 地址的邻接范围 44、46、48、50 和 52 中的每一者。针对 IOMMU 地址的邻接范围 44、46、48、50 和 52 中的每一者的所指派的数据类型可包括第一数据类型。针对 IOMMU 地址的邻接范围 44、46、48、50 和 52 中的另一者的所指派的数据类型可包括第二数据类型。

[0083] 处理单元(例如,处理器 12 或 GPU14)可将第一数据类型的图形数据或第一数据类型的图形数据的地址存储在地址在第一邻接地址范围内的块内,且将第二数据类型的图形数据或第二数据类型的图形数据的地址存储在地址在第二邻接地址范围内的块内(56)。

举例来说,如图 2 中说明,处理器 12 或 GPU14 可将纹理数据存储在存储装置 20 的地址在存储装置地址的邻接范围 32 内的存储块内。如图 2 中说明,处理器 12 或 GPU14 可将特定数据类型的图形数据存储在存储装置 20 的地址在针对所述特定数据类型指派的邻接地址范围内的存储块内。

[0084] 作为另一实例,如图 3 中说明,处理单元(例如,处理器 12 或 GPU14)可存储关于纹理数据存储在存储装置 20 中在 IOMMU28 的地址块(其地址在 IOMMU 地址的邻接范围 44 内)内何处的地址。如图 3 中说明,处理器 12 或 GPU14 可存储关于特定数据类型的图形数据存储在存储装置 20 的存储块(其地址在针对所述特定数据类型指派的邻接地址范围内)内何处的地址。

[0085] 处理器 12 或 GPU14 可将第一数据类型的图形数据存储在共同高速缓冲存储器 26 的多个高速缓存线中的一些高速缓存线中,且将第二数据类型的图形数据存储在共同高速缓冲存储器 26 的所述多个高速缓存线中的一些高速缓存线中(58)。举例来说,如图 2 和 3 中说明,共同高速缓冲存储器 26 包含高速缓存线 42。并且,如图 2 和 3 中说明,高速缓存线 42B 和 42E 可视为存储特定数据类型的图形数据(例如,顶点数据)的高速缓存线的群组。高速缓存线 42C、42D 和 42F 可视为存储特定数据类型的图形数据(例如,像素数据)的高速缓存线的另一群组。

[0086] 图 5 是说明用以确定共同高速缓冲存储器 26 的多个高速缓存线中的哪些者与特定数据类型相关联的实例技术的流程图。出于说明的目的,参看图 1、2 和 3。处理单元(例如,处理器 12 或 GPU14)可将每一高速缓存线的地址字段与邻接地址范围进行比较(60)。举例来说,处理器 12 或 GPU14 可将高速缓存线 42 的地址字段 30A 与图 2 的存储装置地址的邻接范围 32、34、36、38 和 40 中的每一者进行比较。作为另一实例,处理器 12 或 GPU14 可将高速缓存线 42 的地址字段 30A 与图 3 的 IOMMU 地址的邻接范围 44、46、48、50 和 52 中的每一者进行比较。

[0087] 处理器 12 或 GPU14 可基于所述比较确定高速缓存线 42 中的哪些高速缓存线与哪一数据类型相关联(62)。举例来说,处理器 12 或 GPU14 可确定高速缓存线 42A 与纹理数据相关联,高速缓存线 42B 和 42E 与顶点数据相关联,且高速缓存线 42C、42D 和 42F 与像素数据相关联,如图 2 和 3 中说明。在图 2 的实例中,处理器 12 或 GPU14 可确定高速缓存线 42A 与纹理数据相关联,因为高速缓存线 42A 的地址字段 30A 对应于存储装置 20 的存储纹理数据的存储块的地址。处理器 12 或 GPU14 可确定高速缓存线 42B 和 42E 与顶点数据相关联,因为高速缓存线 42B 和 42E 的地址字段 30A 对应于存储装置 20 的存储顶点数据的存储块的地址。处理器 12 或 GPU14 可确定高速缓存线 42C、42D 和 42F 与像素数据相关联,因为高速缓存线 42C、42D 和 42F 的地址字段 30A 对应于存储装置 20 的存储像素数据的存储块的地址。

[0088] 在图 3 的实例中,处理器 12 或 GPU14 可确定高速缓存线 42A 与纹理数据相关联,因为高速缓存线 42A 的地址字段 30A 对应于 IOMMU28 的存储关于纹理数据存储在存储块 20 中何处的地址的地址块的地址。处理器 12 或 GPU14 可确定高速缓存线 42B 和 42E 与顶点数据相关联,因为高速缓存线 42B 和 42E 的地址字段 30A 对应于 IOMMU28 的存储关于顶点数据存储在存储块 20 中何处的地址的地址块的地址。处理器 12 或 GPU14 可确定高速缓存线 42C、42D 和 42F 与像素数据相关联,因为高速缓存线 42C、42D 和 42F 的地址字段 30A 对

应于 IOMMU28 的存储关于像素数据存储在存储块 20 中何处的地址的地址块的地址。

[0089] 图 6 是说明由处理单元（例如，处理器 12 或 GPU14）执行的实例技术的流程图。出于说明的目的，参看图 1、2 和 3。处理单元（例如，处理器 12 或 GPU14）可接收对于第一数据类型的图形数据或第二数据类型的图形数据的请求（64）。所述请求可包含第一数据类型或第二数据类型的地址。举例来说，在 GPU14 上执行的软件（例如，着色器程序）可产生致使 GPU14 检索特定数据类型的图形数据（例如，第一数据类型的图形数据或第二数据类型的图形数据）的请求。在 GPU14 上执行的软件可向 GPU14 提供从其处检索所述请求中的第一或第二数据类型的图形数据的地址。

[0090] 处理器 12 或 GPU14 可确定在对于第一或第二数据类型的图形数据的请求内的地址分别在第一邻接地址范围或第二邻接地址范围内（66）。举例来说，假定着色器程序请求纹理数据，且包含存储装置地址或 IOMMU 地址。在此实例中，GPU14 可确定存储装置地址是否在图 2 的存储装置地址的邻接范围 32 内，或确定 IOMMU 地址是否在图 3 的 IOMMU 地址的邻接范围 44 内。通过确定请求中的地址是否在邻接地址范围内，处理器 12 或 GPU14 可确保处理器 12 或 GPU14 不会因疏忽而检索错误数据。

[0091] 处理器 12 或 GPU14 可接着基于所述确定而处理所述请求（68）。举例来说，如果对于第一或第二数据类型的图形数据的请求分别在第一邻接地址范围或第二邻接地址范围内，那么处理器 12 或 GPU14 可处理所述请求。然而，如果对于第一或第二数据类型的图形数据的请求不分别在第一邻接地址范围或第二邻接地址范围内，那么处理器 12 或 GPU14 可不处理所述请求。

[0092] 在一个或一个以上实例中，所描述的功能可实施在硬件、软件、固件，或其任何组合中。如果实施在软件中，那么所述功能可作为一个或一个以上指令或代码存储在包括非瞬时计算机可读媒体的制品上。计算机可读媒体可包含计算机数据存储媒体或通信媒体，通信媒体包含促进将计算机程序从一处传递到另一处的任何媒体。数据存储装置可为可由一个或一个以上计算机或一个或一个以上处理器存取以检索用于实施本发明中描述的技术的指令、代码和 / 或数据结构的任何可用媒体。借助实例而非限制，此计算机可读媒体可包括 RAM、ROM、EEPROM、CD-ROM 或其它光盘存储装置、磁盘存储装置或其它磁性存储装置、快闪存储器，或可用于携带或存储指令或数据结构形式的所要程序代码且可由计算机存取的任何其它媒体。如本文使用的磁盘和光盘包含压缩光盘（CD）、激光光盘、光学光盘、数字多功能光盘（DVD）、软性磁盘和蓝光光盘，其中磁盘通常以磁性方式再现数据，而光盘利用激光以光学方式再现数据。上文的组合也应包含在计算机可读媒体的范围内。

[0093] 所述代码可由例如一个或一个以上 DSP、通用微处理器、ASIC、FPGA 或其它等效集成或离散逻辑电路等一个或一个以上处理器执行。另外，在一些方面中，本文描述的功能性可提供在经配置用于编码和解码的专用硬件和 / 或软件模块内，或并入在组合式编解码器中。并且，可将所述技术完全实施于一个或一个以上电路或逻辑元件中。

[0094] 本发明的技术可实施在广泛多种装置或设备中，包含无线手持机、集成电路（IC）或 IC 组（例如，芯片组）。本发明中描述各种组件、模块或单元以强调经配置以执行所揭示的技术的装置的功能方面，但不一定要求由不同硬件单元实现。事实上，如上文描述，各个单元可组合在硬件单元中，或由互操作硬件单元的集合提供，包含如上文描述的一个或一个以上处理器，结合适宜的软件和 / 或固件。

[0095] 已描述了各种实例。这些及其它实例属于所附权利要求书的范围内。

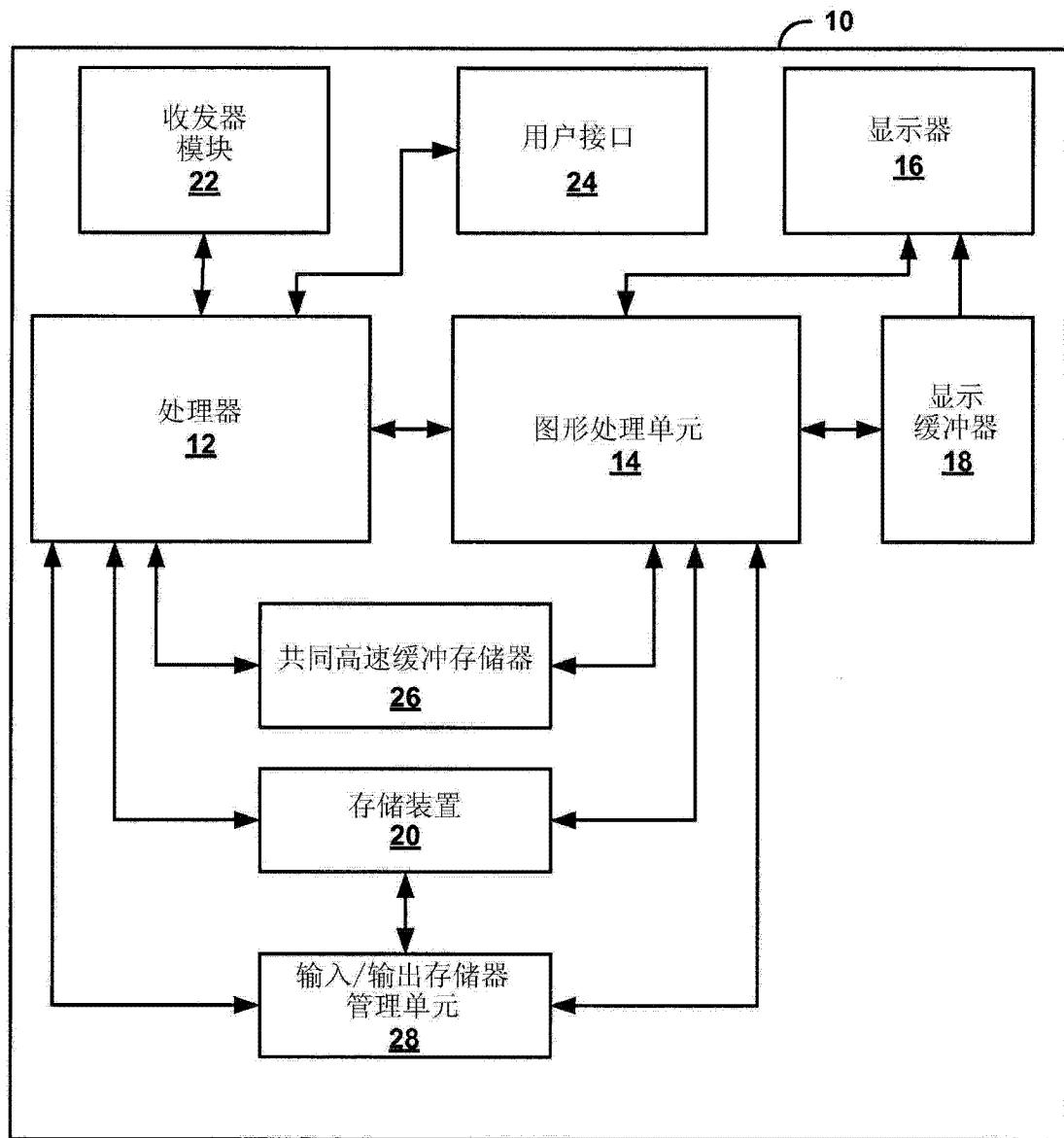


图 1

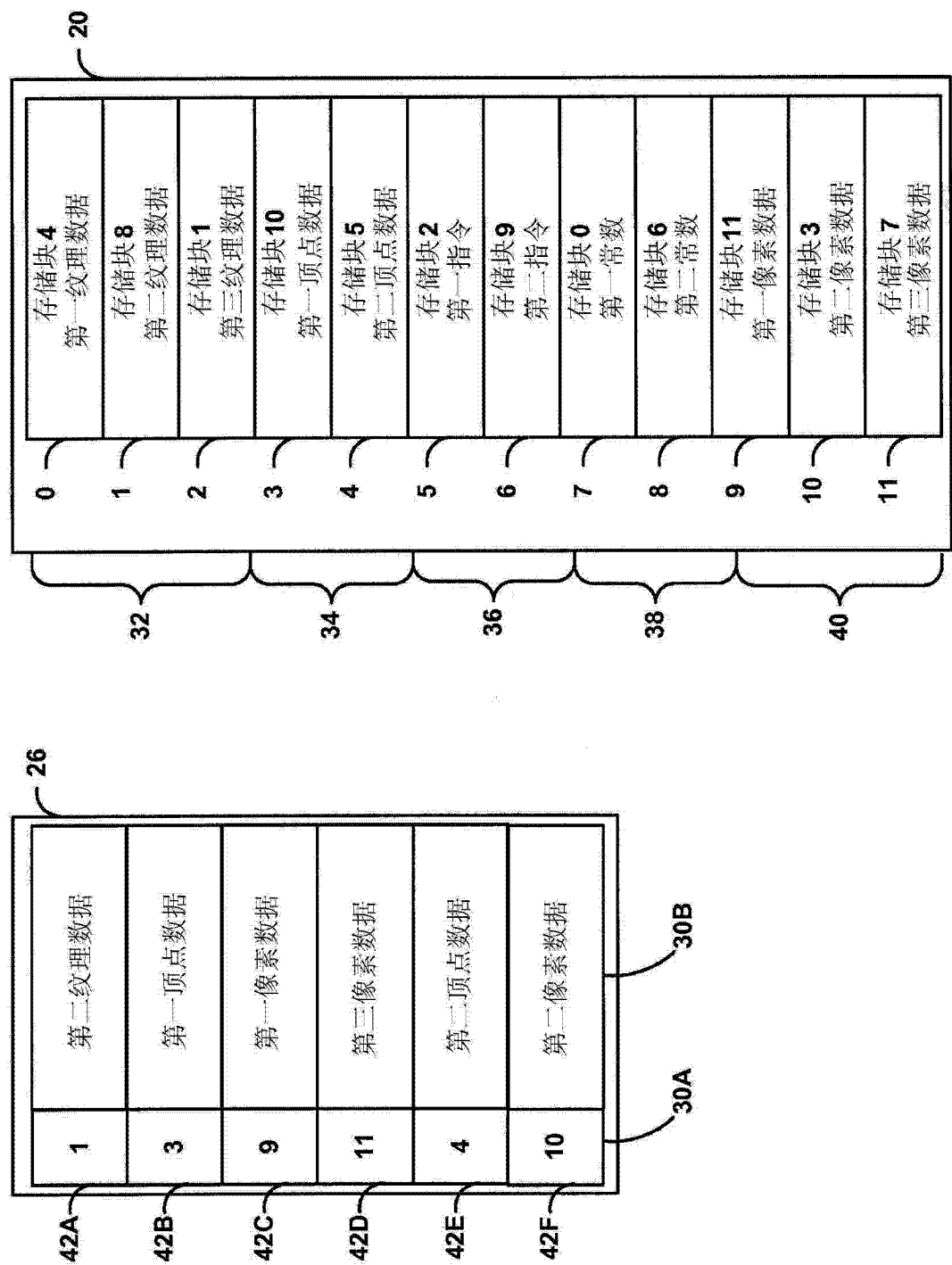


图 2

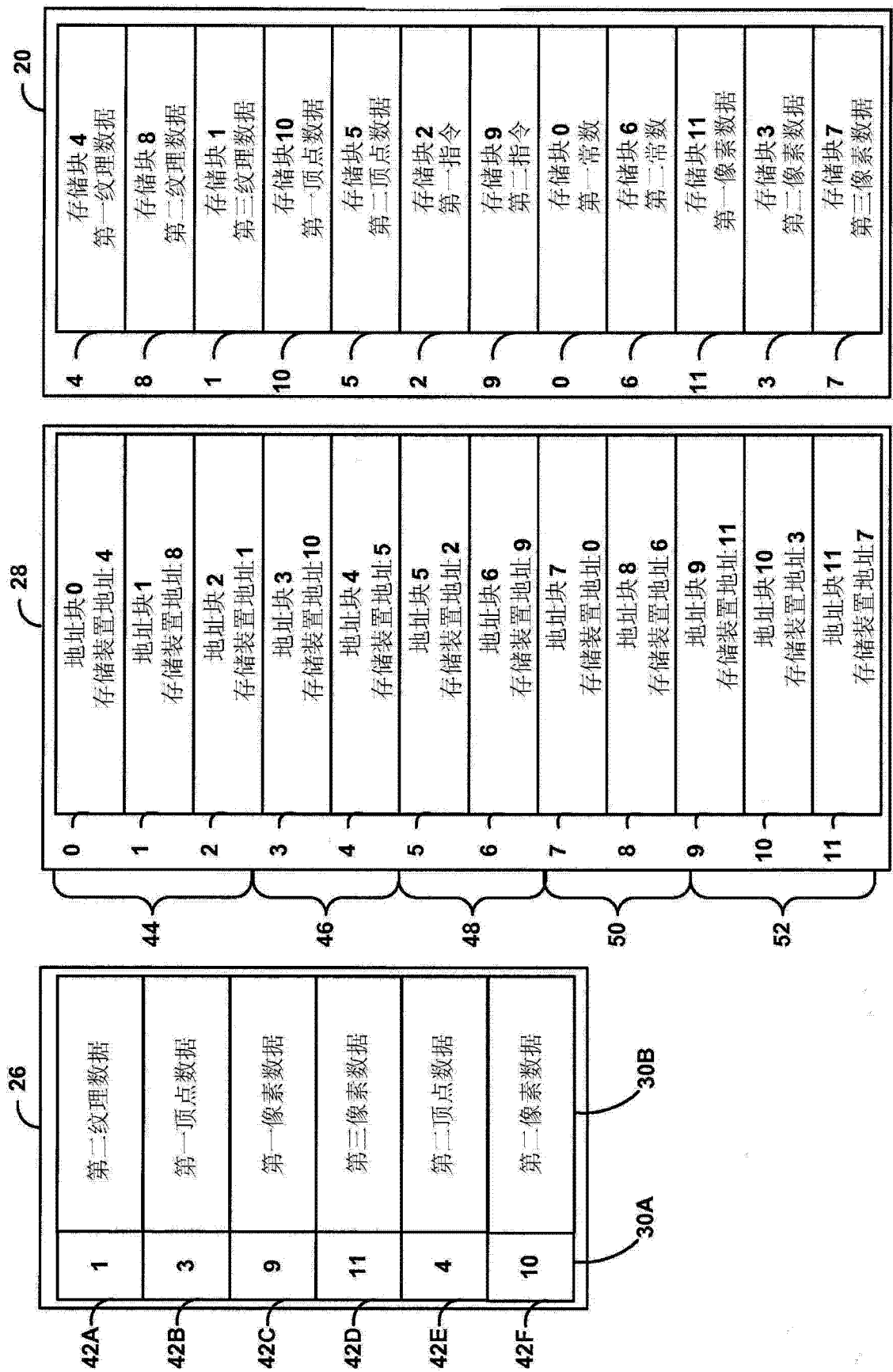


图 3

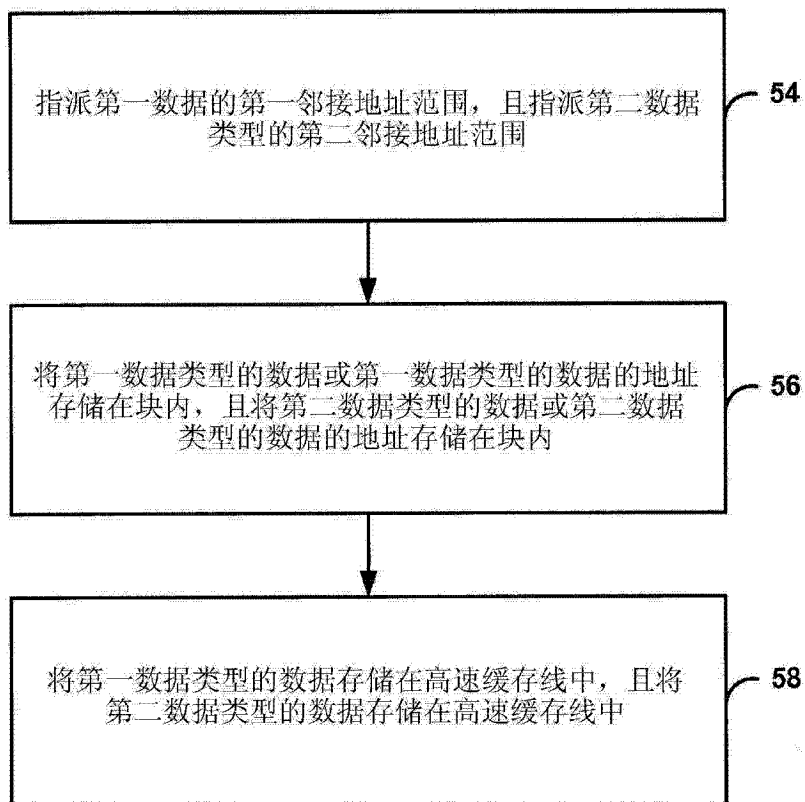


图 4

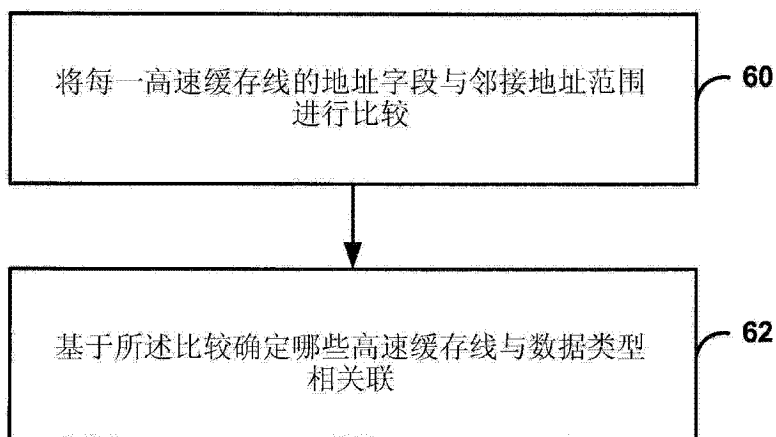


图 5

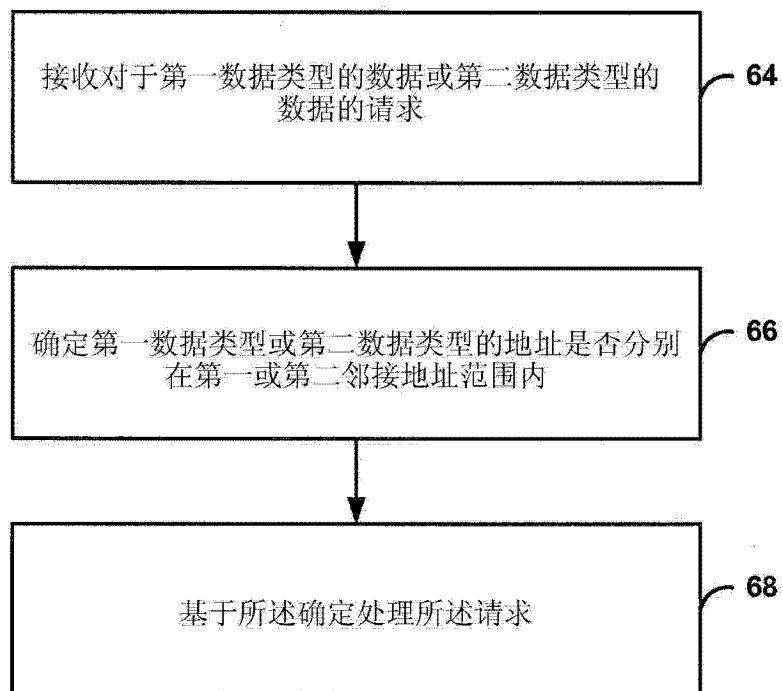


图 6