世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 6
G06F 9/38

A1

(11) 国際公開番号 WO 95/16954

(43) 国際公開日 1995年6月22日 (22.06.95)

(21) 国際出願番号 PCT/JP94/02112
(22) 国際出願日 1994年12月15日(15. 12. 94)

(30) 優先権データ
08/168744 1993年12月15日(15. 12. 93) US

(71) 出願人
シリコン・グラフィックス・インコーポレーテッド
(SILICON GRAPHICS INC.)[US/US]
94039-7311 カリフォルニア マウンテンビュー ノース・ショアライン・ブールバード2011 ピーオーボックス 7311 California, (US)
株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP]
〒210 神奈川県川崎市幸区堀川町72番地 KANAGAWA, (JP)

(72) 発明者
ジョシ・チャンドラ・エス (JOSHI, Chandra S.)
95070 カリフォルニア サラトガ プラエマードライブ 19641 California, (US)
ロッドマン・パウロ (RODMAN, Paul)
94306 カリフォルニア パロアルト ウエーバリーストリート 3204 California, (US)
ヒスウ・ピーター・ヤンテック (HSU, Peter Yan-Tek)
94555 カリフォルニア フレモント ウエルクコモン 2853 California, (US)
ノファル・モニカ・アール (NOFAL, Monica R.)
94024 カリフォルニア ロスアルトス ハイランドサークル 866 California, (US)

(74) 代理人
弁理士 三好秀和(MIYOSHI, Hidekazu)
〒105 東京都港区虎の門1丁目2番3号 虎の門第1ビル9F Tokyo, (JP)

(81) 指定国
CN, JP, KR, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類 国際調査報告書

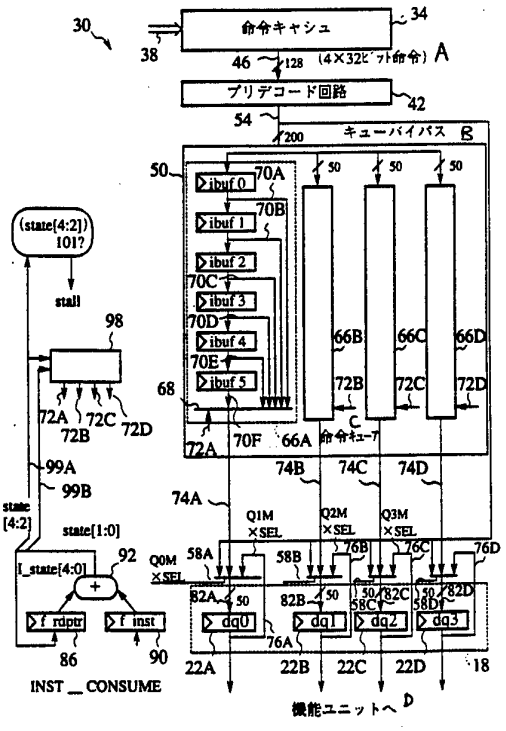
(54) Title : APPARATUS FOR PROCESSING INSTRUCTION IN COMPUTER SYSTEM

(54) 発明の名称 計算機システム内部で命令を処理する装置

34 ... instruction cache
A ... 4×32 bit instruction
42 ... predecode circuit
B ... queue bypass
C ... instruction queuer
D ... to functional unit

(57) Abstract

A computer system includes first and second instruction storage circuits, each of which stores N instructions for parallel output. An instruction dispatch circuit connected to the first instruction storage circuit dispatches L instructions stored in the first instruction storage circuit, and L is hereby equal to, or smaller than N. An instruction load circuit connected to the first and second instruction storage circuits loads the L instructions from the second instruction storage circuit to the first instruction storage circuit after the L instructions are dispatched from the first instruction storage circuit and before another instruction is dispatched from the first instruction storage circuit. An instruction memory stores a plurality of strings of instructions and a branch memory stores a plurality of branch anticipation entries.



（５７）要約

計算システムは第１及び第２の命令格納回路を備え、夫々の命令回路回路は、パラレル出力の為にＮ個の命令を格納する。第１の命令格納回路に接続された命令ディスパッチ回路は、第１の命令格納回路に格納されたＬ命令をディスパッチし、ここでＬはＮと等しいか小さい。第１及び第２の命令格納回路に接続された命令ロード回路は、Ｌ個の命令が第１の命令格納回路からディスパッチされた後で、更に別の命令が第１の命令格納回路からディスパッチされる前に、Ｌ個の命令を第２の命令格納回路から第１の命令格納回路にロードする。

又、命令メモリは複数の命令の複数の列を格納し、分岐メモリは複数の分岐予測エントリを格納している。夫々の分岐予測エントリは、命令メモリの分岐命令が実行されたとき、その分岐命令で指定される分岐が成功するか否かを予測するための情報を含んでいる。夫々の分岐予測エントリは、分岐が成功したときに実行される分岐先命令を含むラインの分岐先アドレスを示す分岐先フィールドと、分岐先命令が、分岐先アドレスによって指示されるライン内の何処に位置するかを示すデスティネーションフィールドと、分岐命令が分岐先アドレスに対応するライン内の何処に位置するかを示すソースフィールドとを含んでいる。カウンタが、命令メモリをアドレスするのに用いられるアドレス値を保持し、インクリメント回路は、通常の動作の時に、命令メモリ内のラインを順にアドレスするためにカウンタのアドレス値をインクリメントする。命令メモリ内の分岐命令によって指示された分岐が、その分岐命令の実行の際に成功するという予測が分岐予測エントリによって行われた場合、カウンタローディング回路は、分岐先アドレスをカウンタにロードする。このようにして、分岐命令を含むラインの直後に、分岐先命令を含むラインはフェッチされ、パラレルに入れられる。無効化回路は、分岐命令の後に位置し且つこの分岐命令を含むラインに含まれる命令と、分岐先命令の前に位置し且つこの分岐先命令を含むラインに含まれる命令を無効とする。

情報としての用途のみ
ＰＣＴに基づいて公開される国際出願をパンフレット第一頁にＰＣＴ加盟国を同定するために使用されるコード

AM	アルメニア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	ES	スペイン	LR	リベリア	SD	スーダン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
BB	バルバドス	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BF	ブルギナ・ファソ	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BG	ブルガリア	GE	グルジア	MD	モルドバ	SN	セネガル
BJ	ベナン	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	GR	ギリシャ	ML	マリ	TD	チャード
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CA	カナダ	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MW	マラウイ	TM	トルクメニスタン
CG	コンゴー	IT	イタリー	MX	メキシコ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	NE	ニジェール	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NL	オランダ	UG	ウガンダ
CM	カメルーン	KG	キルギスタン	NO	ノルウェー	US	米国
CN	中国	KP	朝鮮民主主義人民共和国	NZ	ニュー・ジーランド	UZ	ウズベキスタン共和国
CZ	チェッコ共和国	KR	大韓民国	PL	ポーランド	VN	ヴィェトナム
DE	ドイツ	KZ	カザフスタン	PT	ポルトガル		
DK	デンマーク	LI	リヒテンシュタイン	RO	ルーマニア		

明 細 書

計算機システム内部で命令を処理する装置

技術分野

この発明は、計算機システム、特に計算機システム内部で命令を処理する装置に関する。

技術背景

普通、計算機内部では、命令は命令メモリからフェッチされ、バッファに保持され、１つ又は複数の中央処理装置（ＣＰＵ）へ送られ実行される。図１０Ａ乃至図１０Ｃは、１度に４つまでの命令の実行が可能な従来のシステムを示す。ここで、それぞれの命令はプログラムの順序でアルファベットが付けられている。図１０Ａに示されているように、命令バッファ１０は複数の命令列１４Ａ－Ｃを含み夫々の命令列は４つの命令を含んでいる。命令バッファ１０に格納されている命令は、それらが実行のために配送（以下、ディスパッチという）される前に、４つのレジスタからなるディスパッチレジスタにロードされる。４つの命令がディスパッチレジスタ１８から同時にディスパッチされるとき、別の４つの命令が命令バッファ１０からディスパッチレジスタ１８にロードされ、処理は継続される。しかし、リソースの競合やその他の理由で、４つの命令を同時にディスパッチすることができないことがある。図１０Ｂは、２つの命令のみが同時にディスパッチされる状況を示している。従来の計算機システムでは、何時でもロード可能な命令のタイプやコードの配置にたいする制約から、命令バッファ１０からディスパッチレジスタ１８へ更に命令を転送する前に、システムはディスパッチレジスタ

１８が完全に空になるのを待たねばならない。結果として、この例では、次のサイクルでは高々２つの命令（Ｃ、Ｄ）のディスパッチのみが可能で、その後ディスパッチレジスタ１８は（４つの命令Ｅ、Ｆ、Ｇ及びＨが）再ロードされる。特に、新たな命令のいくつか（例えば、Ｅ、Ｆ）は、先行する命令セット（Ａ、Ｂ）がディスパッチされた直後に、ディスパッチレジスタに残る命令（Ｃ、Ｄ）と共にこれらをディスパッチすることも有り得ることを考えれば、これら新たな命令のディスパッチレジスタ１８へのロードにたいする制約は、このシステムの機能を大幅に縮小することになる。

従来の計算機システムへの別の制約は、命令メモリで後続の命令以外の命令に処理が移るような分岐命令の処理に関係している。普通、命令はフェッチされ、複数のステージを持つパイプラインによって順々に実行されてゆく。従って、分岐命令には、通常パイプライン内で次の順番にある命令が続いている。例えば、パイプライン全体の後の方のステージで分岐条件が満たされた場合、命令の実行は中止され、分岐命令の後続の命令はパイプライン内部で無効にしなければならない。そして、適切な命令が命令メモリからフェッチされパイプラインの先頭から処理を開始しなければならない。従って、分岐条件が満たされてから適切な命令の実行が開始されるまで、かなりの時間が費やされてしまう。

本発明の目的は、直前にディスパッチされた命令の数にも、命令のタイプやその配置にも拘らず、４つの命令が常にディスパッチ可能である様な、計算機システム内部で命令を処理する装置を提供することである。

本発明の１つの実施例では、計算システムは第１及び第２の命令格納回路を備え、夫々の命令回路回路は、パラレル出力の為にＮ個の命令を格納する。第１の命令格納回路に接続された命令ディスパッチ回路は、第１の命令格納回路に格納されたＬ命令をディスパッチし、ここでＬは

Nと等しいか小さい。第１及び第２の命令格納回路に接続された命令ロード回路は、Ｌ個の命令が第１の命令格納回路からディスパッチされた後で、更に別の命令が第１の命令格納回路からディスパッチされる前に、Ｌ個の命令を第２の命令格納回路から第１の命令格納回路にロードする。

本発明の他の目的は、命令がフェッチされた時点で分岐の予測が行われ、分岐先命令が直ちにフェッチされることで、分岐命令が実行された直後に分岐先命令が準備される様な、計算機システム内部で命令を処理する装置を提供することである。

発明の開示

本発明の１つの実施例では、命令メモリは複数の命令の複数の列を格納し、分岐メモリは複数の分岐予測エントリを格納している。夫々の分岐予測エントリは、命令メモリの分岐命令が実行されたとき、その分岐命令で指定される分岐が成功するか否かを予測するための情報を含んでいる。夫々の分岐予測エントリは、分岐が成功したときに実行される分岐先命令を含むラインの分岐先アドレスを示す分岐先フィールドと、分岐先命令が、分岐先アドレスによって指示されるライン内の何処に位置するかを示すデスティネーションフィールドと、分岐命令が分岐先アドレスに対応するライン内の何処に位置するかを示すソースフィールドとを含んでいる。カウンタが、命令メモリをアドレスするのに用いられるアドレス値を保持し、インクリメント回路は、通常の動作の時に、命令メモリ内のラインを順にアドレスするためにカウンタのアドレス値をインクリメントする。命令メモリ内の分岐命令によって指示された分岐が、その分岐命令の実行の際に成功するという予測が分岐予測エントリによって行われた場合、カウンタローディング回路は、分岐先アドレスをカウンタにロードする。このようにして、分岐命令を含むラインの直後に、

分岐先命令を含むラインはフェッチされ、パラレルに入れられる。無効化回路は、分岐命令の後に位置し且つこの分岐命令を含むラインに含まれる命令と、分岐先命令の前に位置し且つこの分岐先命令を含むラインに含まれる命令を無効とする。

上記目的を達成するために、本発明による計算機システム内部で命令を処理する装置は、夫々、並列出力の可能なＮ個の命令を格納する、第１及び第２の命令格納回路と、Ｌは前記Ｎと等しいか小さいとし、前記第１の命令格納回路に格納されたＬ個の命令をディスパッチし、前記第１の命令格納回路に接続された命令ディスパッチ回路と、前記第１及び第２の命令格納回路に接続され、Ｌ個の命令が前記第１の命令格納回路からディスパッチされた後で且つ別の命令が前記第１の命令格納回路からディスパッチされる前に、Ｌ個の命令を前記第２の命令格納回路から前記第１の命令格納回路にロードする命令ロード回路とを備えている。

又、本発明による計算機システム内部で命令を処理する別の装置は、並列出力の可能なＮ個の命令を格納する命令格納回路と、Ｌは前記Ｎと等しいか小さいとし、前記命令格納回路に格納されたＬ個の命令をディスパッチし、前記命令格納回路に接続された命令ディスパッチ回路と、命令メモリからＮ個の命令のＭ個のラインを格納する命令キューと、前記命令格納回路と前記命令キューに接続され、Ｌ個の命令が前記命令格納回路からディスパッチされた後で且つ別の命令が前記命令格納回路からディスパッチされる前に、Ｌ個の命令を前記命令キューから第１の命令格納回路にロードする命令ロード回路とを備えている。

又、本発明による計算機システム内部で命令を処理する更に別の装置は、複数の命令の複数の列を格納した命令メモリと、命令メモリの分岐命令が実行されたとき、その分岐命令で指定される分岐が成功するか否かを予測するための情報を含む分岐予測エントリを複数格納した分岐メ

モリとを備えている。

本発明によれば、直前にディスパッチされた命令の数にも、命令のタイプやその配置にも拘らず、４つの命令が常にディスパッチ可能である。

又、命令がフェッチされた時点で分岐の予測が行われ、分岐先命令が直ちにフェッチされることで、分岐命令が実行された直後に分岐先命令が準備される。

図面の簡単な説明

図１は、本発明の実施例による計算機システムでの、フェッチ及びディスパッチを示すブロックダイアグラム。

図２は、本発明の実施例による、フェッチ及びディスパッチを行うための装置のブロックダイアグラム。

図３は、図２に示した命令キューアーの動作を示すブロックダイアグラム。

図４は、本発明の別の実施例による、フェッチ及びディスパッチを行うための装置のブロックダイアグラム。

図５は、本発明の実施例による、分岐予測を行うための装置のブロックダイアグラム。

図６は、図４に示した分岐キャシュのエントリの実施例を示すブロックダイアグラム。

図７は、本発明の実施例による命令パイプラインのフェッチ（Ｆ）ステージを示すブロックダイアグラム。

図８は、本発明の実施例による命令パイプラインの命令パイプラインのデコート（Ｄ）ステージとアドレス生成（ＡＤ）ステージを示すブロックダイアグラム。

図９は、本発明の実施例による命令パイプラインの実行（Ｅ）ステー

ジと書き戻し（W）ステージを示すブロックダイアグラム。

図１０は、従来の計算機システムでのフェッチ及びディスパッチを示すブロックダイヤグラム。

発明を実施するための最良の形態

図１Ａ－Ｄは、本発明の実施例による計算機システムの命令のフェッチ及びディスパッチを示すブロックダイアグラムである。図１０Ａ－Ｄに示した例と同様に、ここでも２つの命令（Ａ、Ｂ）が最初にディスパッチされるものとする。しかし、図１０Ａ－Ｄに示した例とは異なり、図１Ｂに示したように、ディスパッチされた２つの命令は直ちに後続の２つの命令（Ｅ、Ｆ）に置き換えられる。従って、次のクロックサイクルでは、４つの命令のディスパッチが可能である。また、プログラム順序で先にディスパッチされた命令に続く命令の位置を示すために、ポインタ２６が用いられている。ここでもし図１Ｃに示したように、次のクロックサイクルで３つの命令がディスパッチされる場合、適当なレジスタ２２Ａ、２２Ｃ、２２Ｄが有効となり、２つの後続の命令とともに図１Ｂのポインタ２６で示された命令は開放される。その直後、ディスパッチレジスタ１８はプログラム順序で後続の命令バッファ１０からの３つの命令でロードされる。

ここで、ディスパッチレジスタ１８に命令を供給するのに、命令バッファの２つの命令列が必要であることに注意すべきである。例えば、図１Ｃに示されているように、命令列１４Ｃは命令（Ｇ、Ｈ）を、命令列１４Ｂは命令（Ｉ）をディスパッチレジスタ１８に夫々供給する。１つの命令列に４つの命令があるとすれば、ディスパッチレジスタ１８へロードすべき次の命令を含む命令列を "先頭の四つ組" と呼び、転送処理を完了させるべく、同時にディスパッチレジスタ１８へロードすべき命

令を含む次の命令列を"後続の四つ組"と呼ぶ。先頭の四つ組が転送処理で空となった場合、図１Ｄに示されているように、Ｂの内容は１列分更新される。図１Ｄで、更に２つの命令（Ｆ、Ｇ）がディスパッチされ、２つの命令（Ｊ、Ｋ）がその位置にロードされる。

図２は、本発明の実施例による命令のフェッチ及びディスパッチを行う装置３０を示すブロックダイアグラムである。装置３０は、通信経路３８からのアドレス値によって示される命令からなる複数の命令列を備えた命令キャシュ３４を含んでいる。この実施例では、夫々の命令列が４つの３２ビット命令を格納し、１つの命令列のすべての命令を、通信経路４６を介してプリデコード回路４２に渡す。プリデコード回路は４つの命令を部分的に解読し、この部分的に解読された４つの命令を、通信経路５４を介して、命令キューアー５０に渡し、キューバイパス経路６２を介して、マルチプレクサ５８Ａ－Ｄへディスパッチする。

命令キューアー５０は、夫々の命令列の夫々の命令毎に設けられた４つのキュー部６６Ａ－Ｄを含んでいる。４つのキュー部のすべては、同じ構造を持っているので、キュー部６６Ａの内部のみが示されている。キュー部６６Ａは、複数（例えば６個）の直列に接続された命令バッファＩＢＵＦ０－ＩＢＵＦ５を含んでいる。夫々の命令バッファは、対応するマルチプレクサ入力経路７０Ａ－Ｆを介して、マルチプレクサ６８に接続されている。マルチプレクサ６８は、信号線７２Ａを介して入力した信号に応答して、命令バッファＩＢＵＦ０－ＩＢＵＦ５の中の命令の１つを選択し、この選択された命令を通信経路７４Ａを介して、ディスパッチマルチプレクサ５８Ａへ渡す。レジスタ２２Ａに格納されている命令は、フィードバック通信経路７６Ｄを介して、ディスパッチマルチプレクサ５８Ａの入力へ渡される。ディスパッチマルチプレクサ５８Ａは、ＱＯＭＸＳＥＬ信号線８０を介して入力された信号に応答して、

マルチプレクサ６８の出力、キューバイパス経路６２又はフィードバック通信経路７６Ｄの中から選択し、１つの命令を通信経路８２Ａを介してレジスタ２２Ａへ渡す。レジスタ２２Ａは、そこに加えられたクロック信号に応答して受け取った値をロードし、その命令を可能ならばディスパッチする。尚、クロックドレジスタは、夫々のレジスタの左側に３角形で示されている。

キュー部６６Ｂ－Ｄは、夫々信号線７２Ｂ－Ｄを介してうけた信号に応答して、それらの直列に接続したバッファ部の１つから命令を選択し、夫々通信経路７４Ｂ－Ｃを介して、その選択された命令をマルチプレクサ５８Ｂ－Ｄへディスパッチする。ディスパッチマルチプレクサ５８Ｂ－Ｄは、Ｑ１ＭＸＳＥＬ－Ｑ３ＭＸＳＥＬ信号線を介して受けた信号によって選択された命令を、通信経路８２Ｂ－Ｄを介して、それらの夫々のレジスタ２２Ｂ－Ｄへ渡す。

装置３０は、どの命令をディスパッチレジスタ１８へディスパッチするかを次のようにして選択する。最初、命令キューアー５０が空であり、命令列の１つが命令キャシュ３４から取り出されると、ディスパッチマルチプレクサ５８Ａ－Ｄがキューバイパス経路６２から命令を選択する。そして、命令がディスパッチされ、新たな命令列が命令キャシュ３４から読み出される。

一般に、新たな命令列は命令キャシュ３４から、夫々のクロックサイクル毎に読み出される。もし４つの命令がクロックサイクル毎に読み出されると、ディスパッチレジスタは常にキューバイパス経路６２からロードされる。しかし、何処れにおいても、夫々のサイクルで、０から４つの命令がディスパッチされ得る。従って、もし、すべての命令ディスパッチされるのではないならば、その時はディスパッチされる命令の数に応じて、レジスタ２２Ａ－Ｄの何れかのみが、キューバイパス経路６

２からロードされる。従って、前回読み出された命令列の残りは、夫々のキュー部６６Ａ－ＤのＩＢＵＦ０からロードされ、新たな命令列は、命令キャシュ３４から読み出される。例えば、２つの命令が最初のサイクルでディスパッチされると、レジスタ２２Ａ－Ｂはキューバイパス経路６２からの命令でロードされ、同じ命令がフィードバック通信経路７６Ｃ－Ｄを介してレジスタ２２Ｃ－Ｄにロードされ、前回読み出された命令がキュー部６６Ａ－ＤのＩＢＵＦ０にロードされ、新たな命令列が命令キャシュ３４から読み出される。次のクロックサイクルで１つの命令のみがディスパッチされた場合には、キュー部６６ＣのＩＢＵＦ０からの命令がレジスタ２２Ｃにロードされ、同じ命令がフィードバック通信経路７６Ａ、７６Ｃ、７６Ｄを介してレジスタ２２Ａ、２２Ｂ、２２Ｄに再ロードされ、キュー部６６Ａ－Ｄの夫々のＩＢＵＦ０に格納された命令列は夫々のキュー部のＩＢＵＦ１に進められ、前回読み出された命令列がキュー部６６Ａ－ＤのＩＢＵＦ０にロードされ、新たな命令列が命令キャシュ３４から読み出される。命令列は、バッファが一杯になるまで、キュー部６６Ａ－Ｄ内で進められる。ここで、装置は、これ以上のキューへの命令のロードを止める。この方法によって、命令のプリフェッチ動作は、ディスパッチ動作とは切り離される。

ＲＤＰＴＲレジスタ８６は、命令キューアー５０の動作を制御するために、値 I__STATE [4:0] を保持する。STATE [4:2] は、夫々のキュー部６６Ａ－Ｄのバッファ ＩＢＵＦ０－ＩＢＵＦ５の何れが次の命令をレジスタ２２Ａ－Ｄへ供給するかを決めるのに用いられ、STATE [1:0] は図１Ａ－１Ｃで示したポインタ２６（モジュロ４－カウンタ）として機能し、どの命令が次ぎにディスパッチされるかを示している。F __INST レジスタ９０は、値 INST __CONSUME を保持し、どれくらい多くの命令がサイクル毎に消費されるか（即ち、有効なキューアーレジスタクロッ

クの総和、又は有効無効にかかわらずディスパッチレジスタ１８からディスパッチされた命令の数の総和）を示している。この INST __CONSUME は、図８と共に後に説明される。この INST __CONSUME は、加算器９２によってSTATE [4:0] に加算され、次にディスパッチすべき命令を示す。STATE [4:2] は、ディスパッチレジスタ１８をロードするのに使われている命令列がキューで進められるごとにインクリメントされる。STATE [4:0] の更新された値は、ＲＤＰＴＲレジスタ８６に戻されロードされ、通信経路９８Ａ、９８Ｂを介して、キューアーMUX 選択回路９８へ渡される。もし、STATE [4:2] ＝"101" （＝５）とすれば、命令バッファは一杯であり、装置はこれ以上のキューへの命令のロードを止める。

キューアーMUX 選択回路９８は、STATE [4:2] とSTATE [1:0] の値に応じて、次の（プログラム順序で）連続する命令をディスパッチレジスタ１８へ与える。図３と表１は、STATE [1:0] の異なる値について、夫々のキュー部６６Ａ－Ｄのどのバッファが次の命令を、その対応するレジスタ２２Ａ－Ｄへ与えるかを示す。

表１

STATE [1:0]	Q0MXSEL	Q1MXSEL	Q2MXSEL	Q3MXSEL
0	STATE [4:2]	STATE [4:2]	STATE [4:2]	STATE [4:2]
1	STATE [4:2]-1	STATE [4:2]	STATE [4:2]	STATE [4:2]
2	STATE [4:2]-1	STATE [4:2]-1	STATE [4:2]	STATE [4:2]

3 STATE [4:2]-1 STATE [4:2]-1 STATE [4:2]-1 STATE [4:2]

従って、STATE [1:0] ＝２でSTATE [4:2] ＝３ならば、レジスタ２２Ｃ－２２Ｄは、先頭の四つ組（ＩＢＵＦ３）の最後の２つの命令が与えられ、レジスタ２２Ａ－２２Ｂは、後続の四つ組（ＩＢＵＦ２）の最初の２つの命令が与えられことになる。

ここで記載している命令のフェッチ及びディスパッチの為の装置は、適宜必要に応じて修正を加えることにより、多くの環境で利用できる。例えば、整数、メモリ、不動小数点の為の命令が命令キャシュ３４に格納されているとすると、それらは１つの命令列に含まれるかもしれない。もし、リソース競合の問題があり、命令或は命令のタイプ（例えば、不動小数点命令）にデータ依存性があるとすると、それらの命令はほかのキューへディスパッチされ、そこで、リソース競合やデータ依存性の為に、ほかの命令のディスパッチを停止することなく待機することになる。

図４は、本発明の別の実施例による、図２のディスパッチレジスタ１８から前もってディスパッチされているであろう不動小数点命令のフェッチ及びディスパッチを行うための装置１０４を示すブロックダイアグラムである。一見して、装置１０４は、整数レジスタからロードされる不動小数点レジスタのデータ又は整数格納データを取り扱う為に、命令と共にデータも格納することを除いて、図２の装置３０に類似していることがわかるであろう。

前述の装置でも、本発明による計算機システムにおいて命令の処理が改良されている。そこでは、分岐が命令フェッチの時点で予測され、予測された分岐先命令が直ちにフェッチされ、分岐命令が実行された直後に分岐先命令が準備されている。図５は、本発明による分岐予測の為の装置１１０の１つの実施例を示すブロックダイアグラムである。分岐キ

ャシュ１１４は、命令キャシュ３４に格納されている分岐命令の結果を予測するのに用いられる。例えば、命令キャシュ３４は、１６ＫＢのダイレクトマップドキャシュであり、上述のように、１サイクル当たり４つの命令を出力する。この実施例では、分岐キャシュ１１４も、ダイレクトマップドキャシュであり、１Ｋのエントリを備えている（命令キャシュ３４の４つ命令について１つのエントリ）。命令キャシュ３４と分岐キャシュ１１４は、カウンタ１１６からのインデックス値（アドレス）を入力する通信経路３８を介して、パイプラインのフェッチステージで並列にアクセスされる。勿論、命令キャシュ３４と分岐キャシュ１１４は、必要により異なるアドレスでアクセスすることも可能である。

図６は、分岐キャシュ１１４からのサンプルエントリ１２０と、分岐予測の例を示す。エントリ１２０は、分岐が成立するか否かを予測する有効性フィールド１２４（０＝予測しない、１＝予測する）、分岐先命令の命令キャシュインデックスであるインデックスフィールド１２８、当該分岐命令を含む命令列内の実行すべき最後の命令の位置を示すソースフィールド（ＳＲＣ）１３２及びキャシュインデックスによってフェッチされた命令列内の分岐先命令の位置を示すデスチネーションフィールド（ＤＲＣ）１３４を有している。

この実施例では、夫々の分岐命令は、実際には２つの命令列からなっている。先頭分岐命令と呼ばれる最初の命令は、分岐先と分岐条件を計算する。遅延命令を呼ばれる次の命令は、先頭分岐命令の直後に位置し、実際にプログラムの流れを分岐先命令に変えるのに用いられる。従って、ソースフィールド１３２は、図６で示したように命令内での遅延命令の位置を示している。

カウンタ１１６のアドレス値は、インクリメント回路１３８に渡される。インクリメント回路１３８は、（命令当たり４命令あるので）カウ

ンタの値を４だけ増加させ、増加した値を通信経路１４４を介してマルチプレクサ１４２へ渡す。更に、分岐キャシュエントリのインデックスフィールド１２８の値は、通信経路１４８を介してマルチプレクサ１４２へ渡される。有効性フィールド１２４の値は、マルチプレクサ１４２の動作を制御するのに用いられる。従って、分岐予測が成立すれば（Ｖ＝１）、次のサイクルでインデックスフィールド１２８の値で、命令キャシュ３４がアクセスされる。もし、分岐予測が成立しなければ（Ｖ＝０）、インクリメント回路１３８で決められた次の命令列で、命令キャシュ３４がアクセスされる。

ソースフィールド１３２の値は、ＯＲ回路１５０を介して、有効性マスク１４８に渡される。有効性マスク１４８は、分岐が予測されるならば、その分岐の遅延命令の後にある命令列のすべての命令を無効にする。何故なら、それらの命令は、分岐が行われたとき、実行されないからである。例えば、図６で示したように遅延命令が命令列の３番目である場合には、４番目の命令が無効とされる。次のクロックサイクルでは、（すべての無効となった命令を含む）命令列は、命令キューアー５０とキューバイパス経路６２（図２）に渡され、デスチネーションフィールドの値は、レジスタ１５２にロードされ、カウンタ１１６の値は、インデックスフィールド１２８の値となり、命令キャシュ３４がアクセスされ、予測された分岐先命令を含む命令列がフェッチされる。レジスタ１５２のデスチネーションフィールドは、ＯＲ回路１５０を介して、有効性マスク１４８に渡され、その命令列の分岐先命令の前に位置する命令を無効にする。例えば、分岐先命令がその命令列の２番目に位置する場合、有効性マスク１４８はその命令列の最初の命令が無効とする。その命令列は、命令キューアー５０とキューバイパス経路６２に渡される。

この実施例では、すべての分岐予測キャシュエントリは、有効性フィ

ールド１２４が０で初期化される（分岐は予測されない）。プログラムが最初に実行されたとき、夫々の分岐命令の結果は、適当なインデックス値、ソース値、デスティネーション値を設定し、有効性を示すビットを１にすることで、（必要ならば）分岐予測キャシュエントリを更新するのに用いられる。従って、分岐予測はその後で行われる。もしも、前回成立した分岐が後で成立しなかった場合、又は前回成立しなかった分岐が後で成立した場合、（後で説明するように）分岐予測キャシュエントリはその様に更新される（そして正しい命令がフェッチされる）。

更に、ディスパッチレジスタ１８は、そこに格納され、分岐予測された遅延命令の後に位置するスーパースケラー命令をホールドして、分岐先命令と現在の命令が交錯するのを防ぐ。そして、２つの分岐命令がディスパッチレジスタ１８に保持されているとき、ディスパッチレジスタ１８は２番目の分岐に対応するスーパースケラー命令をホールドして、１度に１つの分岐のみが実行されるようにする。

図７－図９は、本発明による命令パイプラインの要素を示す１つの実施例のブロックダイアグラムであり、分岐予測がどのように行われるかを示している。ここでは、可能ならば、参照番号として以前のものを利用する。よく知られているように、ディスパッチレジスタ１８は、命令メモリとタグメモリからなっている。命令メモリ部は、命令列（ライン）を含んでおり、タグメモリは命令メモリの夫々の命令列に対応する仮想アドレスタグ（及び制御情報）を含んでいる。ここでは、命令キャシュ３４のタグメモリ部３４Ａのみが示されている。タグメモリ部３４Ａは、アプリケーション特定ＩＤフィールド（asid[7:0]）、命令キャシュタグ（tag[33:0]、対応する仮想アドレスの上位３４ビット）、有効性を示すビット（Ｖ）及び命令のアドレス空間を示す領域フィールド（r[1:0]）を含んでいる。

図７は、命令パイプラインのフェッチ（Ｆ）ステージを示している。カウンタ１１６Ａ及びカウンタ１１６Ｂは、タグメモリ部３４Ａと分岐キャシュ１１４をアドレスする主Ｆステージプログラムカウンタを構成する。タグメモリ部３４Ａのラインのインデックスであるカウンタ１１６の値（fpc[13:4]）は、通信経路３８Ａを介して、タグメモリ部３４Ａとインクリメント回路１３８に渡される。インクリメント回路１３８は、カウンタ値に１を加え、その増加した値を通信経路１４４介して、マルチプレクサ１４２Ａとマルチプレクサ１４２Ｂに渡す。マルチプレクサ１４２Ａとマルチプレクサ１４２Ｂは、分岐キャシュ１１４から、通信経路１４８を介してインデックスフィールドを受け取り、通信経路１６０を介して（以下に示すように）修正アドレスを受け取る。通信経路１６０の値（pc__jam-bus[13:2]）は、誤った分岐予測や、キャシュミス、その他を修正するのに用いられる。マルチプレクサ１４２Ｂは、分岐キャシュ書き込みアドレス（bcwadr[13:4]）を受け取る。分岐キャシュ１１４を更新するのに用いられたデータ（be__wdata[14:1]）は、通信経路１６８を介して、レジスタ１６４に渡される。マルチプレクサ１４２Ａ及び１４２Ｂは、適当なアドレスを選択し、夫々カウンタ１１６Ａ及びＢに渡す。

レジスタ１７２は、インクリメント回路１３８で増加された値でカウンタ１１６Ａ及び１１６Ｂがロードされたか否か、及びカウンタ１１６Ａ及びＢが通信経路１４８及び通信経路１６０からロードされたか否かを示す並列ロードビット（f __pld）を格納し、レジスタ１７６は、分岐キャシュ１１４エントリのデスティネーションフィールド（通信経路１４８のｂｃ（14:3）のビット（4:3））に対応する値（fpc[3:2]）を格納する。レジスタ１１６Ａ、１７２、１７６の値は、タグメモリ部３４Ａの出力と組み合わされ、キューレジスタＴＢＵＦ０に格納される。

キューレジスタＴＢＵＦ０は、命令キューアー５０の６つの命令バッファＩＢＵＦ０－ＩＢＵＦ５に対応する６つのレジスタ（ＴＢＵＦ０－ＴＢＵＦ５）の１つである。夫々のレジスタＴＢＵＦ０－ＴＢＵＦ５は、命令キューアー５０の中で、夫々先頭の四つ組と後続の四つ組に対応するレジスタを選択するマルチプレクサ１８０及び１８４に接続されている。先頭の四つ組のタグメモリ情報は、通信経路１８８を介して、パイプラインの次のステージに渡される。そして、後続の四つ組のタグメモリ情報は、通信経路１９０を介して、パイプラインの次のステージに渡される。

図８は、命令パイプラインのデコート（Ｄ）ステージとアドレス生成（ＡＤ）ステージを示す。Ｄステージでは、タグメモリ部３４Ａからの先頭の四つ組情報のビット[56:2]は、レジスタ２００に格納され、タグメモリ部３４Ａからの後続の四つ組情報はＤＬＴＡＧレジスタ２０４に格納されている。先頭の四つ組情報の分岐キャシュ１１４エントリのデスティネーションフィールド（fpc[3:2]）があれば、マルチプレクサ２０８に渡される。マルチプレクサ２０８へのほかの入力は、加算器２１４の出力通信経路２１０に接続され、加算器２１４は、通常の順序にしたがった実行のあいだディスパッチされるべき次のポインタ値を含んでいる。マルチプレクサ２０８は、デスティネーションの値または次の命令の値を選択し、その選択された値をＤＬＴＡＧレジスタ２００の出力通信経路２１６に渡す。通信経路２１６は、マルチプレクサ２１８の入力に接続されている。

ＤＬＴＡＧレジスタ２０４に格納された後続の四つ組タグメモリ情報は、マルチプレクサ２１８に渡され、通信経路２２４を介して比較回路２２０に渡される。マルチプレクサ２１８は、次に実行すべき最初の命令に対応したタグ情報を選択し、その通信経路２２６上の選択された情

報をパイプラインのＡステージのＡＴＡＧレジスタに出力する。ディスパッチレジスタポインタ値は、通信経路２２８を介して、加算器２１４に渡され、タグメモリ情報は、通信経路２３０を介して、比較回路２２０に渡され、命令キャシュインデックスは比較回路２３４に渡される。

比較回路２２０は、先頭の四つ組タグと後続の四つ組タグを比較する。もし、それらが一致しなければ、先頭の四つ組命令と後続の四つ組命令は、異なるコンテキストからのものであり、従って、それらは同時にディスパッチすべきではない。これが生じた場合には、スーパースケラー命令を停止するために、信号が通信経路２３８に出力される。

比較回路２３４は、命令キャシュインデックスと、１６進値 "FFF"を比較して、命令キャシュの最後がアドレスされているかを決定する。もし最後のアドレスであれば、キャシュラインの最後で、スーパースケラー命令を停止するのが望ましく、その目的で通信経路２４２に信号が出力される。

加算器２１４は、通信経路２５０を介してディスパッチされた有効な命令の総和を示す値を受け取り、その値はその時のディスパッチレジスタポインタ値を増加させるのに利用され、通信経路加算器２１４上に更新されたディスパッチレジスタポインタ値が生成される。

Ｄステージでは、レジスタ９０（図２も参照されたい）に、（有効な命令も無効な命令も含めて）消費された命令の数を表す値がロードされ、図２と共に説明したように、この値は命令キューアー５０の動作を制御するのに使われる。

Ａステージでは、実際の分岐アドレスが生成される。夫々の分岐命令は先頭分岐命令と、それに続く遅延命令とからなっており、実際の分岐は、遅延命令の後に行われるので、分岐先アドレスは、遅延命令にたいして計算されねばならない。従って、分岐命令を含んだラインに対応す

るタグ情報は、ＡＴＡＧレジスタ２２７に格納され、ライン内でのタグメモリの相対位置を示す値は、マルチプレクサ２５０によって選択され、通信経路２５８を介してＲＥＬＤＬＹレジスタ２５４に格納される。相対的な遅延値は、通信経路２６４を介して、分岐先加算器２６０に渡される。分岐先加算器２６０は、通信経路２６８を介してＡＴＡＧレジスタ２２７の値（ラインの最初の命令のアドレス）を受け取り、通信経路２７６を介して、ＡＯＦＦＳＥＴレジスタ２７２のオフセット値を受け取る。ＡＯＦＦＳＥＴレジスタ２７２は、通信経路２８０を介して分岐命令から２６ビットのオフセット値を受け取り、（必要ならば）分岐先加算器２６０にオフセット値を与える前に、符号拡張回路２８４によりオフセット値のビット[17:2]の符号拡張を行う。ＡＯＦＦＳＥＴレジスタ２７２は又、分岐先加算器２６０によって計算された分岐先アドレスのビット[27:2]を通信経路２９２を介して受けるマルチプレクサ２８８に、２６ビットのオフセット値を渡す。マルチプレクサ２８８は、計算された分岐先アドレスのビット[27:2]を、ＡＯＦＦＳＥＴレジスタ２７２に格納されたオフセット値で置き換える。

分岐先加算器２６０からの出力は、マルチプレクサマルチプレクサ２８９の１つの入力に渡される。マルチプレクサ２８９の他方の入力は、汎用レジスタファイルに接続した通信経路２９６を介して入力したＪＵＭＰ又はＪＵＭＰ　ＲＥＧＩＳＴＥＲ命令からの分岐先アドレスである。従って、分岐がＪＵＭＰ又はＪＵＭＰ　ＲＥＧＩＳＴＥＲ命令によって発生されたのでなければ、選択された分岐先アドレスは、（恐らくマルチプレクサ２８９で修飾された）分岐先加算器２６０からの出力になり、その場合、適当なレジスタで示されたアドレスが優先となる。

このような分岐先アドレス計算回路の特定の構成を取る理由は、通常の分岐命令、ＪＵＭＰ又はＪＵＭＰ　ＲＥＧＩＳＴＥＲ命令といった分

岐命令の異なるタイプから分岐先アドレスが計算される方法に起因する。通常の分岐命令では、相対的な遅延レジスタ値、ＡＴＡＧレジスタ値及びオフセット値は、足し合わされ、分岐先アドレスが生成される。ＪＵＭＰ分岐命令では、ＲＥＬ＿ＤＬＹレジスタ値及びＡＴＡＧレジスタ値は足し合わされ、オフセット値が総和に加えられる。ＪＵＭＰ　ＲＥＧＩＳＴＥＲ分岐命令では、分岐先アドレスを生成するのに通信経路２９６からのレジスタ値が用いられる。

ＡＴＡＧレジスタ２２７とＲＥＬＤＬＹレジスタ２５４からの値は、リターンアドレス加算器３００にも渡される。リターンアドレス加算器３００は、サブルーチン実行での分岐の時に、リターンアドレスを計算するのに用いられる。サブルーチンが終了すると、それを呼び出した命令の直後の命令に戻るのが望ましい。従って、リターンアドレス加算器３００は、タグ、インデックス及び相対遅延の和に＋１を加え、サブルーチンを呼び出した分岐命令の遅延スロットの後の命令のアドレスを生成する。リターンアドレスは通信経路３０４に出力される。

図９は、パイプラインの実行（Ｅ）ステージと書き戻し（Ｗ）ステージを示す。ＡＴＡＧレジスタ２２７の内容は、通信経路３０８を介して、ＥＴＡＧレジスタ３１８に渡され、通信経路３０９を介して、比較回路３４１に渡される。ＲＥＬＤＬＹレジスタ２５４の内容は、通信経路３１２を介して、Ｅ＿ＲＥＬ＿ＤＬＹレジスタ３２２に渡され、リターンアドレス加算器３００からの計算されたリターンアドレスは、通信経路３０４を介して、リンク値（ＬＮＶＡＬ）レジスタ３２６に渡される。そして、マルチプレクサ２８９からの選択された分岐先アドレスは、通信経路３１４を介して、ＢＲ＿ＴＡＲＧレジスタ３３０に渡される。ＥＰＣレジスタ３３４は、プログラムがＥステージで実行するとおもわれる命令の実際のアドレスを格納し、ＡＳＩＤレジスタは、その命令で使

われるデータがキャシュ可能かどうかを示すコヒーレンス値と共に、実行すべき命令のプログラム制御ＡＳＩＤを格納する。

（フェッチされたMに対応する）ＥＴＡＧレジスタ３１８に格納されたＡＳＩＤとタグは、（実際に実行されるであろう命令に対応する）ＡＳＩＤレジスタ３３８とＥＰＣレジスタ３３４からのＡＳＩＤとタグと、比較回路３３９で比較され、（プログラムに応じて）実行予測のされた実際の命令が、実際に命令キャシュからフェッチされた命令であるか否かを判定する。もしも値が一致しなければ、通信経路３４０に、命令キャシュミス信号が送られる。

この時、ＡＴＡＧレジスタ２２７の値は、予測された分岐先命令を含むラインに対応し、ＴＡＲＧレジスタ３３０の値は、実際の分岐先アドレスに対応する。従って、通信経路３０９を介してＡＴＡＧレジスタ２２７から受け取ったインデックスフィールド及びデスティネーションフィールド（予測された分岐先アドレス）は、通信経路３４３を介してＴＡＲＧレジスタ３３０から受け取った計算された分岐先アドレスと、比較回路３４１によって比較され、実行予測のされた実際の分岐先命令が、実際に命令キャシュからフェッチされた予測された分岐先命令であるか否かを判定する。もしも値が一致しなければ、通信経路３４５に、分岐キャシュミス（分岐予測ミス）信号が送られる。

ＥＰＣレジスタ３３４の値は、パイプラインの書き戻しステージのＷＰＣレジスタ３５４に渡され、通信経路３５８を介して、マルチプレクサ３６２の１つの入力に渡される。マルチプレクサ３６２のほかの入力は、通信経路３６６を介して、ＷＰＣレジスタ３５４の値（１サイクル遅延したＥＰＣレジスタ３３４の元の値）を受ける。マルチプレクサ３５０は、これらの値の１つを選択し、その選択された値をＥＰＣ加算器３５０の１つの入力に渡す。ＥＰＣ加算器３５０は、通常の動作では、

ＥＰＣレジスタ３３４の値を更新する役割がある。ＥＰＣレジスタ３３４の値は、普通通常動作で選択され、ＷＰＣレジスタ３５４の値は、例外動作で選択される。

ＥＰＣ加算器３５０の別の入力は、マルチプレクサ３６６に接続している。マルチプレクサ３６６への一方の入力は、ディスパッチレジスタ１８からディスパッチされた有効な命令の数であり、他方の入力は、例外調整値３６９（－１から＋３）である。通常動作では、ＥＰＣレジスタ３３４からの値は、ディスパッチレジスタ１８からディスパッチされた有効な命令の数で増加され、ＥＰＣレジスタ３３４の値を実行すべき次の命令に移す。例外が起こった場合（トラップ、命令キャシュミス、その他）、例外調整値は、ＷＰＣレジスタ３５４の値に加えられ、例外をおこした命令を示す。遅延命令で例外が生じた場合、－１の値が使われる。それは、この場合では、その直前の分岐命令へポイントを移すのが望ましいからである。どの命令が例外をおこしたかを示す値は、ＥＰＣ－ＣＯＰレジスタ３７０に格納されている。ＥＰＣ－ＣＯＰレジスタ３７０は、マルチプレクサ３７４を介してほかの例外が起こるまで、その現在の値で再ロードされる。ＴＲＡＰ－ＢＡＳＥレジスタ３７６は、例外が起こったときにプログラムが移動すべきアドレスを保持し、この値をマルチプレクサ３７７に渡す。マルチプレクサ３７７への他の入力は、リセットベクトル値である。これらの値の１つが選択され、通信経路３７９へ出力される。

マルチプレクサ３８０は、例外から戻ったとき、通信経路３８４を介してＥＰＣ－ＣＯＰレジスタ３７０からの値、例外状態での通信経路３７９からのベクトルアドレス vector __add [47:0]、分岐の為の通信経路３８８を介しての計算された分岐先アドレス、命令キャシュミスでＥＰＣ値を保持するために通信経路３５８からＥＰＣ値、及び通信経路３

９６介して更新されたＥＰＣ値を受け取る。選択された値は、通信経路４３０に出力され（PC__JAM __BUS[47:0]）、その通信経路のビット[13:2]は、図８に示されているようにＦステージに供給される修正値であり、これによって命令キャシュ、タグメモリ部３４Ａ及び分岐キャシュ１１４にインデックスが与えられる。

通常の動作では、更新されたＥＰＣ値は、マルチプレクサ３８０で選択され、ＥＰＣレジスタ３３４にロードされる。分岐キャシュミスが起こったとき、マルチプレクサ３８０は、計算された分岐先アドレスを選択し、通信経路１６０を介して、新たな分岐先アドレスを分岐キャシュ１１４に渡す（図８）。分岐キャシュ１１４を更新するために用いられる書き込みアドレスは、分岐キャシュアドレス加算器４００で計算され、この分岐キャシュアドレス加算器４００は、ＥＰＣレジスタ３３４の値をＥ__ＲＥＬ__ＤＬＹレジスタ３２２の値に加え、通信経路４０４に書き込みアドレスを生成する。通信経路４０４のビットの値は、遅延命令の位置に対応し、分岐予測キャシュエントリのソースフィールドとして用いられることに注意すべきである。通信経路１６８の残りの書き込みデータは、計算された分岐先アドレスのビットからなっており、この分岐先アドレスは更新されたインデックス及びデスティネーションフィールドエントリである。

産業上の利用可能性

以上は本発明の好適な実施例であり、様々な変形は、本発明の趣旨の範囲で可能である。従って、本発明の範囲は、請求の範囲によって決められるべきである。

本発明によれば、直前にディスパッチされた命令の数にも、命令のタイプやその配置にも拘らず、４つの命令が常にディスパッチ可能である様に準備され、命令の供給がスムーズに行われ、実行速度が向上する。

又、命令がフェッチされた時点で分岐の予測が行われ、分岐先命令が直ちにフェッチされることで、分岐命令が実行された直後に分岐先命令が準備されるので、分岐に伴う実行速度の低下が最少になる。

請 求 の 範 囲

1．夫々、並列出力の可能なＮ個の命令を格納する、第１及び第２の命令格納回路と、

Ｌは前記Ｎと等しいか小さいとし、前記第１の命令格納回路に格納されたＬ個の命令をディスパッチし、前記第１の命令格納回路に接続された命令ディスパッチ回路と、

前記第１及び第２の命令格納回路に接続され、Ｌ個の命令が前記第１の命令格納回路からディスパッチされた後で且つ別の命令が前記第１の命令格納回路からディスパッチされる前に、Ｌ個の命令を前記第２の命令格納回路から前記第１の命令格納回路にロードする命令ロード回路とを備えた計算機システム内部で命令を処理する装置。

2．前記命令ロード回路は、前記第２の命令格納回路から、Ｌ個の命令を、前記第１の命令格納回路からディスパッチされたＬ個の命令によって占められていた位置にロードする請求項１に記載の装置

3．並列出力の可能なＮ個の命令を格納する命令格納回路と、

Ｌは前記Ｎと等しいか小さいとし、前記命令格納回路に格納されたＬ個の命令をディスパッチし、前記命令格納回路に接続された命令ディスパッチ回路と、

命令メモリからＮ個の命令のＭ個のラインを格納する命令キューと、

前記命令格納回路と前記命令キューに接続され、Ｌ個の命令が前記命令格納回路からディスパッチされた後で且つ別の命令が前記命令格納回路からディスパッチされる前に、Ｌ個の命令を前記命令キューから第１の命令格納回路にロードする命令ロード回路とを備えた計算機システム内部で命令を処理する装置。

4．前記命令ロード回路は、前記命令格納回路から、Ｌ個の命令を、前

記命令格納回路からディスパッチされたＬ個の命令によって占められていた位置にロードする請求項３に記載の装置。

５．前記命令ディスパッチ回路は、前記命令格納回路にディスパッチすべき次の命令の位置を示す値を格納するディスパッチポインタを有する請求項３に記載の装置。

６．前記ディスパッチポインタは、モジュローＮカウンタである請求項５に記載の装置。

７．前記命令キューは、前記命令キューから前記命令格納回路にディスパッチすべき次の命令の位置を示す値を格納するキューポインタを有する請求項６に記載の装置。

８．前記命令キューは、更に前記キューポインタに接続され、キューからＮ個の命令を選択し、このＮ個の命令を命令格納回路に出力するマルチプレクサを有する請求項７に記載の装置。

９．前記マルチプレクサは、キューポインタ値から、Ｎ個の次の命令を選択する請求項８に記載の装置。

１０．命令メモリから命令キューにＮ個の命令を同時にロードするキューローディング回路を更に備えた請求項９に記載の装置。

１１．周期的なクロックパルスを生成するクロックを更に備え、前記キューローディング回路は、前記命令メモリから、クロックパルス毎に、前記命令キューの空いたラインにＮ個の命令を同時にロードする請求項１０に記載の装置。

１２．前記キューローディング回路は、前記命令メモリから、前記命令キューに空いたラインがない場合、前記命令メモリから命令キューへの命令のロードを禁止するロード禁止回路を含む請求項１０に記載の装置。

１３．前記命令キューは、入力通信経路を含み、この入力通信経路から命令格納回路へ命令を直接渡す為に、前記命令格納回路と前記入力通信

経路に接続されたキューバイパス経路を更に含む請求項３に記載の装置。

１４．複数の命令の複数の列を格納した命令メモリと、

命令メモリの分岐命令が実行されたとき、その分岐命令で指定される分岐が成功するか否かを予測するための情報を含む分岐予測エントリを複数格納した分岐メモリとを備えた計算機システム内部で命令を処理する装置。

１５．夫々の分岐予測エントリは、分岐が成功したときに実行される分岐先命令を含むラインの分岐先アドレスを示す分岐先フィールドを含む請求項１４に記載の装置。

１６．夫々の分岐予測エントリは、分岐命令が実行されたとき、命令メモリに格納された分岐命令によって示される分岐が成功するか否かを示す１ビットの分岐予測フィールドを含む請求項１４に記載の装置。

１７．夫々の分岐予測エントリは、命令メモリの１つのラインに対応している請求項１４に記載の装置。

１８．夫々の分岐予測エントリは、分岐が成功したときに実行される分岐先命令を含むラインの分岐先アドレスを示す分岐先フィールドを含む請求項１７に記載の装置。

１９．夫々の分岐予測エントリは、分岐先命令が、分岐先アドレスによって指示されるライン内の何処に位置するかを示すデスティネーションフィールドを含む請求項１８に記載の装置。

２０．夫々の分岐予測エントリは、分岐命令が分岐先アドレスに対応するライン内の何処に位置するかを示すソースフィールドを含む請求項１８に記載の装置。

２１．命令メモリをアドレスするのに用いられるアドレス値を保持するカウンタと、

通常の動作の時に、命令メモリ内のラインを順にアドレスするため

にカウンタのアドレス値をインクリメントするインクリメント回路と、

命令メモリ内の分岐命令によって指示された分岐が、その分岐命令の実行の際に成功するという予測が分岐予測エントリによって行われた場合、分岐先アドレスをカウンタにロードするカウンタローディング回路を更に備えた請求項２０に記載の装置。

２２．ソースフィールドに応答して、前記アドレス値によってアドレスされたライン内の命令を無効にする無効化回路を更に備えた請求項２１に記載の装置。

２３．デスティネーションフィールドに応答して、前記アドレス値によってアドレスされたライン内の命令を無効にする無効化回路を更に備えた請求項２１に記載の装置。

２４．ソースフィールドに応答して、（１）前記アドレス値によってアドレスされたライン内の分岐命令の後に位置する命令を無効にし、デスティネーションフィールドに応答して、前記アドレス値によってアドレスされたライン内の分岐先命令の前に位置する命令を無効にする無効化回路を更に備えた請求項２１に記載の装置。

FIG.1

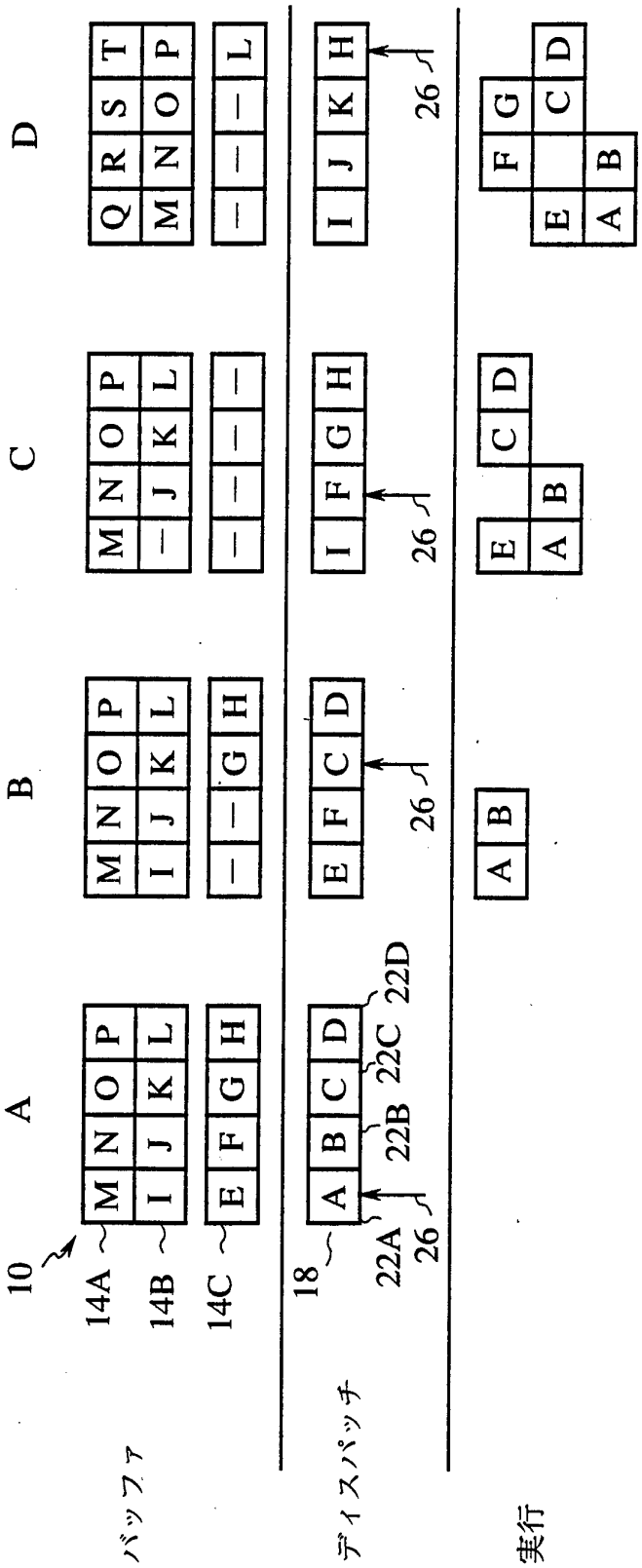


FIG.2

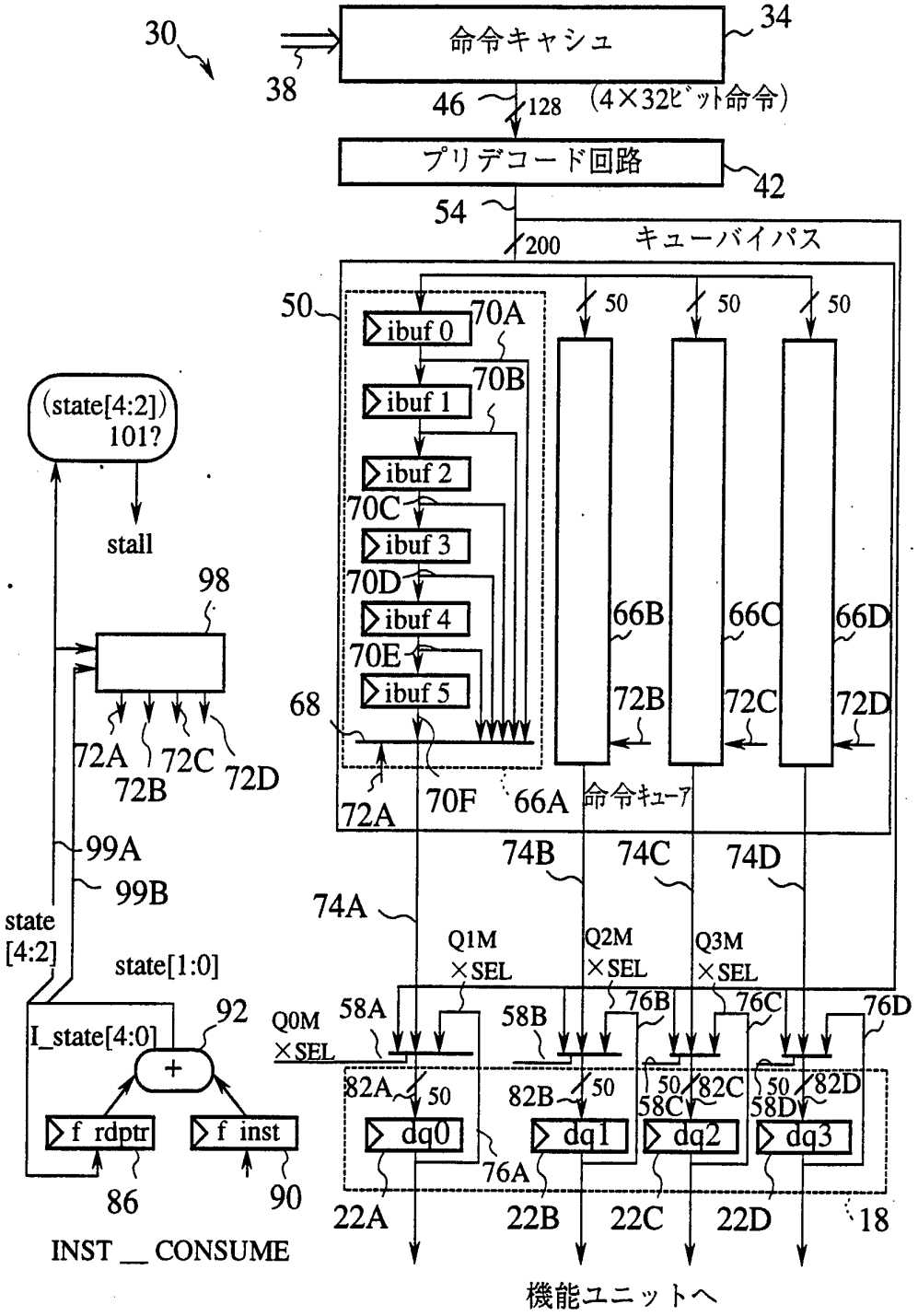

30
命令キャシュ
34
38
46
128
(4×32ビット命令)
プリデコード回路
42
54
200
キューバイパス
50
70A
ibuf 0
70B
ibuf 1
ibuf 2
70C
ibuf 3
70D
ibuf 4
70E
ibuf 5
68
66A
命令キュー
66B
66C
66D
72A
72B
72C
72D
70F
(state[4:2])
101?
stall
98
99A
99B
state
[4:2]
state[1:0]
I_state[4:0]
92
+
f_rdptr
f_inst
86
90
INST__CONSUME
74A
74B
74C
74D
Q1M
×SEL
Q2M
×SEL
Q3M
×SEL
Q0M
×SEL
58A
58B
58C
58D
76A
76B
76C
76D
82A
82B
82C
82D
dq0
dq1
dq2
dq3
22A
22B
22C
22D
18
機能ユニットへ

FIG.3

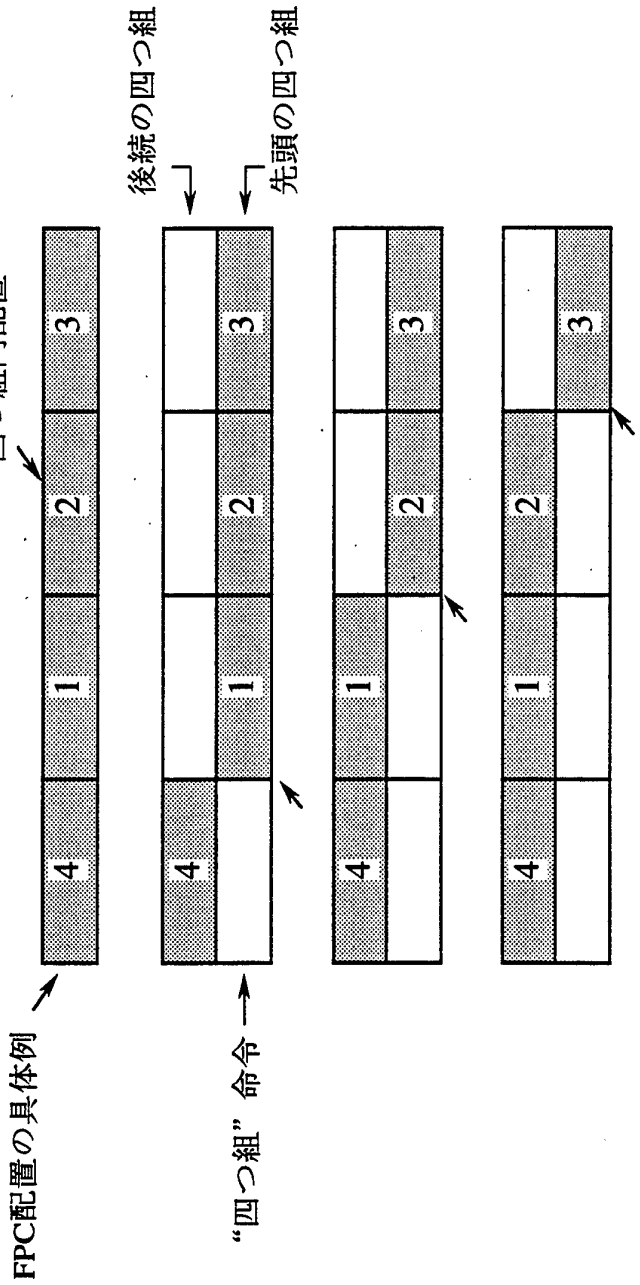


FIG.4

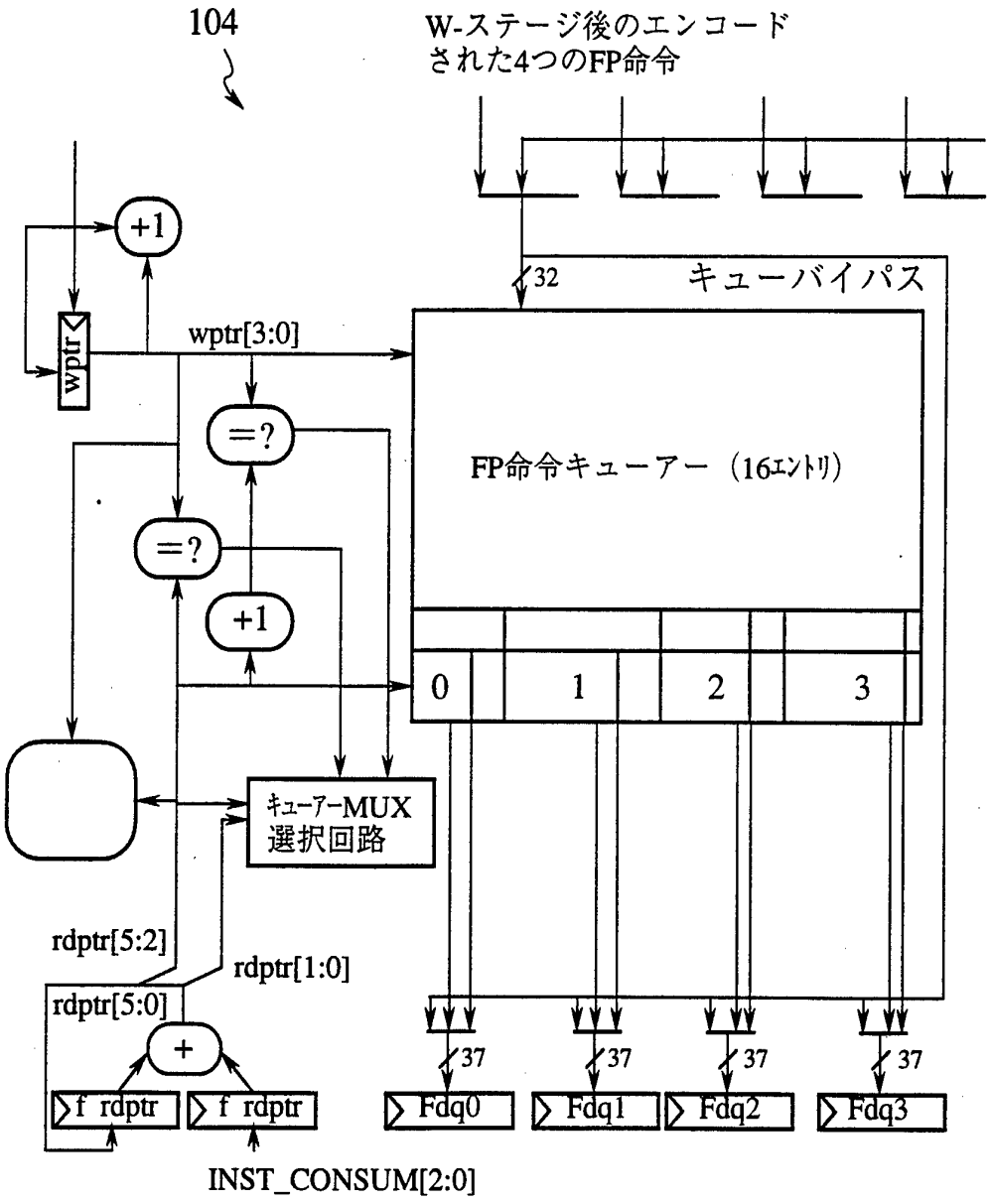

104
W-ステージ後のエンコードされた4つのFP命令
32
キューバイパス
+1
wptr
wptr[3:0]
=?
=?
+1
FP命令キューアー（16エントリ）
0
1
2
3
キューアーMUX選択回路
rdptr[5:2]
rdptr[1:0]
rdptr[5:0]
+
f_rdptr
f_rdptr
INST_CONSUM[2:0]
37
37
37
37
Fdq0
Fdq1
Fdq2
Fdq3

FIG.5

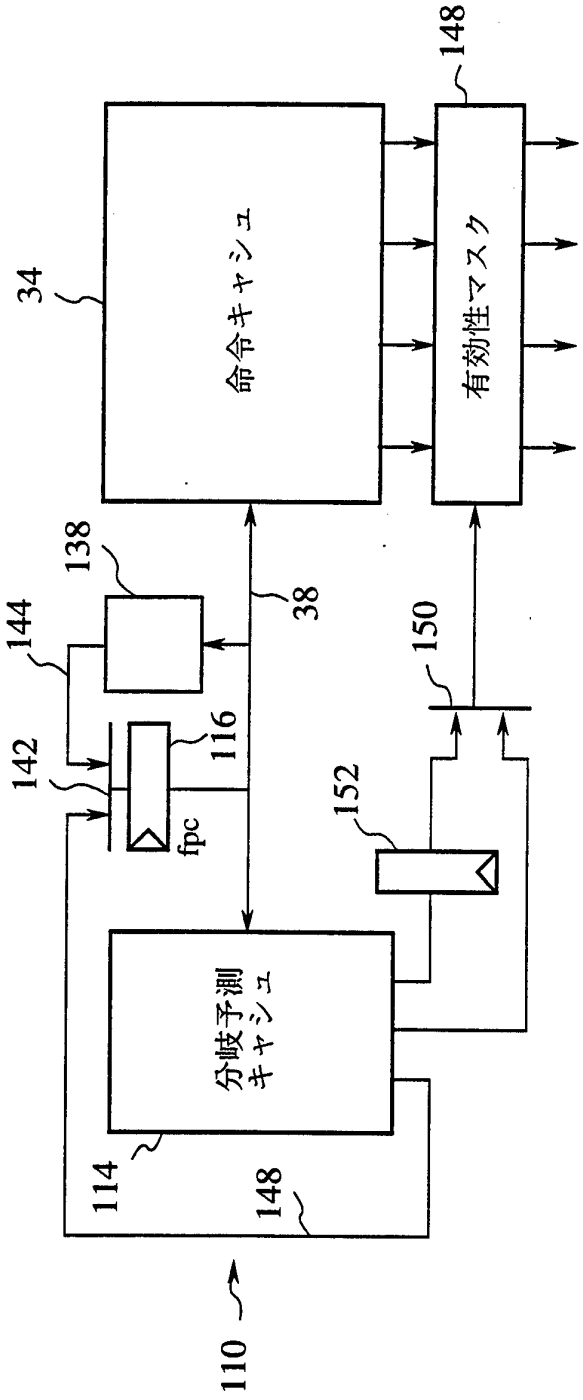

148
34
命令キャシュ
有効性マスク
138
144
38
150
142
116
fpc
152
分岐予測
キャシュ
114
148
110

FIG.6

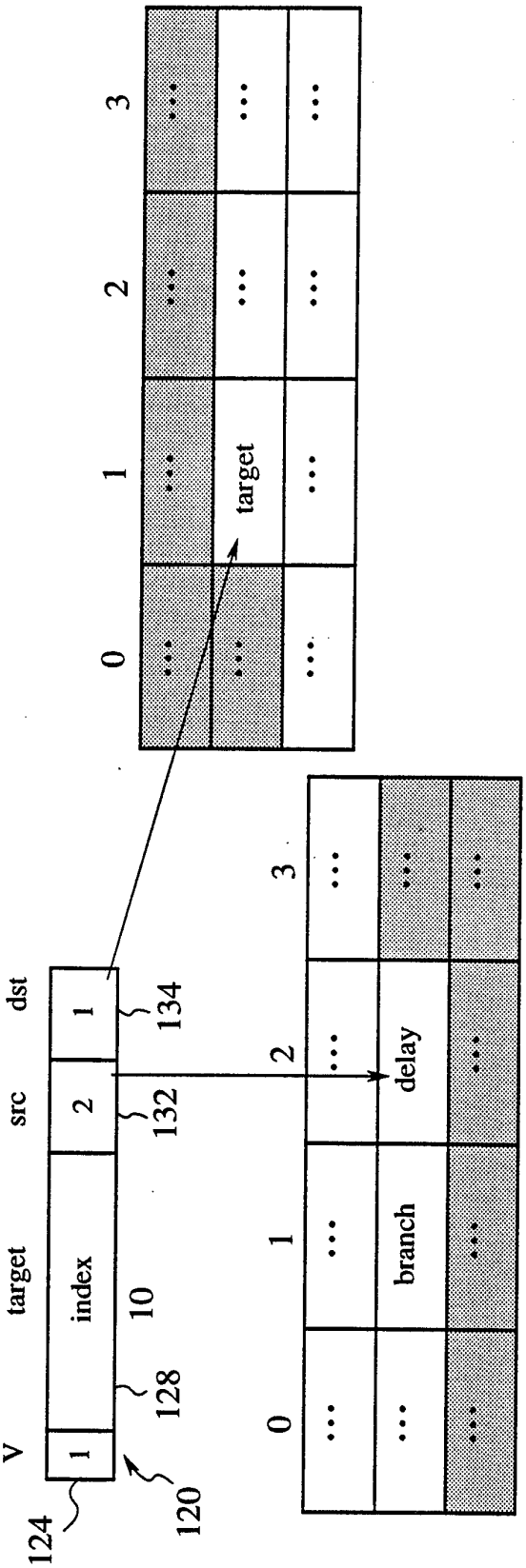

V
target
index
src
dst
1
10
2
1
124
120
128
132
134
0
1
2
3
branch
delay
target

FIG.7

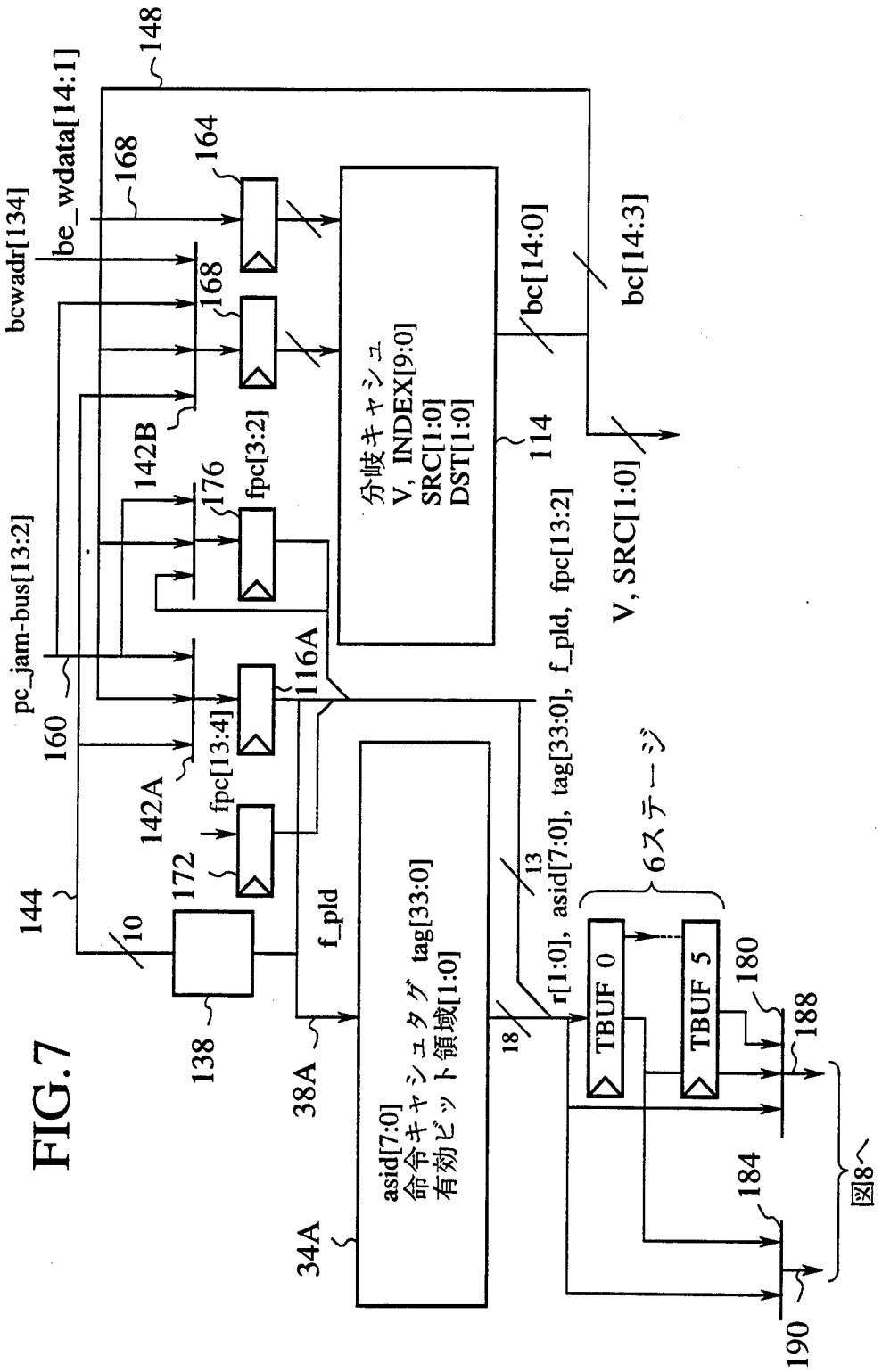

148
be_wdata[14:1]
bcwadr[134]
168
164
168
142B
176
fpc[3:2]
分岐キャッシュ
V, INDEX[9:0]
SRC[1:0]
DST[1:0]
bc[14:0]
bc[14:3]
114
V, SRC[1:0]
pc_jam-bus[13:2]
160
142A
fpc[13:4]
116A
f_pld, fpc[13:2]
144
10
172
138
f_pld
38A
asid[7:0]
命令キャッシュタグ tag[33:0]
有効ビット領域[1:0]
34A
13
r[1:0], asid[7:0], tag[33:0],
6ステージ
18
TBUF 0
TBUF 5
180
188
184
190
図8

FIG.8

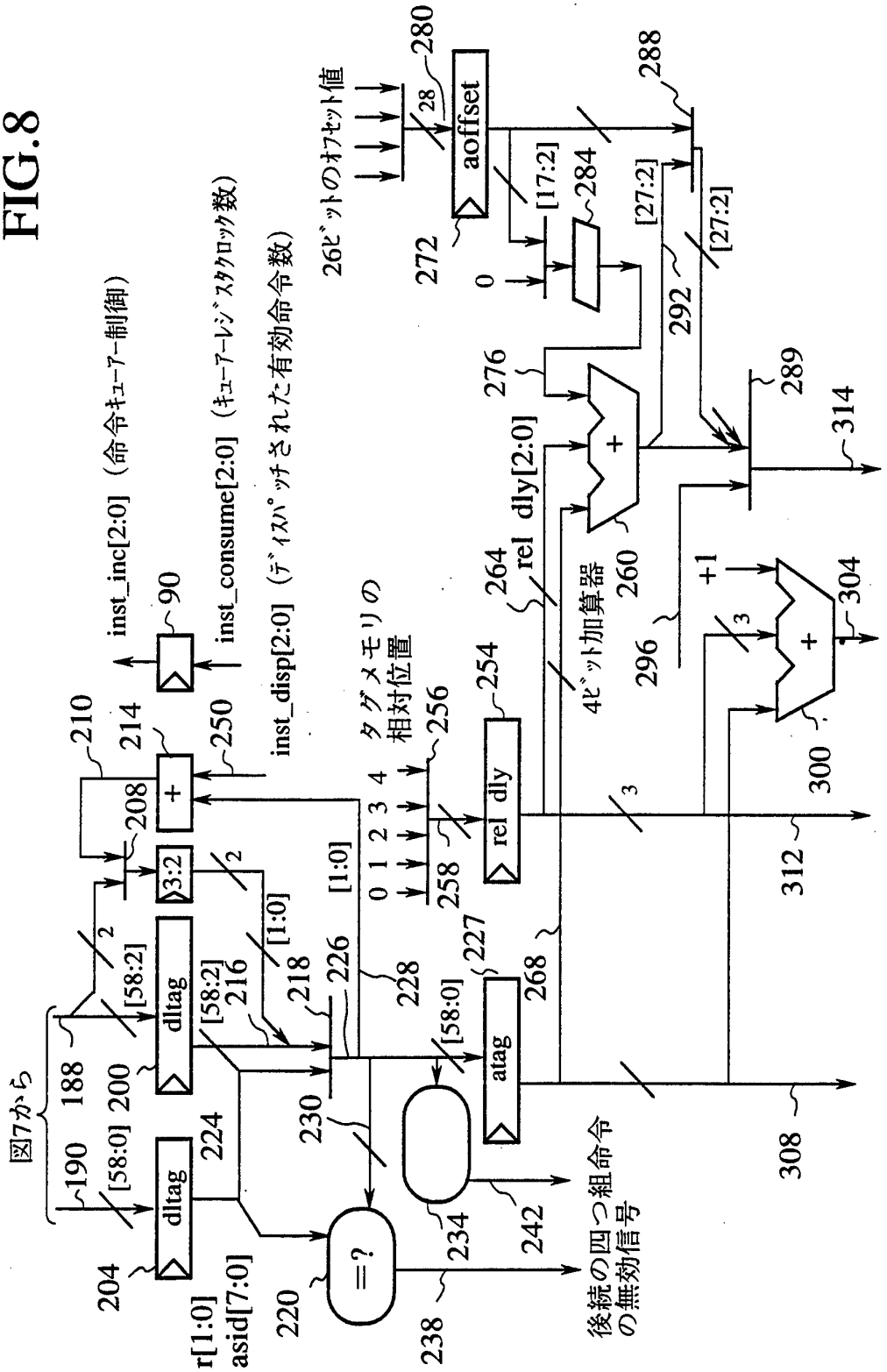


図7から
dltag
dltag
3:2
+
inst_inc[2:0]（命令キューアー制御）
inst_consume[2:0]（キューアーレジスタクロック数）
inst_disp[2:0]（ディスパッチされた有効命令数）
タグメモリの相対位置
0 1 2 3 4
rel dly
atag
=?
r[1:0]
asid[7:0]
後続の四つ組命令の無効信号
26ビットのオフセット値
aoffset
rel dly[2:0]
4ビット加算器
+1
+
[58:0]
[58:2]
[1:0]
[17:2]
[27:2]
190
188
200
204
210
214
208
250
90
216
218
226
228
230
220
234
238
242
254
256
258
227
268
264
276
260
272
280
284
288
292
289
314
296
300
304
308
312

FIG.9

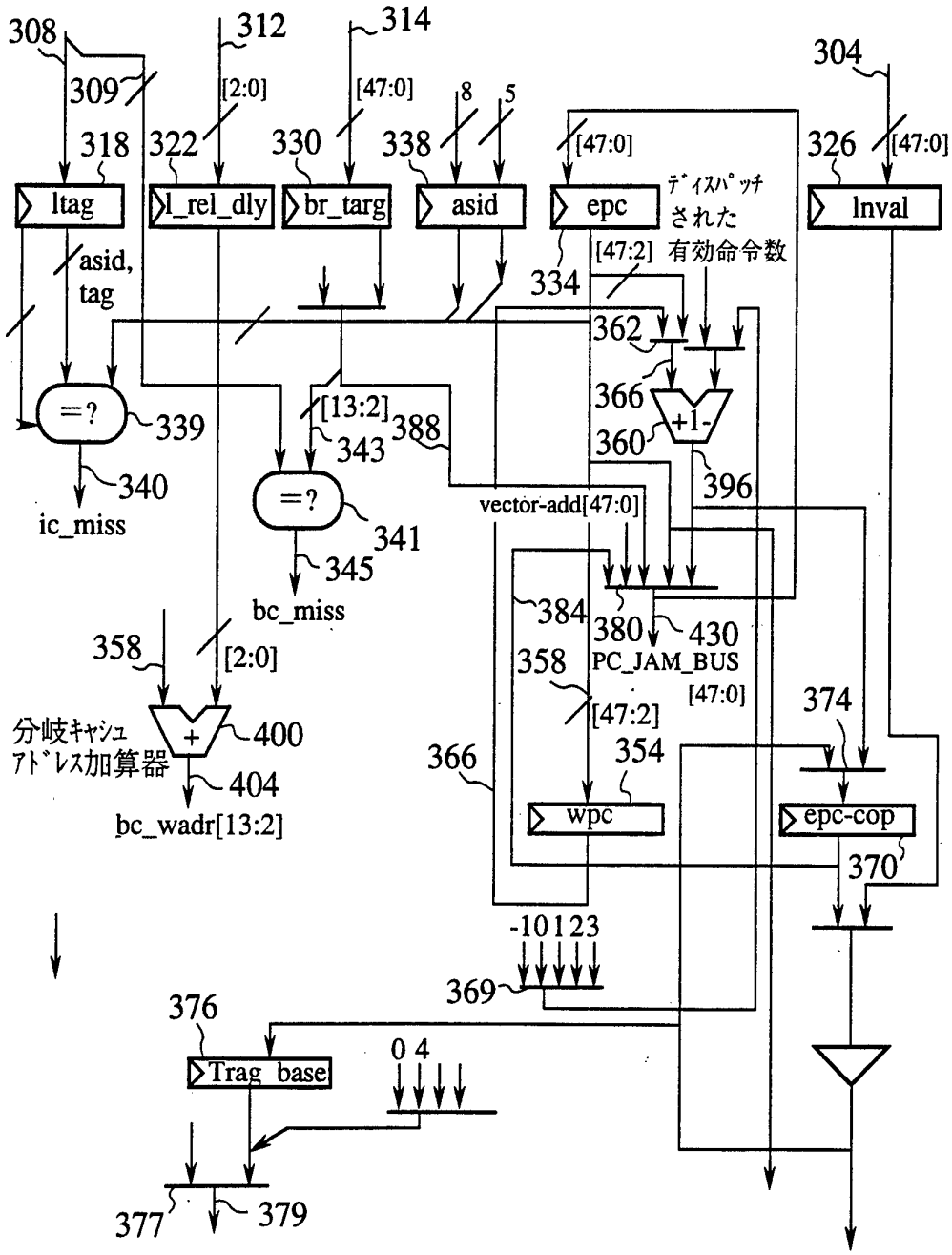
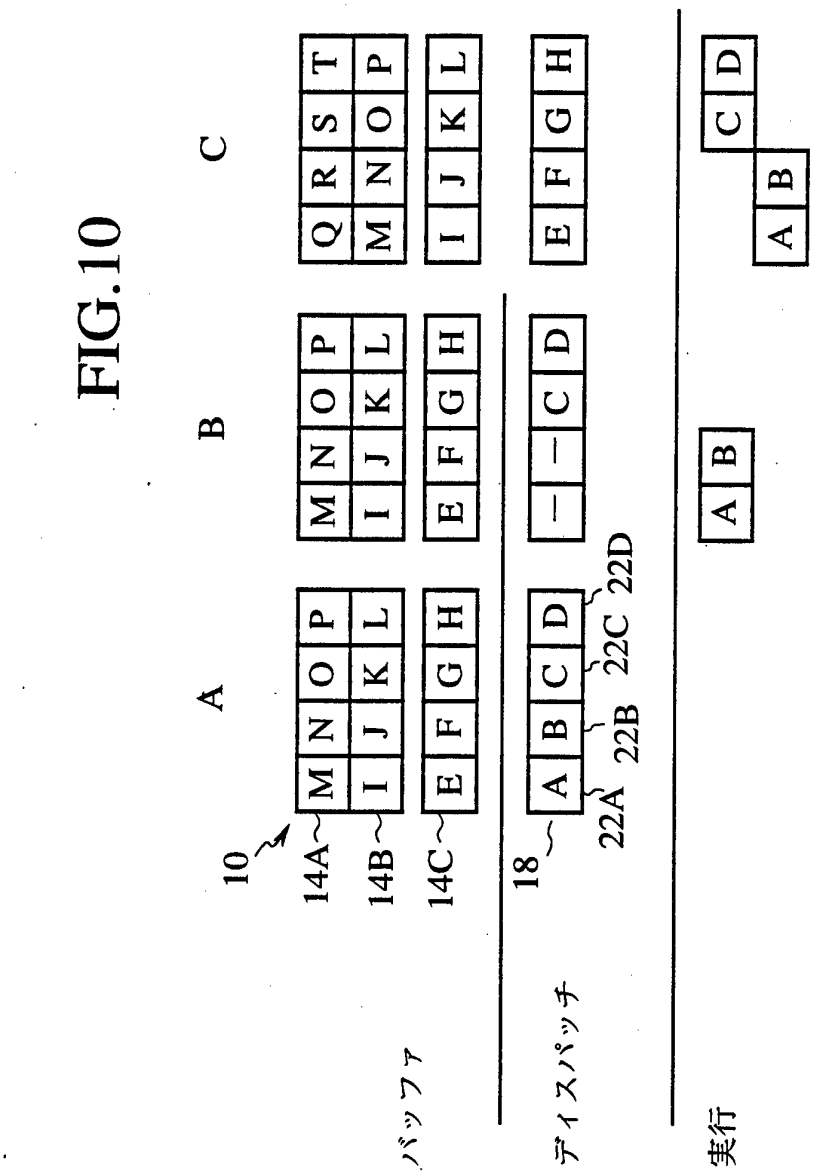

308
309
312
[2:0]
314
[47:0]
8
5
304
318
322
330
338
[47:0]
326
[47:0]
ltag
l_rel_dly
br_targ
asid
epc
ディスパッチ
された
有効命令数
lnval
asid,
tag
334
[47:2]
362
366
+1-
=?
339
[13:2]
343
388
360
396
340
ic_miss
=?
341
vector-add[47:0]
345
bc_miss
384
380
430
PC_JAM_BUS
[47:0]
358
[2:0]
358
[47:2]
374
分岐キャシュ
アドレス加算器
+
400
404
bc_wadr[13:2]
366
354
wpc
epc-cop
370
-10123
369
376
Trag_base
0 4
377
379

FIG.10


A
B
C
10
14A
14B
14C
18
22A
22B
22C
22D
M N O P
I J K L
E F G H
A B C D
— — C D
E F G H
Q R S T
M N O P
I J K L
A B
C D
バッファ
ディスパッチ
実行

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP94/02112

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl^6 G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl^6 G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995
Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 57-29153 (Fujitsu Ltd.), February 17, 1982 (17. 02. 82) (Family: none)	1-13
A	JP, A, 57-152046 (Mitsubishi Electric Corp.) September 20, 1982 (20. 09. 82) (Family: none)	5-12
A	JP, A, 50-152629 (Hitachi, Ltd.), December 8, 1975 (08. 12. 75), Fig. 1 (Family: none)	13
Y	JP, A, 59-91549 (NEC Corp.), May 26, 1984 (26. 05. 84) & US, A, 4984154	14-24

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
February 15, 1995 (15. 02. 95)	March 7, 1995 (07. 03. 95)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号 PCT/JP 94/02112

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl[6] G06F9/38

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl[6] G06F9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926－1995年
日本国公開実用新案公報 1971－1995年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP, A, 57－29153（富士通株式会社）, 17. 2月. 1982（17. 02. 82）（ファミリーなし）	1－13
A	JP, A, 57－152046（三菱電機株式会社）, 20. 9月. 1982（20. 09. 82）（ファミリーなし）	5－12
A	JP, A, 50－152629（株式会社 日立製作所）, 8. 12月. 1975（08. 12. 75）, 第1図（ファミリーなし）	13

☑ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
15. 02. 95

国際調査報告の発送日
07.03.95

名称及びあて先
日本国特許庁（ISA/JP）
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
井上 正 5B 8120

電話番号 03－3581－1101 内線 3547

C（続き）．　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP, A, 59-91549（日本電気株式会社）, 26. 5月. 1984（26. 05. 84） &US, A, 4984154	14-24