【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成19年1月25日(2007.1.25)

【公開番号】特開2000-341125(P2000-341125A)
【公開日】平成12年12月8日(2000.12.8)
【出願番号】特願平11-342592
【国際特許分類】
Ｈ０３Ｍ　1/68　(2006.01)
Ｇ０２Ｆ　1/133　(2006.01)
Ｇ０９Ｇ　3/20　(2006.01)
Ｇ０９Ｇ　3/36　(2006.01)
Ｈ０３Ｍ　1/74　(2006.01)
【ＦＩ】
Ｈ０３Ｍ　1/68
Ｇ０２Ｆ　1/133
Ｇ０９Ｇ　3/20　６２３Ｆ
Ｇ０９Ｇ　3/36
Ｈ０３Ｍ　1/74

【手続補正書】
【提出日】平成18年11月30日(2006.11.30)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
ｎ個の容量と、第１乃至第３の電源線と、リセットスイッチと、出力端子と、を有し、
前記ｎ個の容量の一方の電極は、前記出力端子に接続されており、
前記ｎ個の容量の一方の電極は、前記リセットスイッチを介して前記第３の電源線に接続されており、
前記ｎ個の容量の他方の電極と、前記第１又は第２の電源線のいずれか一との接続を選択する手段を有し、
前記第３の電源線の電位を基準電位としたアナログ信号を前記出力端子から出力することを特徴とするＤ／Ａ変換回路。
【請求項２】
ｍ個の容量と、（ｎ－ｍ）個の容量（ｍ及びｎは自然数、ｍ＜ｎ）と、
第１乃至第３の電源線と、第１及び第２のリセットスイッチと、出力端子と、カップリング容量と、を有し、
前記ｍ個の容量の一方の電極は、前記第１のリセットスイッチを介して前記第１の電源線と接続されており、
前記ｍ個の容量の一方の電極は、前記カップリング容量の一方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記カップリング容量の他方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記出力端子に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記第２のリセットスイッチを介して前記第３の電源線に接続されており、

前記ｍ個及び（ｎ－ｍ）個の容量の他方の電極と、前記第１又は第２の電源線のいずれか一との接続を選択する手段を有し、
前記第３の電源線の電位を基準電位としたアナログ信号を前記出力端子から出力することを特徴とするＤ／Ａ変換回路。
【請求項３】
ｍ個の容量と、（ｎ－ｍ）個の容量（ｍ及びｎは自然数、ｍ＜ｎ）と、
第１乃至第４の電源線と、第１及び第２のリセットスイッチと、出力端子と、カップリング容量と、を有し、
前記ｍ個の容量の一方の電極は、前記第１のリセットスイッチを介して前記第４の電源線と接続されており、
前記ｍ個の容量の一方の電極は、前記カップリング容量の一方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記カップリング容量の他方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記出力端子に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記第２のリセットスイッチを介して前記第３の電源線に接続されており、
前記ｍ個及び（ｎ－ｍ）個の容量の他方の電極と、前記第１又は第２の電源線のいずれか一との接続を選択する手段を有し、
前記第３の電源線の電位を基準電位としたアナログ信号を前記出力端子から出力することを特徴とするＤ／Ａ変換回路。
【請求項４】
ｍ個の容量と、（ｎ－ｍ）個の容量（ｍ及びｎは自然数、ｍ＜ｎ）と、
第１乃至第３の電源線と、第１及び第２のリセットスイッチと、出力端子と、容量がＣであるカップリング容量と、を有し、
前記ｍ個の容量のうち第１番目の容量の容量値をＣとすると、第ｍ番目の容量の容量値はCの2^{m-1}倍であり、
前記（ｎ－ｍ）個の容量のうち第１番目の容量の容量値をＣとすると、第（ｎ－ｍ）番目の容量の容量値はCの2^{n-m-1}倍であり、
前記ｍ個の容量の一方の電極は、前記第１のリセットスイッチを介して前記第１の電極と接続されており、
前記ｍ個の容量の一方の電極は、前記カップリング容量の一方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記カップリング容量の他方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記出力端子に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記第２のリセットスイッチを介して前記第３の電源線に接続されており、
前記ｍ個及び（ｎ－ｍ）個の容量の他方の電極と、第１又は第２の電源線のいずれか一との接続を選択する手段を有し、
前記第３の電源線の電位を基準電位としたアナログ信号を前記出力端子から出力することを特徴とするＤ／Ａ変換回路。
【請求項５】
ｍ個の容量と、（ｎ－ｍ）個の容量（ｍ及びｎは自然数、ｍ＜ｎ）と、
第１乃至第４の電源線と、第１及び第２のリセットスイッチと、出力端子と、容量がＣであるカップリング容量と、を有し、
前記ｍ個の容量のうち第１番目の容量の容量値をＣとすると、第ｍ番目の容量の容量値はCの2^{m-1}倍であり、
前記（ｎ－ｍ）個の容量のうち第１番目の容量の容量値をＣとすると、第（ｎ－ｍ）番目の容量の容量値はCの2^{n-m-1}倍であり、

前記ｍ個の容量の一方の電極は、前記第１のリセットスイッチを介して前記第４の電源線と接続されており、
前記ｍ個の容量の一方の電極は、前記カップリング容量の一方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記カップリング容量の他方の電極に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記出力端子に接続されており、
前記（ｎ－ｍ）個の容量の一方の電極は、前記第２のリセットスイッチを介して前記第３の電源線に接続されており、
前記ｍ個及び（ｎ－ｍ）個の容量の他方の電極と、第１又は第２の電源線のいずれか一との接続を選択する手段を有し、
前記第３の電源線の電位を基準電位としたアナログ信号を前記出力端子から出力することを特徴とするＤ／Ａ変換回路。
【請求項６】
請求項１乃至請求項５のいずれか一項に記載のＤ／Ａ変換回路を有するアクティブマトリックス型表示装置。