

申請日期：	89-10-13	案號：	89121435
類別：	H01L 21/76		

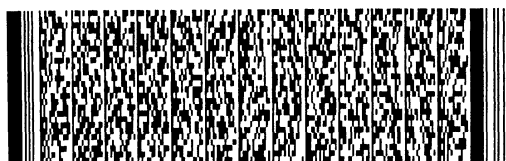
(以上各欄由本局填註)

公告本

發明專利說明書

522509

一、 發明名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THE SAME
二、 發明人	姓 名 (中文)	1. 富田和朗
	姓 名 (英文)	1. 富田和朗
	國 籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社内
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式会社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/12/15 11-355645

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於半導體裝置，特別係關於半導體積體電路裝置的隔離氧化膜和被它包圍的電性主動區域的圖案。

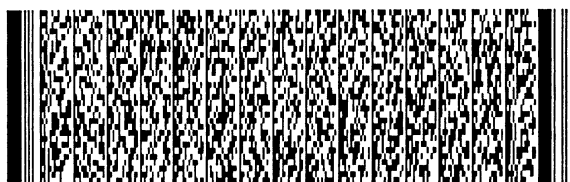
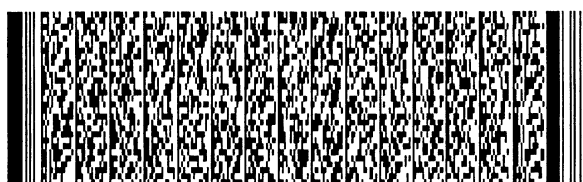
【習知技術】

近年來，隨著半導體積體電路裝置中元件的微細化、高集成化，其設計尺寸愈發微細，處理也變得很複雜。尤其在元件間的隔離上，適合微細化的溝渠型隔離氧化膜被廣泛使用，其不損害電性主動元件區域的性能，可在溝渠內良好地埋置隔離氧化膜，並且可利用可靠性良好的CMP法進行研磨，這是非常重要的。

圖9是習知半導體裝置形成元件隔離後的平面圖。如圖所示，形成元件的電性主動元件區域的圖案1(以下稱為正式圖案1)被隔離區域2包圍地配置。特別地，1a是電性主動元件區域的微細寬度圖案(以下稱為微細正式圖案1a)。

圖10是圖9所示的習知半導體裝置形成元件隔離後的剖面圖。圖10(a)表示圖9的A9-A9線的剖面圖的比較寬的隔離區域2，圖10(b)表示圖9的B9-B9線的剖面圖的兩側被隔離區域2夾住的微細正式圖案1a。

半導體裝置的元件隔離，首先在半導體基板3上依次形成底層氧化膜4、氮化膜5。然後，在有選擇地蝕刻去除成為隔離區域2的區域的氮化膜5後，通過使用氮化膜5單幕，蝕刻半導體基板3，形成溝渠6至規定深度。接著，埋置溝渠6的內部，在整個表面上形成隔離氧化膜7之後，用CMP法研磨隔離氧化膜7，去除氮化膜5上的隔離氧化膜7，



五、發明說明 (2)

形成僅殘留在溝渠6內的溝渠型隔離氧化膜7a。另外，在元件隔離之後，去除氮化膜5和底層氧化膜4。

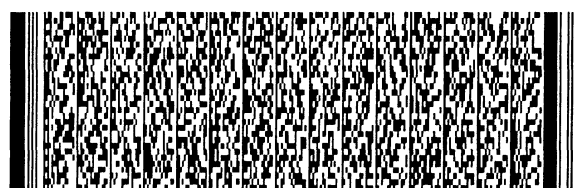
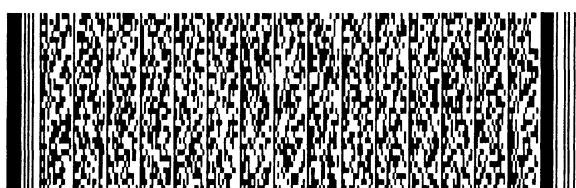
【發明所欲解決之問題】

在以往的半導體裝置中，通過用CMP法研磨來去除氮化膜5上的隔離氧化膜7，但由於氮化膜5的研磨速度慢，所以在氮化膜5的形成區域的周邊上因氮化膜5的影響研磨速度下降。相反，在圖10(a)所示的寬隔離區域2(溝渠型隔離氧化膜7a)中，研磨速度變快，尤其在中央部因形成凹陷(dishing)而發生膜厚的塌陷。因此，存在表面平坦性差，在後面步驟中使用光蝕刻術的構圖不能良好進行的問題。

而且，如圖10(b)所示，寬的隔離區域2(溝渠型隔離氧化膜7a)夾住微細正式圖案1a的情況下，如圖11所示，由於在溝渠型隔離氧化膜7a上研磨速度快，所以通過研磨可能研磨微細正式圖案1a的氮化膜5的一部分或全部。由此，溝渠型隔離氧化膜7a的膜厚塌陷進一步變大，例如有導致電晶體特性中的因反窄效果臨限值下降和洩漏電流增大等元件電特性惡化的問題。

為了改善上述問題，以往，在隔離區域2內設置成為虛設的主動區域的虛設圖案，企圖提高用CMP法的研磨速度均勻性。

圖12和圖13係顯示習知半導體裝置改善例的平面圖，在圖9所示的半導體裝置的隔離區域2中配置虛設圖案8(虛設的主動區域)。在圖12中，將比較小的虛設圖案8a鋪滿配



五、發明說明 (3)

置在隔離區域2內，而在圖13中，將比較大的虛設圖案8b鋪滿配置在隔離區域2內。

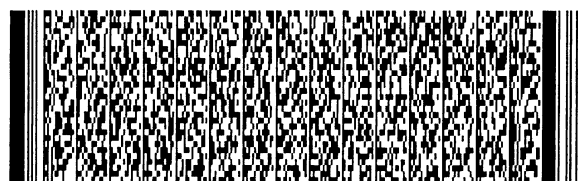
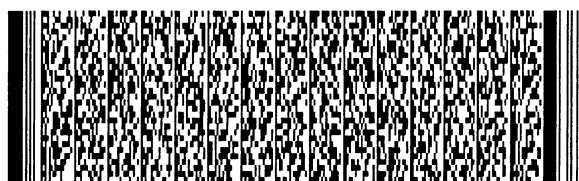
在用CMP法研磨隔離氧化膜7時，在圖12所示的情況下，在小的虛設圖案8a密集的區域中研磨速度變慢，如剖面圖14所示，因欠研磨在虛設圖案8a的氮化膜5上殘留隔離氧化膜7。在這樣的情況下，不僅隔離氧化膜7，而且下層的氮化膜5和底層氧化膜4在後面的去除步驟中都未被去除而殘留，明顯地損壞表面平坦性，後步驟中的構圖變得困難。

此外，在圖13所示的情況下，由於虛設圖案8b大，所以在正式圖案1的周邊有不能配置的區域。特別是在微細的正式圖案1a的周邊沒有虛設圖案8b的情況下，B13-B13線的剖面圖與圖10(b)同樣，由於在溝渠型隔離氧化膜7a中研磨速度快，所以用過研磨可能研磨微細正式圖案1a的氮化膜5的一部分或全部(參照圖11)。由此，如上所述，溝渠型隔離氧化膜7a的膜厚塌陷進一步變大，導致元件的電特性惡化。

本發明是為了消除上述問題而完成的，目的在於提供一種表面平坦性良好且可靠性高的半導體裝置，在隔離區域中形成溝渠型隔離氧化膜來進行元件隔離的半導體裝置中，用CMP法研磨隔離氧化膜時，可提高研磨速度的均勻性，抑制過研磨和欠研磨。

【解決問題之手段】

本發明申請專利範圍第1項之半導體裝置，是在半導體



五、發明說明 (4)

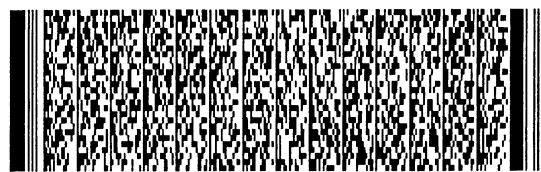
基板上形成電性主動元件區域和使用CMP法進行表面研磨的由溝渠型隔離氧化膜構成的隔離區域所構成的，該半導體裝置在所述隔離區域內包括被該溝渠型隔離氧化膜圖案包圍的成為虛設主動區域的面積不同的多種虛設圖案，以便所述溝渠型隔離氧化膜圖案不超過規定的寬度而過大，按照與所述電性主動元件區域圖案的位置關係設定面積，並規則地排列該虛設圖案。

此外，本發明申請專利範圍第2項之半導體裝置，在如申請專利範圍第1項中，從電性主動元件圖案的遠方位置朝向該圖案配置比較大的虛設圖案，在該電性主動元件的圖案周邊出現的間隙中插入地配置比較小的虛設圖案。

此外，本發明申請專利範圍第3項之半導體裝置，在如申請專利範圍第1項中，在電性主動元件的圖案周圍配置面積比較小的虛設圖案，而在它們的周圍再配置面積比較大的虛設圖案。

此外，本發明申請專利範圍第4至6項之半導體裝置，在如申請專利範圍第1至3項之任一項中，在電性主動元件的微細寬度圖案的兩側，通過溝渠型隔離氧化膜圖案來配置虛設圖案，所述溝渠型隔離氧化膜圖案的寬度是所述微細寬度圖案的約1至10倍。

此外，本發明申請專利範圍第7項之半導體裝置的製造方法包括以下步驟：第一步驟，在半導體基板上通過氧化膜形成氮化膜後，在隔離區域內的規定區域中形成規定深度的溝渠，在所述隔離區域內形成所述溝渠區域和成為虛



五、發明說明 (5)

設圖案的虛設主動區域；第二步驟，埋置所述溝渠，在整個表面上堆積隔離氧化膜；第三步驟，有選擇地蝕刻比規定圖案尺寸大的所述虛設圖案區域上的所述隔離氧化膜，使該圖案端部區域按規定的寬度保留；以及第四步驟，用CMP法研磨並去除所述氮化膜上的所述隔離氧化膜。

【發明之實施形態】

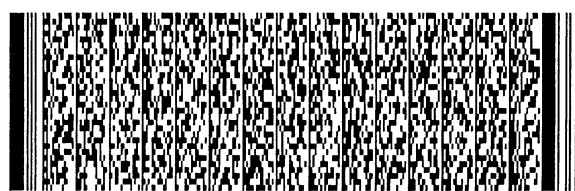
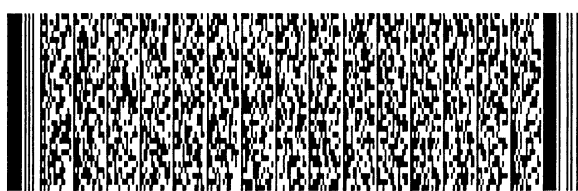
實施形態1.

以下，利用附圖來說明本發明的實施形態1。

圖1是本發明實施形態1的半導體裝置的平面圖，圖2(a)是圖1的A1-A1線的剖面圖，圖2(b)是圖1的B1-B1線的剖面圖。圖中，9是形成元件的電性主動元件區域的圖案(以下，稱為正式圖案9)，被隔離區域10包圍地配置。特別地，9a是電性主動元件區域的微細寬度圖案(以下，稱為微細正式圖案9a)。11是隔離區域10內配置的虛設主動區域的虛設圖案，11a是比較小的虛設圖案，而11b是比較大的虛設圖案。此外，12是半導體基板，13是溝渠型隔離氧化膜。

如圖所示，在包圍正式圖案9的隔離區域10內，配置面積不同的兩種虛設圖案11(11a、11b)。該虛設圖案11的配置方法是首先從距正式圖案9遠的區域鋪滿大的虛設圖案11b進行規則排列，直至配置到正式圖案9的附近。例如，按 $20\ \mu\text{m}$ 的間距來排列 $18\ \mu\text{m}$ 的正方形的虛設圖案11b。

在正式圖案9的周邊，在不能配置大的虛設圖案11b的間隙區域中，插入小的虛設圖案11a，有規則地進行排列配



五、發明說明 (6)

置。例如，按 $5\text{ }\mu\text{m}$ 的間距來排列 $3\text{ }\mu\text{m}$ 的正方形的虛設圖案11a。

用圖3和圖4來說明這種半導體裝置的元件隔離步驟。圖3是對應圖2(a)部分的步驟剖面圖，圖4是對應圖2(b)部分的步驟剖面圖。

首先，在例如具有 $10\text{ }\Omega\cdot\text{cm}$ 電阻率的p型單晶矽等構成的半導體基板12上，按例如約 10nm 膜厚形成底層氧化膜14，而且按約 $0.1\text{ }\mu\text{m}$ 的膜厚形成氮化膜15。然後，在有選擇地蝕刻去除除了正式圖案9和虛設圖案11的主動區域9、11以外區域的氮化膜15後，用氮化膜15作罩幕，蝕刻半導體基板12至約 $0.3\text{ }\mu\text{m}$ 的深度，形成溝渠16。接著，埋置溝渠16內部，在整個表面上例如按 $0.4\text{ }\mu\text{m}$ 的膜厚堆積HDP(高密度等離子體)氧化膜構成的隔離氧化膜13a之後，在隔離氧化膜13a上形成用於蝕刻比規定的圖案尺寸大的主動區域9、11的隔離氧化膜13a的光阻圖案17。該光阻圖案17由作為物件的主動區域9、11例如以減小約 $1.5\text{ }\mu\text{m}$ 的尺寸來形成[圖3(a)、圖4(a)]。

接著，以光阻圖案17作為罩幕，對隔離氧化膜13a進行蝕刻開口，直至達到氮化膜15。由此，比較寬的主動區域9、11，即大的虛設圖案11b和比較寬的正式圖案9的區域上的隔離氧化膜13a僅殘留在中央部開口的端部13b。此時的蝕刻可為乾式或濕式。另外，微細正式圖案9a上形成的HDP氧化膜13c變為如圖所示的小三角形狀，例如，即使在DRAM部的記憶體單元等微細正式圖案9a的密集區域中，小



五、發明說明 (7)

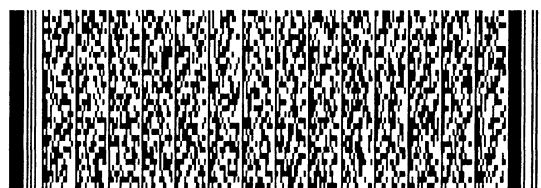
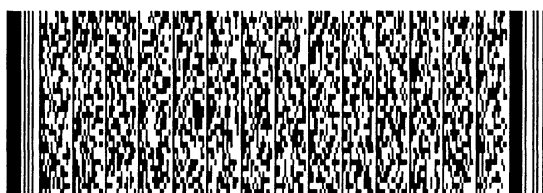
三角形狀的多個HDP氧化膜13c也為密集的狀態[圖3(b)、圖4(b)]。

接著，用CMP法研磨隔離氧化膜13a，去除氮化膜15上的隔離氧化膜13a，僅在溝渠16內殘留，形成溝渠型隔離氧化膜13[圖3(c)、圖4(c)]。

接著，通過濕式蝕刻依次去除氮化膜15，底層氧化膜14，實施規定的處理，完成圖2(a)、圖2(b)所示的元件隔離。

在本實施形態中，由於從距正式圖案9遠的區域鋪滿大的虛設圖案11b進行規則排列配置，在正式圖案9的周邊，在未配置大的虛設圖案11b的間隙區域中，插入小的虛設圖案11a，規則地排列配置，所以溝渠型隔離氧化膜13的寬度超過規定的寬度不多。因此，用CMP法研磨隔離氧化膜13a時，可抑制研磨速度變快，可以防止因凹陷(dishing)引起的膜厚塌陷。

此外，由於微細正式圖案9a兩側的溝渠型隔離氧化膜13的寬度也因插入小的虛設圖案11a而被抑制得較窄，所以可以防止因過研磨造成的微細正式圖案9a的氮化膜15被研磨，還可以防止相鄰的溝渠型隔離氧化膜13a的膜厚塌陷，導致電晶體特性中的因反窄效果引起的臨限值下降和洩漏電流增大等元件的電特性惡化。這種微細正式圖案9a兩側的溝渠型隔離氧化膜13的寬度最好是微細正式圖案9a的1至10倍左右，從而提高CMP法的研磨速度均勻性，確實獲得上述效果。



五、發明說明 (8)

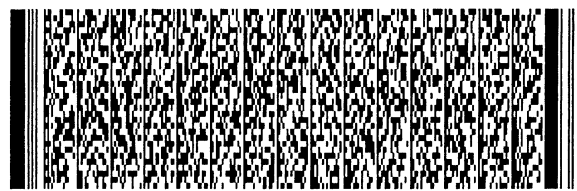
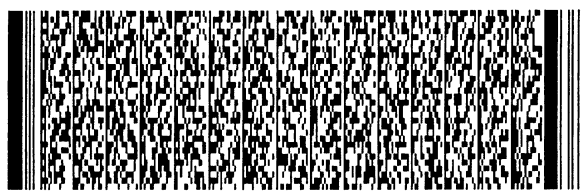
而且，由於配置大的虛設圖案11b和小的虛設圖案11a，沒有使小的虛設圖案11a密集的区域，由於用CMP法的研磨速度均勻性的提高，所以可以防止因欠研磨造成的在氮化膜15上殘留隔離氧化膜13a。由於大的虛設圖案11b和比較寬的正式圖案9的区域上的隔離氧化膜13a，在用CMP法的研磨步驟之前實施了預蝕刻，從中央部進行開口，所以可以容易地研磨，沒有欠研磨帶來的問題。

此外，通過配置虛設圖案11，與主動區域9、11的隔離氧化膜13a合併的相對於整體的面積佔有率在5成至8成左右的範圍，可以達到與正式圖案9的密集區域同等的程度。由此，進一步提高CMP法的研磨速度在半導體基板12的表面內的整體均勻性。

如上所述，在本實施形態中，在元件隔離時的利用CMP法進行研磨隔離氧化膜13a時，由於研磨速度的均勻性提高，所以可獲得表面平坦性良好且可靠性高的半導體裝置。

另外，虛設圖案11的尺寸適宜設定使用於如下範圍：小的虛設圖案11a為正式圖案9的最小尺寸的1至100倍左右，而大的虛設圖案11b為正式圖案9的最小尺寸的10至1000倍左右，並不限於矩形圖案，也可以是窄長方形、鉤形或條與間隔(line and space)的形狀，但為以容易處理控制的規則排列的形狀。

此外，作為隔離氧化膜13a的預蝕刻罩幕的光阻17按比主動區域小 $1.5\ \mu\text{m}$ 的尺寸形成，但減小的尺寸量不限於



五、發明說明 (9)

此，可以在預蝕刻後，在主動區域的端部殘留隔離氧化膜13a。

而且，隔離氧化膜13a的預蝕刻直至達到氮化膜15表面，但在達到前結束預蝕刻，然後在用CMP法的研磨步驟中進行調整也可以。

實施形態2.

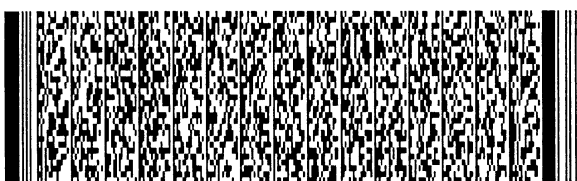
下面，根據圖5和圖6來說明在隔離氧化膜上使用TEOS膜來形成上述實施形態1的圖1和圖2所示的半導體裝置的元件隔離結構。

圖5是對應圖2(a)部分的元件隔離步驟的剖面圖，圖6是對應圖2(b)部分的元件隔離步驟的剖面圖。

首先，與上述實施形態1相同，在半導體基板12上形成底層氧化膜14以及氮化膜15後，有選擇地蝕刻去除除了正式圖案9和虛設圖案11的有效區域9、11以外區域的氮化膜15，使用氮化膜15罩幕，在半導體基板12上形成溝渠16。

接著，在埋置溝渠16內部，並在整個表面上堆積TEOS氧化膜構成的隔離氧化膜13d後，在隔離氧化膜13d上形成光阻圖案17a。該光阻圖案17a作為用於蝕刻比規定圖案尺寸大的主動區9、11、和例如DRAM部的記憶體單元等的微細正式圖案9a密集區域的隔離氧化膜13d的罩幕圖案而形成，由作為物件的區域，例如按減小約 $1.5\ \mu\text{m}$ 的尺寸而形成[圖5(a)、圖6(a)]。

接著，以光阻圖案17a作為罩幕，進行蝕刻開口隔離氧化膜13d，至不露出氮化膜15表面的規定深度。由此，比



五、發明說明 (10)

較寬的主動區域9、11，即大的虛設圖案11b、比較寬的正式圖案9和微細正式圖案9a的密集區域的隔離氧化膜13d殘留在中央部開口到不露出基板氮化膜15程度的端部13e。此時的蝕刻為乾式濕式均可以[圖5(b)、圖6(b)]。

然後，與上述實施形態1相同，用CMP法研磨隔離氧化膜13d，去除氮化膜15上的隔離氧化膜13d，使其僅殘留在溝渠16內，形成溝渠型隔離氧化膜13[圖5(c)、圖6(c)]。

接著，依次通過濕式蝕刻來去除氮化膜15、底層氧化膜14，施行規定的處理，完成圖2(a)、圖2(b)所示的元件隔離。

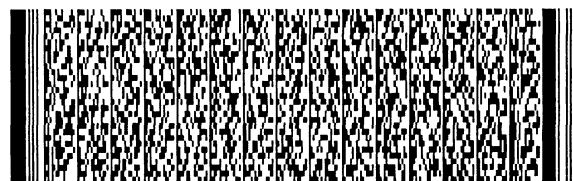
在本實施形態中，也與上述實施形態1同樣，在元件隔離時的用CMP法研磨隔離氧化膜13d時，由於研磨速度的均勻性提高，所以可獲得表面平坦性良好且可靠性高的半導體裝置。

此外，不僅在比較寬的主動區域9、11，而且在微細正式圖案9a的密集區域都進行TEOS氧化膜構成的隔離氧化膜13d的預蝕刻。這是因為在TEOS氧化膜13d中，即使在微細正式圖案9a上也不會減少膜厚，而在微細正式圖案9a的密集區域中，微細正式圖案9a上的TEOS氧化膜13d還延長到相鄰的溝渠16上層，可能變為大的面積，在用CMP法研磨時，容易招致欠研磨。

實施形態3.

下面說明本發明的實施形態3。

圖7是本發明實施形態3的半導體裝置的平面圖，圖8(a)



五、發明說明 (11)

是圖7的A7-A7線的剖面圖，圖8(b)是圖7的B7-B7線的剖面圖。

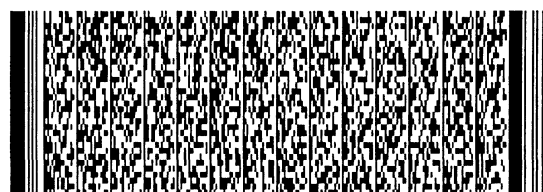
如圖所示，在包圍正式圖案9的隔離區域10內，配置面積不同的兩種虛設圖案11(11a、11b)。該虛設圖案11的配置方法是首先在正式圖案9周圍有規則地排列小的虛設圖案11a。例如，按 $5\mu\text{m}$ 間距來排列 $3\mu\text{m}$ 正方形的虛設圖案11a。

在正式圖案9和其周圍的小虛設圖案11a的周圍，使大的虛設圖案11b被鋪滿那樣有規則地排列配置。例如，按 $20\mu\text{m}$ 間距來排列 $18\mu\text{m}$ 正方形的虛設圖案11b。

這種半導體裝置的元件隔離步驟在隔離氧化膜上使用HDP氧化膜13a的情況下與上述實施形態1相同(參照圖3和圖4)地進行，此外，在隔離氧化膜上使用TEOS氧化膜13d的情況下與上述實施形態2相同(參照圖5和圖6)地進行。

在本實施形態中，由於在正式圖案9周圍配置小的虛設圖案11a，而且在小的虛設圖案周圍有規則地排列配置大的虛設圖案11b，所以與上述實施形態1和實施形態2同樣，在用CMP法研磨隔離氧化膜13a(13d)時，可抑制研磨速度加快，可防止因凹陷(dishing)造成的膜厚塌陷。

此外，由於微細正式圖案9a兩側的溝渠型隔離氧化膜13的寬度還因在周圍配置小的虛設圖案11a而抑制得窄，所以可以防止因過研磨使微細正式圖案9a的氮化膜15被研磨，不會引起元件的電特性變劣。而且，通過配置大的虛設圖案11b和小的虛設圖案11a，沒有小虛設圖案11a密集



五、發明說明 (12)

的區域，還可以防止欠研磨。由於預先蝕刻大的虛設圖案11b和比較寬的正式圖案9的區域上的隔離氧化膜13a(13d)，在用CMP法的研磨步驟前，作為預蝕刻對中央部進行開口，所以可以容易地進行研磨，沒有欠研磨帶來的問題。

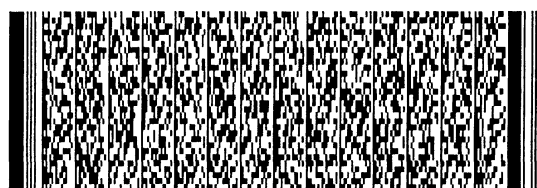
如上所述，即使在本實施形態中，仍與上述實施形態1和實施形態2同樣，在元件隔離時利用CMP法研磨隔離氧化膜13a(13d)時，由於研磨速度的均勻性提高，所以可獲得表面平坦性良好且可靠性高的半導體裝置。

另外，在上述實施形態1至3中，虛設圖案11形成大小兩種，但也可以形成三種以上，如上述實施形態1，在距正式圖案9遠的位置上配置最大的虛設圖案11，朝向正式圖案9配置虛設圖案11的面積慢慢減小的虛設圖案，或者，如上述實施形態3那樣，在正式圖案9的周圍配置最小的虛設圖案11，向著遠方位位置配置虛設圖案11的面積慢慢增大的虛設圖案。

這樣，通過根據正式圖案9的位置關係來設定和配置虛設圖案11的面積，抑制溝渠型隔離氧化膜13的寬度增大至必要以上，從而在用CMP法進行隔離氧化膜13a(13d)的研磨時，可以提高研磨速度的均勻性，得到表面平坦性良好且可靠性高的半導體裝置。

【發明之效果】

如以上那樣，本發明申請專利範圍第1項之半導體裝置，由於在所述隔離區域內包括被該溝渠型隔離氧化膜圖



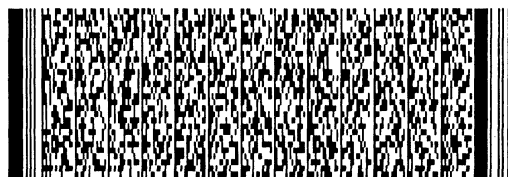
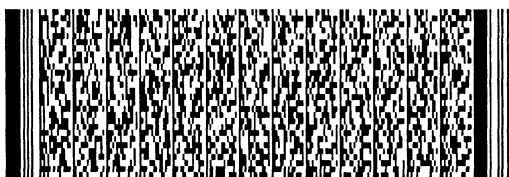
五、發明說明 (13)

案包圍的作為虛設主動區域的面積不同的多種虛設圖案，以便所述溝渠型隔離氧化膜圖案不過大地超過規定的寬度，按照與電性主動元件區域圖案的位置關係來設定該虛設圖案的面積，進行規則排列，所以在用CMP法進行隔離氧化膜研磨時，可以提高研磨速度的均勻性，得到表面平坦性良好且可靠性高的半導體裝置。

此外，本發明申請專利範圍第2項之半導體裝置，在如申請專利範圍第1項中，由於在電性主動元件的圖案周圍配置面積比較小的虛設圖案，而在面積比較小的虛設圖案的周圍還配置面積比較大的虛設圖案，所以確實可抑制溝渠型隔離氧化膜圖案寬度大到需要以上，在用CMP法進行隔離氧化膜研磨時，可以提高研磨速度的均勻性，可得到表面平坦性良好且可靠性高的半導體裝置。

此外，本發明申請專利範圍第3項之半導體裝置，在如申請專利範圍第1項中，由於從電性主動元件圖案的遠方位置朝向該圖案配置比較大的虛設圖案，而在該電性主動元件的圖案周邊出現的間隙上插入配置比較小的虛設圖案，所以確實可抑制溝渠型隔離氧化膜圖案寬度大到需要以上，在用CMP法進行隔離氧化膜研磨時，可以提高研磨速度的均勻性，可得到表面平坦性良好且可靠性高的半導體裝置。

此外，本發明申請專利範圍第4至6項之半導體裝置，在如申請專利範圍第1至3項之任一項中，由於通過溝渠型隔離氧化膜圖案在電性主動元件的微細寬度圖案的兩側配置



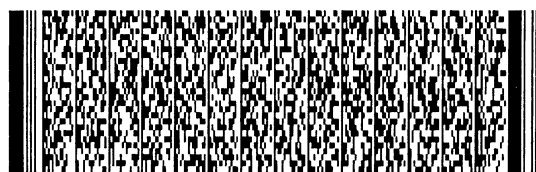
五、發明說明 (14)

虛設圖案，所述溝渠型隔離氧化膜圖案的寬度是所述微細寬度圖案的約1至10倍，所以不使元件的電特性惡化，可得到表面平坦性良好且可靠性高的半導體裝置。

此外，由於本發明申請專利範圍第7項之半導體裝置的製造方法包括：第一步驟，在半導體基板上通過氧化膜形成氮化膜後，在隔離區域內的規定區域中形成規定深度的溝渠，在所述隔離區域內形成所述溝渠區域和作為虛設圖案的虛設主動區域；第二步驟，埋置所述溝渠，在整個表面上堆積隔離氧化膜；第三步驟，有選擇地蝕刻比規定圖案尺寸大的所述虛設圖案區域上的所述隔離氧化膜，使該圖案端部區域保留規定的寬度；以及第四步驟，用CMP法研磨去除所述氮化膜上的所述隔離氧化膜，所以確實可容易得到表面平坦性良好且可靠性高的半導體裝置。

【元件編號之說明】

- 9 電性主動元件區域
- 9a 作為電性主動元件之微細寬度圖案的微細正式圖案
- 10 隔離區域
- 11 虛設圖案
- 11a 小的虛設圖案
- 11b 大的虛設圖案
- 12 半導體基板
- 13 溝渠形隔離氧化膜
- 13a、13d 隔離氧化膜
- 13b、13e 端部(隔離氧化膜)



五、發明說明 (15)

- 14 底層氧化膜
- 15 氮化膜
- 16 溝渠



圖式簡單說明

圖1是本發明實施形態1的半導體裝置的平面圖。

圖2(a)及(b)是本發明實施形態1的半導體裝置的剖面圖。

圖3(a)~(c)係顯示本發明實施形態1的半導體裝置的製造方法的剖面圖。

圖4(a)~(c)係顯示本發明實施形態1的半導體裝置的製造方法的剖面圖。

圖5(a)~(c)係顯示本發明實施形態2的半導體裝置的製造方法的剖面圖。

圖6(a)~(c)係顯示本發明實施形態2的半導體裝置的製造方法的剖面圖。

圖7是本發明實施形態3的半導體裝置的平面圖。

圖8(a)及(b)是圖7的剖面圖。

圖9是習知半導體裝置的平面圖。

圖10(a)及(b)是習知半導體裝置的剖面圖。

圖11是展示習知半導體裝置問題的剖面圖。

圖12是習知其他例的半導體裝置的平面圖。

圖13是習知其他例的半導體裝置的平面圖。

圖14是圖12所示半導體裝置的剖面圖。



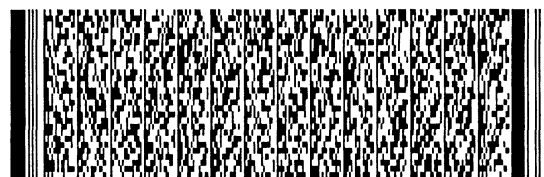
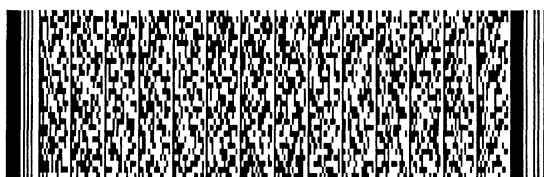
四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明之目的在於獲得一種在半導體基板12的元件隔離上使用溝渠型隔離氧化膜13的半導體裝置中，可提高按CMP法研磨隔離氧化膜13a時的研磨速度的均勻性，且表面平坦性良好的半導體裝置。

其解決手段係在隔離區域10內，設有作為虛設主動區域的大小兩種虛設圖案11，在距正式圖案9遠的位置上配置大的虛設圖案11b，而在正式圖案9周邊出現的間隙上有規則地排列小的虛設圖案11a。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THE SAME)

In a semiconductor device having element isolation made of a trench-type isolating oxide film 13, large and small dummy patterns 11 of two types, being an active region of a dummy, are located in an isolating region 10, the large dummy patterns 11b are arranged at a position apart from actual patterns 9, and the small dummy patterns 11a are regularly arranged in a gap at around a periphery of the actual patterns 9, whereby uniformity of an abrading rate is improved at a



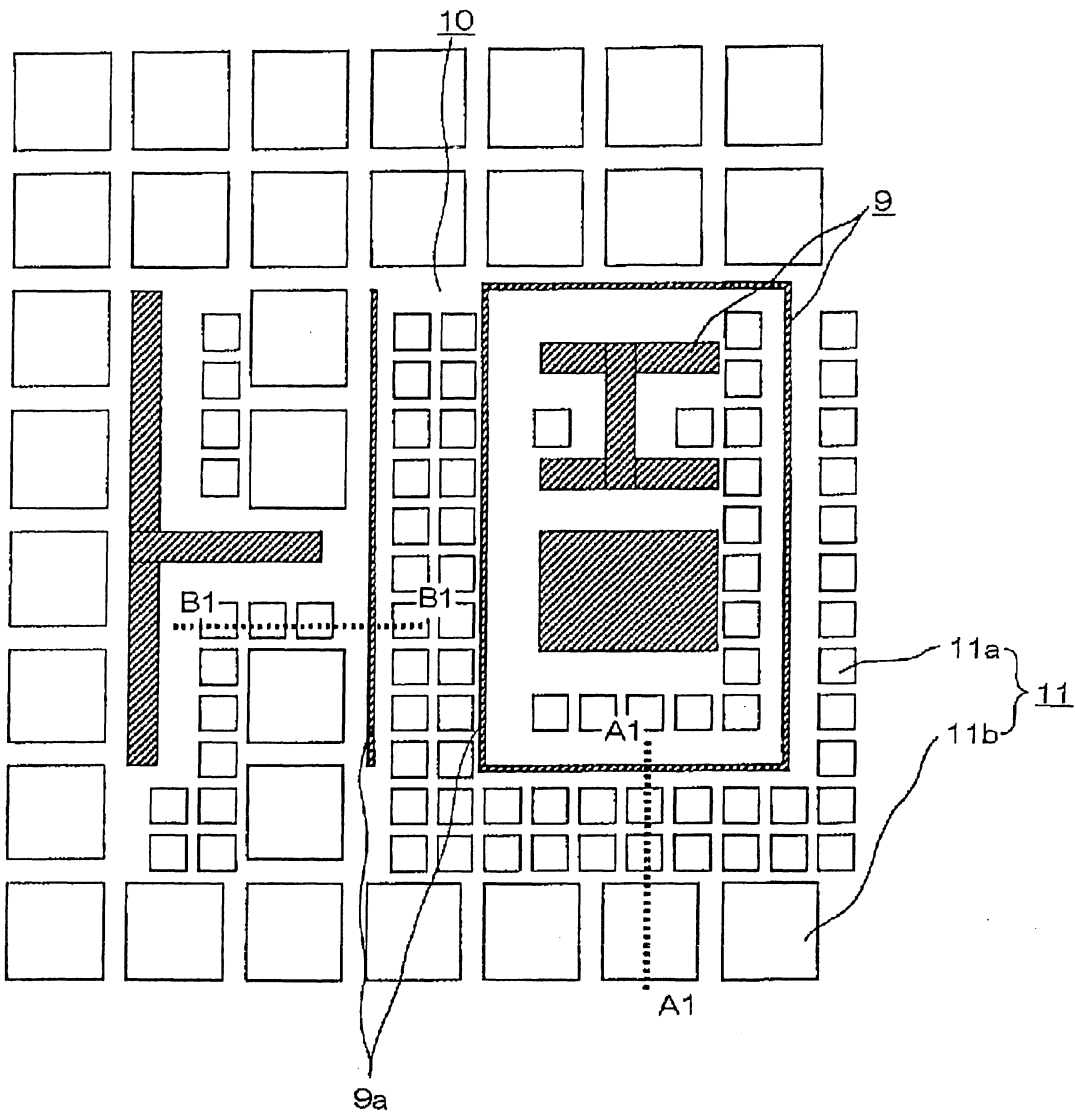
四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THE SAME)

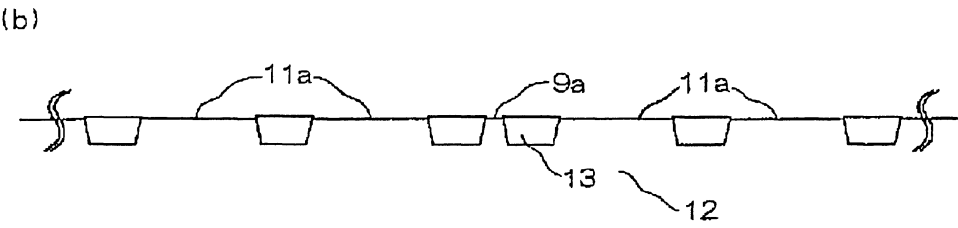
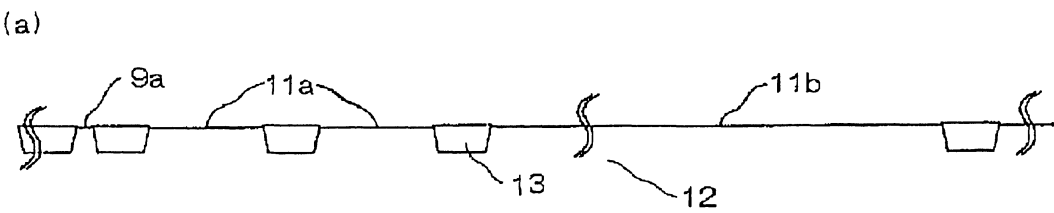
time of abrading an isolating oxide film 13a is improved, and surface flatness of the semiconductor device becomes preferable.



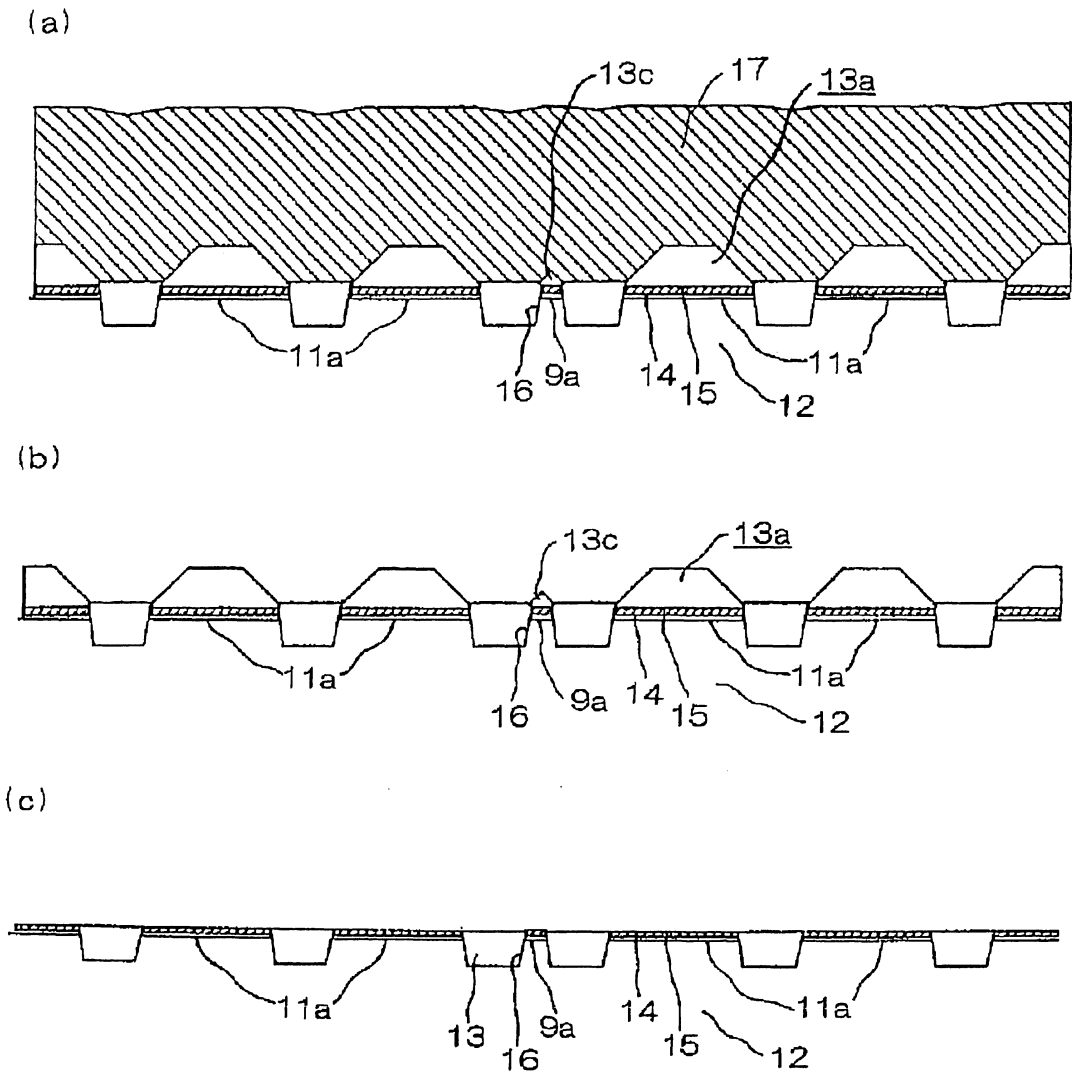
【図1】



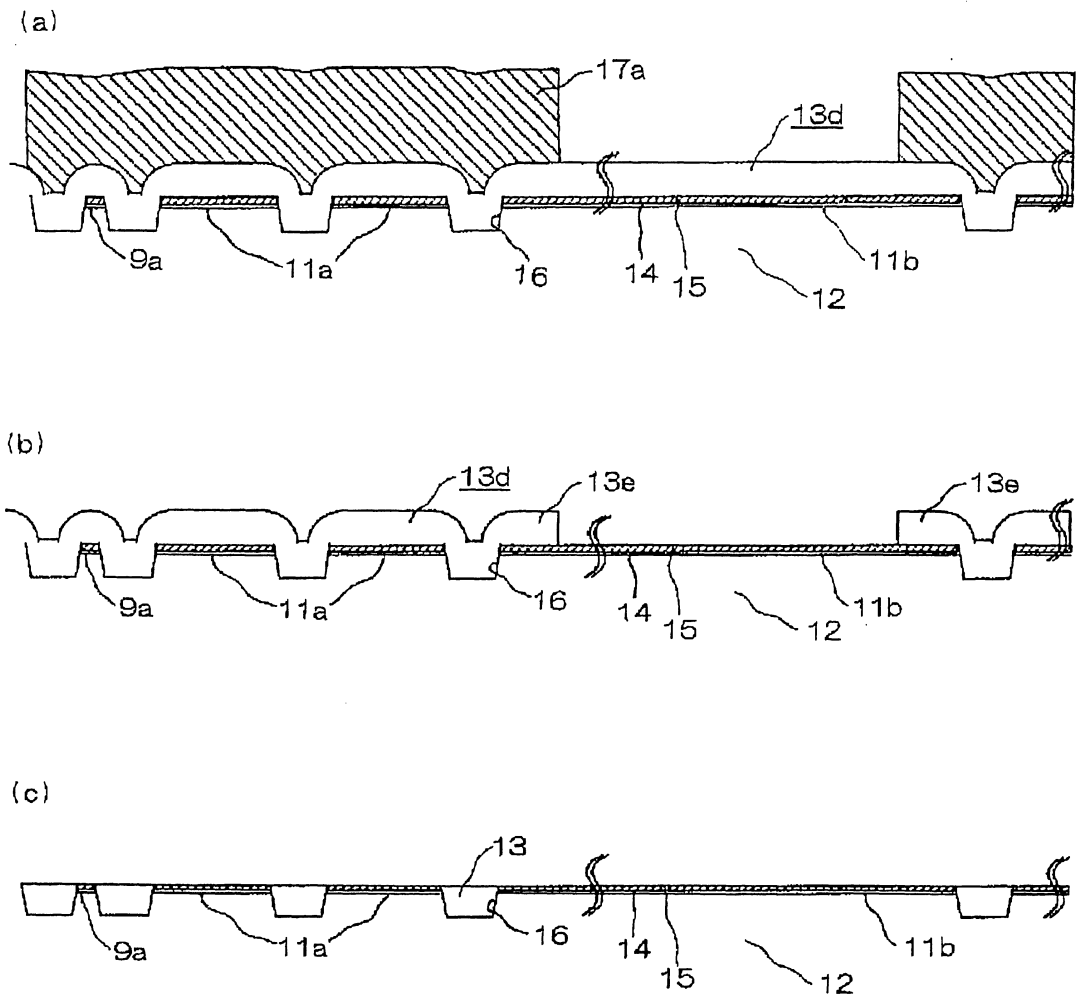
【 図 2 】



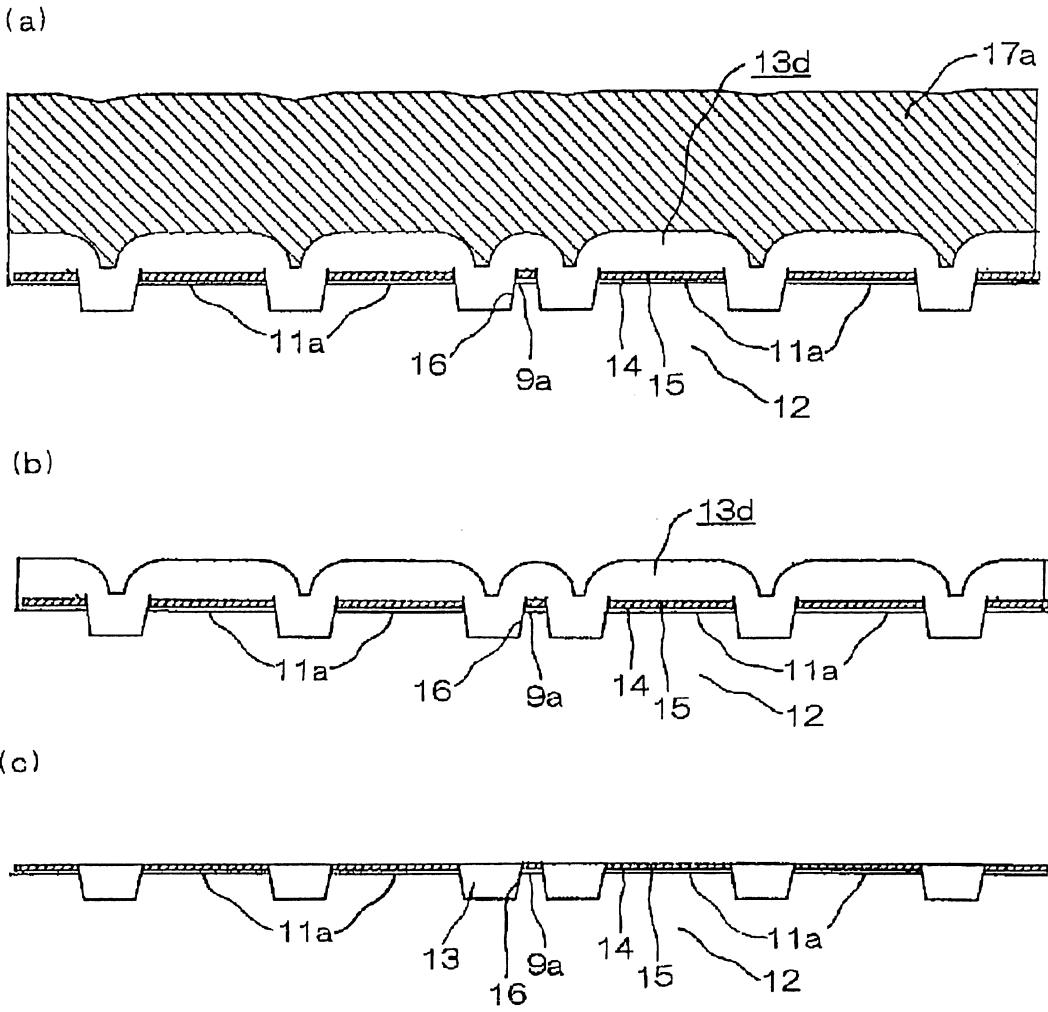
【圖 4】



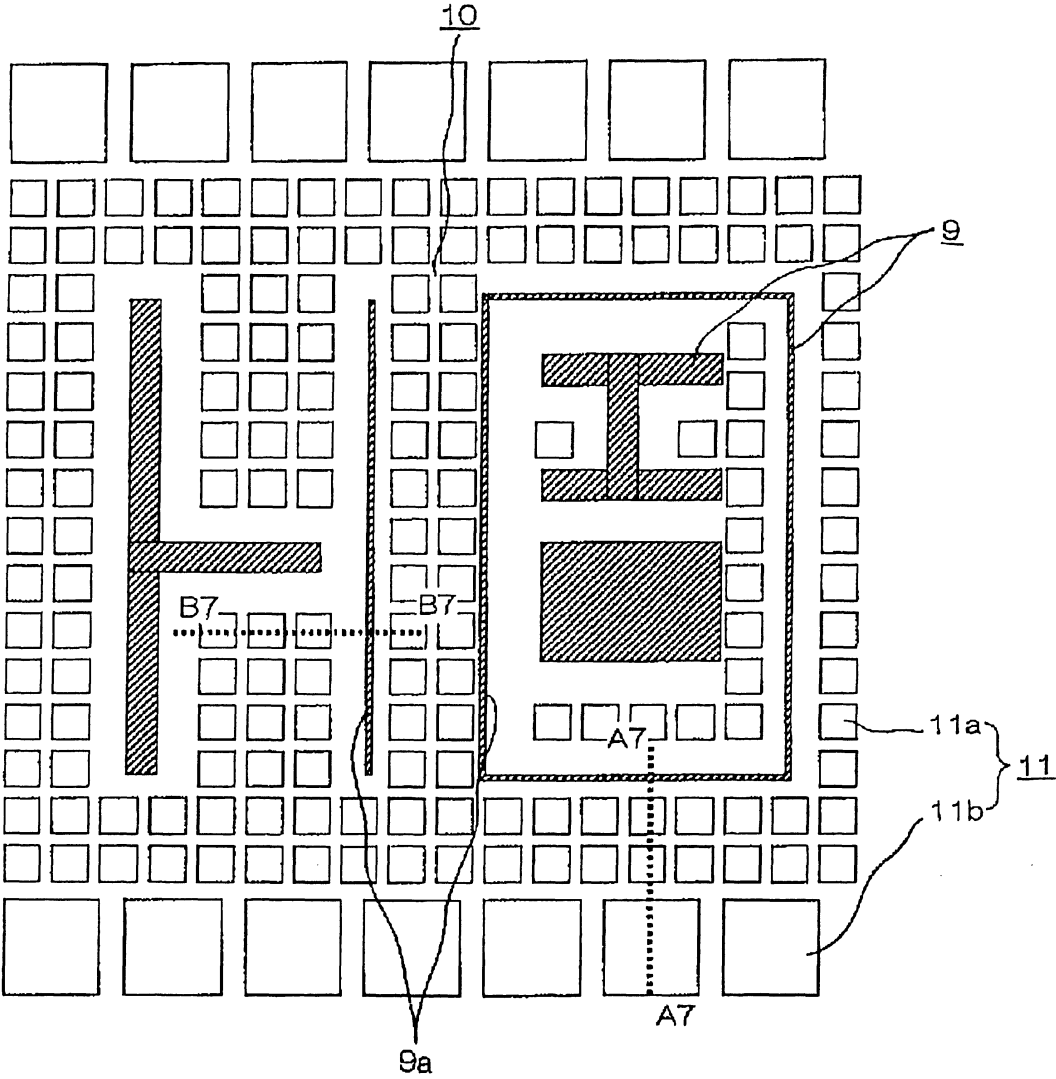
【圖5】



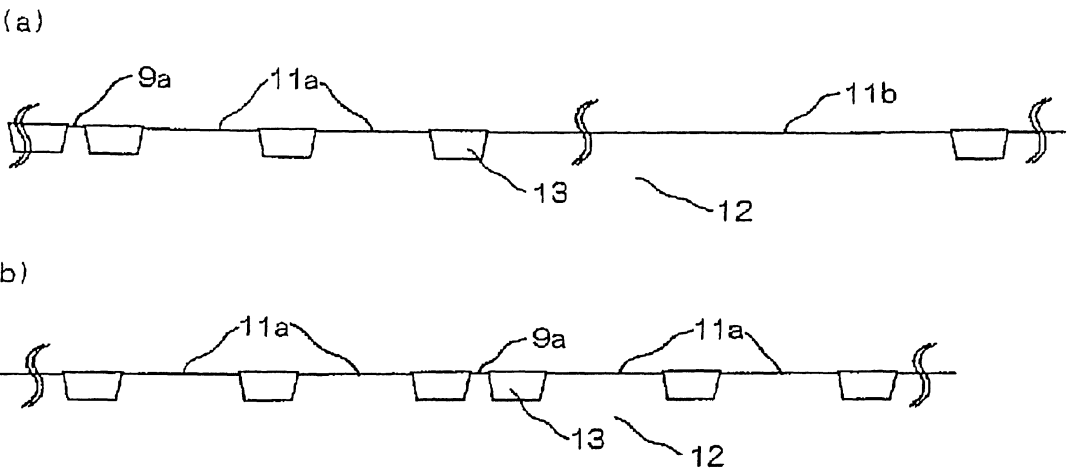
【圖6】



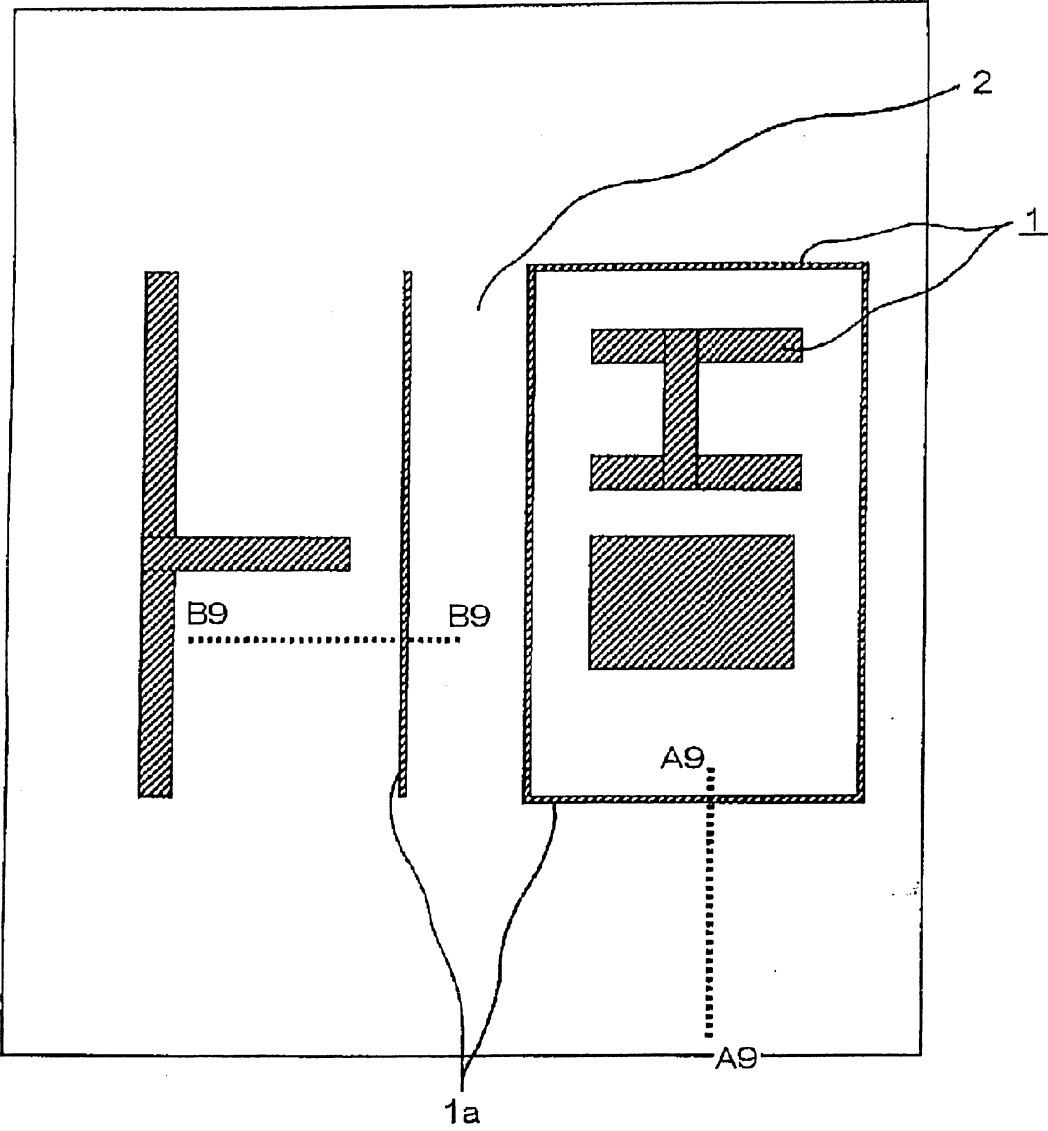
【圖 7】



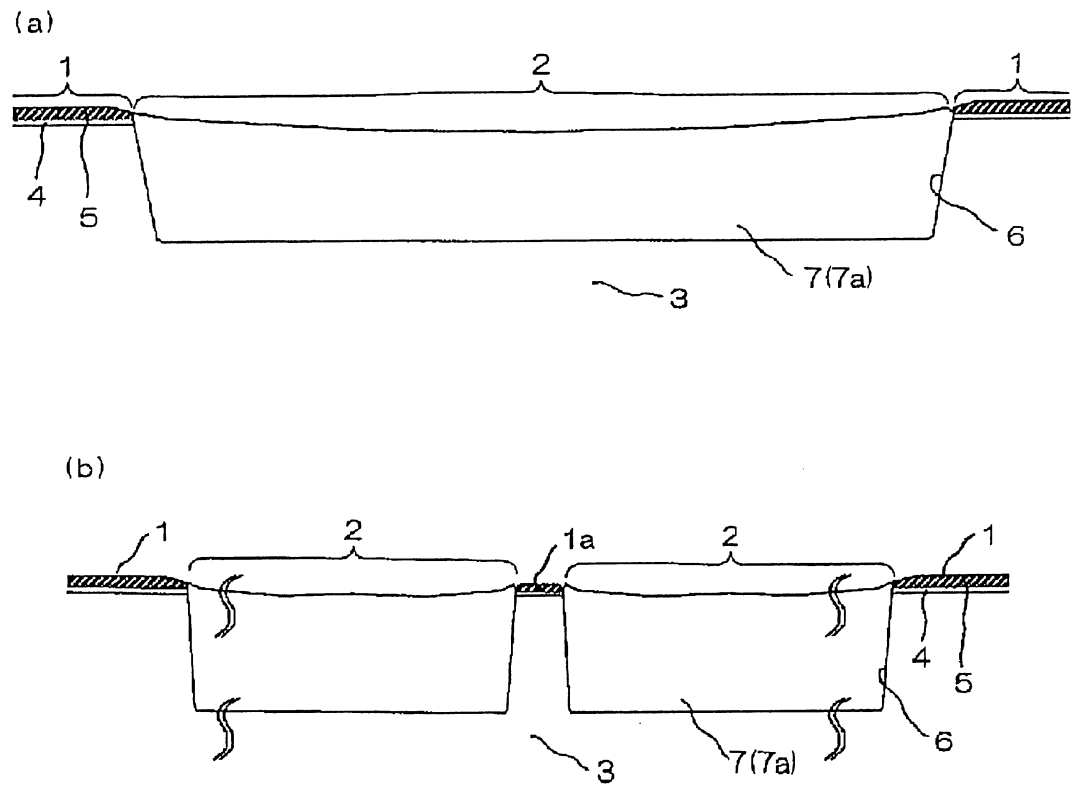
【圖 8】



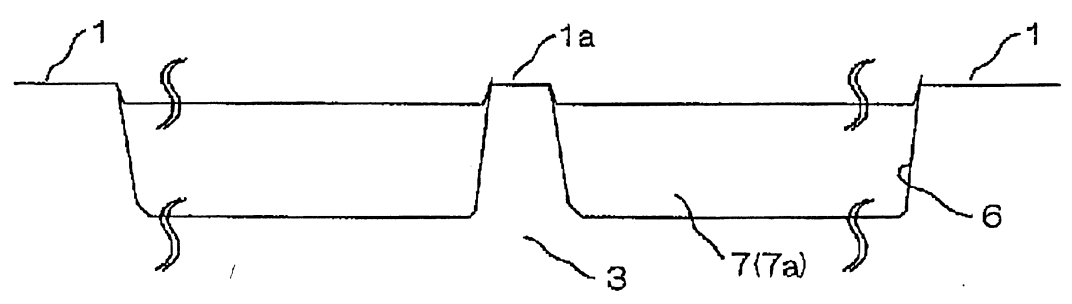
【圖 9】



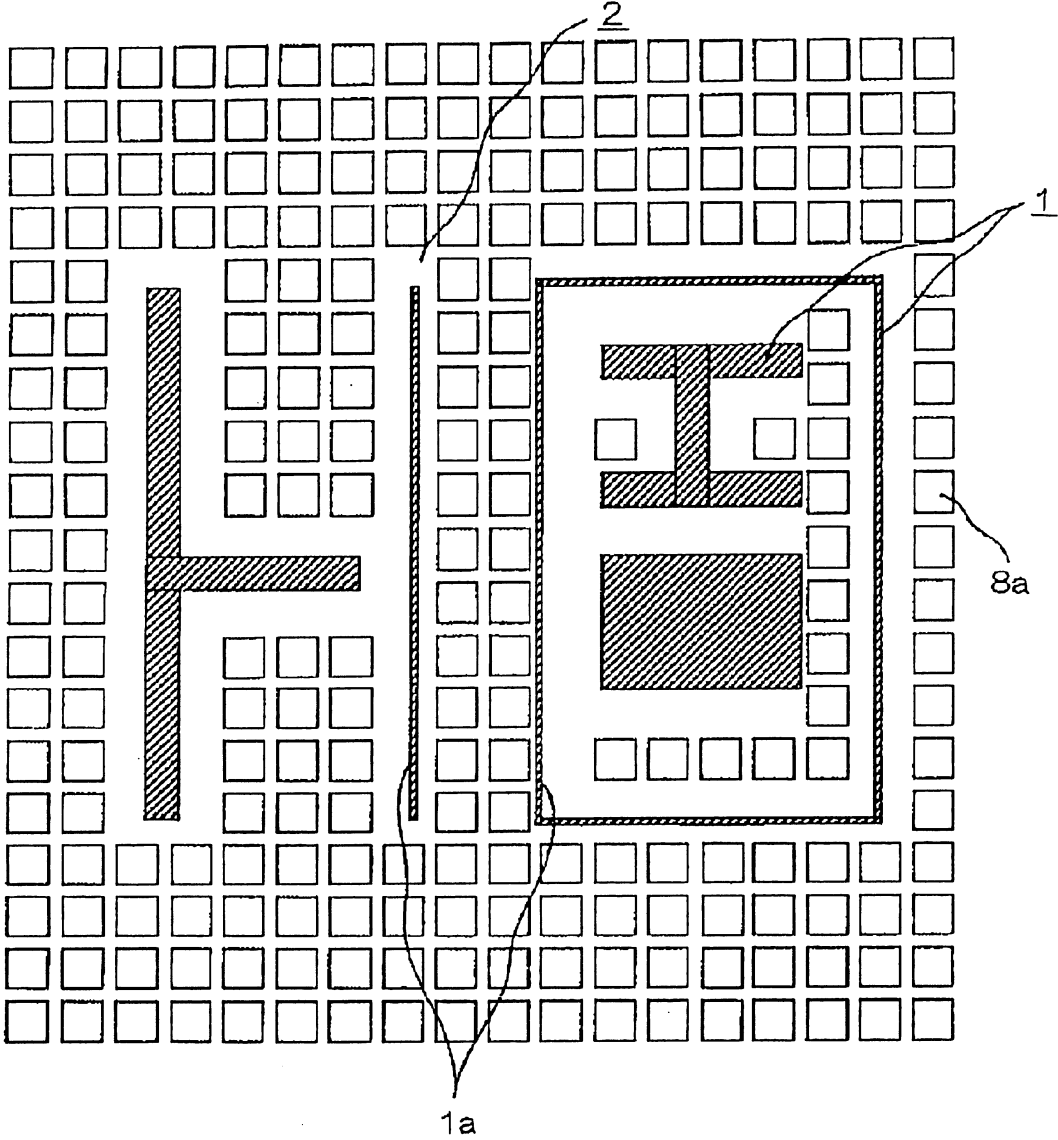
【圖 1 0】



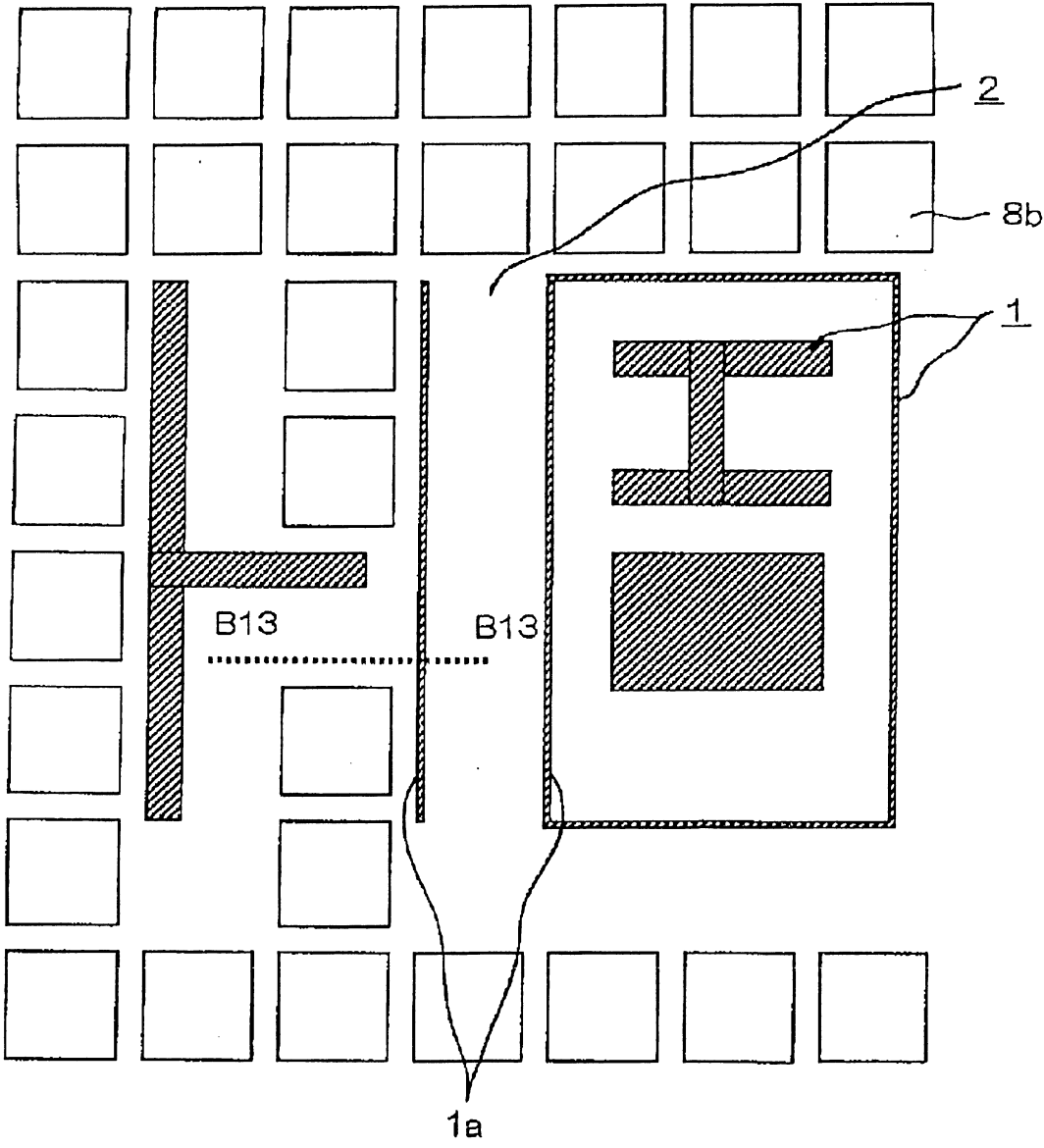
【圖 1 1】



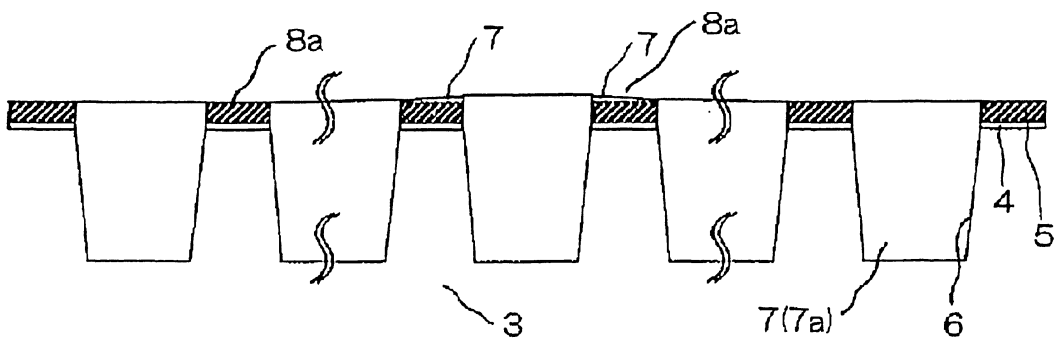
【圖 1 2】



【圖 13】



【圖 14】



六、申請專利範圍

1. 一種半導體裝置，其係在半導體基板上形成有電性主動元件區域和使用CMP法進行表面研磨的溝渠型隔離氧化膜構成的隔離區域，其特徵在於：

以上述溝渠型隔離氧化膜圖案不過多地超過規定的寬度之方式，在上述隔離區域內具備有被該溝渠型隔離氧化膜圖案包圍之作為虛設主動區域的面積不同的多種虛設圖案，並按照與上述電性主動元件區域圖案的位置關係來設定面積，以規則地排列該虛設圖案。

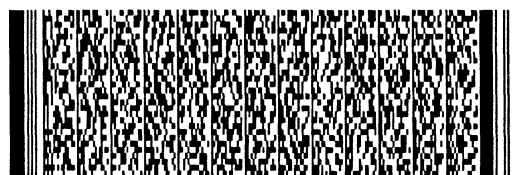
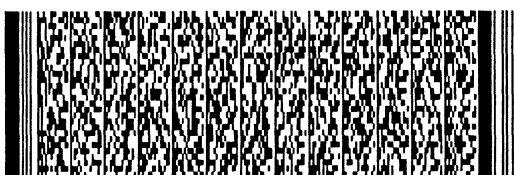
2. 如申請專利範圍第1項之半導體裝置，其中，從電性主動元件之圖案的遠方位位置朝向該圖案配置比較大的虛設圖案，在該電性主動元件的圖案周邊出現的間隙中插入配置比較小的虛設圖案。

3. 如申請專利範圍第1項之半導體裝置，其中，在電性主動元件的圖案周圍配置面積比較小的虛設圖案，而在面積比較小的虛設圖案的周圍配置面積比較大的虛設圖案。

4. 如申請專利範圍第1項之半導體裝置，其中，通過溝渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

5. 如申請專利範圍第2項之半導體裝置，其中，通過溝渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

6. 如申請專利範圍第3項之半導體裝置，其中，通過溝



六、申請專利範圍

渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

7. 一種半導體裝置之製造方法，其特徵為包含有：

第一步驟，在半導體基板上通過氧化膜形成氮化膜後，在隔離區域內的規定區域中形成規定深度的溝渠，在上述隔離區域內形成上述溝渠區域和作為虛設圖案的虛設主動區域；

第二步驟，埋置上述溝渠，且在整個表面上堆積隔離氧化膜；

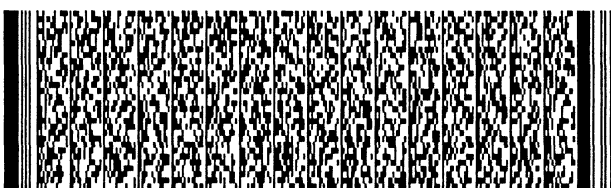
第三步驟，選擇地蝕刻比規定圖案尺寸大的上述虛設圖案區域上的上述隔離氧化膜，以按規定的寬度保留該圖案端部區域；以及

第四步驟，用CMP法研磨並去除上述氮化膜上的上述隔離氧化膜，

上述隔離區域內形成由上述溝渠型隔離氧化膜圖案所包圍之成為虛設主動區域之多種面積不同的虛設區域，以便使上述溝渠型隔離氧化膜不超過指定之寬度；

響應與上述電性主動元件區域圖案的位置關係來設定面積以便呈規則性排列配置該虛設圖案。

8. 如申請專利範圍第7項之半導體裝置之製造方法，其中，從電性主動元件之圖案的遠方位置朝向該圖案配置比較大的虛設圖案，在該電性主動元件的圖案周邊出現的間隙中插入配置比較小的虛設圖案。



六、申請專利範圍

9. 如申請專利範圍第7項之半導體裝置之製造方法，其中，在電性主動元件的圖案周圍配置面積比較小的虛設圖案，而在面積比較小的虛設圖案的周圍配置面積比較大的虛設圖案。

10. 如申請專利範圍第7項之半導體裝置之製造方法，其中，通過溝渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

11. 如申請專利範圍第8項之半導體裝置之製造方法，其中，通過溝渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

12. 如申請專利範圍第9項之半導體裝置之製造方法，其中，通過溝渠型隔離氧化膜圖案，在電性主動元件的微細寬度圖案的兩側配置虛設圖案，上述溝渠型隔離氧化膜圖案的寬度是上述微細寬度圖案的約1至10倍。

