

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2009-3243  
(P2009-3243A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	2 H 0 9 3
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 2 F	5 C 0 0 6
G 0 2 F 1/133 (2006.01)	G 0 9 G 3/20 6 2 3 F	5 C 0 8 0
	G 0 9 G 3/20 6 4 1 Q	
	G 0 2 F 1/133 5 7 5	
審査請求 未請求 請求項の数 15 O L (全 40 頁)		

(21) 出願番号	特願2007-164937 (P2007-164937)	(71) 出願人	000002369
(22) 出願日	平成19年6月22日 (2007. 6. 22)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124626
			弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	森田 晶
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		最終頁に続く	

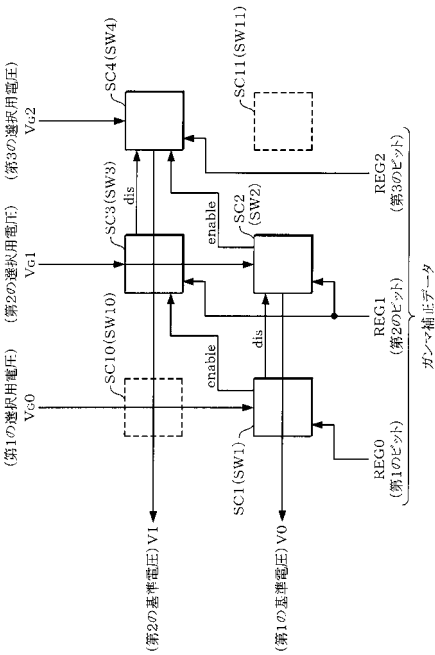
(54) 【発明の名称】 基準電圧選択回路、表示ドライバ、電気光学装置及び電子機器

(57) 【要約】

【課題】 簡素な構成で、高精度なガンマ補正を実現させるための基準電圧選択回路、表示ドライバ、電気光学装置及び電子機器を提供する。

【解決手段】 基準電圧選択回路 2 1 0 は、第 1 ～ 第 3 の選択用電圧のうちの第 1 の選択用電圧を、第 1 及び第 2 の基準電圧のうちの第 1 の基準電圧として出力するための第 1 のスイッチ素子 S W 1 と、第 2 の選択用電圧を第 1 の基準電圧として出力するための第 2 のスイッチ素子 S W 2 と、第 2 の選択用電圧を第 2 の基準電圧として出力するための第 3 のスイッチ素子 S W 3 と、第 3 の選択用電圧を第 2 の基準電圧として出力するための第 4 のスイッチ素子 S W 4 とを含む。第 1 ～ 第 4 のスイッチ素子 S W 1 ～ S W 4 は、少なくとも 3 ビットのガンマ補正データを用いてオンオフ制御される。第 1 の選択用電圧が接地電源電圧の場合、第 1 のスイッチ素子を保護することで、信頼性を向上できる。

【選択図】 図 1 1



## 【特許請求の範囲】

## 【請求項 1】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 1 の選択用電圧として前記接地電源電圧が供給され、

前記第 1 のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、前記第 2 ~ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さいことを特徴とする基準電圧選択回路。

## 【請求項 2】

請求項 1 において、

トランジスタのチャネル幅を  $W$ 、該トランジスタのチャネル長を  $L$  とした場合に、前記第 1 のスイッチ素子を構成するトランジスタの  $W/L$  が、前記第 2 ~ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタの  $W/L$  より大きいことを特徴とする基準電圧選択回路。

## 【請求項 3】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

10

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 1 の選択用電圧として前記接地電源電圧が供給され、

20

前記第 1 の選択用電圧の電位が接地電位より低電位のとき、前記第 1 のスイッチ素子をバイパスするバイパス回路を含むことを特徴とする基準電圧選択回路。

#### 【請求項 4】

請求項 3 において、

前記バイパス回路が、

前記接地電源電圧がゲートに供給される n 型 MOS トランジスタと、

そのソース及びドレインがそれぞれ前記 n 型 MOS トランジスタのソース及びドレインに接続され、前記高電位側電源電圧がゲートに供給される p 型 MOS トランジスタとを含み、

前記バイパス回路が、

30

前記第 1 のスイッチ素子と並列に設けられていることを特徴とする基準電圧選択回路。

#### 【請求項 5】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

40

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に

50

、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、  
前記第 3 のスイッチ素子が、  
前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、  
前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、  
前記第 4 のスイッチ素子が、  
前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガン  
マ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記  
第 3 の選択用電圧を前記第 2 の基準電圧として出力し、  
前記第 1 の選択用電圧として前記接地電源電圧が供給され、  
前記第 1 のスイッチ素子が、n 型のバストランジスタにより構成されることを特徴とす  
る基準電圧選択回路。

10

20

30

40

50

【請求項 6】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選  
択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選  
択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基  
準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子  
と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子  
と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子  
とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す  
少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定  
されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前  
記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に  
、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、  
前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガン  
マ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記  
第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 3 の選択用電圧として前記高電位側電源電圧が供給され、

前記第 4 のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、前記第  
1 ~ 第 3 のスイッチ素子の各スイッチ素子を構成するトランジスタのチャネル領域の電流  
密度より小さいことを特徴とする基準電圧選択回路。

【請求項 7】

請求項 6 において、

トランジスタのチャネル幅を W、該トランジスタのチャネル長を L とした場合に、前記  
第 4 のスイッチ素子を構成するトランジスタの  $W/L$  が、前記第 1 ~ 第 3 のスイッチ素子

の各スイッチ素子を構成するトランジスタのW/Lより大きいことを特徴とする基準電圧選択回路。

【請求項 8】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1～第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 3 の選択用電圧として前記接地電源電圧が供給され、

前記第 3 の選択用電圧の電位が高電位側電源電位より高電位のとき、前記第 4 のスイッチ素子をバイパスするバイパス回路を含むことを特徴とする基準電圧選択回路。

【請求項 9】

請求項 8 において、

前記バイパス回路が、

前記高電位側電源電圧がゲートに供給される p 型 MOS トランジスタと、

そのソース及びドレインがそれぞれ前記 p 型 MOS トランジスタのソース及びドレインに接続され、前記接地電源電圧がゲートに供給される p 型 MOS トランジスタとを含み、

前記バイパス回路が、

前記第 4 のスイッチ素子と並列に設けられていることを特徴とする基準電圧選択回路。

【請求項 10】

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1～第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

10

20

30

40

50

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 3 の選択用電圧として前記高電位側電源電圧が供給され、

前記第 4 のスイッチ素子が、p 型のパストランジスタにより構成されることを特徴とする基準電圧選択回路。

#### 【請求項 11】

請求項 1 乃至 10 のいずれかにおいて、

各スイッチセルが、第 1 ～ 第 4 のスイッチ素子の各スイッチ素子を有する第 1 ～ 第 4 のスイッチセルを含み、

前記第 1 のスイッチセルが、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたとき、前記第 2 のスイッチセルへのディセーブル信号をアクティブにすると共に、前記第 3 のスイッチセルへのイネーブル信号をアクティブにし、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定されたとき、前記第 2 のスイッチセルへのディセーブル信号を非アクティブにすると共に、前記第 3 のスイッチセルへのイネーブル信号を非アクティブにし、

前記第 2 のスイッチセルが、

前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定され、且つ前記第 1 のスイッチセルからのディセーブル信号が非アクティブであることを条件に前記第 2 の選択用電圧を前記第 1 の基準電圧として出力すると共に、前記第 4 のスイッチセルへのイネーブル信号をアクティブにし、

それ以外のときには、前記第 4 のスイッチセルへのイネーブル信号を非アクティブにし、

前記第 3 のスイッチセルが、

前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定され、且つ前記第 1 のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第 2 の選択用電圧を前記第 2 の基準電圧として出力すると共に、前記第 4 のスイッチセルへのディセーブル信号をアクティブにし、

それ以外のときには、前記第 4 のスイッチセルへのディセーブル信号を非アクティブにし、

前記第 4 のスイッチセルが、

10

20

30

40

50

前記ガンマ補正データの第3のビットのデータによりイネーブルに設定され、且つ前記第3のスイッチセルからのディセーブル信号が非アクティブであり、且つ前記第2のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第3の選択用電圧を前記第2の基準電圧として出力することを特徴とする基準電圧選択回路。

【請求項12】

電気光学装置の複数のデータ線を駆動するための表示ドライバであって、

請求項1乃至11のいずれか記載の基準電圧選択回路と、

前記基準電圧選択回路からの複数の基準電圧の中から、階調データに対応した基準電圧を選択し、データ電圧として出力する電圧選択回路と、

前記データ電圧に基づいて前記データ線を駆動する駆動回路とを含むことを特徴とする表示ドライバ。 10

【請求項13】

複数の走査線と、

複数のデータ線と、

前記複数の走査線の1つと前記複数のデータ線の1つとにより特定される画素電極と、

前記複数の走査線を走査する走査ドライバと、

前記複数のデータ線を駆動する請求項12記載の表示ドライバとを含むことを特徴とする電気光学装置。

【請求項14】

請求項12記載の表示ドライバを含むことを特徴とする電子機器。 20

【請求項15】

請求項13記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧選択回路、表示ドライバ、電気光学装置及び電子機器に関する。

【背景技術】

【0002】

液晶表示(Liquid Crystal Display: LCD)パネルに代表される電気光学装置は、携帯型の電子機器に搭載されることが多くなる一方で、多階調化による色調豊富な画像表示が要求される。 30

【0003】

一般に、画像表示を行うための映像信号は、表示装置の表示特性に応じてガンマ補正が行われる。電気光学装置を例にとれば、複数の基準電圧の中から、階調値を定める階調データに対応した基準電圧が選択され、この選択された基準電圧に基づいて画素の透過率を変化させる。そのため、ガンマ補正は、各基準電圧の電圧レベルを変化させることで実現される。

【0004】

このような各基準電圧は、ラダー抵抗回路の両端の電圧を、該ラダー抵抗回路を構成する複数の抵抗素子により分割された電圧として生成される。従って、各抵抗素子の抵抗値を変更することで各基準電圧の電圧レベルを変化させることができる。 40

【0005】

LCDパネルの高精細化及び多様化に対応するため、より高精度なガンマ補正が要求される。このようなガンマ補正を、簡素な構成で実現できる基準電圧選択回路が、例えば特許文献1に開示されている。

【特許文献1】特開2006-227271号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に開示された基準電圧選択回路は、基準電圧を選択出力するためのスイッチ 50

素子をマトリックス状に構成することで、回路規模の増大を抑えると共に、基準電圧等の種類が増加しても基準電圧選択回路自体の回路規模の増大を抑えることができる。

【 0 0 0 7 】

ところが、特許文献 1 に開示された基準電圧選択回路とその技術思想を検討したところ、改良策を施すことで、より一層、信頼性を向上させることができることが判明した。

【 0 0 0 8 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的の 1 つは、簡素な構成で、高精度なガンマ補正を実現させるための基準電圧選択回路、表示ドライバ、電気光学装置及び電子機器を提供することにある。

【 0 0 0 9 】

また本発明の他の目的の 1 つは、より一層の信頼性の向上を図りつつ、簡素な構成で、高精度なガンマ補正を実現させるための基準電圧選択回路、表示ドライバ、電気光学装置及び電子機器を提供することである。

【課題を解決するための手段】

【 0 0 1 0 】

上記課題を解決するために本発明は、

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ～ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 1 の選択用電圧として前記接地電源電圧が供給され、

前記第 1 のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、前記第 2 ～ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さい基準電圧選択回路に関係する。

【 0 0 1 1 】

また本発明に係る基準電圧選択回路では、



トランジスタのチャネル幅を $W$ 、該トランジスタのチャネル長を $L$ とした場合に、前記第1のスイッチ素子を構成するトランジスタの $W/L$ が、前記第2～第4のスイッチ素子の各スイッチ素子を構成するトランジスタの $W/L$ より大きくてもよい。

【0012】

上記のいずれかの発明によれば、第1～第4のスイッチ素子を少なくとも含み、第1の選択用電圧を第2の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第1及び第2の基準電圧のみを出力する場合には、第3の選択用電圧を第1の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

10

【0013】

更に、第1の選択用電圧として接地電源電圧が供給される場合に、第1のスイッチ素子を構成するトランジスタのチャネル領域の電流密度を小さくしたので、該選択用電圧が供給される電源線の電位が接地電位より低電位になっても、第1のスイッチ素子が破壊される可能性を大幅に減少させることができ、より一層信頼性を向上させることができるようになる。

【0014】

また、本発明は、

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

20

電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧のうちの前記第1の選択用電圧を、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧のうちの前記第1の基準電圧として出力するための第1のスイッチ素子と、

前記第2の選択用電圧を前記第1の基準電圧として出力するための第2のスイッチ素子と、

前記第2の選択用電圧を前記第2の基準電圧として出力するための第3のスイッチ素子と、

前記第3の選択用電圧を前記第2の基準電圧として出力するための第4のスイッチ素子とを含み、

前記第1のスイッチ素子が、

30

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも3ビットのガンマ補正データの第1のビットのデータによりイネーブルに設定されたことを条件に、前記第1の選択用電圧を前記第1の基準電圧として出力し、

前記第2のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第1の基準電圧として出力し、

前記第3のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第2の基準電圧として出力し、

40

前記第4のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第3のビットのデータによりイネーブルに設定されたことを条件に、前記第3の選択用電圧を前記第2の基準電圧として出力し、

前記第1の選択用電圧として前記接地電源電圧が供給され、

前記第1の選択用電圧の電位が接地電位より低電位のとき、前記第1のスイッチ素子をバイパスするバイパス回路を含む基準電圧選択回路に係する。

【0015】

50

また本発明に係る基準電圧選択回路では、  
前記バイパス回路が、  
前記接地電源電圧がゲートに供給される n 型 MOS トランジスタと、  
そのソース及びドレインがそれぞれ前記 n 型 MOS トランジスタのソース及びドレイン  
に接続され、前記高電位側電源電圧がゲートに供給される p 型 MOS トランジスタとを含  
み、  
前記バイパス回路が、  
前記第 1 のスイッチ素子と並列に設けられてもよい。

【0016】

上記のいずれかの発明によれば、第 1 ~ 第 4 のスイッチ素子を少なくとも含み、第 1 の  
選択用電圧を第 2 の基準電圧として出力するためのスイッチ素子を不要にできるようにな  
る。更に、第 1 及び第 2 の基準電圧のみを出力する場合には、第 3 の選択用電圧を第 1 の  
基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って  
、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選  
択回路を提供できるようになる。

【0017】

更に、第 1 の選択用電圧として接地電源電圧が供給される場合に、第 1 のスイッチ素子  
と並列にバイパス回路を設けたので、該選択用電圧が供給される電源線の電位が接地電位  
より低電位になっても、第 1 のスイッチ素子に流れる電流をバイパス回路によりバイパス  
させることができる。そのため、第 1 のスイッチ素子が破壊される可能性を大幅に減少さ  
せることができ、より一層信頼性を向上させることができるようになる。

【0018】

また、本発明は、  
高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選  
択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択  
用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基  
準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子  
と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子  
と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子  
とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す  
少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定  
されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前  
記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に  
、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、  
前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記  
ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガン  
マ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記

10

20

30

40

50

第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 1 の選択用電圧として前記接地電源電圧が供給され、

前記第 1 のスイッチ素子が、 $n$  型のパストランジスタにより構成される基準電圧選択回路に係する。

【0019】

本発明によれば、第 1 ~ 第 4 のスイッチ素子を少なくとも含み、第 1 の選択用電圧を第 2 の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第 1 及び第 2 の基準電圧のみを出力する場合には、第 3 の選択用電圧を第 1 の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

10

【0020】

更に、第 1 の選択用電圧として接地電源電圧が供給される場合に、第 1 のスイッチ素子を  $n$  型のパストランジスタにより構成したので、該選択用電圧が供給される電源線の電位が接地電位より低電位になっても、第 1 のスイッチ素子を構成するトランジスタのチャネル領域の電流密度を小さくできる。そのため、第 1 のスイッチ素子が破壊される可能性を大幅に減少させることができ、より一層信頼性を向上させることができるようになる。しかも、第 1 のスイッチ素子をパストランジスタで構成することで、該トランジスタのサイズをより大きくできるので、面積を増加させることなくチャネル領域の電流密度をより小さくできるようになる。

20

【0021】

また本発明は、

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

30

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

40

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定されたことを条件に、前記第 3 の選択用電圧を前記第 2 の基準電圧として出力し、

50

前記第 3 の選択用電圧として前記高電位側電源電圧が供給され、

前記第 4 のスイッチ素子を構成するトランジスタのチャンネル領域の電流密度が、前記第 1 ~ 第 3 のスイッチ素子の各スイッチ素子を構成するトランジスタのチャンネル領域の電流密度より小さい基準電圧選択回路に関係する。

【 0 0 2 2 】

また本発明に係る基準電圧選択回路では、

トランジスタのチャンネル幅を  $W$ 、該トランジスタのチャンネル長を  $L$  とした場合に、前記第 4 のスイッチ素子を構成するトランジスタの  $W/L$  が、前記第 1 ~ 第 3 のスイッチ素子の各スイッチ素子を構成するトランジスタの  $W/L$  より大きくてもよい。

【 0 0 2 3 】

上記のいずれかの発明によれば、第 1 ~ 第 4 のスイッチ素子を少なくとも含み、第 1 の選択用電圧を第 2 の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第 1 及び第 2 の基準電圧のみを出力する場合には、第 3 の選択用電圧を第 1 の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

【 0 0 2 4 】

更に、第 4 の選択用電圧として高電位側電源電圧が供給される場合に、第 4 のスイッチ素子を構成するトランジスタのチャンネル領域の電流密度を小さくしたので、該選択用電圧が供給される電源線の電位が高電位側電源電圧の電位より高電位になっても、第 4 のスイッチ素子が破壊される可能性を大幅に減少させることができ、より一層信頼性を向上させることができるようになる。

【 0 0 2 5 】

また本発明は、

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 3 の選択用電圧のうちの前記第 1 の選択用電圧を、電位の高い順又は低い順に並ぶ第 1 及び第 2 の基準電圧のうちの前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを含み、

前記第 1 のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも 3 ビットのガンマ補正データの第 1 のビットのデータによりイネーブルに設定されたことを条件に、前記第 1 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 2 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 1 の基準電圧として出力し、

前記第 3 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりイネーブルに設定されたことを条件に、前記第 2 の選択用電圧を前記第 2 の基準電圧として出力し、

前記第 4 のスイッチ素子が、

前記ガンマ補正データの第 1 のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第 2 のビットのデータによりディセーブルに設定され、且つ前記ガン

10

20

30

40

50

マ補正データの第3のビットのデータによりイネーブルに設定されたことを条件に、前記第3の選択用電圧を前記第2の基準電圧として出力し、

前記第3の選択用電圧として前記接地電源電圧が供給され、

前記第3の選択用電圧の電位が高電位側電源電位より高電位のとき、前記第4のスイッチ素子をバイパスするバイパス回路を含む基準電圧選択回路に係る。

【0026】

また本発明に係る基準電圧選択回路では、

前記バイパス回路が、

前記高電位側電源電圧がゲートに供給されるp型MOSトランジスタと、

そのソース及びドレインがそれぞれ前記p型MOSトランジスタのソース及びドレインに接続され、前記接地電源電圧がゲートに供給されるp型MOSトランジスタとを含み、前記バイパス回路が、

前記第4のスイッチ素子と並列に設けられてもよい。

【0027】

上記のいずれかの発明によれば、第1～第4のスイッチ素子を少なくとも含み、第1の選択用電圧を第2の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第1及び第2の基準電圧のみを出力する場合には、第3の選択用電圧を第1の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

【0028】

更に、第4の選択用電圧として高電位側電源電圧が供給される場合に、第4のスイッチ素子と並列にバイパス回路を設けたので、該選択用電圧が供給される電源線の電位が高電位側電源電圧の電位より高電位になっても、第4のスイッチ素子に流れる電流をバイパス回路によりバイパスさせることができる。そのため、第4のスイッチ素子が破壊される可能性を大幅に減少させることができ、より一層信頼性を向上させることができるようになる。

【0029】

また本発明は、

高電位側電源電圧と接地電源電圧との間の複数の基準電圧を選択するための基準電圧選択回路であって、

電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧のうちの前記第1の選択用電圧を、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧のうちの前記第1の基準電圧として出力するための第1のスイッチ素子と、

前記第2の選択用電圧を前記第1の基準電圧として出力するための第2のスイッチ素子と、

前記第2の選択用電圧を前記第2の基準電圧として出力するための第3のスイッチ素子と、

前記第3の選択用電圧を前記第2の基準電圧として出力するための第4のスイッチ素子とを含み、

前記第1のスイッチ素子が、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す少なくとも3ビットのガンマ補正データの第1のビットのデータによりイネーブルに設定されたことを条件に、前記第1の選択用電圧を前記第1の基準電圧として出力し、

前記第2のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第1の基準電圧として出力し、

前記第3のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記

10

20

30

40

50

ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第2の基準電圧として出力し、

前記第4のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第3のビットのデータによりイネーブルに設定されたことを条件に、前記第3の選択用電圧を前記第2の基準電圧として出力し、

前記第3の選択用電圧として前記高電位側電源電圧が供給され、

前記第4のスイッチ素子が、p型のパストランジスタにより構成される基準電圧選択回路に関係する。

10

#### 【0030】

本発明によれば、第1～第4のスイッチ素子を少なくとも含み、第1の選択用電圧を第2の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第1及び第2の基準電圧のみを出力する場合には、第3の選択用電圧を第1の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

#### 【0031】

更に、第4の選択用電圧として高電位側電源電圧が供給される場合に、第4のスイッチ素子をp型のパストランジスタにより構成したので、該選択用電圧が供給される電源線の電位が高電位側電源電圧より高電位になっても、第4のスイッチ素子を構成するトランジスタのチャネル領域の電流密度を小さくできる。そのため、第4のスイッチ素子が破壊される可能性を大幅に減少させることができ、より一層信頼性を向上させることができるようになる。しかも、第4のスイッチ素子をパストランジスタで構成することで、該トランジスタのサイズをより大きくできるので、面積を増加させることなくチャネル領域の電流密度をより小さくできるようになる。

20

#### 【0032】

また本発明に係る基準電圧選択回路では、

各スイッチセルが、第1～第4のスイッチ素子の各スイッチ素子を有する第1～第4のスイッチセルを含み、

30

前記第1のスイッチセルが、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号をアクティブにすると共に、前記第3のスイッチセルへのイネーブル信号をアクティブにし、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号を非アクティブにすると共に、前記第3のスイッチセルへのイネーブル信号を非アクティブにし、

前記第2のスイッチセルが、

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのディセーブル信号が非アクティブであることを条件に前記第2の選択用電圧を前記第1の基準電圧として出力すると共に、前記第4のスイッチセルへのイネーブル信号をアクティブにし、

40

それ以外のときには、前記第4のスイッチセルへのイネーブル信号を非アクティブにし、

前記第3のスイッチセルが、

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第2の選択用電圧を前記第2の基準電圧として出力すると共に、前記第4のスイッチセルへのディセーブル信号をアクティブにし、

それ以外のときには、前記第4のスイッチセルへのディセーブル信号を非アクティブに

50

し、

前記第 4 のスイッチセルが、

前記ガンマ補正データの第 3 のビットのデータによりイネーブルに設定され、且つ前記第 3 のスイッチセルからのディセーブル信号が非アクティブであり、且つ前記第 2 のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第 3 の選択用電圧を前記第 2 の基準電圧として出力することができる。

【 0 0 3 3 】

また本発明は、

電気光学装置の複数のデータ線を駆動するための表示ドライバであって、

上記のいずれか記載の基準電圧選択回路と、

10

前記基準電圧選択回路からの複数の基準電圧の中から、階調データに対応した基準電圧を選択し、データ電圧として出力する電圧選択回路と、

前記データ電圧に基づいて前記データ線を駆動する駆動回路とを含む表示ドライバに係する。

【 0 0 3 4 】

本発明によれば、より一層の信頼性の向上を図りつつ、簡素な構成で、高精度なガンマ補正を実現させる表示ドライバを提供できる。

【 0 0 3 5 】

また本発明は、

複数の走査線と、

20

複数のデータ線と、

前記複数の走査線の 1 つと前記複数のデータ線の 1 つとにより特定される画素電極と、

前記複数の走査線を走査する走査ドライバと、

前記複数のデータ線を駆動する上記記載の表示ドライバとを含む電気光学装置に係する。

【 0 0 3 6 】

本発明によれば、より一層の信頼性の向上を図りつつ、簡素な構成で、高精度なガンマ補正を実現させる表示ドライバを含む電気光学装置を提供できる。

【 0 0 3 7 】

また本発明は、

上記記載の表示ドライバを含む電子機器に係する。

30

【 0 0 3 8 】

また本発明は、

上記記載の電気光学装置を含む電子機器に係する。

【 0 0 3 9 】

上記のいずれかの発明によれば、より一層の信頼性の向上を図りつつ、簡素な構成で、高精度なガンマ補正を実現させる電子機器を提供できる。

【発明を実施するための最良の形態】

【 0 0 4 0 】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

40

【 0 0 4 1 】

1. 液晶表示装置

図 1 に、本実施形態におけるアクティブマトリックス型の液晶表示装置の構成の概要を示す。ここでは、アクティブマトリックス型の液晶表示装置について説明するが、単純マトリックス型の液晶表示装置についても、本実施形態における基準電圧選択回路を含むデータドライバ（表示ドライバ）を適用できる。

【 0 0 4 2 】

液晶表示装置 10 は、LCD パネル（広義には表示パネル、更に広義には電気光学装置

50

） 20 を含む。LCD パネル 20 は、例えばガラス基板上に形成される。このガラス基板上には、Y 方向に複数配列されそれぞれ X 方向に伸びる走査線（ゲートライン）GL1 ~ GLM（M は 2 以上の整数）と、X 方向に複数配列されそれぞれ Y 方向に伸びるデータ線（ソースライン）DL1 ~ DLN（N は 2 以上の整数）とが配置されている。また、走査線 GLm（1 ≤ m ≤ M、m は整数、以下同様。）とデータ線 DLn（1 ≤ n ≤ N、n は整数、以下同様。）との交差位置に対応して、画素領域（画素）が設けられ、該画素領域に薄膜トランジスタ（Thin Film Transistor：以下、TFT と略す。）22mn が配置されている。

【0043】

TFT 22mn のゲートは、走査線 GLm に接続されている。TFT 22mn のソースは、データ線 DLn に接続されている。TFT 22mn のドレインは、画素電極 26mn に接続されている。画素電極 26mn と、これに対向する対向電極 28mn との間に液晶が封入され、液晶容量（広義には液晶素子）24mn が形成される。画素電極 26mn と対向電極 28mn との間の印加電圧に応じて画素の透過率が変化している。対向電極 28mn には、対向電極電圧 Vcom が供給される。

【0044】

このような LCD パネル 20 は、例えば画素電極及び TFT が形成された第 1 の基板と、対向電極が形成された第 2 の基板とを貼り合わせ、両基板の間に電気光学材料としての液晶を封入させることで形成される。

【0045】

液晶表示装置 10 は、データドライバ（広義には表示ドライバ）30 を含む。データドライバ 30 は、階調データに基づいて、LCD パネル 20 のデータ線 DL1 ~ DLN を駆動する。

【0046】

液晶表示装置 10 は、ゲートドライバ（広義には走査ドライバ）32 を含むことができる。ゲートドライバ 32 は、一垂直走査期間内に、LCD パネル 20 の走査線 GL1 ~ GLM を走査する。

【0047】

液晶表示装置 10 は、電源回路 100 を含むことができる。電源回路 100 は、データ線の駆動に必要な電圧を生成し、これらをデータドライバ 30 に対して供給する。電源回路 100 は、例えばデータドライバ 30 のデータ線の駆動に必要な電源電圧 VDDH、VSSH や、データドライバ 30 のロジック部の電圧を生成する。

【0048】

また電源回路 100 は、走査線の走査に必要な電圧を生成し、これをゲートドライバ 32 に対して供給する。

【0049】

更に電源回路 100 は、対向電極電圧 Vcom を生成する。電源回路 100 は、データドライバ 30 によって生成された極性反転信号 POL のタイミングに合わせて、高電位側電圧 VCOMH と低電位側電圧 VCOML とを周期的に繰り返す対向電極電圧 Vcom を、LCD パネル 20 の対向電極に出力する。

【0050】

液晶表示装置 10 は、表示コントローラ 38 を含むことができる。表示コントローラ 38 は、図示しない中央処理装置（Central Processing Unit：以下、CPU と略す。）等のホストにより設定された内容に従って、データドライバ 30、ゲートドライバ 32、電源回路 100 を制御する。例えば、表示コントローラ 38 は、データドライバ 30 及びゲートドライバ 32 に対し、動作モードの設定、内部で生成した垂直同期信号や水平同期信号の供給を行う。本実施形態では、表示コントローラ 38 が、データドライバ 30 に対してガンマ補正データを供給し、種々のガンマ補正を実現できるようになっている。

【0051】

なお図 1 では、液晶表示装置 10 に電源回路 100 又は表示コントローラ 38 を含めて

10

20

30

40

50



構成するようにしているが、これらのうち少なくとも１つを液晶表示装置１０の外部に設けて構成するようにしてもよい。或いは、液晶表示装置１０に、ホストを含めるように構成することも可能である。

【００５２】

また、データドライバ３０は、ゲートドライバ３２及び電源回路１００のうち少なくとも１つを内蔵してもよい。

【００５３】

更にまた、データドライバ３０、ゲートドライバ３２、表示コントローラ３８及び電源回路１００の一部又は全部をＬＣＤパネル２０上に形成してもよい。例えば図２では、ＬＣＤパネル２０上に、データドライバ３０及びゲートドライバ３２が形成されている。このようにＬＣＤパネル２０は、複数のデータ線と、複数の走査線と、複数の走査線の各走査線及び複数のデータ線の各データ線とに接続された複数のスイッチ素子と、複数のデータ線を駆動する表示ドライバとを含むように構成することができる。ＬＣＤパネル２０の画素形成領域８０に、複数の画素が形成されている。

【００５４】

２．ゲートドライバ

図３に、図１のゲートドライバ３２の構成例を示す。

【００５５】

ゲートドライバ３２は、シフトレジスタ４０、レベルシフタ４２、出力バッファ４４を含む。

【００５６】

シフトレジスタ４０は、各走査線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ４０は、クロック信号ＣＰＶに同期してスタートパルス信号ＳＴＶをフリップフロップに保持すると、順次クロック信号ＣＰＶに同期して隣接するフリップフロップにスタートパルス信号ＳＴＶをシフトする。ここで入力されるクロック信号ＣＰＶは水平同期信号であり、スタートパルス信号ＳＴＶは垂直同期信号である。

【００５７】

レベルシフタ４２は、シフトレジスタ４０からの電圧のレベルを、ＬＣＤパネル２０の液晶素子とＴＦＴのトランジスタ能力とに応じた電圧のレベルにシフトする。この電圧レベルとしては、例えば２０Ｖ～５０Ｖの高い電圧レベルが必要になる。

【００５８】

出力バッファ４４は、レベルシフタ４２によってシフトされた走査電圧をバッファリングして走査線に出力し、走査線を駆動する。

【００５９】

３．データドライバ

図４に、図１のデータドライバ３０の構成例のブロック図を示す。図４では、１ドット当たりの階調データのビット数が６であるものとして説明するが、本発明が階調データのビット数に限定されるものではない。

【００６０】

データドライバ３０は、データラッチ５０、ラインラッチ５２、基準電圧発生回路５４、ＤＡＣ（Digital/Analog Converter）（広義には、電圧選択回路）５６、駆動回路５８を含む。

【００６１】

データドライバ３０には、画素単位（又は１ドット単位）でシリアルに階調データが入力される。この階調データは、ドットクロック信号ＤＣＬＫに同期して入力される。ドットクロック信号ＤＣＬＫは、表示コントローラ３８から供給される。図４では、説明の簡略化のため、１ドット単位で階調データが入力されるものとする。

【００６２】

データラッチ５０は、ドットクロック信号ＤＣＬＫに同期して、取り込み開始信号をシ

10

20

30

40

50

フトし、そのシフト出力に同期して、階調データをラッチすることで、例えば一水平走査分の階調データを取り込む。

【0063】

ラインラッチ52は、データラッチ50にラッチされた一水平走査分の階調データを、水平同期信号H SYNCの変化タイミングでラッチする。

【0064】

基準電圧発生回路54は、各基準電圧が各階調データに対応する複数の基準電圧を生成する。より具体的には、基準電圧発生回路54は、電位の高い順又は電位の低い順に並ぶ第1～第K（Kは2以上の整数）の基準電圧を発生させる。この場合に、基準電圧発生回路54は、電位の高い順又は電位の低い順に並ぶ第1～第L（LはKより大きい整数）の選択用電圧を一旦生成し、Lビットのガンマ補正データに基づいて第1～第Lの選択用電圧の中から選択されたK種類の選択用電圧を、電位の高い順又は電位の低い順に第1～第Kの基準電圧として出力する。ここで、ガンマ補正データの各ビットのデータが、各選択用電圧に対応しており、各選択用電圧を各基準電圧として出力するか否かを示す。

10

【0065】

以下では、Lが256、Kが64であるものとして説明する。即ち、基準電圧発生回路54は、高電位側電源電圧VDDHと低電位側電源電圧VSSHとに基づいて、各基準電圧が6ビットの各階調データに対応する複数の基準電圧V0～V63を生成する。この際、基準電圧発生回路54では、高電位側電源電圧VDDHと低電位側電源電圧VSSHとの間の電圧が分割された複数の選択用電圧V<sub>G</sub>0～V<sub>G</sub>255が生成され、ガンマ補正データに基づいて、複数の選択用電圧V<sub>G</sub>0～V<sub>G</sub>255の中から選択された64種類の選択用電圧が基準電圧V0～V63として出力される。

20

【0066】

DAC56は、ラインラッチ52から出力される階調データに対応したデータ電圧を、出力線ごとに生成する。より具体的には、DAC56は、基準電圧発生回路54によって生成された複数の基準電圧V0～V63の中から、ラインラッチ52から出力された1出力線分の階調データに対応した基準電圧を選択し、選択した基準電圧をデータ電圧として出力する。

【0067】

駆動回路58は、各出力線がLCDパネル20の各データ線に接続される複数の出力線を駆動する。より具体的には、駆動回路58は、DAC56によって出力線毎に生成されたデータ電圧に基づいて、各出力線を駆動する。即ち、駆動回路58は、階調データに基づいて選択された基準電圧をデータ電圧として、該データ電圧に基づいてデータ線を駆動する。駆動回路58は、出力線毎に設けられたボルテージフォロワ接続された演算増幅器を有し、該演算増幅器がDAC56からのデータ電圧に基づいて各出力線を駆動する。

30

【0068】

図5に、基準電圧発生回路54、DAC56、駆動回路58の構成の概要を示す。ここでは、駆動回路58のうち、データ線DL1と電気的に接続される出力線OL-1を駆動する構成のみを示すが、他の出力線についても同様である。

【0069】

40

基準電圧発生回路54は、高電位側電源電圧VDDH及び低電位側電源電圧VSSHの間の電圧を抵抗回路により分割した複数の電圧を、基準電圧V0～V63として出力する。なお、極性反転駆動の場合、実際には極性が正の場合と負の場合とで電圧が対称とならないため、正極性用の基準電圧と、負極性用の基準電圧とが生成される。図5では、その一方を示している。

【0070】

DAC56-1は、ROMデコーダ回路により実現することができる。DAC56-1は、6ビットの階調データに基づいて、基準電圧V0～V63のうちいずれか1つを選択して選択電圧Vsとして演算増幅器DRV-1に出力する。なお、他の演算増幅器DRV-2～DRV-Nについても、同様に、対応する6ビットの階調データに基づいて選択さ

50

れた電圧が出力される。

【0071】

DAC56-1は、反転回路57-1を含む。反転回路57-1は、極性反転信号POLに基づいて階調データを反転する。そして、DAC56-1には、6ビットの階調データD0～D5と、6ビットの反転階調データXD0～XD5とが入力される。反転階調データXD0～XD5は、階調データD0～D5をそれぞれビット反転したものである。そして、DAC56-1において、基準電圧発生回路54により生成された多値の基準電圧V0～V63のうちのいずれか1つが階調データに基づいて選択される。

【0072】

例えば極性反転信号POLの論理レベルが「H」のとき、6ビットの階調データD0～D5「000010」(=2)に対応して、基準電圧V2が選択される。また例えば極性反転信号POLの論理レベルが「L」のとき、階調データD0～D5を反転した反転階調データXD0～XD5を用いて基準電圧を選択する。即ち、反転階調データXD0～XD5が「111101」(=61)となり、基準電圧V61が選択される。

10

【0073】

このようにしてDAC56-1により選択された選択電圧Vsは、演算増幅器DRV-1に供給される。

【0074】

そして、演算増幅器DRV-1は、選択電圧Vsに基づいて出力線OL-1を駆動する。また、電源回路100は、上述したように、極性反転信号POLに同期して対向電極の電圧を変化させる。こうして、液晶に印加される電圧の極性を反転させて駆動する。

20

【0075】

4. 基準電圧発生回路

図6に、本実施形態における基準電圧発生回路54の構成例のブロック図を示す。

【0076】

基準電圧発生回路54は、選択用電圧発生回路200と、基準電圧選択回路210と、ガンマ補正データレジスタ220とを含む。

【0077】

選択用電圧発生回路200は、両端に高電位側電源電圧VDDH及び低電位側電源電圧VSSHが供給されるラダー抵抗回路を含む。このラダー抵抗回路は、直列に接続された複数の抵抗素子を有する。そして、抵抗素子同士が電氣的に接続されるノードを出力ノードとして、該出力ノードから選択用電圧を出力する。なお各抵抗素子の抵抗値は、ホスト又は表示コントローラ38からの制御によって変更できることが望ましい。

30

【0078】

こうして選択用電圧発生回路200は、電位の低い順に並ぶ選択用電圧VG0～VG255(第1～第Lの選択用電圧)を出力する。なお、選択用電圧発生回路200は、電位の高い順に並ぶ選択用電圧VG0～VG255を出力するようにしてもよい。

【0079】

ガンマ補正データレジスタ220には、各ビットのデータが各選択用電圧に対応付けられ、基準電圧として出力するか否かを示すLビットのガンマ補正データが設定される。

40

【0080】

図7に、本実施形態のガンマ補正データの説明図を示す。

【0081】

選択用電圧がL種類の場合、ガンマ補正データはLビット構成である。従って、図6におけるガンマ補正データは256ビット構成である。ガンマ補正データの各ビットのデータは、各選択用電圧を基準電圧として出力するか否かを示す。本実施形態では、ビットのデータが「1」のときは当該ビットに対応する選択用電圧を基準電圧として出力することを示し、ビットのデータが「0」のときは当該ビットに対応する選択用電圧を基準電圧として出力しないことを示す。従って、256ビット構成のガンマ補正データは、256ビットのうちいずれかの64ビットだけが「1」で、残りが「0」であるデータとなる。

50

## 【 0 0 8 2 】

図 7 では、ガンマ補正データの最上位ビットである 2 5 5 ビット目のデータが R E G 2 5 5 となり、・・・、ガンマ補正データの最下位ビットである 0 ビット目のデータが R E G 0 となる。

## 【 0 0 8 3 】

図 6 において、基準電圧選択回路 2 1 0 は、ガンマ補正データに基づいて選択用電圧  $V_G 0 \sim V_G 2 5 5$  (第 1 ~ 第 L の選択用電圧) の中から選択された 6 4 (= K) 種類の選択用電圧を、電位の低い順に基準電圧  $V 0 \sim V 6 3$  (第 1 ~ 第 K の基準電圧) として出力する。なお、基準電圧選択回路 2 1 0 は、電位の高い順に並ぶ基準電圧  $V 0 \sim V 6 3$  を出力するようにしてもよい。

10

## 【 0 0 8 4 】

図 8 に、図 6 の基準電圧選択回路の動作例の説明図を示す。

## 【 0 0 8 5 】

図 8 では、ガンマ補正データの最下位ビットが「0」、下位 2 ビット目が「1」、下位 3 ビット目が「1」、・・・、最上位ビットが「1」である。ガンマ補正データの最下位ビットが「0」であるため、当該ビットに対応する選択用電圧  $V_G 0$  は基準電圧として出力されない。

## 【 0 0 8 6 】

一方、ガンマ補正データの下位 2 ビット目が「1」であるため、当該ビットに対応する選択用電圧  $V_G 1$  は基準電圧として出力される。従って、選択用電圧  $V_G 1$  が、基準電圧  $V 0$  として出力される。

20

## 【 0 0 8 7 】

ガンマ補正データの下位 3 ビット目が「1」であるため、当該ビットに対応する選択用電圧  $V_G 2$  は基準電圧として出力される。従って、選択用電圧  $V_G 2$  が、基準電圧  $V 1$  として出力される。

## 【 0 0 8 8 】

同様に、ガンマ補正データの上位 2 ビット目が「0」であるため、当該ビットに対応する選択用電圧  $V_G 2 5 4$  は基準電圧として出力されない。これに対して、ガンマ補正データの最上位ビットが「1」であるため、当該ビットに対応する選択用電圧  $V_G 2 5 5$  は基準電圧として出力される。従って、選択用電圧  $V_G 2 5 5$  が、基準電圧  $V 6 3$  として出力される。

30

## 【 0 0 8 9 】

こうすることで、基準電圧発生回路 5 4 が、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 L の選択用電圧の中から選択された K 種類の選択用電圧を、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 K の基準電圧として発生させることができる。

## 【 0 0 9 0 】

図 9 に、ガンマ特性の説明図を示す。

## 【 0 0 9 1 】

図 9 は、横軸に基準電圧、縦軸に画素の透過率を示す。上述のように、本実施形態では、基準電圧  $V_x$  の電圧レベルを選択用電圧の中から選択して、複数種類の電圧レベルを出力させることができる。従って、LCD パネルの種類に応じた木目細かいガンマ補正を実現できる。

40

## 【 0 0 9 2 】

また選択用電圧発生回路 2 0 0 のラダー抵抗回路を構成する各抵抗素子の抵抗値を可変制御できるようにすることで、基準電圧発生回路 5 4 が出力する複数の基準電圧  $V 0 \sim V 6 3$  の電圧レベルを多様化できる。

## 【 0 0 9 3 】

## 4 . 1 基準電圧選択回路

次に、本実施形態の基準電圧選択回路 2 1 0 について説明する。基準電圧選択回路 2 1 0 は、電位の降順又は昇順に並ぶ K 種類の選択用電圧の中から選択された L 種類の選択用

50

電圧を、電位の降順又は昇順に並ぶ $L$ 種類の基準電圧として出力する。そのため、基準電圧選択回路210の機能を単純に回路で実現しようとすると、回路規模が大きくなってしまう。

#### 【0094】

図10に、本実施形態の比較例における基準電圧選択回路210の構成例のブロック図を示す。

#### 【0095】

比較例では、基準電圧毎に、256入力1出力のセレクトが設けられている。この場合、各セレクトは、ガンマ補正データに基づいて選択用電圧 $V_{G0} \sim V_{G255}$ のうちの1つを選択することになる。

10

#### 【0096】

従って、基準電圧の種類を増加させる毎に、256入力1出力のセレクトを追加する必要が生じ、基準電圧選択回路210のみならず、基準電圧発生回路54の回路規模の増大を招き、消費電力を増大させることにもなる。

#### 【0097】

そこで、本実施形態では、以下に説明するように、基準電圧選択回路210の機能をスイッチマトリックス構成で実現させるようにしている。こうすることで、基準電圧選択回路210の回路規模の増大を抑えることができるようになる。しかも、比較例と比べて、選択用電圧の種類や基準電圧の種類が増加しても、基準電圧選択回路210の回路規模の増大が少なく済む。

20

#### 【0098】

図11に、本実施形態における基準電圧選択回路210の構成例のブロック図を示す。ここでは、説明の簡略化のため、選択用電圧が3種類( $V_{G0}$ 、 $V_{G1}$ 、 $V_{G2}$ )、基準電圧が2種類( $V_0$ 、 $V_1$ )であるものとする。選択用電圧が3種類以上で、且つ基準電圧が2種類以上の基準電圧選択回路210は、図11の構成を必ず含む。従って、本実施形態において、電位の高い順又は電位の低い順に並ぶ第1～第 $K$ の基準電圧を発生させる基準電圧発生回路54は、図11に示すように第1～第 $K$ の基準電圧のうち少なくとも第1及び第2の基準電圧を出力する基準電圧選択回路を含むことができる。

#### 【0099】

図11の基準電圧選択回路は、3ビットのガンマ補正データに基づいて、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧 $V_{G0} \sim V_{G2}$ の中から、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧 $V_0$ 、 $V_1$ を選択する。

30

#### 【0100】

この基準電圧選択回路は、第1～第4のスイッチ素子 $SW1 \sim SW4$ を含む。第1のスイッチ素子 $SW1$ は、第1の選択用電圧 $V_{G0}$ を第1の基準電圧 $V_0$ として出力するためのスイッチ回路である。第2のスイッチ素子 $SW2$ は、第2の選択用電圧 $V_{G1}$ を第1の基準電圧 $V_0$ として出力するためのスイッチ回路である。第3のスイッチ素子 $SW3$ は、第2の選択用電圧 $V_{G1}$ を第2の基準電圧 $V_1$ として出力するためのスイッチ回路である。第4のスイッチ素子 $SW4$ は、第3の選択用電圧 $V_{G2}$ を第2の基準電圧 $V_1$ として出力するためのスイッチ回路である。各スイッチ回路は、各選択用電圧が供給される信号線と各基準電圧が出力される信号線とを電氣的に接続又は遮断することができる。

40

#### 【0101】

そして、第1のスイッチ素子 $SW1$ は、ガンマ補正データの第1のビットのデータ $REG0$ によりイネーブルに設定されたことを条件に、第1の選択用電圧 $V_{G0}$ を第1の基準電圧 $V_0$ として出力する。第2のスイッチ素子 $SW2$ は、ガンマ補正データの第1のビットのデータ $REG0$ によりディセーブルに設定され、且つガンマ補正データの第2のビットのデータ $REG1$ によりイネーブルに設定されたことを条件に、第2の選択用電圧 $V_{G1}$ を第1の基準電圧 $V_0$ として出力する。第3のスイッチ素子 $SW3$ は、ガンマ補正データの第1のビットのデータ $REG0$ によりイネーブルに設定され、且つガンマ補正データの第2のビットのデータ $REG1$ によりイネーブルに設定されたことを条件に、第2の選

50

択用電圧  $V_G1$  を第 2 の基準電圧  $V1$  として出力する。第 4 のスイッチ素子  $SW4$  は、ガンマ補正データの第 1 のビットのデータ  $REG0$  によりイネーブルに設定され、且つガンマ補正データの第 2 のビットのデータ  $REG1$  によりディセーブルに設定され、且つガンマ補正データの第 3 のビットのデータ  $REG2$  によりイネーブルに設定されたことを条件に、第 3 の選択用電圧  $V_G2$  を第 2 の基準電圧  $V1$  として出力する。

【0102】

なお図 11 の基準電圧選択回路は、各スイッチセルが第 1 ~ 第 4 のスイッチ素子  $SW1$  ~  $SW4$  の各スイッチ素子を有する第 1 ~ 第 4 のスイッチセル  $SC1$  ~  $SC4$  を含むことができる。そして、各スイッチセルは、他のスイッチセルから供給されるイネーブル信号及びディセーブル信号に基づいて、内蔵するスイッチ素子のオンオフ制御を行うと共に、別のスイッチセルにイネーブル信号及びディセーブル信号を出力する。

10

【0103】

図 12 (A)、図 12 (B) に、スイッチセルが他のスイッチセルに出力するイネーブル信号及びディセーブル信号を説明する図を示す。図 12 (A)、図 12 (B) では、4 種類の選択用電圧から 3 種類の基準電圧を選択する例を示している。

【0104】

図 12 (A) において、例えばガンマ補正データの第 1 のビットのデータ  $REG0$  により第 1 のスイッチセル  $SC1$  がイネーブルに設定されたとき、第 1 のスイッチセル  $SC1$  は、第 2 のスイッチセル  $SC2$  へのディセーブル信号  $dis$  をアクティブにし、第 3 のスイッチセルへのイネーブル信号  $enable$  をアクティブにする。

20

【0105】

第 2 のスイッチセル  $SC2$  は、第 1 のスイッチセル  $SC1$  からのディセーブル信号  $dis$  を用いて、第 2 のスイッチセル  $SC2$  が内蔵する第 2 のスイッチ素子  $SW2$  のオンオフ制御を行う。同様に、第 3 のスイッチセル  $SC3$  は、第 1 のスイッチセル  $SC1$  からのイネーブル信号  $enable$  を用いて、第 3 のスイッチセル  $SC3$  が内蔵する第 3 のスイッチ素子  $SW3$  のオンオフ制御を行う。

【0106】

これに対して、図 12 (B) において、例えばガンマ補正データの第 1 のビットのデータ  $REG0$  により第 1 のスイッチセル  $SC1$  がディセーブルに設定されたとき、第 1 のスイッチセル  $SC1$  は、第 2 のスイッチセル  $SC2$  へのディセーブル信号  $dis$  を非アクティブにし、第 3 のスイッチセルへのイネーブル信号  $enable$  を非アクティブにする。

30

【0107】

この場合も図 12 (A) と同様に、第 2 のスイッチセル  $SC2$  は、第 1 のスイッチセル  $SC1$  からのディセーブル信号  $dis$  を用いて、第 2 のスイッチセル  $SC2$  が内蔵する第 2 のスイッチ素子  $SW2$  のオンオフ制御を行う。また第 3 のスイッチセル  $SC3$  は、第 1 のスイッチセル  $SC1$  からのイネーブル信号  $enable$  を用いて、第 3 のスイッチセル  $SC3$  が内蔵する第 3 のスイッチ素子  $SW3$  のオンオフ制御を行う。

【0108】

より具体的には、第 1 のスイッチセル  $SC1$  は、ガンマ補正データの第 1 のビットのデータ  $REG0$  によりイネーブルに設定されたとき、第 2 のスイッチセル  $SC2$  へのディセーブル信号  $dis$  をアクティブにすると共に、第 3 のスイッチセル  $SC3$  へのイネーブル信号  $enable$  をアクティブにする。また、第 1 のスイッチセル  $SC1$  は、ガンマ補正データの第 1 のビットのデータ  $REG0$  によりディセーブルに設定されたとき、第 2 のスイッチセル  $SC2$  へのディセーブル信号  $dis$  を非アクティブにすると共に、第 3 のスイッチセル  $SC3$  へのイネーブル信号  $enable$  を非アクティブにする。

40

【0109】

第 2 のスイッチセル  $SC2$  は、ガンマ補正データの第 2 のビットのデータ  $REG1$  によりイネーブルに設定され、且つ第 1 のスイッチセル  $SC1$  からのディセーブル信号  $dis$  が非アクティブであることを条件に第 2 の選択用電圧  $V_G1$  を第 1 の基準電圧  $V0$  として出力すると共に、第 4 のスイッチセル  $SC4$  へのイネーブル信号  $enable$  をアクティ

50

ブにする。それ以外するとき、第2のスイッチセルSC2は、第4のスイッチセルSC4へのイネーブル信号enableを非アクティブにする。

【0110】

第3のスイッチセルSC3は、ガンマ補正データの第2のビットのデータREG1によりイネーブルに設定され、且つ第1のスイッチセルSC1からのイネーブル信号enableがアクティブであることを条件に第2の選択用電圧 $V_{G1}$ を第2の基準電圧 $V_1$ として出力すると共に、第4のスイッチセルSC4へのディセーブル信号disをアクティブにする。それ以外するとき、第3のスイッチセルSC3は、第4のスイッチセルSC4へのディセーブル信号disを非アクティブにする。

【0111】

第4のスイッチセルSC4は、ガンマ補正データの第3のビットのデータREG2によりイネーブルに設定され、且つ第3のスイッチセルSC3からのディセーブル信号disが非アクティブであり、且つ第2のスイッチセルSC2からのイネーブル信号enableがアクティブであることを条件に第3の選択用電圧 $V_{G2}$ を第2の基準電圧 $V_1$ として出力する。

【0112】

このようにイネーブル信号及びディセーブル信号を伝搬させることで、1つのスイッチセルを繰り返し接続するだけで済み、基準電圧選択回路の設計や、その変更が容易になる。なお、このディセーブル信号をイネーブル信号として伝搬させるようにしてもよいことは言うまでもない。

【0113】

図13に、図11の基準電圧選択回路の動作例を示す。

【0114】

図13に示すように、図11の基準電圧選択回路は、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧 $V_{G0} \sim V_{G2}$ が、3ビットのガンマ補正データにより「1」が設定されたビットのデータに基づいて、電位の高い順又は電位の低い順に並ぶ第1及び第2の基準電圧 $V_0$ 、 $V_1$ を出力する。

【0115】

このようなスイッチ素子又は該スイッチ素子を含むスイッチセルを採用して、上記のように信号（イネーブル信号、ディセーブル信号）を伝搬させることで、スイッチマトリックス構成で基準電圧選択回路を実現した場合であってもスイッチ素子又はスイッチセルの数を削減できる。

【0116】

一般に、スイッチマトリックス構成で第1～第3の選択用電圧 $V_{G1} \sim V_{G2}$ から第1及び第2の基準電圧 $V_0$ 、 $V_1$ を選択する回路を実現する場合、6（＝3×2）個のスイッチ素子又はスイッチセルが必要となる。

【0117】

これに対して、電位の高い順又は低い順に2つの基準電圧を出力するという特性を考慮すると、第3の選択用電圧 $V_{G2}$ が第1の基準電圧 $V_0$ として出力されることはない。同様に、第1の選択用電圧 $V_{G0}$ が第2の基準電圧 $V_1$ として出力されることはない。従って、図11の場合、スイッチ素子SW10（スイッチ素子SW10を含むスイッチセルSC10）及びスイッチ素子SW11（スイッチ素子SW11を含むスイッチセルSC11）を省略できる。

【0118】

本実施形態では、基準電圧選択回路が、電位の高い順又は電位の低い順に並ぶ第1～第Lの選択用電圧の中から、電位の高い順又は電位の低い順に並ぶ第1～第Kの基準電圧を選択する。このため、本実施形態の場合には、1つの基準電圧を出力するために（L-K+1）個のスイッチセルが必要とされる。そのため、この基準電圧選択回路は、K×（L-K+1）個のスイッチセルで実現できる。

【0119】

10

20

30

40

50

以下では、本実施形態の基準電圧選択回路の具体的な回路構成例について説明する。

#### 【0120】

図14に、本実施形態の基準電圧選択回路の具体的な回路構成例を示す。図14では、Lが16（第1～第16の選択用電圧 $V_{G0} \sim V_{G15}$ ）で、Kが5（第1～第4の基準電圧 $V_0 \sim V_4$ ）の構成例を示す。

#### 【0121】

$V_{G<15:0>}$ が第1～第16の選択用電圧 $V_{G0} \sim V_{G15}$ を示し、 $V_{G<15:0>}$ の各ビットの信号線に各選択用電圧が供給される。 $V_{<4:0>}$ が第1～第4の基準電圧 $V_0 \sim V_4$ を示し、 $V_{<4:0>}$ の各ビットの信号線に各基準電圧が出力される。 $R_{EG<15:0>}$ は、16ビットのガンマ補正データである。

10

#### 【0122】

単純にスイッチマトリックス構成を採用した場合、80（ $= 5 \times 16$ ）個のスイッチセルが必要となるにも関わらず、本実施形態では、60（ $= 5 \times (16 - 5 + 1)$ ）個のスイッチセルで実現できる。これは、上述した理由により、図14の回路部分310、312のスイッチセルを省略できるからである。

#### 【0123】

図15に、図14の回路図の一部の拡大図を示す。

#### 【0124】

図15において、図14と同一部分には同一符号を付し適宜説明を省略する。図15において、例えばスイッチセルSC1-1、SC2-1、SC3-1、SC4-1、・・・、SC1-2、SC2-2、・・・のそれぞれは同一構成である。

20

#### 【0125】

各スイッチセルは、VDD端子、ENHVI端子、ENHI端子、ENVI端子、D端子、ENHO端子、ENV D端子、OUT端子、IN端子を含む。

#### 【0126】

VDD端子は、高電位側の電源電圧VDD（高電位側電源電圧VDDH）を供給するための端子である。このスイッチセルでは低電位側の電源電圧VSS（接地電源電圧VSSH）を供給するための端子の図示は省略されている。ENHVI端子は、dirB方向に並ぶセルに供給されるイネーブル信号enableが入力される端子である。ENHI端子は、dirA方向に並ぶセルに供給されるイネーブル信号enable（論理レベルを反転したディセーブル信号disと等価）が入力される端子である。ENVI端子は、dirB方向に並ぶセルに供給されるイネーブル信号enableが入力される端子である。ENHO端子は、dirA方向に並ぶセルに供給されるイネーブル信号enable（論理レベルを反転したディセーブル信号disと等価）が出力される端子である。D端子は、ガンマ補正データのビットのデータが入力される端子である。ENV D端子は、dirB方向に並ぶセルに供給されるイネーブル信号enableを出力するための端子である。OUT端子は、基準電圧を供給するための端子である。IN端子は、選択用電圧が供給される端子である。

30

#### 【0127】

従って、図15に示すように、基準電圧選択回路は、第1～第4のスイッチセルSC1-1、SC2-1、SC1-2、SC2-2を含むことができる。第1のスイッチセルSC1-1は、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧のうちの第1の選択用電圧を、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧のうちの第1の基準電圧として出力するための第1のスイッチ素子を有する。第2のスイッチセルSC1-2は、第2の選択用電圧を第1の基準電圧として出力するための第2のスイッチ素子を有する。第3のスイッチセルSC1-2は、第2の選択用電圧を第2の基準電圧として出力するための第3のスイッチ素子を有する。第4のスイッチセルSC2-2は、第3の選択用電圧を第2の基準電圧として出力するための第4のスイッチ素子を有する。

40

#### 【0128】

そして第1のスイッチセルSC1-1には、各ビットのデータが各選択用電圧に対応付

50



けられ基準電圧として出力するか否かを示すLビットのガンマ補正データの第1のビットのデータが供給されると共に、第1のスイッチセルSC1-1は、第2及び第3のスイッチセルSC2-1、SC1-2に対してイネーブル信号を出力する。第2のスイッチセルSC2-1には、ガンマ補正データの第2のビットのデータが供給されると共に、第2のスイッチセルSC2-1は、第3及び第4のスイッチセルSC1-2、SC2-2に対してイネーブル信号を出力する。第3のスイッチセルSC1-2には、ガンマ補正データの第2のビットのデータが供給されると共に、第3のスイッチセルSC1-2は、第4のスイッチセルSC2-2に対してイネーブル信号を出力する。第4のスイッチセルSC2-2には、ガンマ補正データの第3のビットのデータが供給される。

【0129】

10

図15では、上述のディセーブル信号disを、イネーブル信号enableとして出力する。アクティブに設定されたイネーブル信号enableと非アクティブに設定されたディセーブル信号disとが等価であり、非アクティブに設定されたイネーブル信号enableとアクティブに設定されたディセーブル信号disとが等価だからである。

【0130】

#### 4.2 スイッチセル

本実施形態における基準電圧選択回路のスイッチセルは、基準電圧選択回路特有の構成に起因して、以下のような回路構成を採用することが望ましい。

【0131】

20

図16に、本実施形態における基準電圧選択回路の各スイッチセルの接続関係を模式的に示す。

【0132】

本実施形態における基準電圧選択回路は、高電位側電源電圧VDDH及び低電位側電源電圧VSSHの間の複数の基準電圧を選択する。そのため、高電位側電源電圧VDDH及び低電位側電源電圧VSSHの間の第1～第16の選択用電圧VG0～VG15の中からガンマ補正データに基づいて選択された選択用電圧を基準電圧として出力する。

【0133】

このような各選択用電圧が供給されるスイッチセルのスイッチ素子を、例えばトランスファークロスタックで構成することができる。トランスファークロスタックは、p型（広義には第1の導電型）の酸化膜半導体（Metal-Oxide-Semiconductor：MOS）トランジスタとn型（広義には第2の導電型）のMOSトランジスタとを含み、p型のMOSトランジスタのソースとn型のMOSトランジスタのソース、p型のMOSトランジスタのドレインとn型のMOSトランジスタのドレインがそれぞれ接続される。

30

【0134】

ところが、図16に示すように、第1の選択用電圧VG0が入力されるスイッチセルSC1-1には、低電位側電源電圧である接地電源電圧VSSHが供給される電源線の電流が、制限されることなく流れる可能性がある。同様に、第16の選択用電圧VG15が入力されるスイッチセルSC11-5にも、高電位側電源電圧VDD（VDDH）が供給される電源線の電流が制限されることなく流れる可能性がある。特に、高電位側電源電圧VDDHや接地電源電圧VSSHは、データドライバ30の外部から供給され、これらの電圧が供給される電源線には、静電気や電波等のノイズが混入しやすい。

40

【0135】

即ち、第1の選択用電圧VG0として接地電源電圧VSSHが供給される場合、静電気や外部からの電波等に起因して、第1の選択用電圧VG0が供給される電源線の電位変動が生じることがある。そして、第1のスイッチセルSC1-1のスイッチ素子のノードには直流電流が流れて、大きなストレスを受けている。そのため、これらの電源線の電位が接地電位より低電位になると、大電流が流れる第1のスイッチセルSC1-1のスイッチ素子が破壊される可能性が高くなる。

【0136】

また、第16の選択用電圧VG15として接地電源電圧VSSHが供給される場合、静電

50

気や外部からの電波等に起因して、第 16 の選択用電圧  $V_{G15}$  が供給される電源線の電位変動が生じることがある。そして、スイッチセル  $SC11-5$  のスイッチ素子のノードには直流電流が流れて、大きなストレスを受けている。そのため、これらの電源線の電位が高電位側電源電圧の電位より高電位になると、大電流が流れるスイッチセル  $SC11-5$  のスイッチ素子が破壊される可能性が高くなる。

【0137】

これに対して、他のスイッチセルには、ラダー抵抗回路を介して各種選択用電圧が供給されるため、電流が制限されることになる。

【0138】

そこで、第 1 のスイッチセル  $SC1-1$ 、スイッチセル  $SC11-5$  のスイッチ素子に流れる電流を制限するか、該スイッチ素子の電流に対する耐性を強化することが望ましい。

10

【0139】

電流を制限する場合、図 6 に示すように、他の選択用電圧と異なり第 1 又は第 16 の選択用電圧  $V_{G0}$ 、 $V_{G15}$  の電位レベルを変動させることはガンマ特性を大きく変化させるため、第 1 又は第 16 の選択用電圧  $V_{G0}$ 、 $V_{G15}$  が供給される信号線の電流を制限する目的で抵抗回路を設けることはできない。従って、抵抗回路を設けることなく、第 1 又は第 16 の選択用電圧  $V_{G0}$ 、 $V_{G15}$  が供給される信号線の電流を制限する必要がある。

【0140】

20

4.2.1 第 1 の構成例

第 1 の構成例では、第 1 のスイッチセル  $SC1-1$  のスイッチ素子の電流に対する耐性の強化を図る。

【0141】

図 17 に、図 15 のスイッチセルの回路の第 1 の構成例を示す。

【0142】

図 17 では、スイッチ素子  $SW$  が、トランスファークロッシングにより構成される。即ち、スイッチ素子  $SW$  が、 $p$  型の MOS トランジスタと  $n$  型の MOS トランジスタとを含み、 $p$  型の MOS トランジスタのソースと  $n$  型の MOS トランジスタのソース、 $p$  型の MOS トランジスタのドレインと  $n$  型の MOS トランジスタのドレインがそれぞれ接続される。 $p$  型の MOS トランジスタ及び  $n$  型の MOS トランジスタのソースが  $IN$  端子と電氣的に接続され、 $p$  型の MOS トランジスタ及び  $n$  型の MOS トランジスタのソースが  $OUT$  端子と電氣的に接続される。

30

【0143】

$ENVI$  端子、 $D$  端子及び  $ENHI$  端子からの入力信号の論理積演算結果が「H」のとき、スイッチ素子  $SW$  が導通状態となり、 $IN$  端子と  $OUT$  端子が同電位となる。該論理積演算結果が「L」のとき、スイッチ素子  $SW$  が非導通状態となる。この論理積演算結果と  $ENHV$  端子からの入力信号との論理和演算結果が、 $ENVO$  端子から出力される。また論理積演算結果と  $ENHV$  端子からの入力信号との論理和演算結果の反転結果は、 $ENHO$  端子から出力信号となる。

40

【0144】

第 1 の構成例では、第 1 の選択用電圧  $V_{G0}$  として接地電源電圧  $V_{SSH}$  が供給される第 1 のスイッチセル  $SC1-1$  のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、スイッチセル  $SC11-5$  を除く他のスイッチセルのスイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さくなるように構成される。即ち、第 1 ~ 第 4 のスイッチセル  $SC1-1$ 、 $SC2-1$ 、 $SC1-2$ 、 $SC2-2$  に着目すると、第 1 のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、第 2 ~ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さい。

【0145】

50

例えば、スイッチ素子を構成するトランジスタ（例えば  $n$  型の MOS トランジスタ）のチャネル幅を  $W$ 、該トランジスタのチャネル長を  $L$  とした場合に、第 1 のスイッチ素子を構成するトランジスタの  $W/L$  が、第 2 ～ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタの  $W/L$  より大きくすればよい。より具体的には、第 1 のスイッチ素子を構成するトランジスタの  $W/L$  の値を、第 2 ～ 第 4 のスイッチ素子の各スイッチ素子を構成するトランジスタの  $W/L$  の値の 2 倍以上とする。

【0146】

こうすることで、第 1 のスイッチセルのスイッチ素子の電流に対する耐性を強化できるので、第 1 の選択用電圧  $V_{G0}$  が供給される電源線の電位が接地電位より低電位になった場合でも、第 1 のスイッチセル  $SC1-1$  のスイッチ素子が破壊される可能性を大幅に減少させることが可能となる。

10

【0147】

4.2.2 第 2 の構成例

第 2 の構成例では、第 1 の構成例に代えて、又は追加して、第 1 のスイッチセル  $SC1-1$  のスイッチ素子に流れる電流を制限できる。

【0148】

図 18 に、図 15 のスイッチセルの回路の第 2 の構成例を示す。

【0149】

図 18 において、図 17 と同一部分には同一符号を付し、適宜説明を省略する。

【0150】

20

第 2 の構成例が第 1 の構成例と異なる点は、スイッチ素子と並列に、バイパス回路が設けられている。このバイパス回路は、第 1 の選択用電圧  $V_{G0}$  の電位が接地電位より低電位のとき、スイッチ素子  $SW$  をバイパスさせる。即ち、第 1 の選択用電圧  $V_{G0}$  の電位が接地電位より低電位のとき、スイッチ素子を構成するトランジスタのソース・ドレイン間に電流を流さないようにバイパスする経路が設けられるようになっている。

【0151】

このようなバイパス回路としては、いわゆるオフトランジスタ回路を採用できる。このオフトランジスタ回路は、トランスファークロークと同様の構成を有し、トランスファークロークの  $p$  型の MOS トランジスタとオフトランジスタ回路の  $p$  型の MOS トランジスタとが並列に接続され、トランスファークロークの  $n$  型の MOS トランジスタとオフトランジスタ回路の  $n$  型の MOS トランジスタとが並列に接続される。オフトランジスタ回路の  $p$  型の MOS トランジスタのゲートには、高電位側電源電圧  $V_{DDH}$  が供給され、オフトランジスタ回路の  $n$  型の MOS トランジスタのゲートには、接地電源電圧  $V_{SSH}$  が供給される。従って、オフトランジスタ回路は、通常の動作状態では、そのソース・ドレイン間には非導通状態となる。

30

【0152】

即ち、バイパス回路は、接地電源電圧がゲートに供給される  $n$  型 MOS トランジスタと、そのソース及びドレインがそれぞれ  $n$  型 MOS トランジスタのソース及びドレインに接続され、高電位側電源電圧がゲートに供給される  $p$  型 MOS トランジスタとを含む。そして、バイパス回路が、第 1 のスイッチセル  $SC1-1$  のスイッチ素子と並列に設けられている。

40

【0153】

従って、図 18 に示す構成を有するスイッチセルを第 1 のスイッチセル  $SC1-1$  に採用することで、第 1 の選択用電圧  $V_{G0}$  が供給される電源線の電位が接地電位より低電位になったときには、オフトランジスタ回路の  $n$  型の MOS トランジスタが導通状態となり、スイッチ素子に流れる電流を迂回させることが可能となる。これにより、第 1 のスイッチセル  $SC1-1$  のスイッチ素子が破壊される事態を確実に防止できるようになる。

【0154】

なお、図 18 に示すスイッチセルを第 1 のスイッチセル  $SC1-1$  のみに採用した場合、基準電圧選択回路を構成するスイッチセルのスイッチ素子をすべて同じサイズとするこ

50

とができる。また、第 1 のスイッチセル  $SC1-1$  において、第 1 の構成例に加えて第 2 の構成例のバイパス回路を採用してもよい。

【0155】

4. 2. 3 第 3 の構成例

第 3 の構成例では、第 1 又は第 2 の構成例に代えて、又は追加して、第 1 のスイッチセル  $SC1-1$  のスイッチ素子の電流に対する耐性の強化を図ることができる。

【0156】

図 19 に、図 15 のスイッチセルの回路の第 3 の構成例を示す。

【0157】

図 19 において、図 17 と同一部分には同一符号を付し、適宜説明を省略する。

10

【0158】

第 3 の構成例が第 1 の構成例と異なる点は、スイッチ素子がトランスファークロークで構成されるのではなく、 $n$  型のパストランジスタで構成される点である。従って、第 3 の構成例では、スイッチ素子の動作範囲として、 $p$  型の MOS トランジスタのみが動作する動作範囲を無視し、その分だけ  $n$  型の MOS トランジスタのサイズを大きく（チャネル領域の電流密度を小さく）できるようになる。図 19 に示すようなスイッチセルが、第 1 のスイッチセル  $SC1-1$  に採用される。

【0159】

第 3 の構成例では、第 1 の構成例において  $p$  型の MOS トランジスタが形成されていた領域に  $n$  型の MOS トランジスタを形成できるので、第 1 の構成例と同じ面積で、より一層信頼性の高い基準電圧選択回路を提供できるようになる。

20

【0160】

4. 2. 4 第 4 の構成例

第 1 ~ 第 3 の構成例では、第 1 のスイッチセル  $SC1-1$  に着目していたが、第 4 の構成例ではスイッチセル  $SC11-5$  のスイッチ素子の破壊の防止を図る。

【0161】

この第 4 の構成例では、第 1 ~ 第 3 の構成例に代えて、又は追加して、スイッチセル  $SC11-5$  のスイッチ素子の電流に対する耐性の強化を図ることができる。

【0162】

第 4 の構成例におけるスイッチセル  $SC11-5$  の構成は、図 17 と同様であるため図示及び詳細な説明を省略する。

30

【0163】

即ち、第 4 の構成例では、第 16 の選択用電圧  $V_{G15}$  として高電位側電源電圧  $V_{DDH}$  が供給されるスイッチセル  $SC11-5$  のスイッチ素子を構成するトランジスタのチャネル領域の電流密度が、第 1 のスイッチセル  $SC1-1$  を除く他のスイッチセルのスイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さくなるように構成される。即ち、図 16 のスイッチセル  $SC10-4$ （広義には第 1 のスイッチ素子）、 $SC11-4$ （広義には第 2 のスイッチ素子）、 $SC10-5$ （広義には第 3 のスイッチ素子）、 $SC11-5$ （広義には第 4 のスイッチ素子）に着目すると、スイッチセル  $SC11-5$  のスイッチ素子（第 4 のスイッチ素子）を構成するトランジスタのチャネル領域の電流密度が、スイッチセル  $SC10-4$ 、 $SC11-4$ 、 $SC10-5$  のスイッチ素子（第 1 ~ 第 3 スイッチ素子）の各スイッチ素子を構成するトランジスタのチャネル領域の電流密度より小さい。

40

【0164】

例えば、スイッチ素子を構成するトランジスタ（例えば  $n$  型の MOS トランジスタ）のチャネル幅を  $W$ 、該トランジスタのチャネル長を  $L$  とした場合に、スイッチセル  $SC11-5$  のスイッチ素子（第 4 のスイッチ素子）を構成するトランジスタの  $W/L$  が、スイッチセル  $SC10-4$ 、 $SC11-4$ 、 $SC10-5$  のスイッチ素子（第 1 ~ 第 3 のスイッチ素子）の各スイッチ素子を構成するトランジスタの  $W/L$  より大きくすればよい。より具体的には、スイッチセル  $SC11-5$  のスイッチ素子（第 4 のスイッチ素子）を構成す

50

るトランジスタの $W/L$ の値を、スイッチセル $SC10-4$ 、 $SC11-4$ 、 $SC10-5$ のスイッチ素子（第1～第3のスイッチ素子）の各スイッチ素子を構成するトランジスタの $W/L$ の値の2倍以上とする。

【0165】

こうすることで、スイッチセル $SC11-5$ のスイッチ素子の電流に対する耐性を強化できるので、第16の選択用電圧 $V_{G15}$ が供給される電源線の電位が高電位側電源電圧より高電位になった場合でも、スイッチセル $SC11-5$ のスイッチ素子が破壊される可能性を大幅に減少させることが可能となる。

【0166】

4.2.5 第5の構成例

第5の構成例では、第1～第4の構成例に代えて、又は追加して、スイッチセル $SC11-5$ のスイッチ素子に流れる電流を制限できる。

【0167】

第4の構成例におけるスイッチセル $SC11-5$ の構成は、図18と同様であるため図示及び詳細な説明を省略する。

【0168】

即ち、第5の構成例では、スイッチ素子と並列に、バイパス回路が設けられている。このバイパス回路は、第16の選択用電圧 $V_{G15}$ の電位が高電位側電源電圧の電位より高電位のとき、スイッチ素子 $SW$ をバイパスさせる。即ち、第16の選択用電圧 $V_{G15}$ の電位が高電位側電源電位より高電位のとき、スイッチ素子を構成するトランジスタのソース・ドレイン間に電流を流さないようにバイパスする経路が設けられるようになっている。

【0169】

このようなバイパス回路としては、いわゆるオフトランジスタ回路を採用できる。このオフトランジスタ回路は、トランスファークロークと同様の構成を有し、トランスファークロークのp型のMOSトランジスタとオフトランジスタ回路のp型のMOSトランジスタとが並列に接続され、トランスファークロークのn型のMOSトランジスタとオフトランジスタ回路のn型のMOSトランジスタとが並列に接続される。オフトランジスタ回路のp型のMOSトランジスタのゲートには、高電位側電源電圧 $V_{DDH}$ が供給され、オフトランジスタ回路のn型のMOSトランジスタのゲートには、接地電源電圧 $V_{SSH}$ が供給される。

【0170】

即ち、バイパス回路が、接地電源電圧がゲートに供給されるn型MOSトランジスタと、そのソース及びドレインがそれぞれn型MOSトランジスタのソース及びドレインに接続され、高電位側電源電圧がゲートに供給されるp型MOSトランジスタとを含む。そして、バイパス回路が、スイッチセル $SC11-5$ のスイッチ素子と並列に設けられている。

【0171】

従って、図18に示す構成を有するスイッチセルをスイッチセル $SC11-5$ に採用することで、第16の選択用電圧 $V_{G15}$ が供給される電源線の電位が高電位側電源電位より高電位になったときには、オフトランジスタ回路のp型のMOSトランジスタが導通状態となり、スイッチ素子に流れる電流を迂回させることが可能となる。これにより、スイッチセル $SC11-5$ のスイッチ素子が破壊される事態を確実に防止できるようになる。

【0172】

なお、図18に示すスイッチセルをスイッチセル $SC11-5$ のみに採用した場合、基準電圧選択回路を構成するスイッチセルのスイッチ素子をすべて同じサイズとすることができる。また、スイッチセル $SC11-5$ において、第4の構成例に加えて第5の構成例のバイパス回路を採用してもよい。

【0173】

4.2.6 第6の構成例

第 6 の構成例では、第 1 ～ 第 5 の構成例に代えて、又は追加して、スイッチセル S C 1 1 - 5 のスイッチ素子の電流に対する耐性の強化を図ることができる。

【 0 1 7 4 】

図 2 0 に、図 1 5 のスイッチセルの回路の第 6 の構成例を示す。

【 0 1 7 5 】

図 2 0 において、図 1 9 と同一部分には同一符号を付し、適宜説明を省略する。

【 0 1 7 6 】

第 6 の構成例が第 4 の構成例と異なる点は、スイッチ素子がトランスファークロッシングで構成されるのではなく、p 型のパストランジスタで構成される点である。従って、第 6 の構成例では、スイッチ素子の動作範囲として、n 型の MOS トランジスタのみが動作する動作範囲を無視し、その分だけ p 型の MOS トランジスタのサイズを大きく（チャネル領域の電流密度を小さく）できるようになる。図 2 0 に示すようなスイッチセルが、スイッチセル S C 1 1 - 5 に採用される。

10

【 0 1 7 7 】

第 6 の構成例では、第 4 の構成例において n 型の MOS トランジスタが形成されていた領域に p 型の MOS トランジスタを形成できるので、第 4 の構成例と同じ面積で、より一層信頼性の高い基準電圧選択回路を提供できるようになる。

【 0 1 7 8 】

4 . 3 効果の説明図

4 . 3 . 1 第 1 ～ 第 3 の構成例の効果

20

図 2 1 ( A )、図 2 1 ( B ) に、第 1 ～ 第 3 の構成例による効果の説明図を示す。

【 0 1 7 9 】

図 2 1 ( A ) は、第 1 ～ 第 3 の構成例を適用する前の状態で、走査ライン反転駆動により、1 駆動期間毎に、6 ビットの階調データに対応した階調値を「0」から「63」まで順番に大きくしたときのデータドライバ 3 0 の駆動波形例を模式的に表したものである。

【 0 1 8 0 】

図 2 1 ( B ) は、第 1 ～ 第 3 の構成例を適用し、走査ライン反転駆動により、1 駆動期間毎に、6 ビットの階調データに対応した階調値を「0」から「63」まで順番に大きくしたときのデータドライバ 3 0 の駆動波形例を模式的に表したものである。

【 0 1 8 1 】

30

図 2 1 ( A ) では、上述のように第 1 のスイッチセル S C 1 - 1 のスイッチ素子に大電流が流れて、該スイッチ素子が破壊され、その結果、基準電圧選択回路の出力のうち基準電圧 V 0 の出力がハイインピーダンス状態になるものと考えられる。この場合、階調値「0」に対応した基準電圧 V 0 を階調電圧としてソース出力する V 0 出力期間では、ソース出力がハイインピーダンス状態となり、実際には出力レベルが不定となる。その後、次の駆動期間では、極性が反転し、階調値「1」に対応した基準電圧 V 6 2 が出力され、次の駆動期間では更に極性が反転し、階調値「2」に対応した基準電圧 V 2 が出力される。これ以降、同様に、それぞれ階調値に対応した基準電圧が出力される。

【 0 1 8 2 】

これに対して、第 1 ～ 第 3 の構成例を適用すれば、第 1 のスイッチセル S C 1 - 1 のスイッチ素子の破壊を防止できる。従って、階調値「0」に対応した基準電圧 V 0 を階調電圧としてソース出力する V 0 出力期間では、基準電圧 V 0 が出力され、次の駆動期間では、極性が反転し、階調値「1」に対応した基準電圧 V 6 2 が出力され、次の駆動期間では更に極性が反転し、階調値「2」に対応した基準電圧 V 2 が出力される。これ以降、同様に、それぞれ階調値に対応した基準電圧が出力される。

40

【 0 1 8 3 】

4 . 3 . 2 第 4 ～ 第 6 の構成例の効果

以下では、K が 6 4 であるものとする。

【 0 1 8 4 】

図 2 2 ( A )、図 2 2 ( B ) に、第 4 ～ 第 6 の構成例による効果の説明図を示す。

50

## 【 0 1 8 5 】

図 2 2 ( A ) は、第 4 ～ 第 6 の構成例を適用する前の状態で、走査ライン反転駆動により、1 駆動期間毎に、6 ビットの階調データに対応した階調値を「 6 3 」から「 0 」まで順番に小さくしたときのデータドライバ 3 0 の駆動波形例を模式的に表したものである。

## 【 0 1 8 6 】

図 2 2 ( B ) は、第 4 ～ 第 6 の構成例を適用し、走査ライン反転駆動により、1 駆動期間毎に、6 ビットの階調データに対応した階調値を「 6 3 」から「 0 」まで順番に小さくしたときのデータドライバ 3 0 の駆動波形例を模式的に表したものである。

## 【 0 1 8 7 】

図 2 2 ( A ) では、上述のようにスイッチセル S C 1 1 - 5 のスイッチ素子に大電流が流れて、該スイッチ素子が破壊され、その結果、基準電圧選択回路の出力のうち基準電圧 V 6 3 の出力がハイインピーダンス状態になるものと考えられる。この場合、階調値「 6 3 」に対応した基準電圧 V 6 3 を階調電圧としてソース出力する V 6 3 出力期間では、ソース出力がハイインピーダンス状態となり、実際には出力レベルが不定となる。その後、次の駆動期間では、極性が反転し、階調値「 6 2 」に対応した基準電圧 V 1 が出力され、次の駆動期間では更に極性が反転し、階調値「 6 1 」に対応した基準電圧 V 6 1 が出力される。これ以降、同様に、それぞれ階調値に対応した基準電圧が出力される。

## 【 0 1 8 8 】

これに対して、第 4 ～ 第 6 の構成例を適用すれば、スイッチセル S C 1 1 - 5 のスイッチ素子の破壊を防止できる。従って、階調値「 6 3 」に対応した基準電圧 V 6 3 を階調電圧としてソース出力する V 6 3 出力期間では、基準電圧 V 6 3 が出力され、次の駆動期間では、極性が反転し、階調値「 6 2 」に対応した基準電圧 V 1 が出力され、次の駆動期間では更に極性が反転し、階調値「 6 1 」に対応した基準電圧 V 6 1 が出力される。これ以降、同様に、それぞれ階調値に対応した基準電圧が出力される。

## 【 0 1 8 9 】

## 5 . 電子機器

図 2 3 に、本実施形態における電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。図 2 3 において、図 1 又は図 2 と同一部分には同一符号を付し、適宜説明を省略する。

## 【 0 1 9 0 】

携帯電話機 9 0 0 は、カメラモジュール 9 1 0 を含む。カメラモジュール 9 1 0 は、C C D カメラを含み、C C D カメラで撮像した画像のデータを、Y U V フォーマットで表示コントローラ 3 8 に供給する。

## 【 0 1 9 1 】

携帯電話機 9 0 0 は、L C D パネル 2 0 を含む。L C D パネル 2 0 は、データドライバ 3 0 及びゲートドライバ 3 2 によって駆動される。L C D パネル 2 0 は、複数のゲート線、複数のソース線、複数の画素を含む。

## 【 0 1 9 2 】

表示コントローラ 3 8 は、データドライバ 3 0 及びゲートドライバ 3 2 に接続され、データドライバ 3 0 に対して R G B フォーマットの表示データを供給する。

## 【 0 1 9 3 】

電源回路 1 0 0 は、データドライバ 3 0 及びゲートドライバ 3 2 に接続され、各ドライバに対して、駆動用の電源電圧を供給する。また L C D パネル 2 0 の対向電極に、対向電極電圧 V c o m を供給する。

## 【 0 1 9 4 】

ホスト 9 4 0 は、表示コントローラ 3 8 に接続される。ホスト 9 4 0 は、表示コントローラ 3 8 を制御する。またホスト 9 4 0 は、アンテナ 9 6 0 を介して受信された表示データを、変復調部 9 5 0 で復調した後、表示コントローラ 3 8 に供給できる。表示コントローラ 3 8 は、この表示データに基づき、データドライバ 3 0 及びゲートドライバ 3 2 により L C D パネル 2 0 に表示させる。

10

20

30

40

50

## 【 0 1 9 5 】

ホスト 9 4 0 は、カメラモジュール 9 1 0 で生成された表示データを変復調部 9 5 0 で変調した後、アンテナ 9 6 0 を介して他の通信装置への送信を指示できる。

## 【 0 1 9 6 】

ホスト 9 4 0 は、操作入力部 9 7 0 からの操作情報に基づいて表示データの送受信処理、カメラモジュール 9 1 0 の撮像、LCD パネル 2 0 の表示処理を行う。

## 【 0 1 9 7 】

なお、本実施形態の第 1 ～ 第 6 の構成例において、第 1 のスイッチセル S C 1 - 1 やスイッチセル S C 1 1 - 5 のスイッチ素子を構成するトランジスタの形成領域では、コンタクトやホールの数を増やし、大電流に対する耐性を強化しておくことが望ましい。

10

## 【 0 1 9 8 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。

## 【 0 1 9 9 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

## 【 図面の簡単な説明 】

20

## 【 0 2 0 0 】

【 図 1 】 本実施形態における液晶表示装置の構成の概要を示す図。

【 図 2 】 本実施形態における液晶表示装置の他の構成の概要を示す図。

【 図 3 】 図 1 のゲートドライバの構成例を示す図。

【 図 4 】 図 1 のデータドライバの構成例のブロック図。

【 図 5 】 図 4 の基準電圧発生回路、DAC、駆動回路の構成の概要を示す図。

【 図 6 】 本実施形態における基準電圧発生回路の構成例のブロック図。

【 図 7 】 本実施形態のガンマ補正データの説明図。

【 図 8 】 図 6 の基準電圧選択回路の動作例の説明図。

【 図 9 】 ガンマ特性の説明図。

30

【 図 1 0 】 本実施形態の比較例における基準電圧選択回路の構成例のブロック図。

【 図 1 1 】 本実施形態における基準電圧選択回路の構成例のブロック図。

【 図 1 2 】 図 1 2 ( A )、図 1 2 ( B ) はスイッチセルが他のスイッチセルに出力するイネーブル信号及びディセーブル信号を説明する図。

【 図 1 3 】 図 1 1 の基準電圧選択回路の動作例を示す図。

【 図 1 4 】 本実施形態の基準電圧選択回路の具体的な回路構成例を示す図。

【 図 1 5 】 図 1 4 の回路図の一部の拡大図。

【 図 1 6 】 本実施形態における基準電圧選択回路の各スイッチセルの接続関係の模式図。

【 図 1 7 】 図 1 5 のスイッチセルの回路の第 1 の構成例を示す図。

【 図 1 8 】 図 1 5 のスイッチセルの回路の第 2 の構成例を示す図。

40

【 図 1 9 】 図 1 5 のスイッチセルの回路の第 3 の構成例を示す図。

【 図 2 0 】 図 1 5 のスイッチセルの回路の第 6 の構成例を示す図。

【 図 2 1 】 図 2 1 ( A )、図 2 1 ( B ) は第 1 ～ 第 3 の構成例による効果の説明図。

【 図 2 2 】 図 2 2 ( A )、図 2 2 ( B ) は第 4 ～ 第 6 の構成例による効果の説明図。

【 図 2 3 】 本実施形態における電子機器の構成例のブロック図。

## 【 符号の説明 】

## 【 0 2 0 1 】

1 0 液晶表示装置、 2 0 LCD パネル、 3 0 データドライバ、  
3 2 ゲートドライバ、 3 8 表示コントローラ、 4 0 シフトレジスタ、  
4 2 レベルシフタ、 4 4 出力バッファ、 5 0 データラッチ、

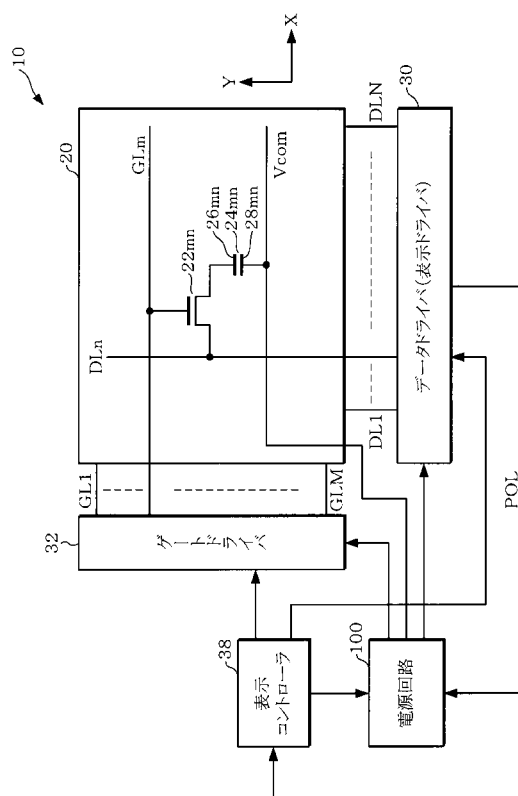
50



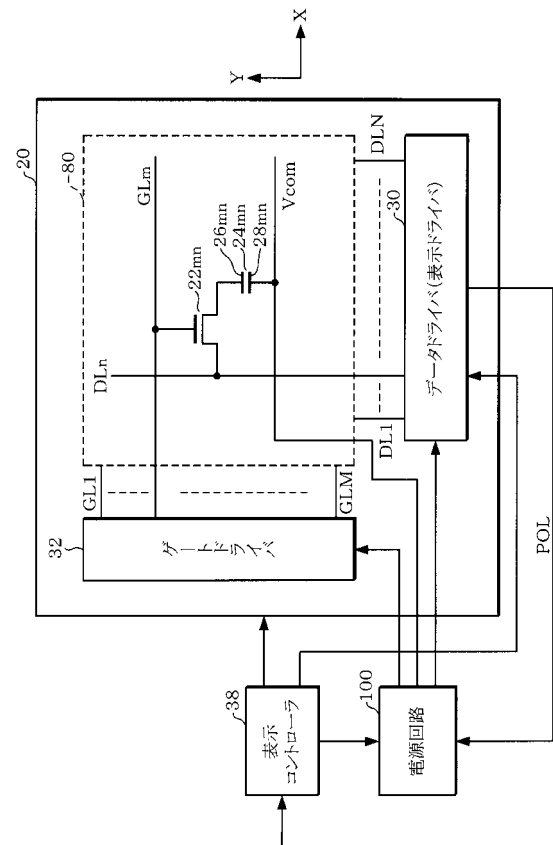
52 ラインラッチ、 54 基準電圧発生回路、 56、56-1 DAC、  
 57-1 反転回路、 58、58-1 駆動回路、 100 電源回路、  
 200 選択用電圧発生回路、 210 基準電圧選択回路、  
 220 ガンマ補正データレジスタ、 dis ディセーブル信号、  
 enable イネーブル信号、  
 REG0 ガンマ補正データの第1のビットのデータ、  
 REG1 ガンマ補正データの第2のビットのデータ、  
 REG2 ガンマ補正データの第3のビットのデータ  
 SC1 第1のスイッチセル、 SC2 第2のスイッチセル、  
 SC3 第3のスイッチセル、 SC4 第4のスイッチセル、  
 SW1 第1のスイッチ素子、 SW2 第2のスイッチ素子、  
 SW3 第3のスイッチ素子、 SW4 第4のスイッチ素子、  
 V0 第1の基準電圧、 V1 第2の基準電圧、 VG0 第1の選択用電圧、  
 VG1 第2の選択用電圧、 VG2 第3の選択用電圧

10

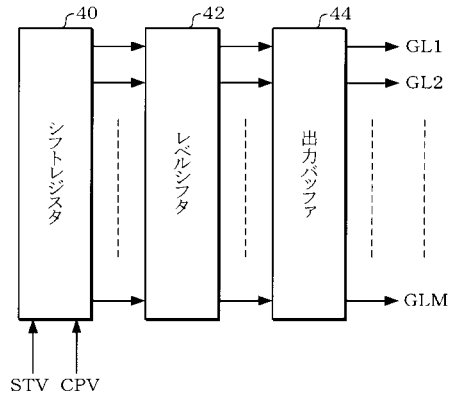
【図1】



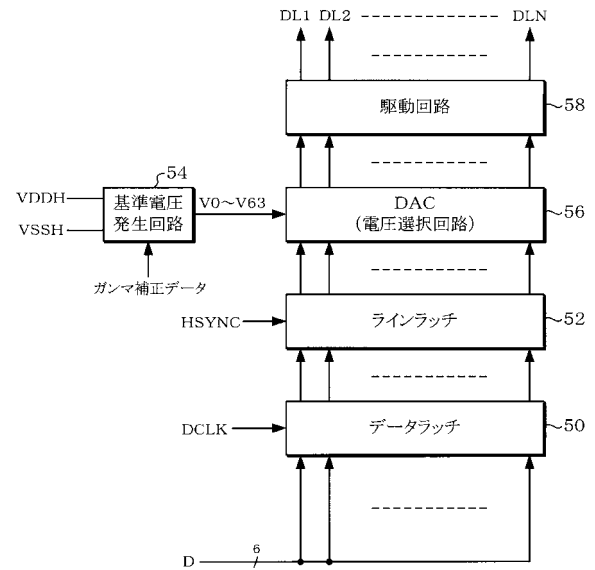
【図2】



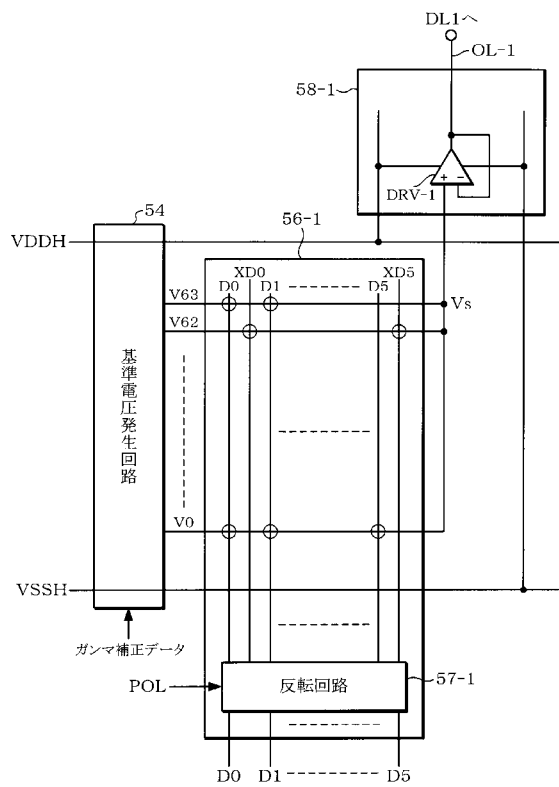
【図 3】



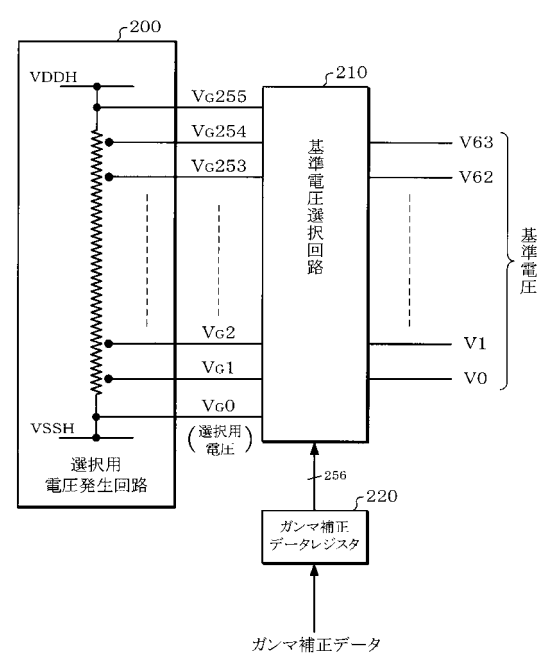
【図 4】



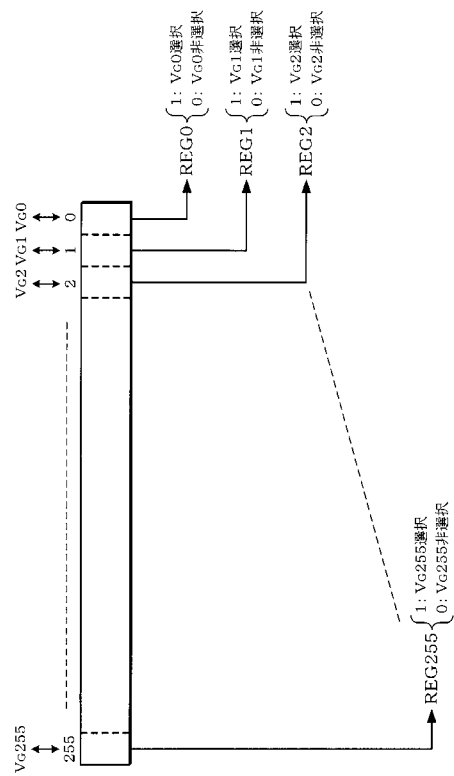
【図 5】



【図 6】



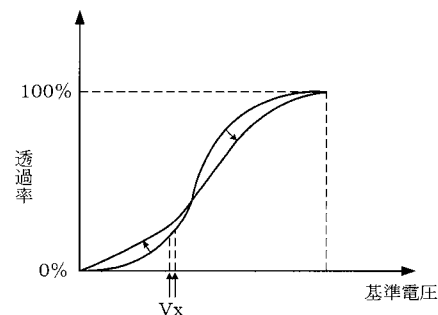
【 図 7 】



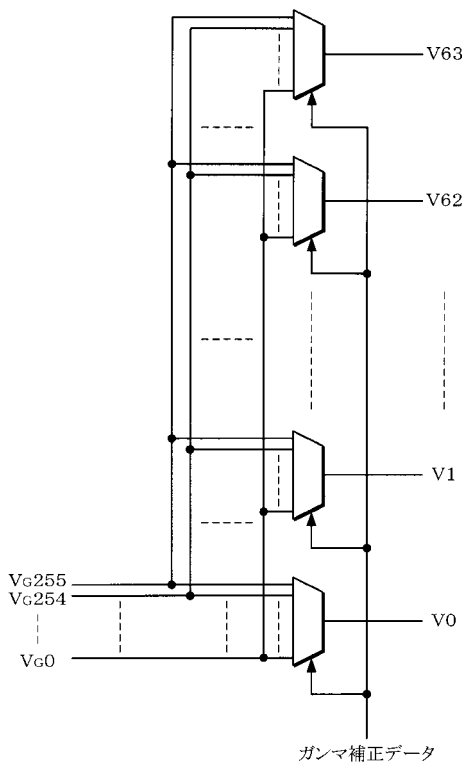
【 図 8 】

選択用電圧	ガンマ補正データ	基準電圧
V <sub>G</sub> 255	REG255=1	V <sub>63</sub>
V <sub>G</sub> 254	REG254=0	—
V <sub>G</sub> 253	REG253=0	—
V <sub>G</sub> 252	REG252=1	V <sub>62</sub>
...		
V <sub>G</sub> 3	REG3=0	—
V <sub>G</sub> 2	REG2=1	V <sub>1</sub>
V <sub>G</sub> 1	REG1=1	V <sub>0</sub>
V <sub>G</sub> 0	REG0=0	—

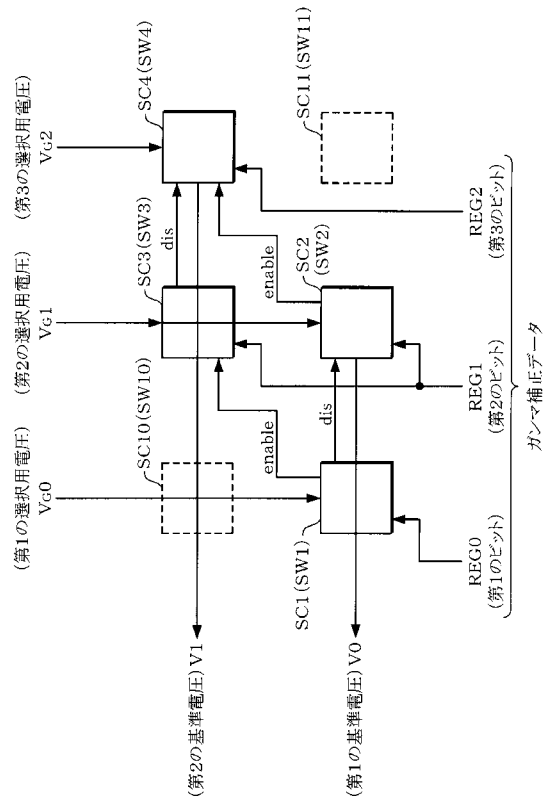
【 図 9 】



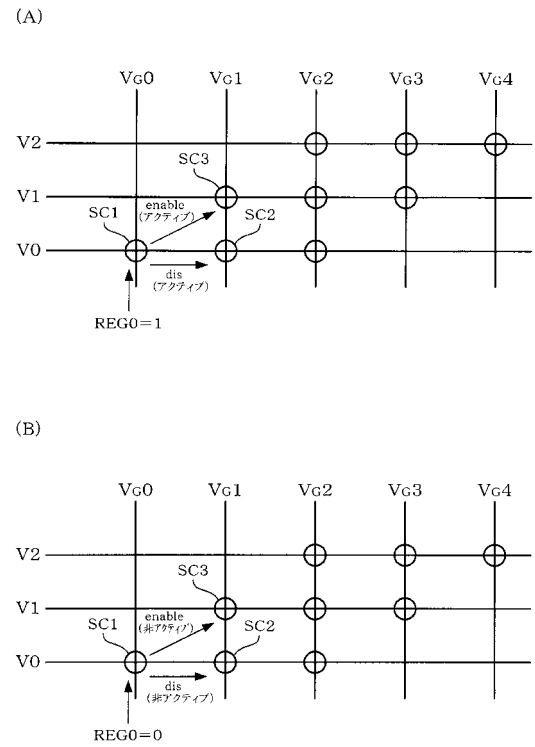
【 図 10 】



【図 1 1】



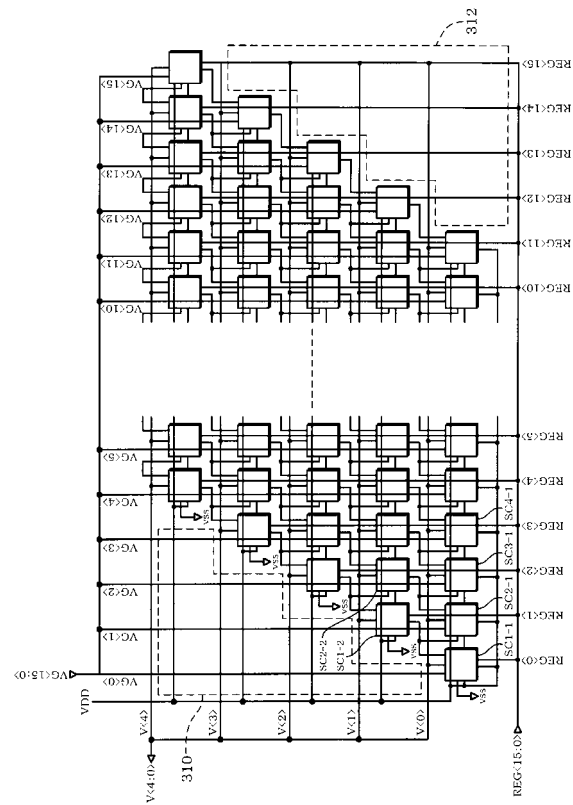
【図 1 2】



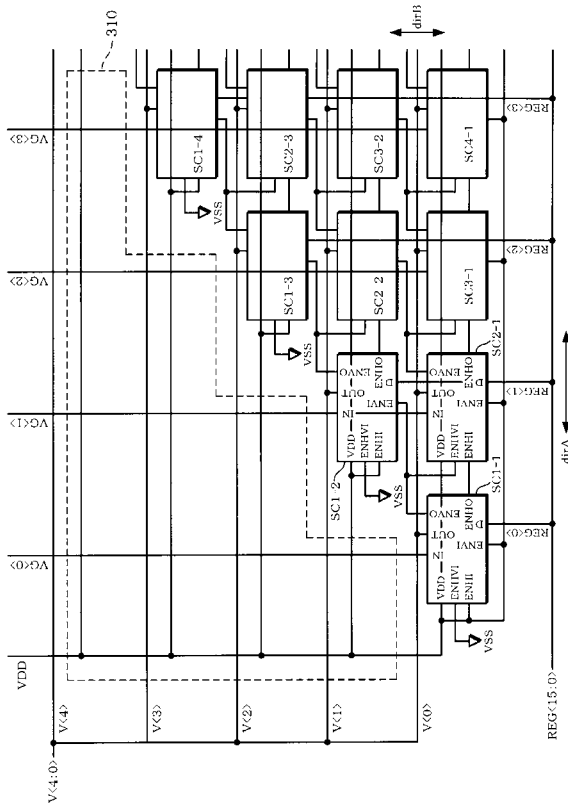
【図 1 3】

REG2	REG1	REG0	V1	V0
1	1	0	V <sub>G2</sub>	V <sub>G1</sub>
1	0	1	V <sub>G2</sub>	V <sub>G0</sub>
0	1	1	V <sub>G1</sub>	V <sub>G0</sub>

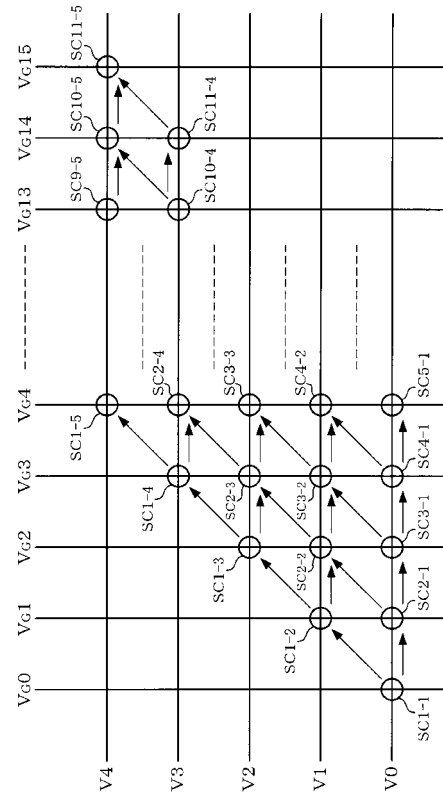
【図 1 4】



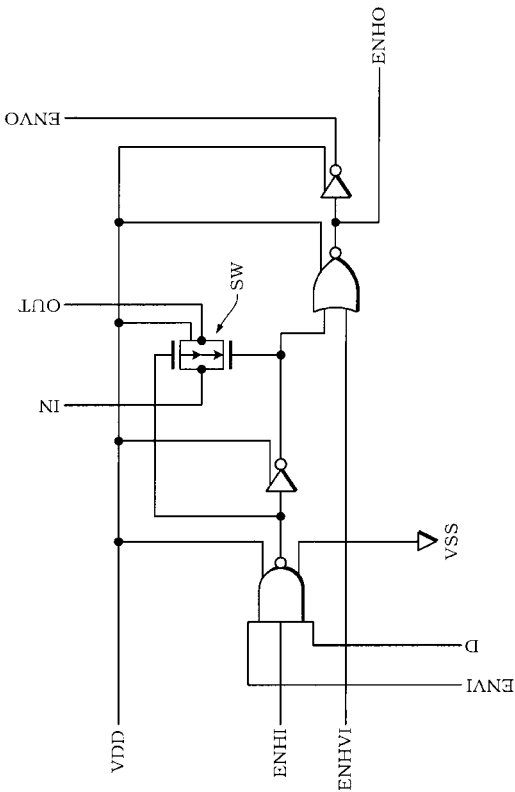
【図 15】



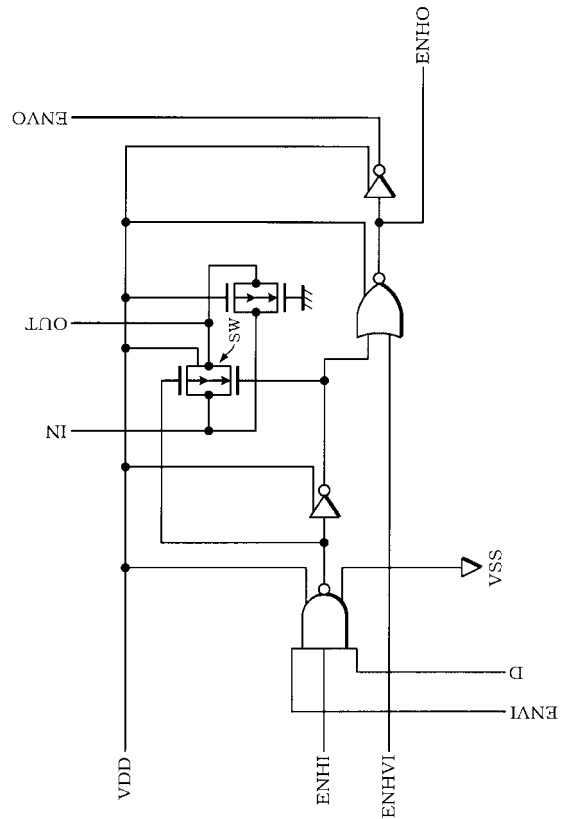
【図 16】



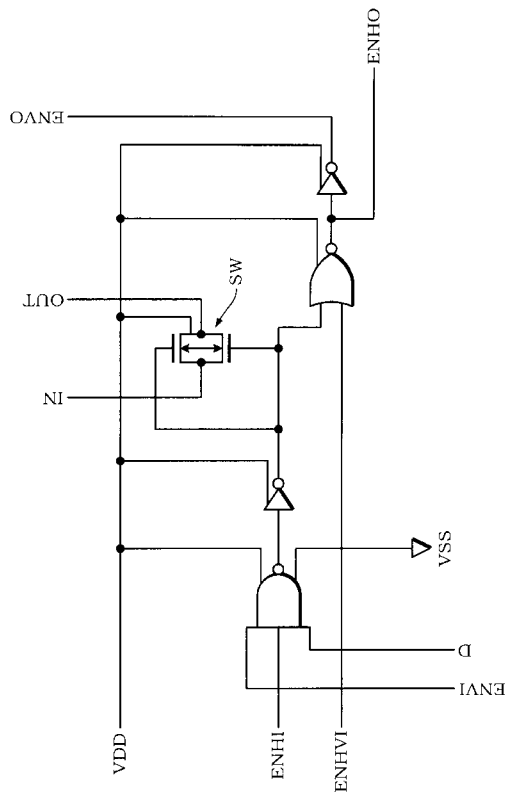
【図 17】



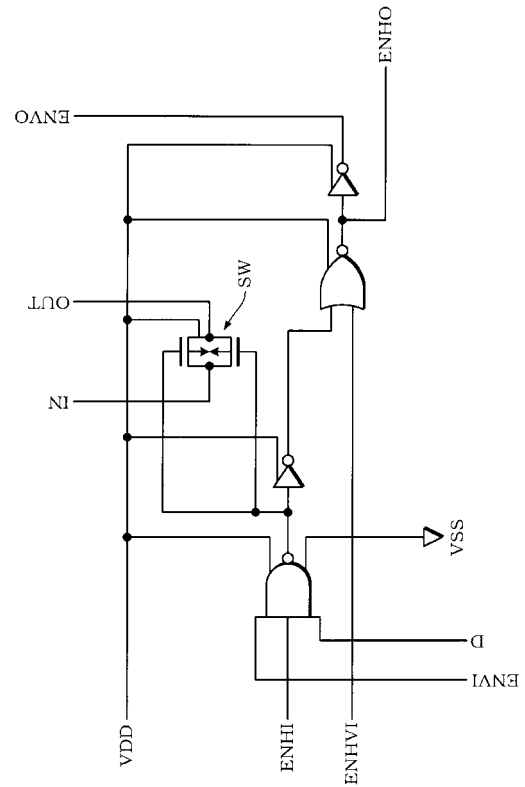
【図 18】



【図 19】

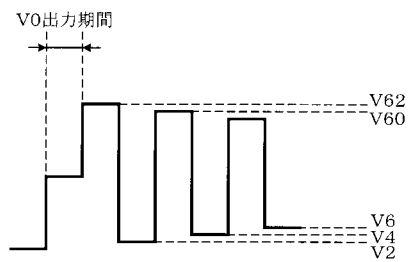


【図 20】

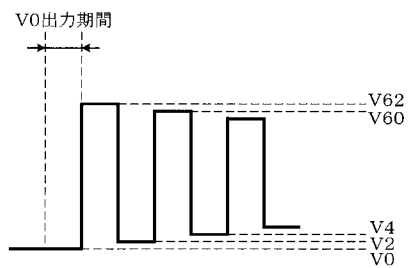


【図 21】

(A)

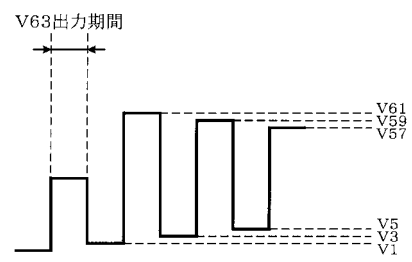


(B)

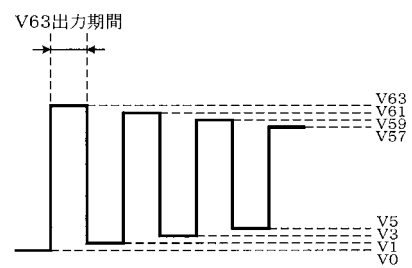


【図 22】

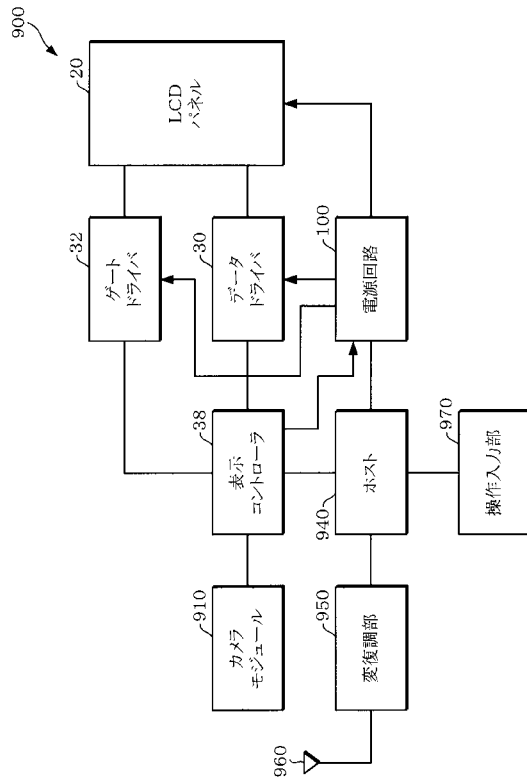
(A)



(B)



【図 23】



---

フロントページの続き

F ターム(参考) 2H093 NA51 NA52 NA53 NA56 NC13 NC49 ND03 ND07 NG20  
5C006 AA16 AA22 AC27 AF13 AF46 AF51 AF71 AF83 BB16 BC03  
BC12 BF03 BF04 BF06 BF08 BF24 BF25 BF26 BF27 BF33  
BF34 BF43 BF46 FA31 FA41 FA56  
5C080 AA10 BB05 CC03 DD03 DD12 DD19 DD24 EE29 FF11 GG05  
GG07 GG11 GG12 JJ02 JJ03 JJ04 JJ05 KK43