СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1513471 A1

(51)4 G 06 F 15/20

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

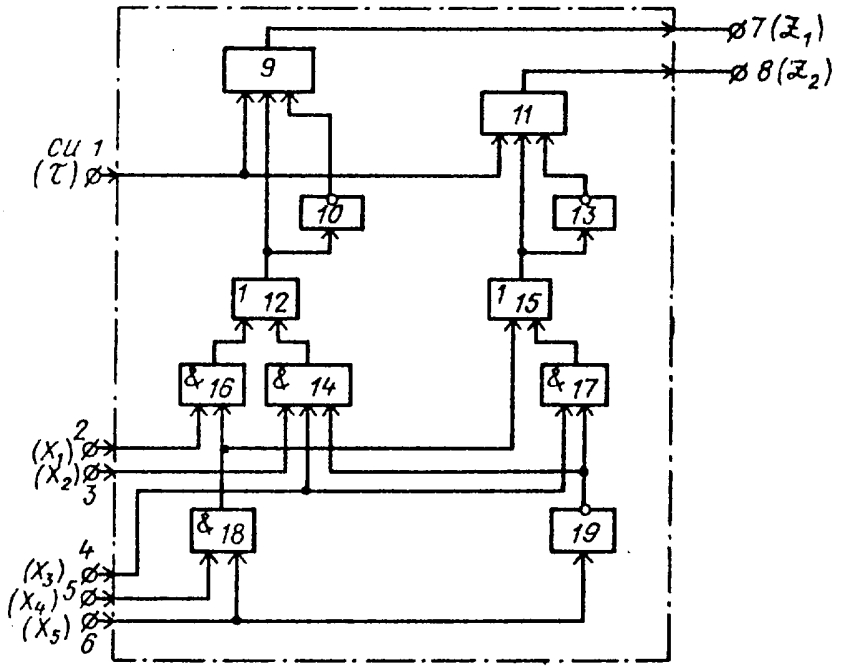
1

(21) 4336179/24-24
(22) 30.11.87
(46) 07.10.89. Бюл. № 37
(71) Пензенский политехнический институт
(72) В.С.Князьков, Т.В.Волченская, И.В.Бойков и С.Л.Афонин
(53) 681.3(088.8)
(56) Авторское свидетельство СССР № 943739, кл. G 06 F 15/20, 1980.

Авторское свидетельство СССР № 1256041, кл. G 06 F 15/20, 15/347, 1985.

(54) ЯЧЕЙКА ОДНОРОДНОЙ ВЫЧИСЛИТЕЛЬНОЙ СРЕДЫ

(57) Изобретение относится к автоматике и вычислительной технике и предназначено для применения в устройстве для сжатия двоичных векторов и других системах логической обработки информации. Цель изобретения - повышение быстродействия ячейки за счет сокращения числа элементов в цепи распространения управляющего сигнала. Для достижения цели в ячейку, содержащую синхровод 1, первый 2 и второй 3 информационные входы, логические входы 4-6, первый 7 и второй 8 функциональные выходы, триггеры 9, 11, элементы НЕ 10, 13, 19, элементы И 14, 16-18, элементы ИЛИ 12, 15 с соответствующими связями, введены две новые связи. 2 ил.



Фиг. 2

(19) SU (11) 1513471 A1

Изобретение относится к автоматике и вычислительной технике и предназначено для использования в качестве решающих полей параллельных процессоров, ориентированных на нечисленную обработку информации.

Цель изобретения - повышение быстродействия ячейки за счет сокращения числа элементов в цепи распространения управляющего сигнала.

На фиг. 1 представлена схема соединения ячеек в устройство для сжатия двоичных векторов; на фиг. 2 - функциональная схема ячейки.

Ячейка содержит синхровход 1, первый и второй информационные входы 2 и 3, логические входы 4-6, функциональные выходы 7 и 8, триггер 9, элемент НЕ 10, триггер 11, элемент ИЛИ 12, элемент НЕ 13, элемент И 14, элемент ИЛИ 15, элементы И 16-18 и элемент НЕ 19.

Функционально ячейка выполняет вычисления следующих логических функций:

$$Z_1 = \overline{T}(x_1 x_4 x_5 \vee x_2 x_3 \bar{x}_5)$$
$$Z_2 = \overline{T}(x_4 x_5 \vee x_3 \bar{x}_5)$$

где Z_1 и Z_2 - соответственно значения сигналов на выходах 7 и 8 ячейки;

$x_1 - x_5$ - соответственно значения сигналов на выходах 2-6 ячейки.

Устройство, построенное на базе ячеек, обеспечивает выполнение операций сжатия двоичных векторов. В процессе работы устройства исходный информационный вектор подается на входы 2 и 3 ячейки первого столбца, причем, i-й разряд вектора подается на вход 2 (i, 1) ячейки и вход 3 (i + 1,1) ячейки. Логический вектор подается на входы 4-6 ячеек первого столбца, причем i-й разряд вектора подается на вход 6 (i,1) ячейки и вход 6 (i - 1,1) ячейки. В каждом такте на тактирующие входы триггеров подается синхроимпульс. В результате двоичные векторы (информационный и логический) передаются в преобразованном виде в соседний справа столбец. Значение i-го разряда логического вектора в j-м столбце при этом определяется значениями (i-1)-го, i-го, (i + 1)-го разрядов логического вектора в (j-1)-м столбце; единица переходит в нуль, если (i +1)-й разряд логического вектора в (j-1)-м столбце был равен нулю; нуль переходит в единицу, если (i-1)-й разряд логического вектора в (j-1)-м столбце содержит единицу; в остальных случаях i-й разряд логического вектора передается без изменений.

Значение i-го разряда информационного вектора в j-м столбце определяется по следующему правилу. Если i-й разряд логического вектора изменился с единицы на нуль, то i-й разряд информационного вектора j-го столбца обнуляется; если i-й разряд логического вектора изменился с нуля на единицу, то i-му разряду информационного вектора j-го столбца присваивается значение (i-1)-го разряда информационного вектора (j-1)-го столбца; если значение i-го разряда логического вектора в следующий столбец передается без изменения, то значение i-го разряда информационного вектора в следующий столбец передается без изменений.

Таким образом, в каждом такте в очередной столбец устройства переписывается логический вектор, в котором все единицы, под которыми были нули, опустятся на одну строку. Одновременно с этим на одну строку опускаются соответствующие единичным разрядам логического вектора и значения информационного вектора.

В результате через (m-1) такт работы устройства происходит сжатие m-мерного двоичного вектора. Результат сжатия информационного вектора снимается с выхода 7 ячеек последнего столбца устройства.

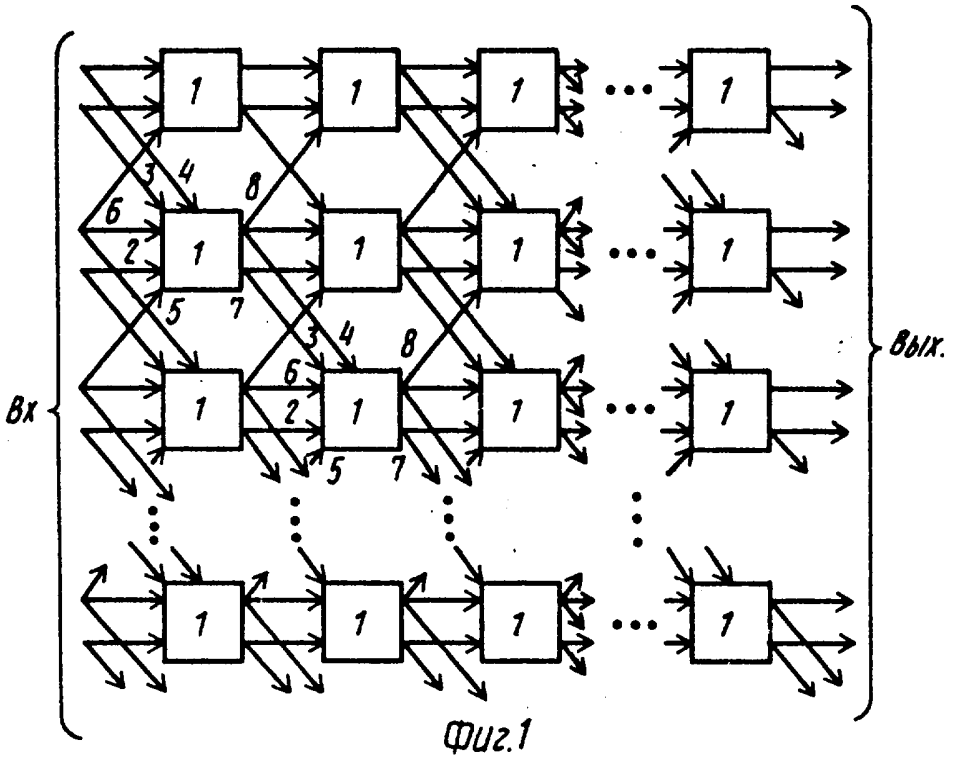
Поскольку на каждом такте работы устройства информационный и логический векторы передаются в соседний справа столбец ячеек матрицы на вход устройства на каждом такте могут быть поданы следующие пары логических и информационных векторов. Таким образом, устройство реализует конвейерный принцип обработки информации.

В данной ячейке наиболее длинная цепочка последовательно включенных элементов состоит из первого элемента НЕ, четвертого элемента И, второго элемента ИЛИ и третьего элемента НЕ. Таким образом, время задержки распространения сигнала в наиболее длинной цепочке элементов составляет время 4t, где t - время задержки сигнала одним логическим элементом. В результате без нарушения правильности работы устройства допустимо поступле-

ние на синхронизирующий вход ячейки сигнала синхронизации через время 4t, т.е. на время раньше, чем в известной ячейке. Так как для формирования конечного результата преобразования двоичного вектора требуется (m-1) тактов работы устройства, то соответственно предлагаемая ячейка по сравнению с известной будет работать на время (m-1)t быстрее, где m - число строк в матрице ячеек устройства.

Формула изобретения

Ячейка однородной вычислительной среды, содержащая три элемента НЕ, два элемента ИЛИ, четыре элемента И, два триггера, синхровход ячейки соединен с синхроводами первого и второго триггеров, выходы которых соединены с первым и вторым выходами ячейки соответственно, первый информационный вход которой соединен с первым входом первого элемента И, выход которого соединен с первым входом первого элемента ИЛИ, выход которого соединен с входом установки первого триггера и входом первого элемента НЕ, выход которого соединен с входом сброса первого триггера, второй информационный вход ячейки соединен с первым входом второго элемента И, выход которого соединен с вторым входом первого элемента ИЛИ, первый логический вход ячейки соединен с первым входом третьего элемента И, выход которого соединен с первым входом второго элемента ИЛИ, выход которого соединен с входом установки второго триггера и входом второго элемента НЕ, выход которого соединен с входом сброса второго триггера, второй логический вход ячейки соединен с первым входом четвертого элемента И, выход которого соединен с вторым входом первого элемента И и вторым входом второго элемента ИЛИ, третий логический вход ячейки соединен с вторым входом четвертого элемента И и входом третьего элемента НЕ, выход которого соединен с вторым входом третьего элемента И, о т л и ч а ю щ а я с я тем, что, с целью повышения быстродействия за счет сокращения числа элементов в цепи распространения управляющего сигнала, первый логический вход ячейки соединен с вторым входом второго элемента И, выход третьего элемента НЕ соединен с третьим входом второго элемента И.



Фиг.1

Составитель А.Ушаков

Редактор Н.Яцола Техред М.Дидык Корректор Н.Король

Заказ 6081/49 Тираж 668 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101