(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 696 35 295 T2** 2006.07.20

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 763 917 B1**
(21) Deutsches Aktenzeichen: **696 35 295.8**
(96) Europäisches Aktenzeichen: **96 306 208.8**
(96) Europäischer Anmeldetag: **28.08.1996**
(97) Erstveröffentlichung durch das EPA: **19.03.1997**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **19.10.2005**
(47) Veröffentlichungstag im Patentblatt: **20.07.2006**

(51) Int Cl.[8]: ***H04L 25/02*** (2006.01)

(30) Unionspriorität:
9518183 **06.09.1995** **GB**

(84) Benannte Vertragsstaaten:
DE, FR, IT, NL, SE

(73) Patentinhaber:
Lucent Technologies Inc., Murray Hill, N.J., US

(72) Erfinder:
Barraclough, Stephen Robert, Wokingham, GB

(74) Vertreter:
Klunker, Schmitt-Nilson, Hirsch, 80797 München

(54) Bezeichnung: **Leitungstreiber mit Impulsformer**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

Gebiet der Erfindung

[0001] Die Erfindung betrifft eine Schaltung zum Übertragen von Daten über einen Übertragungskanal, ferner ein Übertragungssystem und ein Verfahren zum Verwenden der Schaltung.

Beschreibung des Standes der Technik

[0002] Die Verwendung eines verdrillten Leiterpaares zum Implementieren eines Ethernet-Kommunikationssystems ist in den letzten paar Jahren deutlich gestiegen. Beispielsweise sendet das Ethernet-System "10baseT" Daten mit einer Rate von 10 Megabits pro Sekunde, während das System "100baseT" mit 10 Megabits pro Sekunde über einen aus einem verdrillten Leiterpaar bestehenden Übertragungskanal sendet. Immer höhere Datenraten dienen oder sollen bei Übertragungskanälen dienen, die aus einem Quartialkabel, einer optischen Faser oder einem Mikrowellenfunksystem bestehen. In zahlreichen Fällen muss die Wellenform der übertragenen Daten aus einer Rechteckwelle, die typischerweise binäre Daten darstellt, in eine andere Form gebracht werden. Beispielsweise muss bei dem Ethernet-System mit verdrilltem Leiterpaar die Wellenform derart geformt werden, dass die Oberwellen oberhalb einer gegebenen Frequenz (z. B. 17 MHz im Fall der 10baseT Systeme) deutlich reduziert werden. In ähnlicher Weise muss beim digitalen zellularen Telefon sowie bei Personal-Kommunikations-Funksystem (PCS), die im UHF-Funkband arbeiten, die Erzeugung von Oberwellen eingeschränkt werden.

[0003] Um gemäß den 10baseT-Spezifikationen ein verdrilltes Leitungspaar zu betreiben, muss der Treiber mindestens ein 4,5 Volt betragendes Spitze-Spitze-Signal auf eine 100-Ohm-Last über einen 1:1-Koppelübertrager mit Mittelanzapfung gegeben werden. Die Gleichtaktspannung sollte < ± 50 mV betragen. Darüber hinaus muss Preemphasismöglichkeit gegeben sein, um in die treibende Wellenform eine Stufe von etwa 1 Volt nach oben oder nach unten gegenüber dem Anfangsspannungspegel während gewisser Rail-to-Rail-Übergänge einzuführen. Ein zusätzliches Erfordernis besteht darin, dass die Ausgangsimpedanz des Treibers einen Nennwert von 100 Ohm ± 20 % aufweisen muss, um Reflexionen zu minimieren. Ein Beispiel für eine typische 10baseT-Wellenform ist in Fig. 1 gezeigt. Man beachte, dass vier Pegel dargestellt sind. Außerdem sei angemerkt, dass die Wellenform zwischen den Pegeln eine begrenzte Flankensteilheit besitzt, wie aus den abgeschrägten (nicht-vertikalen) Seiten der Wellenform hervorgeht. Dies unterstützt eine Minimierung der oben angesprochenen Oberwellen.

[0004] Fig. 2 zeigt eine typische Ethernet-Leitungstreiberschaltung. Diese Schaltung enthält vier High-Drive-CMOS-Ausgangspuffer (**203**, **204**, **205**, **206**) auf einem einzelnen integrierten Schaltungschip (IC) **201**. Man beachte, dass vier Bondstellen (**207**, **208**, **209**, **210**) auf dem Chip (und dementsprechend vier Gehäuseanschlüsse) benötigt werden, um ein Anschluß zu einer externen Schaltung zu ermöglichen, welche vier Widerstände (**211**, **212**, **214**, **215**), ein Filter und einen 1:1-Koppelübertrager (**218**) mit einer Gleichtaktdrossel aufweist.

[0005] Die hervorspringenden Merkmale des Schaltungsbetriebs sind:

(1) Die Impedanzspezifikation von 100 Ohm ± 20 % wird von den Widerstandswerten erfüllt, wobei die Widerstände **211** und **214** einen Wert von 316 Ohm haben und die Widerstände **212** und **215** einen Wert von 53,6 Ohm besitzen. Angenommen, die Nenn-Pufferausgangsimpedanz ist klein, typischerweise etwa 10 Ohm, so beträgt die Impedanz, gesehen in Rückwärtsrichtung in die IC-Treiberschaltung von den Filtereingängen her 10 + 2 (45,8 Ohm) = 101 Ohm (da der Parallelwiderstandswert des 316-Ohm-Widerstands und des 53,6-Ohm-Widerstands einen Wert von 45,8 Ohm hat).

(2) Die EMC-Spezifikation wird erfüllt mit Hilfe eines außerhalb des Chips vorgesehenen 7-poligen Butterworth-Tiefpassfilters (**217**) mit einer bei 3 dB einen Wert von 17 MHz aufweisenden Eckfrequenz.

(3) Die Spannungsspezifikation wird mit Hilfe eines Widerstands-Summiernetzwerks (**211**–**212**, summiert am Knoten **213**, und **214**–**215**, summiert am Knoten **216**) erreicht.

[0006] Die Verwendung von Widerstandssummierung und Tiefpassfilterung mit bezüglich des Treiber-ICs externen Komponenten ist in der Industrie in der einen oder anderen Form umfangreich verbreitet. Hierdurch wird Einfachheit und Flexibilität erreicht, allerdings auf Kosten externer Komponenten.

[0007] Die EP 0 599 631 beschreibt einen Transistorschalter mit gesteuerter Impedanz, umfassend einen ein-

zelnen Treibereingang, mehrere parallele Pull-up- und Pull-down-Schaltungen sowie eine Schalterbetätigungsschaltung. Letztere beinhaltet eine Zeitverzögerungsschaltung zum Bewirken einer Sequenz von Transistorschaltvorgängen in den Pull-up und Pull-down-Schaltungen mit einer Zeitverzögerung zwischen aufeinanderfolgenden Vorgängen.

[0008] Die US 5 357 145 beschreibt eine Wellenformerschaltung, die eine Fasenregelschleifenstufe, eine Eingangslogikstufe, eine Verzögerungs-Eingangslogikstufe und eine Stufe für gewichtete Stromsummierung enthält. Die Wellenformerschaltung formt und filtert ein Datensignal, welches auf ein verdrilltes Leiterpaar eines lokalen Netzwerks gesendet werden soll.

[0009] Die US 5 408 497 beschreibt einen Sendeempfänger zum Senden und zum Empfangen digitaler Daten, dargestellt als stufenförmige Sinus-Wellenformen, über verdrillte Leiterpaare, welche Knoten eines Netzwerks untereinander verbinden. Der Sender des Sendeempfängers wandelt Rechteckwellen in stufenförmige Sinus-Wellenformen um unter Verwendung einer Anzahl von Stromquellen zum Einspeisen unterschiedlicher Mengen von Strom in einen Widerstand, der über einem verdrillten Leiterpaar liegt.

Offenbarung der Erfindung

[0010] Erfunden habe ich eine Methode zum Bereitstellen von Daten auf einen Übertragungskanal. Eine Treiberschaltung beinhaltet einen Ausgangspuffer, der mit einem Ausgangsleiter (z. B. einer Bondstelle) verbunden ist. Der Ausgangspuffer enthält eine Mehrzahl von Pull-up-Transistoren und eine Mehrzahl von Pull-down-Transistoren, die über Pull-up-Widerstände beziehungsweise Pull-down-Widerstände an den Ausgangsleiter gekoppelt sind. Mehrere Verzögerungsschaltungen liefern verzögerte Datensignale an die Steueranschlüsse der mehreren Pull-up- und Pull-down-Transistoren. Eine Steuerschaltung dient zum selektiven Aktivieren der Verzögerungsschaltung entsprechend einem Soll-Datenmuster. In einem typischen Fall enthält die Steuerschaltung Multiplexer, die jeweils einen Ausgang besitzt, der mit dem Eingang einer zugehörigen Verzögerungsschaltung gekoppelt ist. Zum Treiben einer symmetrischen Last können ein erster und ein zweiter Ausgangspuffer vorgesehen sein, jeweils mit einem Ausgangsleiter gekoppelt.

[0011] Gemäß einem Aspekt der Erfindung wird eine Treiberschaltung zum Aufprägen eines Datensignals auf einem Übertragungskanal gemäß Anspruch 1 geschaffen.

[0012] In einem zweiten Aspekt der Erfindung wird ein Datenübermittler gemäß Anspruch 5 geschaffen.

[0013] Gemäß einem dritten Aspekt der Erfindung wird ein Verfahren zum Aufprägen eines Datensignals auf einen Übertragungskanal gemäß Anspruch 8 geschaffen.

Kurze Beschreibung der Zeichnungen

[0014] Fig. 1 zeigt eine beispielhafte 10baseT-Ethernet-Wellenform.

[0015] Fig. 2 zeigt eine typische Ethernet-Treiberschaltung mit einem verdrillten Leiterpaar.

[0016] Fig. 3 zeigt eine beispielhafte Ausführungsform der Erfindung.

[0017] Fig. 4 zeigt eine Ausführungsform einer Spannungsquelle konstanter Impedanz mit Flankensteilheitbegrenzung.

[0018] Fig. 5 zeigt eine beispielhafte Verzögerungsleitungs-Wellenform für die Schaltung nach Fig. 4.

[0019] Fig. 6 zeigt eine beispielhafte Ausgangswellenform für die Schaltung nach Fig. 4.

[0020] Fig. 7 zeigt eine beispielhafte Ausführungsform eines Ausgangspuffers zum Implementieren der Erfindung.

[0021] Fig. 8 zeigt beispielhafte Steuersignale und Ausgangswellenformen.

[0022] Fig. 9 zeigt eine Steuerschaltung und zum Erzeugen von Steuersignalen.

Detaillierte Beschreibung

[0023] Die folgende detaillierte Beschreibung betrifft eine Methode zum Bereitstellen von Daten auf einem Übertragungskanal. Nach Fig. 3 verwendet eine anschauliche Ausführungsform der Erfindung ein Ethernet-System mit verdrilltem Leiterpaar, wobei allerdings die Anwendbarkeit auch bei anderen Systemen möglich ist. Der Datenübermittler beinhaltet eine integrierte Schaltung **301** mit einer Steuerschaltung **302** und Ausgangspuffern **303** und **307**. Die Puffer **303**, **307** sind an Bondflecken **306** beziehungsweise **310** angeschlossen, welche die Ausgangssignale zu den Eingangsanschlüssen eines Übertragers **311** mit Mittelanzapfung liefern. Die Ausgangsanschlüsse des Übertragers **311** sind im dargestellten Beispiel an ein verdrilltes Leiterpaar angeschlossen. Betrieben wird der Puffer **303** von Datensignalen D1, D2, während der Puffer **307** von Datensignalen ND1, ND2 betrieben wird. Jeder Ausgangspuffer bildet eine Spannungsquelle mit konstanter Impedanz, dargestellt als eine Spannungsquelle (**305**, **309**) und ein Ausgangswiderstand (**304**, **308**). Die Ausgangspuffer sorgen außerdem für eine Flankensteilheitsbegrenzung der Ausgangswellenform, wie es weiter unten näher diskutiert wird. Deshalb mimen die Ausgangspuffer ein Tiefpassfilter, so dass kein externes Tiefpassfilter erforderlich ist. Die Ausgangspuffer **303** und **307** treiben die Bondstellen **306** und **310** in zueinander komplementärer Weise, um einen vollständigen Schwingungshub bezogen auf 0 Volt im dargestellten Ausführungsbeispiel zu erreichen. Allerdings ist die Anwendung der erfindungsgemäßen Methode auch bei einpolig geerdeten Entwürfen möglich.

[0024] Fig. 4 zeigt ein Beispiel für einen Ausgangspuffer, der eine Spannungsquelle konstanter Impedanz mit Flankensteilheitsbegrenzung implementiert. Mehrere p-Kanal-Pull-up-Transistoren **401**, **402**, **403**, **404** und **405** sind über Pull-up-Widerstände **411**, **412**, **413**, **414** und **415** an den Ausgangsleiter **425** angeschlossen. Mehrere n-Kanal-Pull-down-Transistoren **406**, **407**, **408**, **409** und **410** sind über Pull-down-Widerstände **416**, **417**, **418**, **419** und **420** an den Ausgangsleiter **425** angeschlossen. Eine Verzögerungsleitung enthält einen Dateneingangsknoten **400** sowie Verzögerungsstufen **421**, **422**, **423** und **424**. Der Dateneingangsknoten **400** liefert ein Datensignal an die Gates von Komplementär-Transistorpaaren **401**–**406**, während Verzögerungsstufen **421**, **422**, **423** und **424** verzögerte Datensignale an die Gates von Transitorpaaren **402**–**407**, **403**–**408**, **404**–**409** beziehungsweise **405**–**410** liefert. Fig. 5 zeigt beispielhafte Folgen von Wellenformen für das Eingangsdatensignal beziehungsweise dessen verzögerte Versionen. Im Zeitpunkt T_0 ist das Eingangsdatensignal niedrig (0 Volt), so dass sämtliche Pull-up-Transistoren eingeschaltet und sämtliche Pull-down-Transistoren ausgeschaltet sind, demzufolge der Ausgangsknoten **425** hoch ist (V_{DD}). Im Zeitpunkt T_1 geht das Datensignal am Eingangsknoten **400** von 0 Volt auf V_{DD}. Anschließend erscheinen zum dem Zeitpunkt T_2, T_3, T_4 und T_5 die verzögerten Datensignale an den Ausgängen der Verzögerungsstufen **421**, **422**, **423** beziehungsweise **424**. Im Ergebnis schalten die Komplementär-Transistorpaare sequentiell von hoch auf niedrig und ziehen damit die Spannung am Ausgangsknoten **425** schrittweise nach unten.

[0025] Die resultierende Ausgangsspannung am Knoten **425** ist in Fig. 6 gezeigt, in der die Übergänge zwischen den Stufen zu den entsprechenden, in Fig. 5 gezeigten Zeitpunkten auftreten. In ähnlicher Weise erscheinen, wenn der Eingangsknoten **400** von V_{DD} im Zeitpunkt C_6 auf 0 Volt übergeht, die verzögerten Datensignale an den Ausgängen der vorgenannten Verzögerungsleitungen zu den Zeitpunkten T_7, T_8, T_9 und T_{10}. Deshalb ziehen die Transistorpaare den Ausgangsknoten **425** stufenweise hoch, wie weit er in Fig. 6 dargestellt ist. Man beachte, dass diese Stufenmethode für eine Glättung der Ausgangswellenform im Vergleich zu dem abrupten (rechteckförmigen) Übergang zwischen V_{DD} und 0 Volt (und umgekehrt) sorgt. Der Betrag jeder Stufe (DELTA) ist gleich V_{DD}/N, wobei N die Anzahl von Anzapfungen der Verzögerungsleitung ist. Darüber hinaus beachte man, dass zu jeder gegebenen Zeit eine gleich große Anzahl von Widerständen sich in den Drain-Wegen der leitenden Transistoren befindet, unabhängig davon, welche Transistorpaare nach oben ziehen und welche nach unten ziehen. Falls also sämtliche Transistoren gleichen Wert R haben und angenommen, der Ausgangswiderstand der Transistoren ist im Vergleich zu R gering, so beträgt der Ausgangswiderstand, wenn man in den Ausgangsknoten **425** hinein sieht, im dargestellten Fall von 5 Transistorpaaren R/5. Wenn z. B.
R = 250 Ohm, so beträgt der Ausgangswiderstandswert 50 Ohm für die 5 Widerstände, die zu jeder gegebenen Zeit effektiv parallel geschaltet sind.

[0026] Die vorliegende Erfindung macht Gebrauch von der Verzögerungsleitungsmethode, um während der Übergänge Zwischenspannungsstufen bereitzustellen. Nach Fig. 7 ermöglicht das Hinzufügen eines Multiplexers am Eingang jeder Verzögerungsstufe die Ausbreitung von Übergängen zu steuern und schafft mithin die Möglichkeit, das Ausgangssignal bei irgendeinem inkrementellen Spannungspegel zu halten. Die Ausgangsgrößen der gesteuerten Verzögerungsstufen **745**, **747**, **749**, **751** und **753** treiben die Gatter von Komplementär-Transistorpaaren **701**–**706**, **702**–**707**, **703**–**708**, **704**–**709** beziehungsweise **705**–**710**. Diese Transistorpaare treiben den ersten Ausgangsanschluß **721** über die Source-Widerstände **711**...**715** und **716**...**720**. Außerdem

werden die Ausgangsgrößen der gesteuerten Verzögerungsstufen von Negatoren **754**, **755**, **756**, **757** und **758** invergiert, die die Gates von Komplementär-Transistorpaaren **722–727**, **723–728**, **724–729**, **725–730** beziehungsweise **726–731** treiben. Diese Transistorpaare treiben den zweiten Ausgangsanschluß **742** über die Source-Widerstände **732**...**736** und **737**...**741**. Die Treiber-Ausgangswellenform wird aus der Spannungsdifferenz zwischen den Anschlüssen **721** und **742** abgeleitet.

[0027] In Fig. 7 ist die Verzögerungsleitung in drei Abschnitte unterteilt, nämlich einen ersten Abschnitt mit einer Verzögerungsstufe **745** und einem Multiplexer **744**, gesteuert von der Steuerleitung CTRL0. Der zweite Abschnitt enthält Verzögerungsstufen **747**, **749** und **751** sowie Multiplexer **746**, **748** und **750**, die über die Steuerleitung CTRL1 gesteuert werden. Der dritte Abschnitt enthält die Verzögerungsstufe **753** und den Multiplexer **752**, gesteuert von der Steuerleitung CTRL2. In einem typischen Fall, der zum Implementieren eines Ethernet-10baseT Systems dient, können die Verzögerungsstufen zweistufige Negatoren sein, wobei jede Stufe eine Verzögerung von etwa 2 Nanosekunden bewirkt. Die Ausbreitung durch jeden Abschnitt wird gesteuert von der an die Multiplexer-Eingänge angeschlossenen zugehörigen Steuerleitung. Der Eingang "0" eines gegebenen Multiplexers wird ausgewählt, wenn die entsprechende Steuerleitung eine "0" hat, der Eingang "1", wird ausgewählt, wenn die Steuerleitung eine "1" aufweist. Man beachte, dass der "0"-Eingang des linken Multiplexers **744** mit einer logischen "1" (V_{DD}) verbunden ist, während der "1"-Eingang des rechten Multiplexers **752** mit einer logischen "0" (V_{SS}) verbunden ist. Im Betrieb pflanzen sich Nullen von rechts nach links in Fig. 7 fort, und Einsen laufen von links nach rechts. In Fig. 8 sind die Steuersignale CTRL0, CTRL1 und CTRL2 in verschiedenen Kombinationen von Spannungspegeln dargestellt. Die resultierenden Ausgangswellenformen der Puffer an den IC-Ausgangsanschlüssen sind mit PIN1 und PIN2 bezeichnet, und die Wellenform zwischen den beiden IC-Anschlüssen sind mit VDIFF bezeichnet. Durch ändern der Steuersignale abhängig von der Dateneingabe lässt sich folglich eine gewünschte Ausgangswellenform (VDIFF in Fig. 8) erhalten.

[0028] Fig. 9 zeigt eine typische Steuerschaltung zum Implementieren der Erfindung. Beim Implementieren eines 10baseT-Systems beispielsweise wird ein mit 10 MHz im Manchester-Code codierter Datenstrom an den "D"-Eingang eines DQ-Flip-Flops **92** gelegt. Ein 20-MHz-Takt wird an den "Takt"-Eingang der beiden DQ-Flip-Flops **92** und **93** gelegt, ein UND-Gatter **95** und ein NAND-Gatter **96** dienen zum Erzeugen der Steuersignale CTRL0 und CTRL2, während das Signal CTRL1 vom Q Quer-Ausgang des Flip-Flops **92** abgenommen wird. Die Q-Ausgänge der Flip-Flops **92** und **93** sind mit A beziehungsweise B bezeichnet, was aus Gründen der Deutlichkeit geschieht. Die Relation zwischen den abgetasteten Datenstromwerten und den daraus abgeleiteten Steuersignalen ist durch folgende Wahrheitstabelle wiedergegeben:

Tabelle

A	***B***	***CTRL0***	***CTRL1***	***CTRL2***	***Ausgangszustand***
0	0	0	1	1	eine Stufe erniedrigen gegenüber V_{DD}
0	1	1	1	1	Bewegen zu V_{DD}
1	0	0	0	0	Bewegen zu V_{SS}
1	1	0	0	1	eine Stufe erhöhen gegenüber V_{SS}

[0029] Beim Implementieren der Erfindung sind die Werte der Widerstände in den Drain Leitungen der Pull-up- und Pull-down-Transistoren (siehe Fig. 4) nominell gleich, wenn eine konstante Ausgangsimpedanz

erwünscht ist. Die Anpassung der Widerstände lässt sich durch laser- oder elektrisches Trimmen auf Wunsch verbessern. In einigen Fällen kann eine Justierung der Widerstandswerte im Hinblick auf den Ausgangswiderstand der Feldeffekttransistoren, wenn diese nicht in der oben unterstellten Weise vernachlässigbar sind, erwünscht sein. Während die in Fig. 7 gezeigte Ausführungsform einen symmetrischen Sender implementiert, lässt sich die erfindungsgemäße Methode auch bei einem einpolig auf Masse gelegten Schaltungsentwurf verwenden. Beispielsweise kann der zu dem Ausgangsknoten **742** gehörige Puffer weggelassen werden, und nur der zu dem Ausgangsknoten **721** gehörige Puffer sowie die Multiplexer und Verzögerungsleitungen müssen in der Schaltung enthalten sein, um eine einpolig auf Masse gelegte Übertragungsleitung oder eine andere Last zu tragen. Während die in Fig. 7 dargestellten Widerstände typischerweise auf dem integrierten Schaltungschip implementiert sind, können sie auf Wunsch auch außerhalb des Chips ausgebildet sein. Obschon die Ausführungsform mit Teilen außerhalb des Chips mehr IC-Anschlüsse erfordert, erlaubt sie eine Widerstandsleistungs-Wärmeabfuhr außerhalb des Chips und gestattet möglicherweise genauere Widerstandswerte. Außerdem wird Chipbelegungsfläche für die integrierte Schaltung eingespart. Noch weitere Implementierungen des erfindungsgemäßen Verfahrens sind möglich.

Patentansprüche

1. Treiberschaltung zum Aufprägen eines Dateneingangssignals auf einen Übertragungskanal, umfassend:
einen ersten Ausgangspuffer (**401**–**420**; **701**–**720**) mit einer Mehrzahl von Pull-up-Transistoren (**401**–**405**; **701**–**705**) und einer Mehrzahl von Pull-down-Transistoren (**406**–**410**; **706**–**710**), die mit einem ersten Ausgangsleiter (**425**; **721**) über Pull-up-Widerstände (**411**–**415**; **711**–**715**) und Pull-down-Widerstände (**416**–**420**; **716**–**720**) verbunden sind, weiterhin gekennzeichnet durch:
eine Mehrzahl von gesteuerten Verzögerungsschaltungen (**421**–**424**; **745**, **747**, **749**, **751**, **753**) die mehrere verzögerte Datensignale an Steueranschlüsse der Pull-up- und Pull-down-Transistoren liefern; und
eine Steuerschaltung (**400**; CTRL0, CTRL1, CTRL2) zum selektiven Aktivieren jeder der mehreren gesteuerten Verzögerungsschaltungen nach Maßgabe des Dateneingangssignals, um dadurch zu ermöglichen, dass die Ausbreitung von verzögerten Datensignalen gesteuert wird.

2. Treiberschaltung nach Anspruch 1, bei der die Steuerschaltung (**400**; CTRL0, CTRL1, CTRL2) Multiplexer (**744**, **746**, **748**, **750**, **752**) aufweist, die jeweils mit einem Ausgang an einen Eingang einer zugehörigen Verzögerungschaltung gekoppelt sind.

3. Treiberschaltung nach Anspruch 2, bei der mindestens einer der Multiplexer (**744**, **746**, **748**, **750**, **752**) mit einem ersten Eingang an einen Ausgang einer vorausgehenden Verzögerungsschaltung gekoppelt ist und mit einem zweiten Eingang an einen Ausgang einer nachfolgenden Verzögerungsschaltung gekoppelt ist.

4. Treiberschaltung nach Anspruch 1, weiterhin umfassend einen zweiten Ausgangspuffer (**722**–**741**) mit einer Mehrzahl von Pull-up-Transistoren (**722**–**726**) und einer Mehrzahl von Pull-down-Transistoren (**737**–**741**), die über Pull-up-Widerstände (**732**–**736**) und Pull-down-Widerstände (**737**–**741**) an einen zweiten Ausgangsleiter (**742**) gekoppelt sind, und Negatoren (**754**–**758**) zum Zuführen invertierter Datensignale von den Verzögerungsschaltungen zu Steueranschlüssen der Transistoren innerhalb des zweiten Ausgangspuffers.

5. Datenübermittler, umfassend eine integrierte Schaltung mit einer Treiberschaltung zum Empfangen eines Dateneingangssignals und zum Aufprägen des Datensignals auf einen Übertragungskanal,
wobei die Treiberschaltung aufweist:
einen ersten Ausgangspuffer (**701**–**720**), der mit einem ersten Ausgangsleiter (**721**) gekoppelt ist;
einen zweiten Ausgangspuffer (**722**–**741**), der mit einem zweiten Ausgangsleiter (**742**) gekoppelt ist, wobei jeder Puffer eine Mehrzahl von Pull-up-Transistoren (**701**–**705**, **722**–**726**) und eine Mehrzahl von Pull-down-Transistoren (**706**–**710**, **727**–**731**) aufweist, die über Pull-up-Widerstände (**711**–**715**, **732**–**736**) beziehungsweise Pull-down-Widerstände (**716**–**720**, **737**–**741**) an einen zugehörigen Ausgangsleiter (**721**; **742**) gekoppelt sind;
eine Mehrzahl gesteuerter Verzögerungsschaltungen (**745**, **747**, **749**, **751**, **753**) zum Zuführen mehrerer verzögerter Datensignale zu Steueranschlüssen des ersten Ausgangspuffers (**701**–**720**), wobei die mehreren gesteuerten Verzögerungsschaltungen (**745**, **747**, **749**, **751**, **753**) mehrere invertierte verzögerte Datensignale an Steueranschlüsse des zweiten Ausgangspuffers (**722**–**741**) liefern; und
eine Steuerschaltung (CTRL0, CTRL1, CTRL2) zum selektiven Aktivieren jeder der mehreren gesteuerten Verzögerungsschaltungen nach Maßgabe des Dateneingangssignals, um dadurch zu ermöglichen, dass die Ausbreitung von verzögerten Datensignalen gesteuert wird,
und wobei der Datenübermittler einen Umformer (**311**) mit Mittelanzapfung enthält, der einen ersten und einen zweiten Ausgangsleiter besitzt und außerdem an einen ersten und einen zweiten Ausgangsanschluß zum An-

schluß an ein verdrilltes Leiterpaar.

6. Datenübermittler nach Anspruch 5, der die Steuerschaltung (**400**; CTRL0, CTRL1, CTRL2) Multiplexer (**744**, **746**, **748**, **750**, **752**) aufweist, die jeweils mit einem Ausgang an einen Eingang einer zugehörigen Verzögerungschaltung gekoppelt sind.

7. Datenübermittler nach Anspruch 6, bei der mindestens einer der Multiplexer (**744**, **746**, **748**, **750**, **752**) mit einem ersten Eingang an einen Ausgang an einer vorausgehenden Verzögerungsschaltung gekoppelt ist und mit einem zweiten Eingang an einen Ausgang einer nachfolgenden Verzögerungsschaltung gekoppelt ist.

8. Verfahren zum Aufprägen eines Dateneingangssignals auf einen Übertragungskanal unter Verwendung eines ersten Ausgangspuffers (**401**–**420**; **701**–**720**) mit einer Mehrzahl von Pull-up-Transistoren (**401**–**405**; **701**–**705**) und mehreren Pull-down-Transistoren (**406**–**410**; **706**–**710**), die über Pull-up-Widerstände (**411**–**415**; **711**–**715**) beziehungsweise Pull-down-Widerstände (**416**–**420**; **716**–**720**) an einen ersten Ausgangsleiter (**425**; **721**) gekoppelt sind, wobei das Verfahren gekennzeichnet ist durch
die Verwendung mehrerer gesteuerter Verzögerungsschaltungen (**421**–**424**; **745**, **747**, **749**, **751**, **753**), um mehrere verzögerte Datensignale an Steueranschlüsse der Pull-up- und Pull-down-Transistoren zu geben; und
das Verwenden einer Steuerschaltung (**400**; CTRL0, CTRL1, CTRL2) zum selektiven Aktivieren jeder der mehreren gesteuerten Verzögerungsschaltungen nach Maßgabe des Dateneingangssignals, um dadurch zu ermöglichen, dass die Ausbreitung der verzögerten Datensignale gesteuert wird.

9. Verfahren nach Anspruch 8, bei dem der Schritt des Verwendens der Steuerschaltung (**400**; CTRL0, CTRL1, CTRL2) die Verwendung von Multiplexern (**744**, **746**, **748**, **750**, **752**) beinhaltet, die jeweils mit einem Ausgang an einen Eingang einer entsprechenden Verzögerungsschaltung gekoppelt sind, um selektiv die Verzögerungsschaltung abhängig von dem Dateneingangssignal zu aktivieren.

10. Verfahren nach Anspruch 8, weiterhin verwendend einen zweiten Ausgangspuffer (**722**–**741**) mit mehreren Pull-up-Transistoren (**722**–**726**) und mehreren Pull-down-Transistoren (**727**–**731**), die über Pull-up-Widerstände (**732**–**736**) beziehungsweise Pull-down-Widerstände (**737**–**741**) an einen zweiten Ausgangsleiter (**742**) gekoppelt sind, und weiterhin verwendend Negatoren (**754**–**758**) zum Zuführen invertierter Datensignale von den Verzögerungsschaltungen zu Steueranschlüssen der Transistoren innerhalb des zweiten Ausgangspuffers.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

Stand der Technik

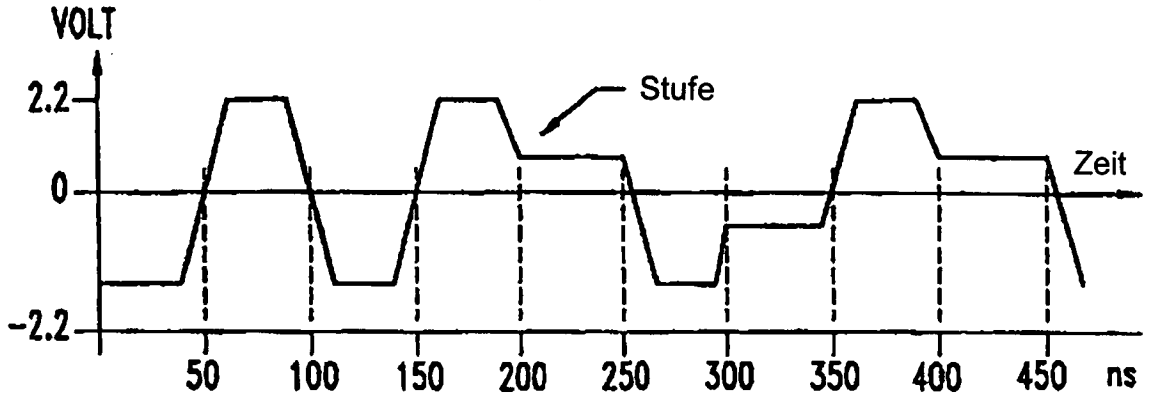


FIG. 2

Stand der Technik

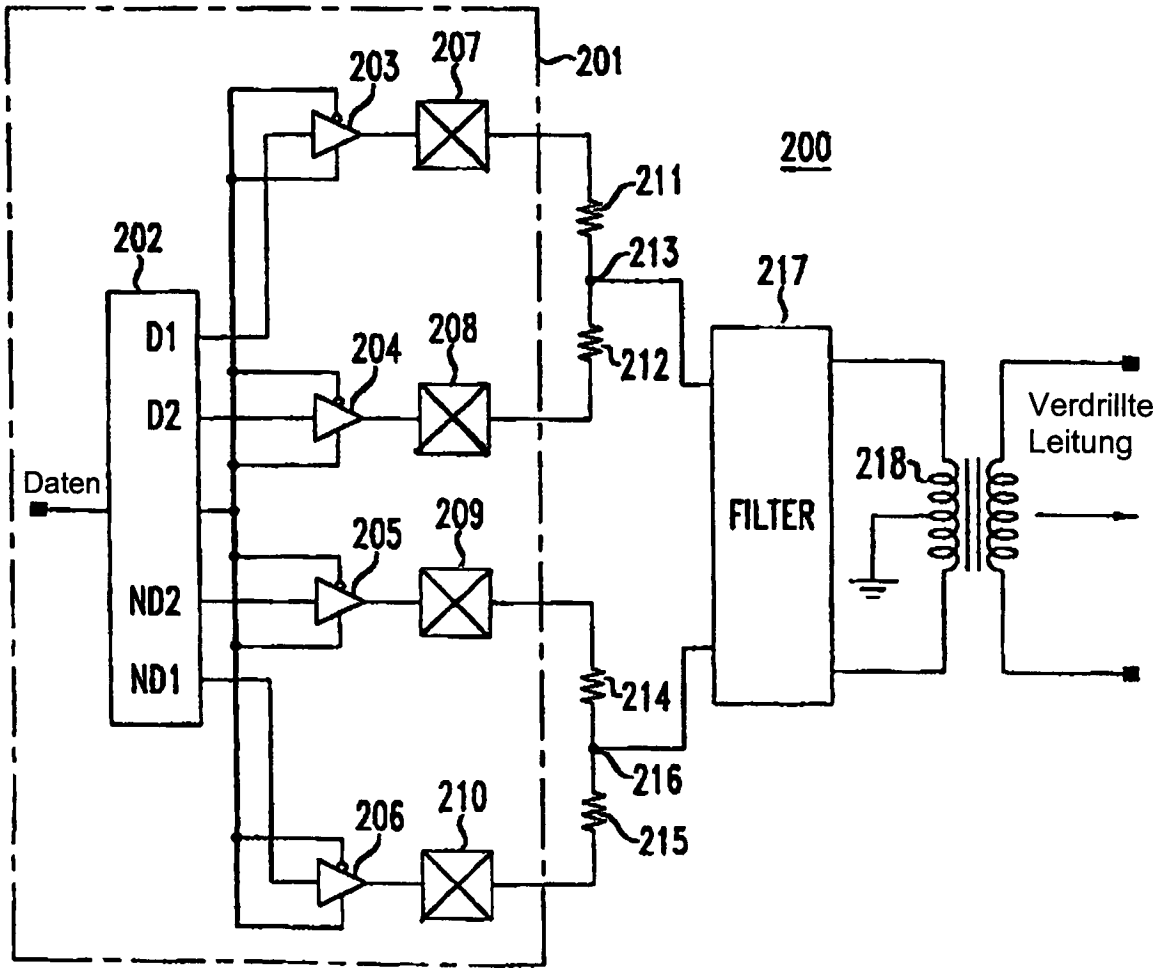


FIG. 3

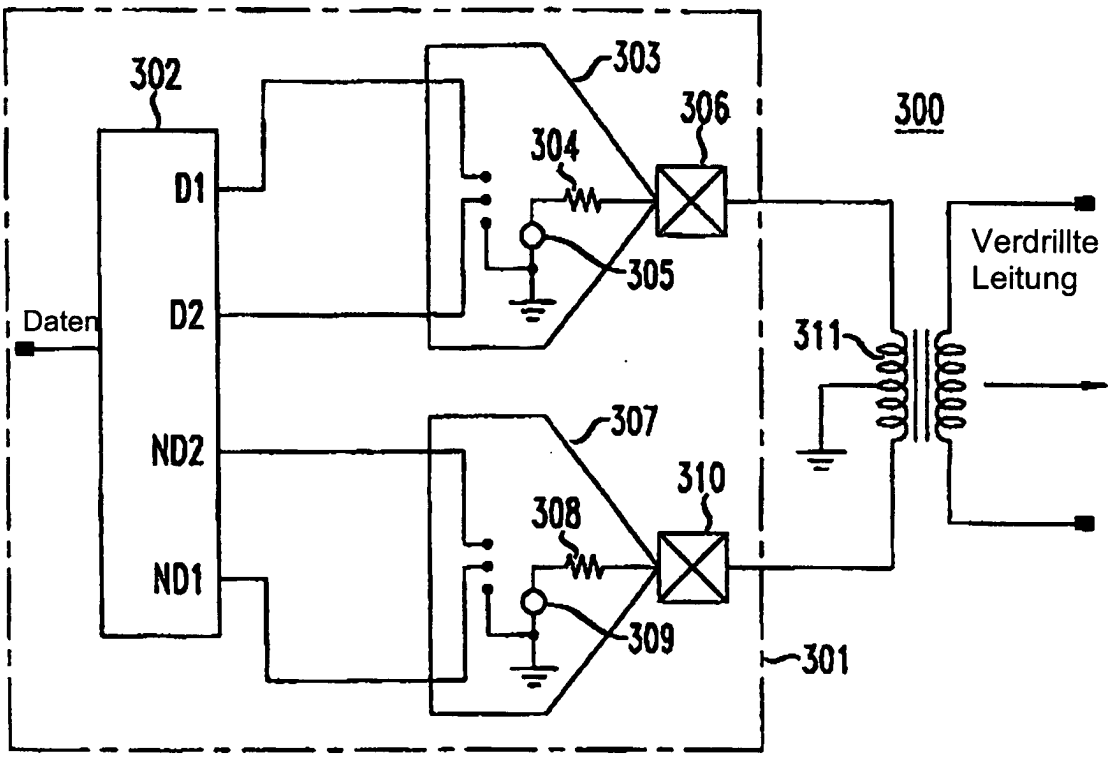

302
303
306
300
304
D1
D2
Daten
305
Verdrillte
Leitung
311
307
ND2
310
308
ND1
309
301

FIG. 4

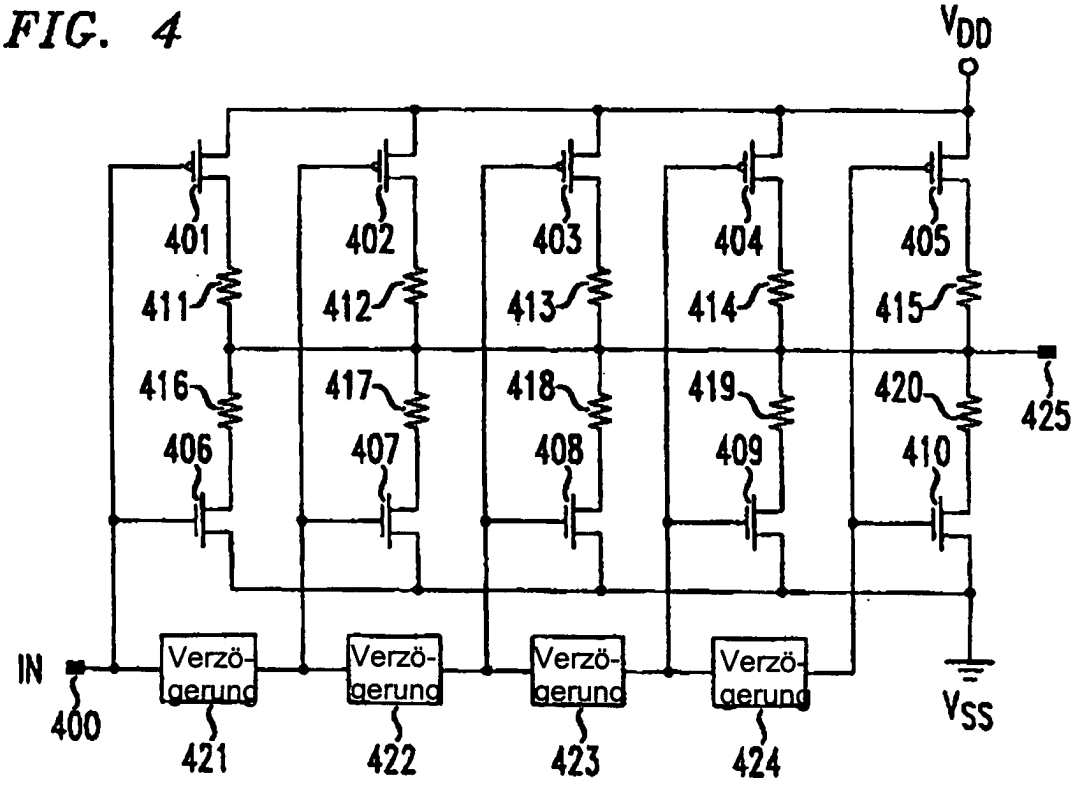

VDD
401
402
403
404
405
411
412
413
414
415
416
417
418
419
420
425
406
407
408
409
410
IN
Verzö-
gerung
Verzö-
gerung
Verzö-
gerung
Verzö-
gerung
400
421
422
423
424
VSS

FIG. 5

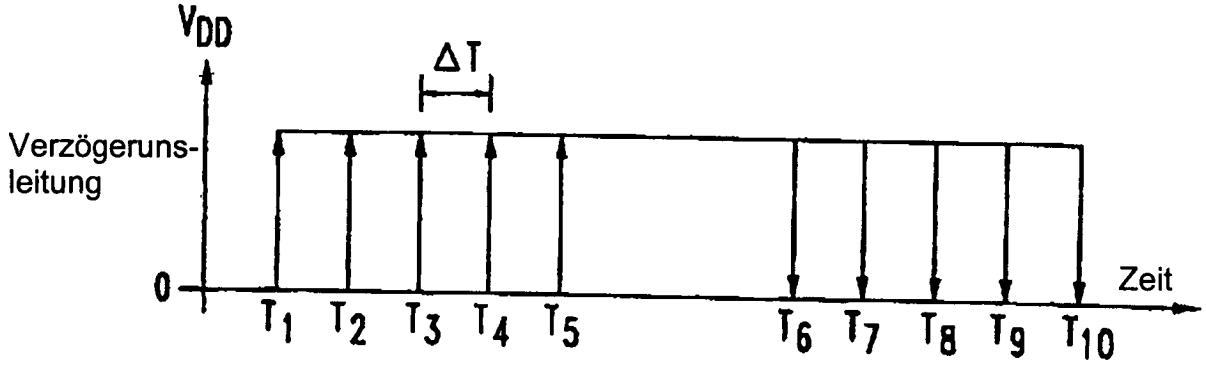


FIG. 6

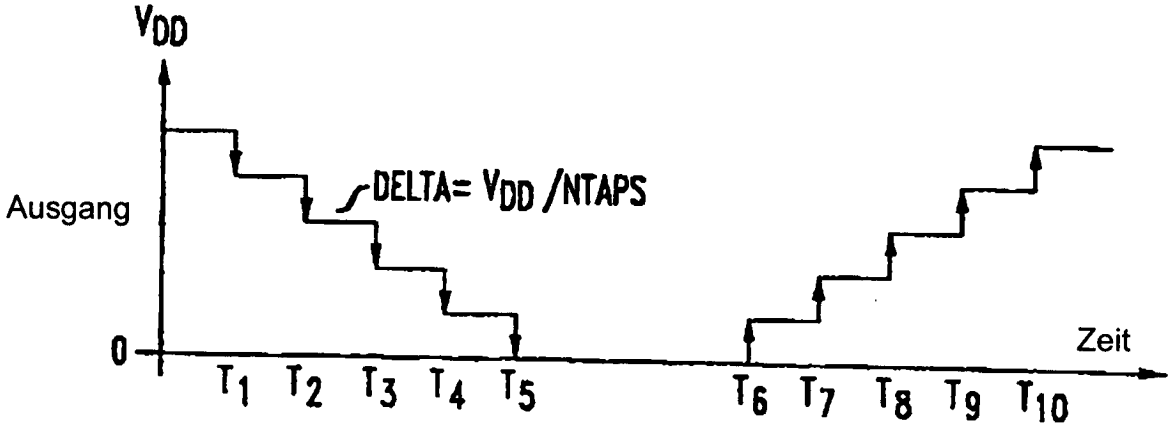


FIG. 9

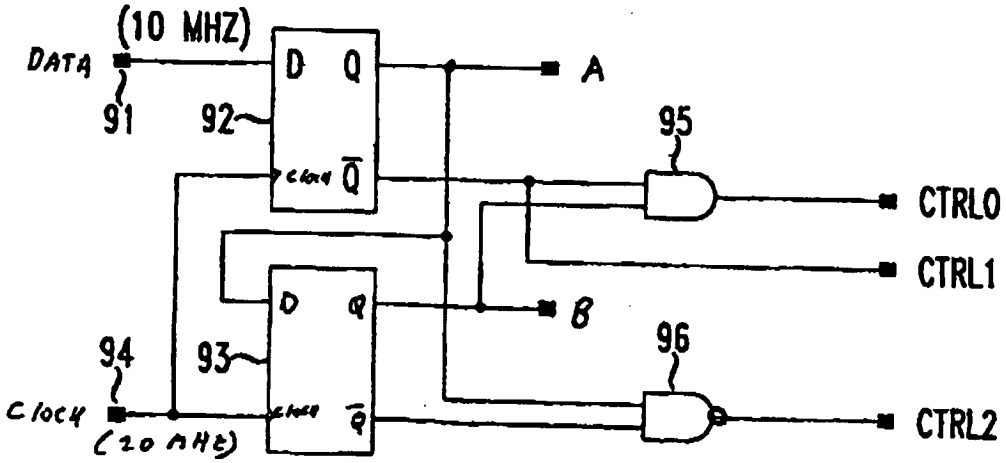
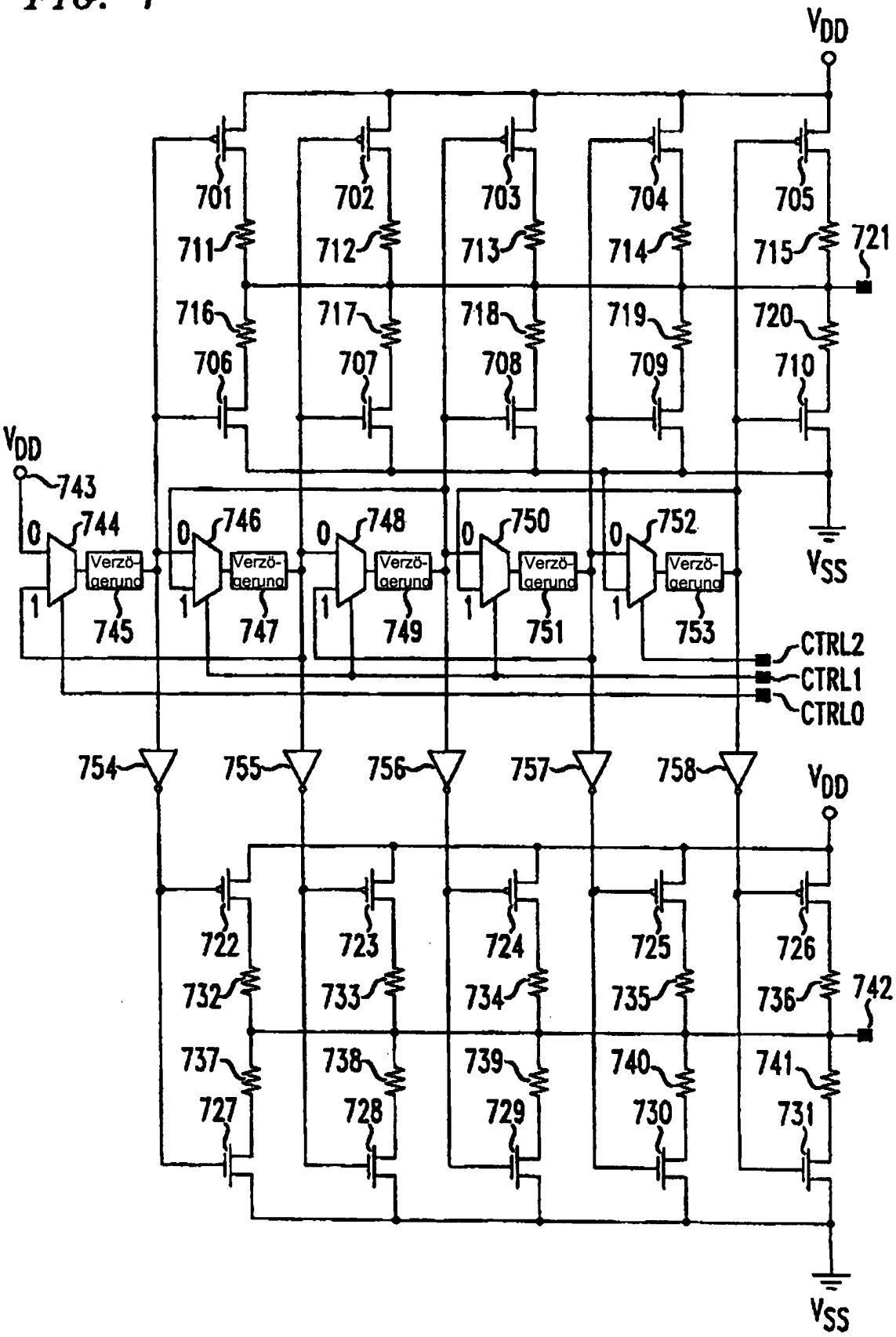


FIG. 7


VDD
701
702
703
704
705
711
712
713
714
715
721
716
717
718
719
720
706
707
708
709
710
VSS
743
744
746
748
750
752
Verzö-gerung
745
747
749
751
753
CTRL2
CTRL1
CTRL0
754
755
756
757
758
722
723
724
725
726
732
733
734
735
736
742
737
738
739
740
741
727
728
729
730
731

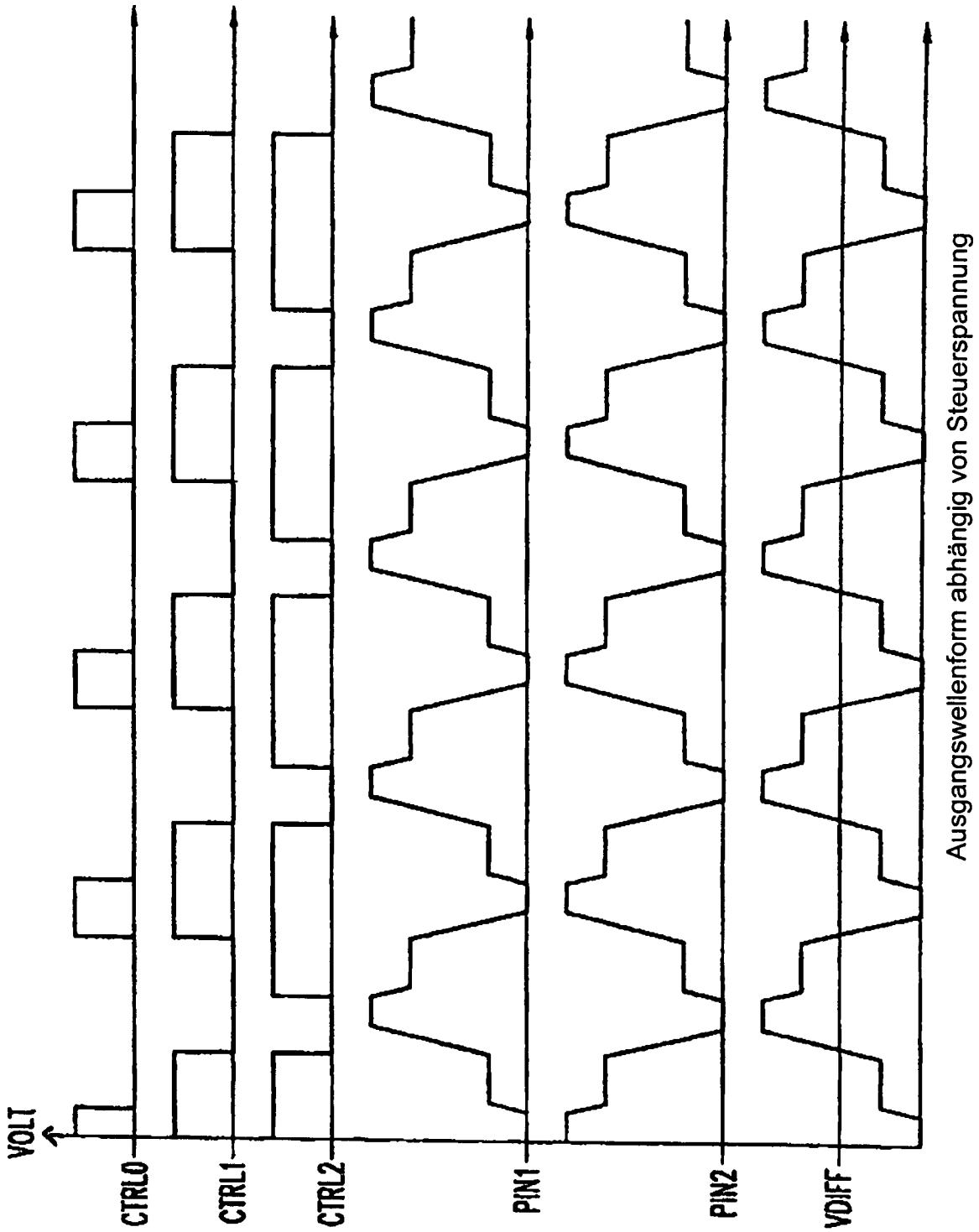

VOLT
CTRL0
CTRL1
CTRL2
PIN1
PIN2
VDIFF
Ausgangswellenform abhängig von Steuerspannung

FIG. 8