(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1997년01월20일
(11) 공고번호 특1997-0000871
(24) 등록일자 1997년01월20일

(21) 출원번호 특1993-0018776
(22) 출원일자 1993년09월17일
(65) 공개번호 특1994-0007886
(43) 공개일자 1994년04월28일
(30) 우선권주장 92-252620 1992년09월22일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 사또 후미오
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72도시바 마이크로 일렉트로닉스 가부시기가이샤 나카무라 노부히데
일본국 가나가와켄 가와사키시 가와사키쿠 에키마에혼 쵸오 25-1
(72) 발명자 마츠모토 나오키
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 580-1 가부시기가이샤 도시바 반도체 시스템 기술센터내
오시마 시게오
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 580-1 가부시기가이샤 도시바 반도체 시스템 기술센터내
이카와 다츠오
일본국 가나가와켄 가와사키시 가와사키쿠 에키마에혼 쵸오 25-1 도시바 마이크로 일렉트로닉스 가부시기가이샤내
(74) 대리인 나영환

심사관 : 장완호 (책자공보 제4791호)

(54) 멀티포트 메모리

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

멀티포트 메모리

[도면의 간단한 설명]

제1도는 본 발명에 의한 멀티포트 메모리의 제어회로의 구성을 나타낸 회로도.

제2도는 본 발명에 의한 멀티포트 메모리의 동작을 나타낸 타이밍 차트.

제3도는 본 발명 및 종래의 멀티포트 메모리의 일부의 구성을 나타낸 회로도.

제4도는 종래의 멀티포트 메모리의 동작을 나타낸 타이밍 차트

* 도면의 주요부분에 대한 부호의 설명

11 : 펄스 발생 회로 12,14 : 앤드 게이트

13 : 지연 회로 21 : 선택용 MOS 트랜지스터

22 : 커패시터 23 : 센스앰프

24,25 : 컬럼 선택 게이트용 MOS 트랜지스터

26,27 : 부하 소자

28,29 : 데이터 전송 게이트용 MOS 트랜지스터

30 : SAM 포트용 데이터 레지스터 31,32 : 인버터

BL,/BL : 비트선쌍 WL :워드선

MC : 메모리 셀

[발명의 상세한 설명]

본 발명은 랜덤 액세스 포트 및 시리얼 액세스 포트를 가지며, 랜덤 액세스 포트에서 시리얼 액세스 포트로 데이터 전송이 행해지는 멀티포트 메모리에 관한 것이다.

제3도는 랜덤 액세스 포트(이하 RAM 포트라고 함)에서 시리얼 액세스 포트(이하 SAM포트라고 함)로 데이터 전송이 행해지는 멀티포트 메모리의 일부의 구성을 나타낸 회로도이다. 도면에 있어서, BL,/BL은 비트선쌍, WL,WL,····은 각각 워드선이며, 비트선장(BL,/BL)의 각각과 각 워드선(WL)이 교차하는 위치에는 각각 메모리 셀, 예를 들면 다이내믹형 메모리 셀(MC)이 설치되어 있다. 이들 각 메모리 셀(MC)은 게이트가 워드선(WL)에 접속되고, 소스가 비트선(BL,/BL)에 접속된 선택용의 MOS 트랜지스터(21)와, 이 MOS 트랜지스터(21)의 드레인과 기준전위, 예를 들면 접지전위 Vss와의 사이에 접속된 커패시터(22)로 구성되어 있다.

상기 비트선쌍(BL,/BL)의 도중에는 센스램프(23)가 삽입되어 있다. 이 센스앰프(23)는 상기 메모리 셀(MC)로 부터의 데이터 독출시에 비트선쌍(BL,/BL)에 출력되는 미소 전위차를 증폭시킨다. 또 이 센스앰프(23)의 동작의 활성화는 제어 신호 SEN에 의해 행해진다.

상기 비트선쌍(BL,/BL)과 RAM 포트용 데이터선장(DQ,/DQ)과의 사이에는 컬럼 선택 게이트용 MOS트랜지스터(24,25)가 접속되어 있고, 이 양 트랜지스터(24,25)의 게이트는 컬럼 선택선(CSL)에 접속되어 있다. 상기 데이타선장(DQ,/DQ)의 각각과 전원전위 Vcc와의 사이에는 항상 도통상태에 있는 MOS 트랜지스터로 이루어진 부하소자(26,27)가 접속되어 있다.

또, 상기 비트선장(BL,/BL)에는 데이터 전송 게이트용의 MOS 트랜지스터(28,29)를 통해 SAM 포트용의 데이터 레지스터(30)가 접속되어 있다. 이 데이터 레지스터(30)는 예를 들면 도시한 바와 같이 2개의 인버터(31,32)로 이루어진 플립플롭으로 구성되어 있다. 상기 데이터 전송 게이트용 MOS 트랜지스터(28,29)의 게이트에 데이터 전송 제어선(TRG)이 접속되어 있다.

이와 같은 구성의 멀티포트 메모리에 있어서, RAM 포트의 메모리 셀(MC)에서 독출되는 데이터를 SAM 포트로 전송할 경우는 통상의 RAM의 경우와 같이 센스앰프(23)로 증폭되는 데이타가 확정되기까지 컬럼선택선(CSL)의 활성화와, 데이터선장(DQ,/DQ)의 데이터를 증폭하는 도시생략된 DQ 센스앰프의 활성화가 모두 금지된다.

다음에 상기 구성으로 이루어진 멀티포트 메모리에 있어서의 종래의 데이터 독출 동작에 대해 제4도의 타이밍 차트를 사용하여 설명한다. 먼저, 어드레스 입력(통상은 로우 어드레스 신호)에 따라 하나의 워드선(WL)이 선택되고, 이 워드선(WL)에 접속된 메모리 셀(MC)에서 비트선장(BL,/BL)중 어느 한쪽에 대해 어떤 전위가 독출된다. 이것에 의해 상기 비트선장(BL,/BL)간의 전위차가 증대하기 시작한다. 다음에 어떤 타이밍으로 신호(SEN)가 L 레벨로 저하되어 센스앰프(23)가 활성화 된다. 센스앰프(23)의 활성화에 의해 비트선장(BL,/BL)간의 전위차가 전원전위 Vcc와 접지전위 Vss의 범위까지 확대된다. 그리고, 비트선장(BL,/BL)간의 전위차가 충분히 커진 시점에서 컬럼 선택선(CSL)이 활성화되어 컬럼 선택용 MOS 트랜지스터(24,25)가 온 상태로 된다. 이어서 상기 양 MOS 트랜지스터(24,25)를 통해 비트선쌍(BL,/BL)에서 데이터선장(DQ,/DQ)으로 데이터가 전송된다. 또한 소정시간이 경과한 이후에 데이터 전송 제어건(TRG)이 활성화되고, 데이터 전송 게이트용 MOS 트랜지스터(28,29)가 온상태로 된다. 이것에 의해 비트선쌍(BL,/BL)에서 SAM 포트용 데이터 레지스터(30)로 데이터가 전송된다. 또한 데이터 전송 게이트용 MOS 트랜지스터(28,29)가 온 상태이며, SAM 포트용 데이터 레지스터(30)로 데이터 전송이 행해지고 있는 기간, 컬럼 선택용 MOS 트랜지스터(24,25)도 온 상태로 되어있다.

그런데, 상기와 같이 데이터선장(DQ,/DQ)에는 부하소자(26,27)가 접속되어 있다. 이 때문에 컬럼 선택선(CSL)이 활성화되고, 비트선장(BL,/BL)과 데이터선쌍(DQ,/DQ)이 도통 상태일때, 데이터선쌍(DQ,/DQ)을 통해 비트선쌍(BL,/BL)중 L 레벨로 설정되어 있는 쪽이 전원전위 Vcc에 의해 충전된다. 따라서 그 전위는 제4도에 도시한 것처럼 접지전위 Vss에서 어떤 전위 △V만큼 상승한다. 이 상태에서 데이터 전송 제어선(TRG)이 활성화되고, 비트선쌍(BL,/BL)에서 SAM 포트용 데이터 레지스터(30)로 데이터 전송이 행해지면, L 레벨측의 비트선 전위에 의해 데이터 레지스터(30)의 고전위 레벨을 방전할 수 없게 될 염려가 생긴다. 정상적인 경우에는 비트선쌍(BL,/BL)의 데이터에 의해 데이터 레지스터(30)의 기억상태를 반전시킬 수 있다. 그러나, 경우에 따라서는 도시한 바와 같이 비트선쌍(BL,/BL)의 데이터에 의해 데이터 레지스터(30)의 기억상태를 반전시킬 수 없게 된다. 이 경우는 데이터 전공이 정확하게 행해지지 않고, 메모리 셀데이터를 파괴한다고 하는 문제가 생긴다.

이처럼 종래의 멀티포트 메모리에서는 RAM 포트에서 SAM 포트로 데이터 전송을 할 때 오동작이 생기고, 이것에 수반해서 RAM 포트의 메모리 셀 데이터의 파괴가 생긴다고 하는 문제가 있다.

본 발명은 상기와 같은 사정을 고려하여 이루어진 것이며, 그 목적은 RAM 포트에서 SAM 포트로 확실하게 데이터 전송을 할 수 있는 동시에 RAM 포트에 있어서의 메모리 셀 데이터의 파지를 방지할 수 있는 멀티포트 메모리를 제공하는 것이다.

본 발명의 멀티포트 메모리는 메모리 셀이 접속된 비트선과, 랜덤 액세스 포트용의 데이터선과, 시리얼 액세스 포트용의 데이터 레지스터와, 상기 비트선과 상기 데이터선과의 사이에 삽입된 컬럼 선택용의 제1스위치 회로와, 상기 비트선과 상기 데이터 레지스터와의 사이에 삽입된 데이터 전송용의 제2스위치 회로와, 상기 제2스위치 회로를 폐쇄하고 상기 메모리 셀의 기억 데이터를 상기 데이터 레지스터로 전송할때 미리 상기 제1스위치 회로를 개방하도록 제어하는 제어회로를 구비하는 것을 특징으로 하고 있다.

RAM 포트에서 SAM 포트로 데이터를 전송할 때는 비트선과 데이터 레지스터와의 사이에 삽입된 데이터 전송용의 제2스위치 회로만이 폐쇄되고, 비트선과 데이터 선과의 사이에 삽입된 컬럼 선택용의 제1스위치 회로는 미리 개방된다.

이하, 도면을 참조하여 본 발명을 실시예에 의해 설명한다. 그리고 본 발명에 의한 멀티포트 메모리는 상기 제3도와 같이 구성되어 있다.

제1도는 제3도에 도시된 멀티포트 메모리에 있어서 상기 컬럼 선택선(CSL)과 데이타 전송 제어선(TRG)을 제어하기 위해 사용되는 제어신호를 발생하는 제어회로의 구성을 나타낸 회로도이다. 제1도에 있어서, 펄스 발생회로(11)는 상기 제3도 중의 센스앰프(23)를 활성화 시키기 위해 사용되는 제어 신호 SEN의 하강에 동기해서 펄스 신호를 발생한다. 이 펄스 발생회로(11)에서 발생된 펄스신호는 2 입력의 앤드 게이트(12)의 한쪽 입력단자 및 지연회로(13)에 각가 공급된다. 상기 앤드 게이트(12)의 다른쪽 입력단자에는 이 멀터포트 메모리에 공급되는 컬럼 에드레스가 확정된 다음에 H 레벨이 되는 제어신호 CAD가 공급된다. 상기 지연 회로(13)의 출력은 2 입력의 앤드 게이트(14)의 한쪽 입력단자에 공급된다. 이 앤드 게이트(14)의 다른쪽 입력단자에는 메모리 셀 데이터를 메모리 외부로 출력시킬 때 H 레벨로 되는 제어신호 OE가 공급된다. 그리고 상기 앤드 게이트(12,14)는 각각의 출력이 상기 컬럼 선택선(CSL), 데이터 전송제어선(TRG)에 각각 출력된다.

다음에 상기 구성으로 이루어진 회로에 있어서의 데이터 독출 동작에 대해, 제2도의 타이밍 차트를 사용하여 설명한다. 먼저 어드레스 입력(통상은 로우 어드레스 신호)에 따라 하나의 워드선(WL)이 선택되고, 이 워드전(WL)에 접속된 메모리 셀(MC)에서 비트선쌍(BL,/BL)중 어느 한쪽에 대해 어떤 전위가 독출된다. 그 후 상기 비트선쌍(BL,/BL)간의 전위차가 증대하기 시작한다. 다음에 어떤 타이밍으로 신호 SEN이 L 레벨로 저하하고, 제3도중의 센스앰프(23)가 활성화된다. 센스앰프(23)가 활성화 됨으로써, 비트선쌍(BL,/BL)간의 전위차가 전원전위 Vcc와 접지전위 Vss의 범위까지 확대된다. 한편 상기 신호 SEN이 L레벨로 저하함으로써 제1도의 회로에 있어서의 펄스 발생회로(11)가 이 레벨 저하를 검출하여 소정 펄스폭의 펄스 신호를 발생한다.

또 비트선쌍(BL,/BL)간의 전위차가 충분히 커지고, 컬럼 어드레스가 확정되어 제어신호 CAD가 H 레벨이 되면 제1도의 회로에 있어서의 앤드 게이트(12)의 출력이 H 레벨로 상승하여, 컬럼 선택선(CSL)이 활성화된다. 이어서 제3도중의 컬럼 선택용 MOS 트랜지스터(24,25)가 온 상태로 되고, 비트선장(BL,/BL)에서 데이터선쌍(DQ,/DQ)에 데이터가 전송된다. 또 컬럼 선택용 MOS 트랜지스터(24,25)가 온상태로 되면, 종래의 경우와 같이, 비트선쌍(BL,/BL)중 L 레벨로 설정되어 있는 쪽의 전위가 접지전위 Vss에서 전위 △V만큼 상승한다.

다시 소정시간이 경과하고, 펄스 발생회로(11)의 출력이 L 레벨로 저하되면, 앤드 게이트(12)의 출력도 L 레벨로 저하되어, 컬럼 선택선(CSL)은 비활성화 된다. 따라서, 이 다음은 비트선장(BL,/BL)과 데이터선장(DQ,/DQ)과의 사이가 비도통 상태로 된다.

컬럼 선택선(CSL)이 비 활성화된 다음에 지연회로(13)에서 소정시간 지연된 펄스 신호가 출력된다. 이때, 제어신호 OE가 H 레벨로 되어 있으면 그 펄스신호가 그대로 앤드 게이트(14)에서 데이터 전송 제어선(TRG)으로 출력되어 데이터 전송 제어선(TRG)이 활성화된다. 이것에 의해 데이터 전송 게이트용 MOS트랜지스터(28,29)가 온상태로 되고, 비트선쌍(BL,/BL)에서 SAM 포트용의 데이터 레지스터(30)로 데이터가 전송된다. 이 데이터 전송시는 미리 컬럼 선택선(CSL)이 비 활성화되어 있고, 비트선쌍(BL,/BL)과 데이터선쌍(DQ,/DQ)과의 사이는 비도통 상태로 되어 있다. 이때, 데이터선쌍(DQ,/DQ)에 대해 비트선쌍(BL,/BL)을 통해 전원전위 Vcc로부터의 충전 동작이 행해지지 않으므로 비트선쌍(BL,/BL)중 L 레벨로 설정되어 있는 쪽의 전위는 원래의 접지전위 Vss로 저하되어 있다. 따라서 비트선쌍(BL,/BL)에서 SAM 포트용 데이터 레지스터(30)로 데이터 전송이 행해지면, L 레벨측의 비트선 전위에 의해 데이터 레지스터(30)의 고전위 레벨을 충분히 방전시킬 수 있고, 비트선쌍(BL,/BL)의 데이터에 의해 데이터 레지스터(30)의 기억상태를 확실히 반전시킬 수 있다. 이것에 의해 데이터 전송을 정화하게 행할 수 있고, 또한 메모리 셀 데이터를 파괴한다고 하는 문제도 생기지 않는다.

그리고, 본 발명은 상기 실시예에 한정되는 것은 아니며, 여러가지 변형이 가능한 것은 물론이다. 예를 들면 상기 실시 예에서는 컬럼 선택선(CSL)과 데이터 전송 제어선(TRG)의 활성화 제어를 제1도와 같은 구성의 제어회로를 사용하여 행할 경우에 대해 설명했지만, 이것은 요컨대 데이터 전송 제어선(TRG)의 활성화를 하기 전에 컬럼 선택선(CSL)을 비활성화 하도록 제어할 수 있다면 어떤 제어신호를 사용해도 되며, 또 제어회로의 구성은 반드시 제1도와 같은 것일 필요는 없다.

이상 설명한 바와 같이 본 발명에 의하면, RAM 포트에서 SAM 포트로 확실하게 데이터 전송을 행할 수 있는 동시에 RAM 포트에 있어서의 메모리 셀 데이터의 파괴를 방지할 수 있는 멀티포트 메모리를 제공할 수 있다.

(57) 청구의 범위

청구항 1

최소한 한쌍의 비트선과 ; 상기 한장의 비트선과 교차하는 한쌍의 워드선과 ; 하나의 메모리 셀이 하나의 비트선 및 하나의 워드선에 접속되고 다른 하나의 메모리 셀이 다른 비트선 및 다른 워드선에 접속되도록 상기 한쌍의 비트선 및 한쌍의 워드선의 교차부에 제공되는 한쌍의 메모리 셀 수단과; 부하 소자가 각각 접속되는 랜덤 액세스 포트용의 한쌍의 데이터선과 ; 상기 한쌍의 비트선에 접속되어 그 비트선을 통해 전송되는 데이터를 수신하는 시리얼 액세스 포트용의 데이터 레지스터 수단과; 상기 한쌍의 비트선과 상기 한쌍의 데이터선과의 사이에 접속되는 제1스위치 회로 수단과; 상기 한쌍의 비트선과 상기 데이터레지스터 수단과의 사이에 접속되는 제2스위치 회로 수단과; 상기 제2스위치 회로 수단을 폐쇄하여 상기 메모리 셀 수단에 기억된 데이터를 상기 데이터 레지스터 수단으로 전송하기 이전에 미리 상기 제1스위치 회로 수단을 개방하도록 제어하는 제어회로 수단을 구비하고, 상기 제어회로 수단은 상기 제1스위치 회로수단에 접속된 컬럼 선택선 및 상기 제2스위치 회로 수단에 접속된 데이터 전송 제어선을 활성화시키기 위해 상기 컬럼 선택선 및 데이터 전송 제어선에 공급되는 펄스 신호를 생성하는 펄스 신호 발생회로 수단과, 펄스 신호를 상기 컬럼 선택선에 공급하는 타이밍 이후로 상기 펄스 신호 발생회로 수단에서 상기 데이터전송 제어선으로 펄스 신호를 공급하는 타이밍을 지연시키는 지연회로 수단을 포함하는 것을 특징으로 하는 멀티포트 메모리.

청구항 2

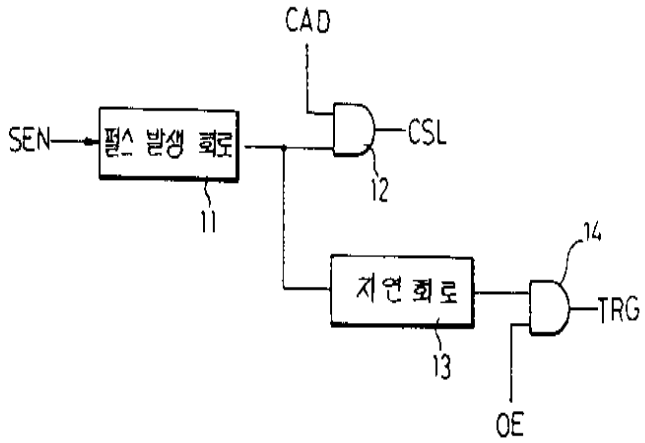
제1항에 있어서, 상기 제1스위치 회로 수단은 상기 한쌍의 비트선중 하나의 비트선 및 상기 한쌍의 데이터선중 하나의 데이터선에 접속되는 제1MOS 트랜지스터와, 다른 비트선 및 다른 데이터선에 접속되는 제2MOS 트랜지스터를 갖는 한쌍의 MOS 트랜지스터를 포함하고, 상기 MOS 트랜지스터의 게이트들은 컬럼 선택선에 공통으로 접속되는 것을 특징으로 하는 멀티포트 메모리.

청구항 3

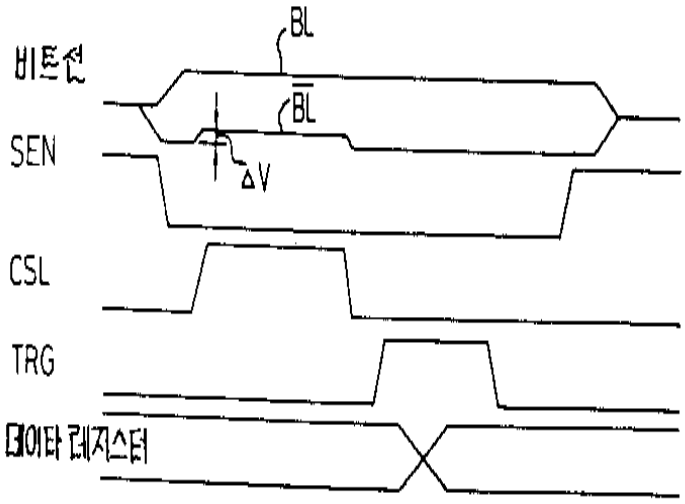
제1항에 있어서, 상기 제2스위치 회로 수단은 상기 한쌍의 비트선중 하나의 비트선과 데이터 레지스터 수단과의 사이에 접속되는 제1MOS 트랜지스터와, 다른 비트선과 데이터 레지스터 수단과의 사이에 접속되는 제2MOS 트랜지스터를 갖는 한쌍의 MOS 트랜지스터를 포함하고, 상기 MOS 트랜지스터의 게이트들은 데이터 전송 제어선에 공통으로 접속되는 것을 특징으로 하는 멀티포트 메모리.

도면

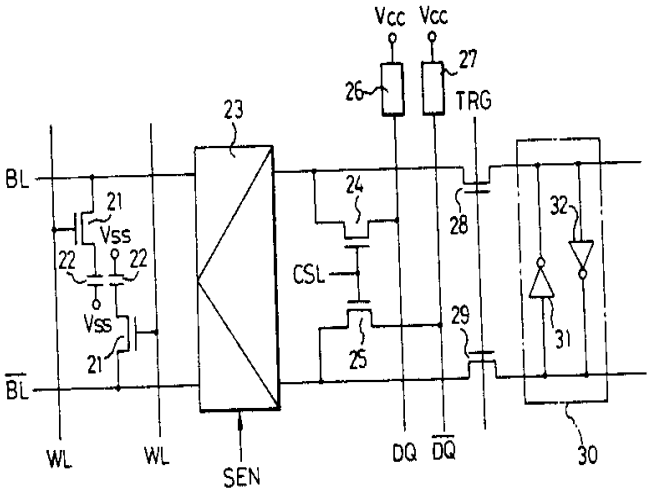
도면1



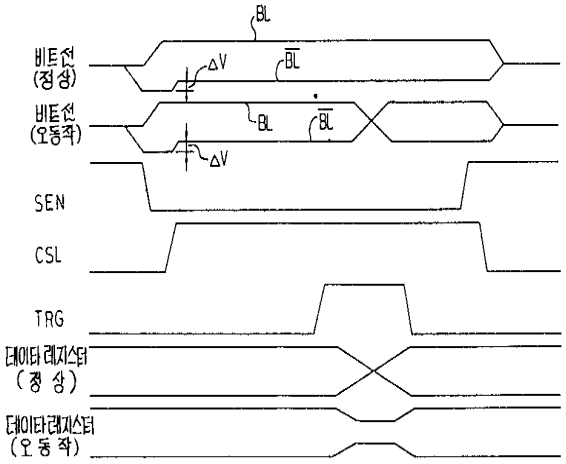
도면2



도면3


Vcc
Vcc
27
26
TRG
23
BL
21
Vss
22
22
24
28
32
CSL
Vss
29
21
25
31
BL
WL
WL
SEN
DQ
DQ
30

도면4


BL
비트선
(정상)
ΔV
BL
비트선
(오동작)
BL
BL
ΔV
SEN
CSL
TRG
데이터 레지스터
(정 상)
데이터 레지스터
(오 동 작)