



(12)发明专利

(10)授权公告号 CN 104281556 B

(45)授权公告日 2019.11.08

(21)申请号 201410553458.X

(22)申请日 2009.08.04

(65)同一申请的已公布的文献号

申请公布号 CN 104281556 A

(43)申请公布日 2015.01.14

(30)优先权数据

12/186,357 2008.08.05 US

(62)分案原申请数据

200980134760.9 2009.08.04

(73)专利权人 美光科技公司

地址 美国爱达荷州

(72)发明人 戴维·R·雷斯尼克

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 宋献涛

(51)Int.Cl.

G06F 13/40(2006.01)

(56)对比文件

CN 102033581 A, 2011.04.27,

US 2004215622 A1, 2004.10.28,

审查员 谭明敏

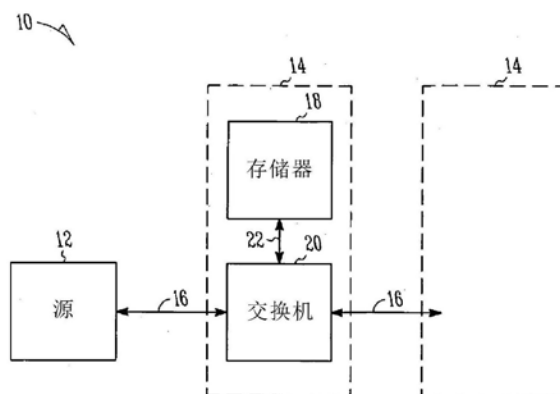
权利要求书3页 说明书8页 附图13页

(54)发明名称

灵活及可扩展的存储器架构

(57)摘要

本申请涉及灵活及可扩展的存储器架构。本发明揭示存储器系统架构、存储器模块、处理系统及方法。在各种实施例中,存储器系统架构包含经配置以将信号传递到存储器装置的源。可通过具有一个以上通信路径的通信链路将至少一个存储器立方体(memory cube)耦合到所述源。所述存储器立方体可包含可操作地耦合到路由交换机的存储器装置,所述路由交换机选择性地地在所述源与所述存储器装置之间传递所述信号。



1. 一种存储器系统,其包括:

并联耦合到操作中的源的串联耦合的存储器立方体的第一群组以及串联耦合的存储器立方体的第二群组,其中每个存储器立方体包括交换机和一个或多个存储器装置;以及

双向通信链路,其经配置以将所述串联耦合的存储器立方体的第一群组以及串联耦合的存储器立方体的第二群组中的每一者以通信方式耦合到所述源,其中所述串联耦合的存储器立方体的第一群组除最后一个存储器立方体之外的每一存储器立方体的输出直接耦合到所述第一群组中的下一个串联连接的存储器立方体,其中所述串联耦合的存储器立方体的第一群组中的每个存储器立方体耦合到所述串联耦合的存储器立方体的第二群组中的至少一个存储器立方体,并且其中群组的最后一个存储器立方体指的是所述群组中电力上最远离所述源的存储器立方体。

2. 根据权利要求1所述的存储器系统,其中所述串联耦合的存储器立方体的第一群组与所述串联耦合的存储器立方体的第二群组以缠结方式耦合以提供冗余通信路径。

3. 根据权利要求1所述的存储器系统,其中所述串联耦合的存储器立方体的第一群组包括多个存储器装置的第一部分,且其中所述串联耦合的存储器立方体的第二群组包括所述多个存储器装置的第二部分。

4. 根据权利要求3所述的存储器系统,其中所述串联耦合的存储器立方体的第一群组中的每一存储器立方体只包括一个第一存储器装置且只包括一个第一路由交换机,且其中所述存储器装置的所述第一部分中的每一者耦合到可操作地耦合到所述源的所述第一路由交换机。

5. 根据权利要求3所述的存储器系统,其中所述串联耦合的存储器立方体的第二群组中的每一存储器立方体只包括一个第二存储器装置且只包括一个第二路由交换机,且其中所述存储器装置的所述第二部分中的每一者耦合到可操作地耦合到所述源的所述第二路由交换机。

6. 根据权利要求1所述的存储器系统,其中所述双向通信链路包括在每一方向上延伸的多个全双工双向巷道。

7. 一种存储器系统,其包括:

包括多个存储器装置的第一部分的串联耦合的存储器立方体的第一群组;

包括多个存储器装置的第二部分的串联耦合的存储器立方体的第二群组,所述串联耦合的存储器立方体的第二群组与所述串联耦合的存储器立方体的第一群组并联,其中每个存储器立方体包括交换机和一个或多个存储器装置;以及

通信链路,其包括耦合到所述第一群组的第一对双向通信链路以及耦合到所述第二群组的第二对双向通信链路,所述通信链路将所述第一群组和所述第二群组中的每一者耦合到源,其中所述串联耦合的存储器立方体的第一群组除最后一个存储器立方体之外的每一存储器立方体的输出直接耦合到所述第一群组中的下一个串联连接的存储器立方体,其中所述串联耦合的存储器立方体的第一群组中的每个存储器立方体耦合到所述串联耦合的存储器立方体的第二群组中的至少一个存储器立方体,并且其中群组的最后一个存储器立方体指的是所述群组中电力上最远离所述源的存储器立方体。

8. 根据权利要求7所述的存储器系统,其中所述串联耦合的存储器立方体的第一群组中的每一存储器立方体只包括一个第一存储器装置且只包括一个第一路由交换机,且其中

所述存储器装置的所述第一部分中的每一者耦合到所述第一路由交换机且经配置以耦合到所述源。

9. 根据权利要求7所述的存储器系统, 串联耦合的存储器立方体的第二群组中的每一存储器立方体只包括一个第二存储器装置且只包括一个第二路由交换机, 且其中所述存储器装置的所述第二部分中的每一者耦合到经配置以耦合到所述源的所述第二路由交换机。

10. 根据权利要求7所述的存储器系统, 其中所述第一群组中的特定存储器立方体与所述第二群组中的特定存储器立方体以缠结方式互连以提供冗余通信路径。

11. 根据权利要求7所述的存储器系统, 其中所述第一对双向通信链路中的特定一者耦合到所述第二群组中的特定存储器立方体, 且其中所述第二对双向通信链路中的特定一者耦合到所述第一群组中的特定存储器立方体。

12. 一种存储器系统, 其包括:

第一多个存储器立方体, 其通过第一对双向通信链路串联耦合到源; 以及

第二多个存储器立方体, 其通过第二对双向通信链路串联耦合到所述源, 其中每个存储器立方体包括交换机和一个或多个存储器装置, 其中所述第一多个存储器立方体的除最后一个存储器立方体之外的每一存储器立方体的输出直接耦合到第一群组中的下一个串联连接的存储器立方体, 其中所述串联耦合的存储器立方体的第一群组中的每个存储器立方体耦合到所述第二多个存储器立方体中的至少一个存储器立方体, 并且其中群组的最后一个存储器立方体指的是所述群组中电力上最远离所述源的存储器立方体。

13. 根据权利要求12所述的存储器系统, 其中所述第一多个存储器立方体中的每一者只包括一个存储器装置且只包括一个通过多个局部通信路径以通信方式耦合到所述存储器装置的路由交换机, 且其中所述路由交换机包括经配置以在所述源与所述第一多个存储器立方体之间通信数据的双向输入/输出 (I/O) 端口。

14. 根据权利要求13所述的存储器系统, 其中所述双向输入/输出 (I/O) 端口包括经配置以接收经包化数据的输入块、经配置以发射所述经包化数据的多路复用器及经配置以将所述经包化数据传递到所述存储器装置的交叉点交换网络。

15. 根据权利要求14所述的存储器系统, 其中所述输入块包括经配置以检测并校正所接收数据中的错误的错误校正码 (ECC) 电路。

16. 一种存储器模块, 其包括:

衬底, 其经配置以耦合到存储器信号的源; 以及

通过双向通信链路耦合到所述源的串联耦合的存储器立方体的第一群组, 其中所述串联耦合的存储器立方体的第一群组除最后一个存储器立方体之外的每一存储器立方体的输出直接耦合到所述第一群组中的下一个串联连接的存储器立方体, 其中所述串联耦合的存储器立方体的第一群组中的每个存储器立方体耦合到串联耦合的存储器立方体的第二群组的至少一个存储器立方体, 其中群组的最后一个存储器立方体指的是所述群组中电力上最远离所述源的存储器立方体, 其中每个存储器立方体包括交换机和一个或多个存储器装置, 且其中所述串联耦合的存储器立方体的第二群组与所述串联耦合的存储器立方体的第一群组并联地耦合到源。

17. 根据权利要求16所述的存储器模块, 其中所述串联耦合的存储器立方体的第一群组中的每一存储器立方体只包括一个存储器装置且只包括一个耦合到所述存储器装置的

路由交换机。

18. 根据权利要求17所述的存储器模块, 其中所述通信链路经配置以将所述串联耦合的存储器立方体的第一群组的路由交换机耦合到所述源, 且其中所述串联耦合的存储器立方体的第一群组以及所述串联耦合的存储器立方体的第二群组以缠结方式耦合以提供冗余通信路径。

19. 根据权利要求16所述的存储器模块, 其中所述双向通信链路延伸到安置在所述衬底上且经配置以耦合到所述源的边缘连接器。

20. 根据权利要求16所述的存储器模块, 其中所述串联耦合的存储器立方体的第一群组包括多个存储器立方体, 其中所述双向通信链路各自包括多个数据巷道。

21. 一种存储器系统, 其包括:

安置在衬底上的串联耦合的存储器立方体的第一群组, 其中所述串联耦合的存储器立方体的第一群组的每一存储器立方体只包括一个存储器装置且只包括一个耦合到所述存储器装置的路由交换机, 且其中所述串联耦合的存储器立方体的第一群组除最后一个存储器立方体之外的每一存储器立方体的输出直接耦合到所述第一群组中的下一个串联连接的存储器立方体, 其中所述串联耦合的存储器立方体的第一群组中的每个存储器立方体耦合到所述串联耦合的存储器立方体的第二群组中的至少一个存储器立方体, 并且其中群组的最后一个存储器立方体指的是所述群组中电力上最远离源的存储器立方体。

22. 根据权利要求21所述的存储器系统, 其进一步包括

路径管理器, 其经配置以可操作地耦合到存储器信号的源且可操作以通过局部通信链路将所述存储器信号传递到所述第一群组的所述路由交换机。

23. 根据权利要求22所述的存储器系统, 其中所述局部通信链路包括耦合到所述串联耦合的存储器立方体的第一群组的所述路由交换机的一对双向通信链路。

24. 根据权利要求22所述的存储器系统, 其中所述路径管理器通过一对双向全局源路径耦合到所述源。

灵活及可扩展的存储器架构

[0001] 本案是一件分案申请。本案的母案是国际申请号为PCT/US2009/004461、申请日为2009年8月4日、PCT申请进入中国国家阶段后申请号为200980134760.9、发明名称为“灵活及可扩展的存储器架构”的发明专利申请案。

[0002] 相关申请案交叉参考

[0003] 此专利申请案请求2008年8月5日申请的第12/186,357号美国专利申请案的优先权权益,所述专利申请案以引用的方式并入本文中。

背景技术

[0004] 计算机技术的持续进步已在各种组件(包含处理器及存储器装置)的性能方面引入众多改进。由于计算机系统内的各种组件通常以通信方式相耦合,因此通信速度及带宽要求构成重大挑战,不断增加的处理速度及带宽要求使所述挑战加剧。因此,仍紧迫需要对计算机系统进行针对处理器与存储器装置之间的增强的通信的改进。

附图说明

- [0005] 在下文论述中参考以下图式详细描述各种实施例。
- [0006] 图1是根据各种实施例的存储器系统的图解性框图。
- [0007] 图2是根据各种实施例的存储器系统的图解性框图。
- [0008] 图3是根据各种实施例的存储器系统的图解性框图。
- [0009] 图3A是根据各种实施例的存储器立方体的图解性框图。
- [0010] 图3B是根据各种实施例的存储器系统的图解性框图。
- [0011] 图3C是根据各种实施例的存储器系统的图解性框图。
- [0012] 图3D是根据各种实施例的存储器系统的图解性框图。
- [0013] 图4是根据各种实施例的存储器系统的图解性框图。
- [0014] 图5是根据各种实施例的存储器系统的图解性框图。
- [0015] 图6是根据各种实施例的存储器系统的图解性框图。
- [0016] 图7是根据各种实施例的存储器系统的图解性框图。
- [0017] 图8是根据各种实施例的用于存储器系统的路由交换机的部分示意图。
- [0018] 图9是根据各种实施例的存储器模块的部分图解性框图。
- [0019] 图10是根据各种实施例的用于存储器系统的路径管理器的部分图解性框图。
- [0020] 图11是根据各种实施例的路径管理器的部分图解性框图。
- [0021] 图12是根据各种实施例的存储器模块的图解性框图。
- [0022] 图13是根据各种实施例的存储器结构的图解性框图。
- [0023] 图14是描述根据各种实施例操作存储器系统的方法的流程图。
- [0024] 图15是根据各种实施例的处理系统的图解性框图。

具体实施方式

[0025] 各种实施例包含存储器系统、模块、处理系统及方法。在以下描述中及在图1到图15中列举数个实施例的特定细节以提供对此些实施例的理解。然而,所属领域的技术人员将理解,可能存在额外实施例且在没有以下描述中所揭示的细节中的数个细节的情况下也可实践许多实施例。还应理解,各种实施例可实施于包含物理组件(例如“硬件”)的物理电路内,或其可使用机器可读指令(例如,“软件”)实施,或以物理组件与机器可读指令的某一组合(例如,“固件”)来实施。

[0026] 图1是根据所述实施例中的一者或一者以上的存储器系统10的图解性框图。存储器系统10可包含源12,其可操作以通过通信链路16将数据传递到一个或一个以上存储器立方体14。存储器立方体14包含若干存储器装置。源12可包含(例如)较大处理系统的存储器控制器部分(图1中未显示),所述存储器控制器部分包含管理去往及来自耦合到存储器控制器的存储器装置的信息流的电路。举例来说,存储器控制器内的电路可以可操作以执行各种存储器装置相关任务,例如存储器装置刷新、地址编码及解码、数据传送或其它已知存储器相关任务。源12可通过通信链路16耦合到存储器立方体14中的一者或一者以上。

[0027] 通信链路16通常包含两个或两个以上个别互连且个别双向的通信路径(图1中未显示),所述路径可使用串行及/或并行通信路径实施。举例来说,所述路径可包含差分信号布置,或另一选择是,还可使用单端信号布置,或可在所述路径中使用单端与差分信号对的组合。在各种实施例中,通信链路16可包含在源12与单个存储器立方体14之间延伸的两个通信路径,以使得通信链路16中的带宽约为使用单个通信路径可实现的带宽的两倍。另一选择是,所述通信路径中的选定者可用作冗余通信路径或用于提供通行能力,其中数据可在源12与在存储器立方体14的耦合链中的其它存储器立方体14之间传递。在各种实施例中,通信链路16可包含四个通信路径,与两个通信路径相比较,四个通信路径提供带宽的增加。作为替代方案,可采用四个通信路径以提供冗余通信路径及/或与呈各种布置的其它存储器立方体14进行通信,如将在下文中详细描述。在各种实施例中,所述通信路径在每一方向上包含16个巷道(全双工),以使得在每一通信路径中存在总共32个巷道。另外,在各种实施例中,一对较窄通信路径可经优化以提供比单个较宽通信路径更佳的性能。虽然图1中未显示,但额外通信路径(例如,多点总线)可将源12耦合到其它存储器装置,或可用于将时钟信号、功率或其它额外控制信号传递到其它存储器装置。

[0028] 存储器立方体14包含可通过局部链路22可操作地耦合到路由交换机20的存储器单元18。路由交换机20又耦合到通信链路16。通信链路16可包含多个通信路径。举例来说,局部链路22可包含四个或四个以上双向通信路径,不过局部链路22中可存在少于四个通信路径。存储器单元18可包含一个或一个以上离散存储器装置,例如静态存储器、动态随机存取存储器(DRAM)、扩充数据输出动态随机存取存储器(EDO DRAM)、同步动态随机存取存储器(SDRAM)、双倍数据速率同步动态随机存取存储器(DDR SDRAM)、第二代双倍数据速率同步动态随机存取存储器(DDR2SDRAM)、第三代双倍数据速率同步动态随机存取存储器(DDR3 SDRAM)、同步链路动态随机存取存储器(SLDRAM)、视频随机存取存储器(VRAM)、RAMBUS动态随机存取存储器(RDRAM)、静态随机存取存储器(SRAM)、快闪存储器以及其它已知存储器装置。

[0029] 仍参考图1,路由交换机20通常可操作以选择性地将信号传递到存储器单元18及

从存储器单元18传递信号且还沿通信链路16传递信号。因此,路由交换机20可进一步包含经配置以执行包组装与拆解、包错误检查、信号多路复用、缓冲以及其它所规定功能的各种电路。下文将更详细地描述路由交换机20。

[0030] 存储器系统10可使用常见且通常可拆卸的电路组合件来实施,所述电路组合件可通过边缘连接器、可拆卸式插头组合件或其它已知可拆卸互连装置耦合到较大电子系统。另外,存储器系统10可实施为路由交换机20内的集成组件。另一选择是,存储器系统10可实施为较大电子系统的经制作部分。

[0031] 现参考图2及图3,根据各种实施例分别显示存储器系统30及40的图解性视图。存储器系统30包含通信链路32,通信链路32包含适当地经配置以将源12耦合到存储器立方体14的第一通信路径34及第二通信路径36。因此,通信链路32允许源12与存储器立方体14之间增加的带宽通信。另一选择是,在其它特定实施例中,第一通信路径34及第二通信路径36中的选定一者可经配置以提供冗余通信路径,以使得在第一通信路径34及第二通信路径36中的一者出现故障的情况下仍可在源12与存储器立方体14之间传递数据。在又其它实施例中,第一通信路径34及第二通信路径36中的一者可经配置以与存储器单元18中的选定存储体进行通信。举例来说,如果存储器单元18包含32个存储器存储体,那么第一通信路径34可用于参考所述存储体中的16个,而第二通信路径36可用于参考剩余的16个存储器存储体。在其它实施例中,第一通信路径34与第二通信路径36中的一者可与又另一存储器立方体14(图3中未显示)通信,以便提供通行通信路径。

[0032] 图3中的存储器系统40包含通信链路42,其包含第一通信路径44、第二通信路径45、第三通信路径46及第四通信路径47。第一通信路径44到第四通信路径47还经配置以将源12耦合到存储器立方体14,以使得可实现源12与存储器立方体14之间增加的带宽通信。在其它实施例中,第一通信路径44、第二通信路径45、第三通信路径46及第四通信路径47的选定对可经配置以与存储器立方体14通信,而另一选定对提供去往其它存储器立方体14(图3中未显示)的通信路径。在又其它实施例中,通信路径44到47中的每一者可耦合到单独存储器立方体14或单独群组的串联耦合的存储器立方体14。

[0033] 图3A到图3D是根据各种实施例的各种存储器实施方案的图解性框图。图3A是存储器立方体14a的图解性框图,存储器立方体14a可通过耦合到存储器立方体14a的通信路径选择性地耦合到其它源,如将描述。图3B是存储器系统10b的图解性框图,其中存储器立方体14b可操作地耦合到源12a,其中从存储器立方体14b延伸的通信路径是向后引导到源12a。图3C是存储器系统10c的图解性框图,其中存储器立方体14b可操作地耦合到第一源12c及第二源12d,其中从存储器立方体14c延伸的通信路径是向后引导到第一源12c及第二源12d。图3D是存储器系统10d的图解性框图,其中存储器立方体14d可操作地耦合到多个源12e到12h。在存储器系统10d中,从存储器立方体14d延伸的通信路径是向后引导到源12e到12h。

[0034] 图4是根据各种实施例中的另一实施例的存储器系统50的图解性框图。存储器系统50可包含具有存储器立方体14中的一者或一者以上的第一群组52及具有存储器立方体14中的一者或一者以上的第二群组54。第一群组52及第二群组54可通过通信链路56以通信方式耦合到源12,通信链路56包含可操作地耦合到第一群组52的第一通信路径58及可操作地耦合到第一群组52的第二通信路径59。在各种实施例中,第一群组52及第二群组54可包

含多达八个存储器立方体14。在各种实施例中,第一群组52及第二群组54可包含多于或少于八个存储器立方体14。在各种实施例中,存储器立方体14中的一些存储器立方体可串联地耦合,其中采用经配置以适应存储器装置故障(例如,CHIPKILL或CHIPSPARE)的先进错误校正方法。简明且概括地说,此些先进错误校正方法通过提供在功能上替代有故障存储器装置的至少一个额外存储器装置来保护存储器系统免受单个存储器装置故障的影响或免受来自单个存储器装置的多位错误的影响。因此,可保留及/或重构有故障存储器装置的存储器内容。

[0035] 图5是根据各种实施例的存储器系统60的图解性框图。存储器系统60可包含第一群组62及第二群组64,第一群组62包含存储器立方体14中的一者或一者以上且第二群组64也包含存储器立方体14中的一者或一者以上。第一群组62及第二群组64可通过通信链路66以通信方式耦合到源12,通信链路66包含可操作地耦合到第一群组62的第一通信路径68及第二通信路径70。存储器系统60还可包含可操作地耦合到第二群组64的第三通信路径72及第四通信路径74。如先前所论述,第一通信路径68与第二通信路径70可给予源12与第一群组62之间增加的带宽通信,及/或提供去往第一群组62中的其它存储器立方体14的通行能力,而第三通信路径72与第四通信路径74同样可给予源12与第二群组64之间增加的带宽通信,且还可用于提供去往可存在于第二群组64中的其它存储器立方体14的通行能力。

[0036] 图6是根据各种实施例的存储器系统80的图解性框图。存储器系统80可包含第一群组82、第二群组84、第三群组86及第四群组88,其每一者可包含存储器立方体14中的一者或一者以上。通信链路90将第一群组82、第二群组84、第三群组86及第四群组88以通信方式耦合到源12。因此,通信链路90可包含耦合到第一群组82的第一通信路径92、耦合到第二群组84的第二通信路径94、耦合到第三群组86的第三通信路径96及耦合到第四群组88的第四通信路径98。由于通信链路90将第一群组82、第二群组84、第三群组86及第四群组88耦合到源12,因此可提供较大数目的存储器立方体14。

[0037] 图7是根据各种实施例的存储器系统100的图解性框图。存储器系统100包含通信链路102,通信链路102可包含耦合到第一群组108的存储器立方体的第一通信路径104及第二通信路径106,在当前所图解说明的实施例中第一群组108可包含存储器立方体110到存储器立方体116,不过第一群组108中可包含多于所述存储器立方体或甚至少于所图解说明的存储器立方体的存储器立方体。通信链路102还包含耦合到第二群组122的存储器立方体的第三通信路径118及第四通信路径120,第二群组122可包含存储器立方体110到存储器立方体116,不过第二群组122中可包含多于所述存储器立方体或甚至少于所述存储器立方体的存储器立方体。第一通信路径104及第二通信路径106中的选定一者适当地经配置以耦合到第二群组122中的存储器立方体,而第三通信路径118及第四通信路径120中的选定一者可经配置以耦合到第一群组108中的存储器立方体。因此,第一群组108与第二群组122以缠结方式耦合以提供冗余通信路径,所述冗余通信路径可在第一群组108中的存储器立方体110到116中的一者或一者以上及/或第二群组122中的存储器立方体124到130中的一者或一者以上出现故障的情况下使用。具体来说,如果第一群组108中的存储器立方体110到116中的一者或一者以上出现故障,那么第一群组108可采用第二群组122中的存储器立方体124到130中的一者或一者以上以用于对第一群组108中的相对于所述源沿路径向下定位的其它存储器立方体的存取。对应地,当第二群组122中的存储器立方体124到130中的一者或

一者以上出现故障时,第二群组122可采用第一群组108中的存储器立方体110到116中的一者或一者以上。举例来说,且仍参考图7,如果存储器立方体112出现故障,那么从源12向外行进的数据可从第一群组108中的存储器立方体110路由到第二群组122中的存储器立方体126。从存储器立方体126向外行进的数据可接着路由到第一群组108中的存储器立方体114。

[0038] 仍参考图7,可通过对由接收器返回的否定确认字符 (NAK) 的数目进行计数来识别存储器立方体110到116及124到130中的有缺陷一者,所述接收器定位于存储器立方体110到116及存储器立方体124到130中的每一者中的路由交换机20 (如图1中所示) 中的每一者中。遇到规定数目的NAK时,可选择性地绕开存储器立方体110到116及124到130中的有缺陷一者,如上所述。另一选择是,定位于存储器立方体110到116及存储器立方体124到130中的每一者中的路由交换机20 (同样,如图1中所示) 中的每一者中的发射器可经配置以在已超出数据发射时间 (其可对应于重传尝试的数目) 时指示存储器立方体中已出现故障。同样,响应于所检测到的错误,可选择性地绕开被识别为有缺陷的存储器立方体。

[0039] 现参考图8,其显示根据各种实施例的路由交换机130的图解性框图。路由交换机130可包含于存储器立方体中,如先前结合各种实施例所描述。路由交换机130可经配置以通过在局部存储器与路由交换机130之间延伸的多个局部路径132来与所述局部存储器 (例如,图1中所示的存储器单元18) 进行通信。路由交换机130可通过交叉点交换网络136耦合到局部路径132。虽然图8中未显示,但应理解,交叉点交换网络136还可包含适当的逻辑及缓冲电路。路由交换机130还包含可选择性地耦合到第一通信路径134及第二通信路径135的双向输入/输出 (I/O) 端口138。I/O端口138与交叉点交换网络136适当地互连以协作地形成从第一通信路径134及第二通信路径135穿过局部路径132到存储器装置的路径。第一通信路径134及第二通信路径135还可形成穿过路由交换机130的通行路径,以使得可将数据传递到其它存储器立方体14 (图8中未显示)。I/O端口138中的每一者可包含输入块140,输入块140可经配置以接收从源 (例如,图1的源12) 及从其它存储器立方体14 (图1中所示) 传递到路由交换机130的经包化数据。因此,输入块140可包含适当的数据接收器、数据驱动器、缓冲器、包组装与拆解电路及错误检查电路。举例来说,输入块140可包含经配置以校正可在数据传递期间出现的单位或多位故障的错误校正码 (ECC) 电路。I/O端口138还可包含多路复用单元 (MUX) 142,其通常可操作以接收施加到MUX 142的输入的多个信号,且响应于所施加的控制信号而在MUX 142的输出处提供所述多个信号中的选定一者。

[0040] 图9是根据各种实施例的存储器模块150的部分示意图。存储器模块150包含定位于衬底154上的至少一个群组152的存储器立方体14。衬底154可包含大体平面的电介质结构。衬底154可相应地包含前侧及相对的背侧,且适当地经配置以支撑导电迹线,所述导电迹线将定位于衬底154上的各种组件电耦合到沿衬底154的选定边缘158定位的边缘连接器156。通信路径160可安置于衬底154上,在边缘连接器156与群组152之间延伸。虽然图9中未显示,但通信路径160及群组152的选定子组可安置于衬底154的前侧上,而剩余通信路径160及群组152可安置于衬底154的背侧上。由于衬底154还可包含位于衬底154内的离散导体层,因此通信路径160的一部分或甚至全部可安置于衬底154内。边缘连接器156可包含大体间隔开的电导体 (图9中未显示),其经配置以由接纳边缘连接器槽中的配合触点 (图9中也未显示) 来接纳,以使得模块150可与模块150外部的电路及装置进行通信。边缘连接器

156还可安置于衬底154的前侧及/或后侧上,且可包含一个或一个以上键槽161以准许模块150在接纳边缘连接器槽中恰当对准。虽然图9中未显示,但应理解,各种其它组件可定位于衬底154上,可通过在边缘连接器156与各种其它装置之间延伸的导电迹线耦合到其它外部电路及装置。边缘连接器156可包含其它电互连装置。举例来说,还可使用引脚连接结构,其经配置以接纳灵活导体网络,例如多导体平面电缆或其它类似结构。

[0041] 仍参考图9,为了适应较大数目的群组152,可将路由器结构并入到各种实施例中。此类并入可促进增强,例如增加的系统灵活性及较大数目群组152的集成。现在还参考图10,其根据各种实施例显示路径管理器220的图解性框图。路径管理器220可经配置以支持可以通信方式耦合以替代前图中所示的源路径的多个局部路径222。举例来说,图1中的通信链路16或图6中的通信路径92提供额外层级(例如,扇出),以使得可耦合额外立方体。虽然图10图解说明四个局部路径222,但应理解,可存在少于四个或多于四个的局部路径222。路径管理器220还可经配置以:支持全局源路径224(其可耦合到可操作以向及从耦合到局部路径222的群组152传递数据及指令的源)及支持全局通行路径226(其还可耦合到图9中的其它群组152)以提供通行能力。路径管理器220可实施于专用集成电路(ASIC)中,或其可使用现场可编程门阵列(FPGA)或使用其它适当的逻辑技术来实施。

[0042] 仍参考图10,且现在也参考图11,将描述根据各种实施例的路径管理器220的各种细节。路径管理器220可经配置以通过在群组152与路径管理器220之间延伸的局部路径222来与群组152的存储器立方体14(如图9中所示)进行通信。交叉点交换网络230将局部路径222耦合到全局源路径224及全局通行路径226。虽然图11中未显示,但交叉点交换网络230中还可包含其它逻辑及缓冲电路。路径管理器220还可包含可耦合到全局源路径224的双向输入/输出(I/O)端口232及可耦合到全局通行路径226的双向输入/输出(I/O)端口234。I/O端口232可包含经配置以接收沿全局源路径224传递到路径管理器220的经包化数据的输入块236。输入块236可包含图11中未显示的其它装置,所述其它装置可包含数据接收器、数据驱动器、缓冲器、包组装与拆解电路、错误检查电路及其它类似电路。I/O端口232还可包含多路复用单元(MUX)238,其可操作以接收施加到MUX 238的输入的多个信号,且在MUX 238的输出处提供所述多个信号中的选定一者。I/O端口234还可包含输入块236以接收沿全局通行路径226传递到路径管理器220的经包化数据。虽然图11中未显示,但输入块236可包含以下其它装置:数据接收器、数据驱动器、缓冲器、包组装与拆解电路、错误检查电路及通常辅助经包化数据传递的其它装置。

[0043] 图12是根据各种实施例的存储器模块270的部分示意图。存储器模块270包含定位于具有前侧及相对背侧的衬底274上的至少一个群组272的存储器立方体14,衬底274可包含将定位于衬底274上的组件电耦合到沿衬底274的选定边缘278定位的边缘连接器276的导电迹线。与群组272相关联的一个或一个以上通信路径16可安置于衬底274的前侧及/或后侧上。另外,通信链路16还可安置于衬底274内的离散层中。至少一个群组272的存储器立方体14还可安置于衬底274的前侧及/或后侧上。边缘连接器276可包含间隔开的电导体(图12中未显示),其经配置以啮合边缘连接器槽中的配合触点(图12中也未显示),以使得模块270可与模块270外部的电路及装置进行通信。边缘连接器276可安置于衬底274的前侧及/或后侧上且还可包含一个或一个以上键槽280以准许模块270在边缘连接器槽中恰当对准。在各种实施例中,可将其它额外组件安装于具有图12中所示的组件的衬底274上。举例来

说,可将驱动处理器以及其它组件安装于衬底274上。

[0044] 存储器模块270还可包含可操作地耦合到至少一个群组272的路径管理器282。因此,通信路径16包括延伸到至少一个群组272的局部路径(耦合到通信路径16),而全局源路径284及286可耦合到源(例如,图1的源12),且全局通行路径288及289可耦合到模块270中的又其它模块,以将存储器信号递送到所述其它模块。虽然图12中将路径管理器282显示为定位于衬底274上,但路径管理器282可定位于远离衬底274的其它位置中且可操作地耦合到群组272。

[0045] 前述的存储器模块270可集成到又其它且更具扩展性的存储器结构中。现在还参考图13,其显示根据各种实施例的存储器结构290的图解性框图。存储器结构290包含至少一个群组294的存储器模块292(例如,图12的存储器模块270),其可通过通信链路284耦合到源12。由于存储器模块292中的每一者可包含路径管理器(如先前所描述),因此源12可与多个存储器装置(例如,图1的存储器立方体14)进行通信。在各种实施例中,存储器模块292中的至少一些存储器模块可包含32个或32个以上的存储器立方体。在其它实施例中,存储器模块中的至少一些存储器模块可包含多达36个存储器立方体,不过也可存在其它较大数目的存储器立方体。虽然图13中将存储器结构290显示为可安置于单独衬底上的存储器模块292的组合件,但各种实施例并不受此限制。举例来说,图13中所示的存储器结构290可安置于单个衬底上或可安置于具有定位于衬底上的又其它组件的衬底上。

[0046] 图14是描述根据各种实施例的操作存储器系统的方法300的流程图。在框302处,方法300提供包含通过多个局部通信路径耦合到存储器装置的存储器装置的至少一个存储器立方体。在框304处,所述至少一个存储器立方体耦合到存储器信号的源以在所述源与所述至少一个存储器立方体之间提供一个以上通信路径。根据各种实施例,在所述源与所述至少一个存储器立方体之间延伸的通信路径可介于两个与四个之间的范围内,不过其它配置是可能的。在框306处,建立所述源与所述至少一个存储器立方体之间增加的带宽及所述源与所述至少一个存储器立方体之间冗余的通信路径中的至少一者。

[0047] 图15是根据各种实施例的处理系统400的图解性框图。处理系统400可包含中央处理单元(CPU) 402,其可包含能够接收数据及经编程指令且根据所述经编程指令处理所述数据的任何数字装置。因此,CPU 402可包含微处理器(例如,通用单芯片或多芯片微处理器),或其可包含数字信号处理单元或其它类似可编程处理单元。CPU402通常经配置以经由适当通信总线406与存储器单元404进行通信。存储器单元404可包含根据各种实施例构造的存储器立方体中的一者或一者以上,例如,图1到图3中分别显示的存储器系统10、30及40。处理系统400还可包含可操作地耦合到总线406的各种其它装置,所述其它装置经配置以协作地与CPU 402及存储器单元404交互。举例来说,处理系统400可包含一个或一个以上输入/输出(I/O)装置408,例如打印机、显示装置、键盘、鼠标或其它已知输入/输出装置。处理系统400还可包含大容量存储装置410,其可包含硬盘驱动器、软盘驱动器、光盘装置(CD-ROM)或其它类似装置。应理解,图15提供处理系统400的简化表示。因此,应理解,处理系统400中仍可存在图15中未显示但此项技术中已知的其它装置(例如,存储器控制器)。如各种图中已显示,存储器系统中可存在多个局部路径及全局路径。提供可通过多个总线406耦合到又其它存储器系统的存储器系统也在各种实施例的范围内。

[0048] 虽然已图解说明及描述了各种实施例(如上所述),但可在不背离本发明的情况下

做出改变。形成本文的一部分的附图以图解说明而非限制的方式显示其中可实践标的物的特定实施例。所图解说明的实施例经充分详细地描述以使所属领域的技术人员能够实践本文中所揭示的教示。由此可利用及导出其它实施例。因此，此具体实施方式不应被视为具有限制意义。

[0049] 虽然本文中已图解说明及描述了若干特定实施例，但应了解，经设想以实现相同目的的任何布置可替代所显示的特定实施例。此外，虽然已参考存储器系统及装置描述了各种实施例，但应理解，可在不做修改的情况下在各种已知的电子系统及装置中采用各种实施例。本发明既定涵盖各种实施例的任何及所有改动或变化。在审阅以上描述后，所属领域的技术人员将即刻明了上述实施例的组合及本文中未具体描述的其它实施例。

[0050] 提供发明摘要以符合37 C.F.R. §1.72 (b)，其需要将允许读者快速探知所述技术性发明的性质的摘要。提交本摘要是基于以下理解：其将不用于解释或限制权利要求书的含义。另外，在前述具体实施方式中，可发现，出于简化本发明的目的，可将各种特征集中在单个实施例中。本发明方法不应解释为反映以下意图：所主张的实施例需要比每一权利要求中所明确陈述的特征更多的特征。而是，如上述权利要求书反映，发明性标的物少于单个所揭示实施例中的所有特征。因此，上述权利要求书由此被并入到具体实施方式中，其中每一权利要求本身作为单独实施例。

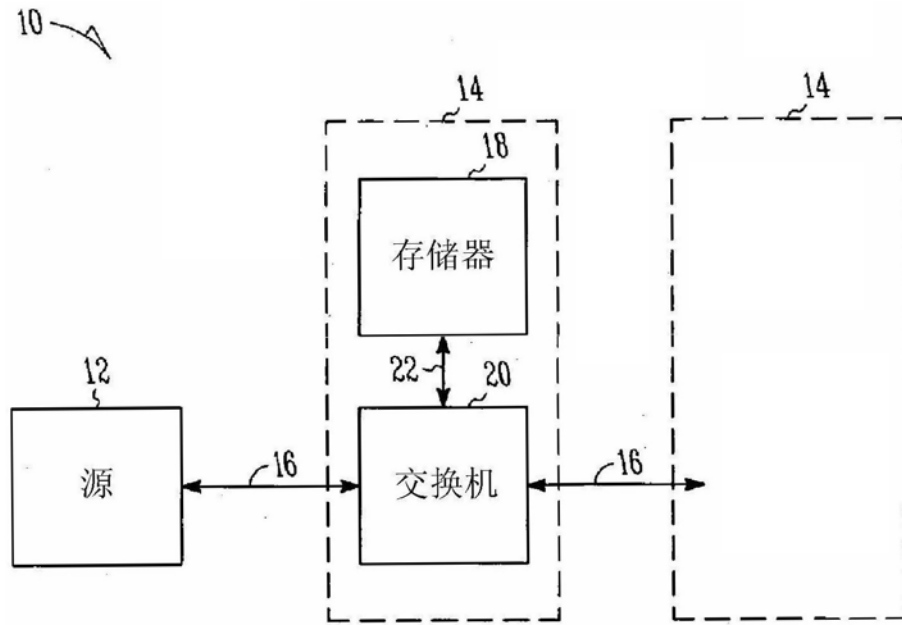


图1

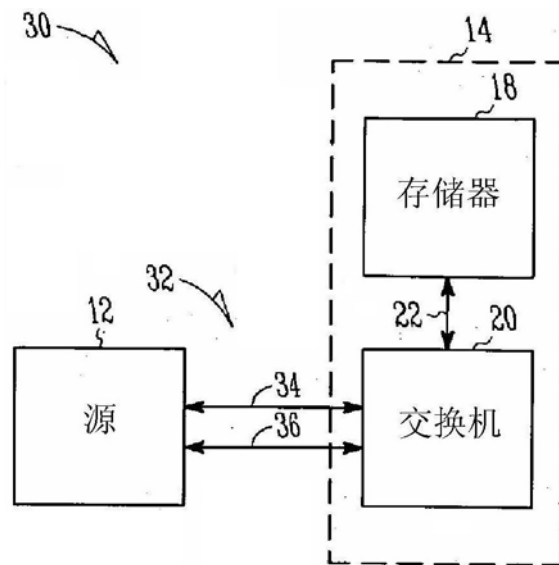


图2

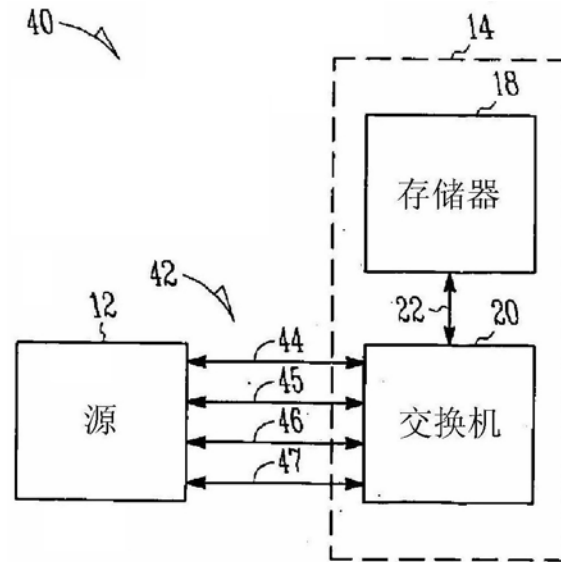


图3



图3A

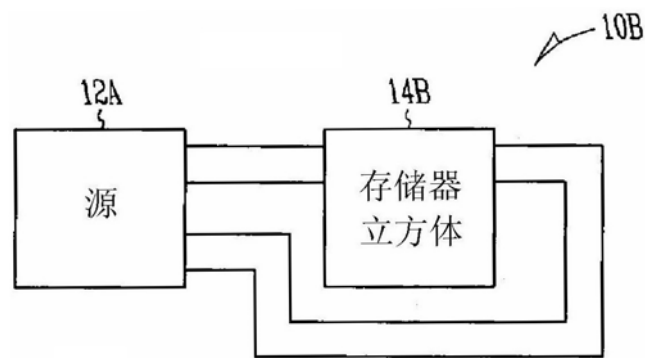


图3B

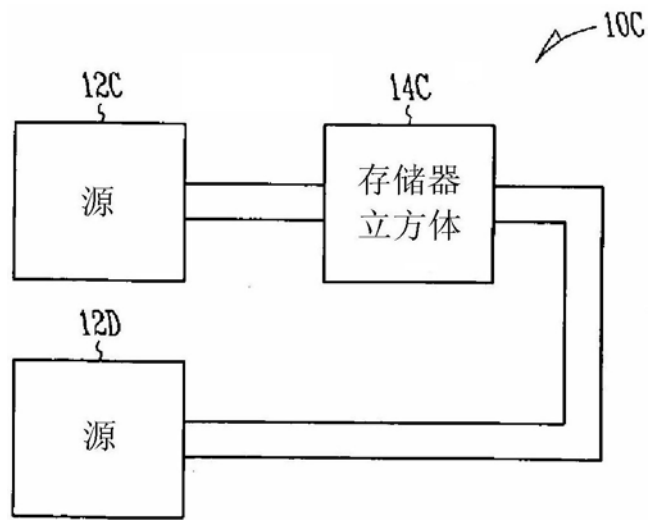


图3C

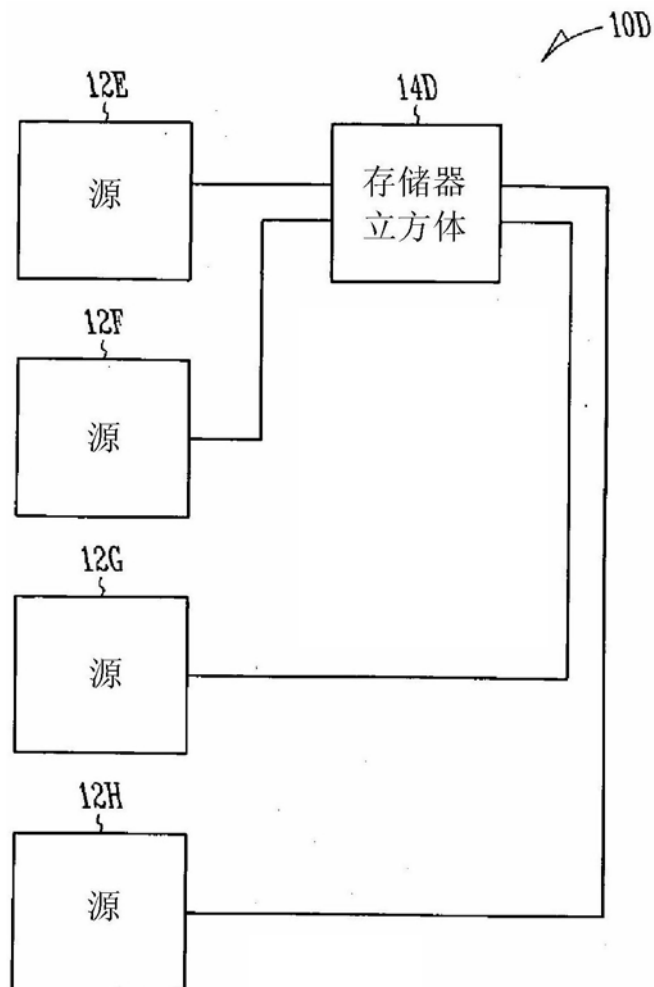


图3D

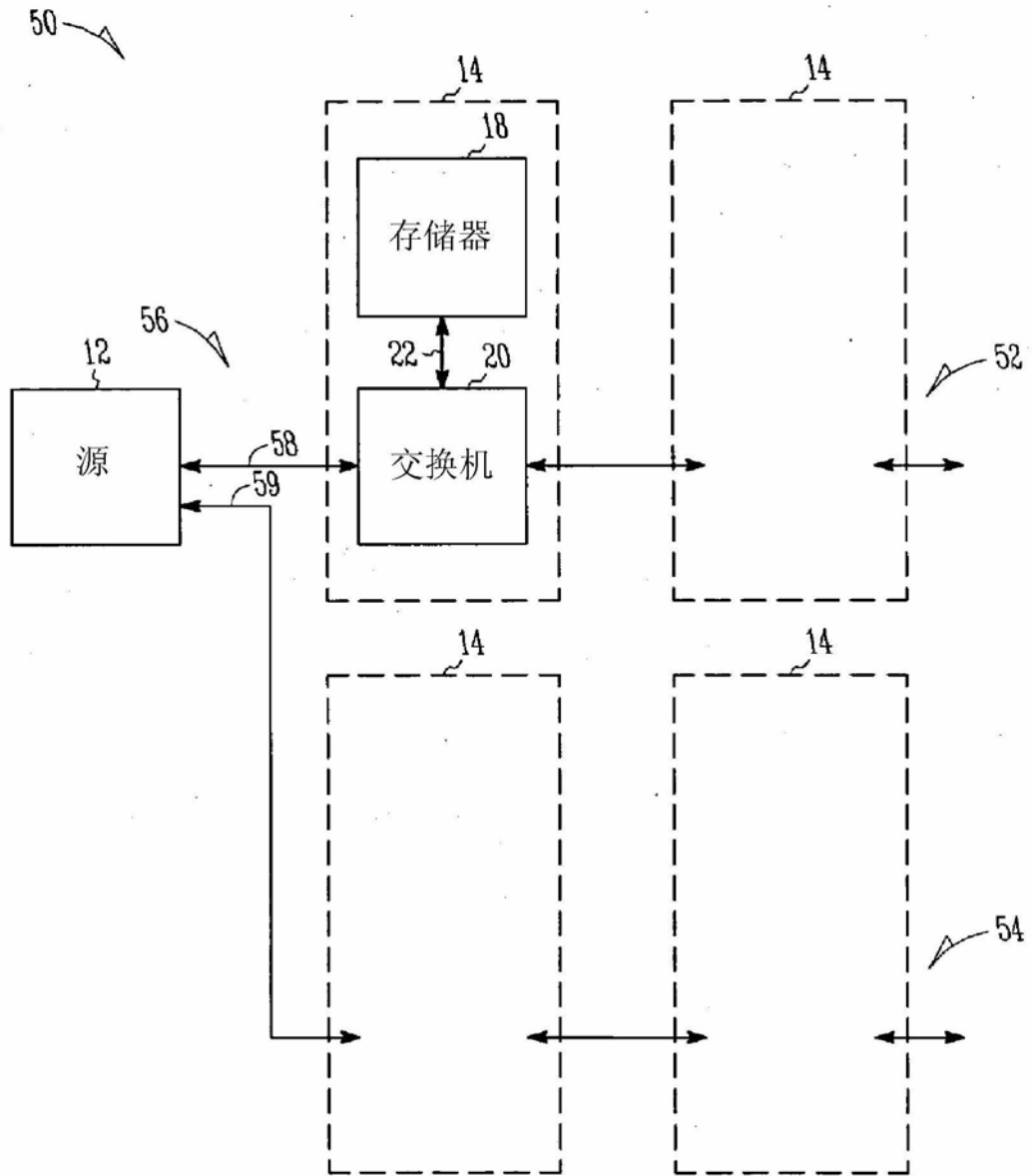


图4

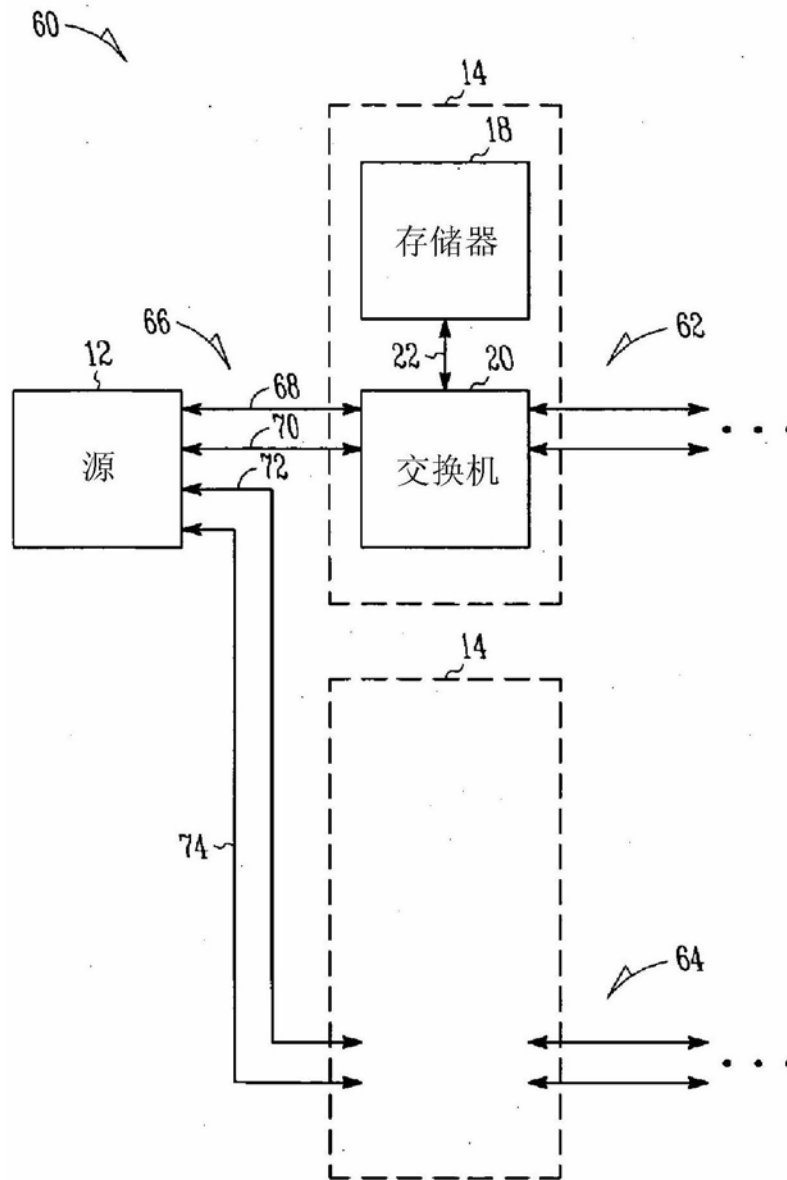


图5

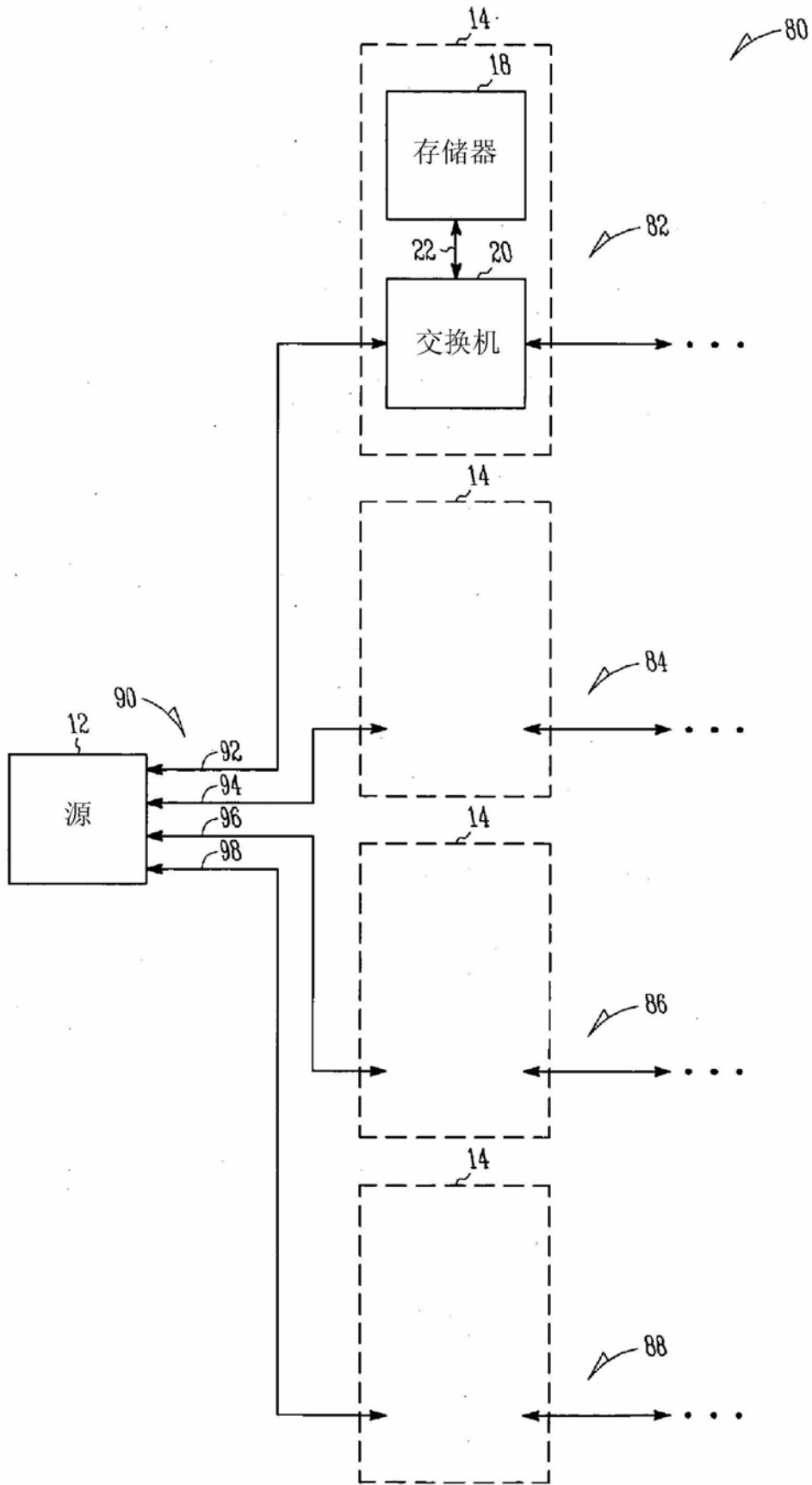


图6

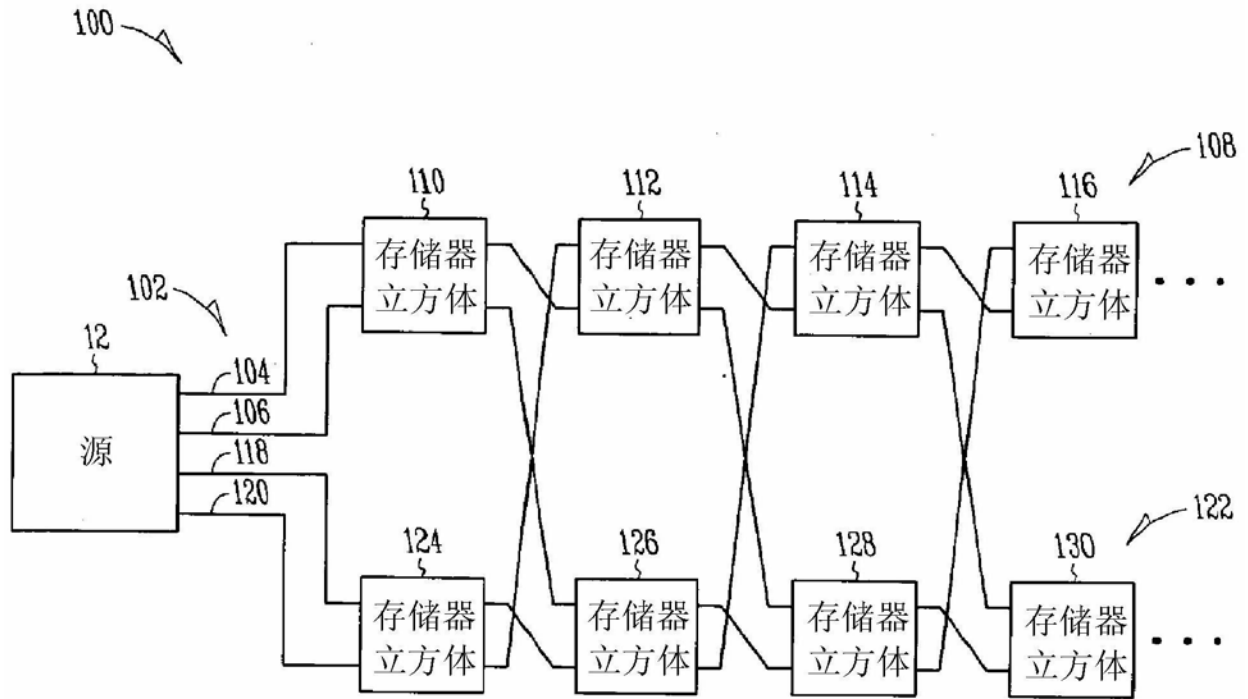


图7

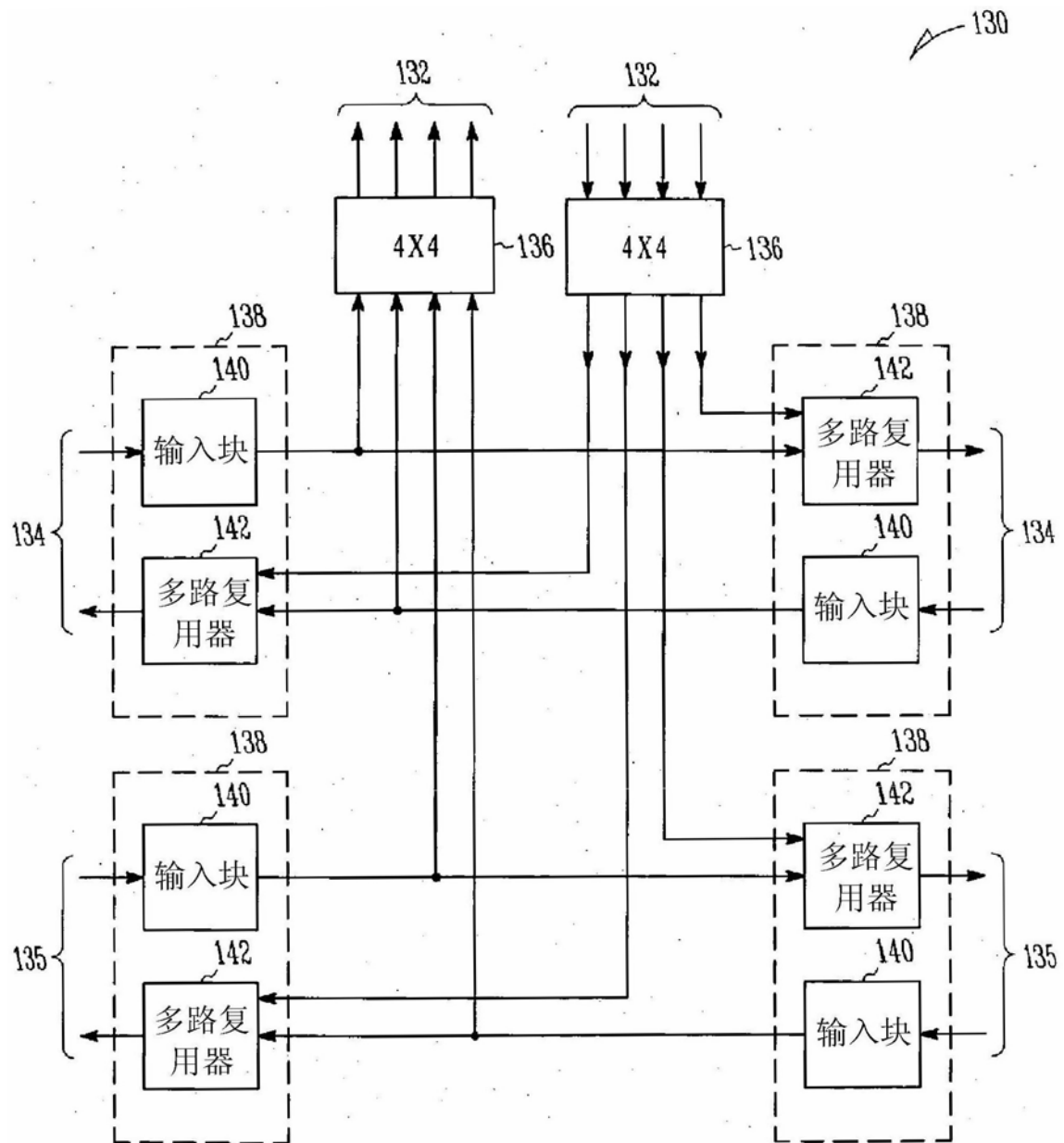


图8

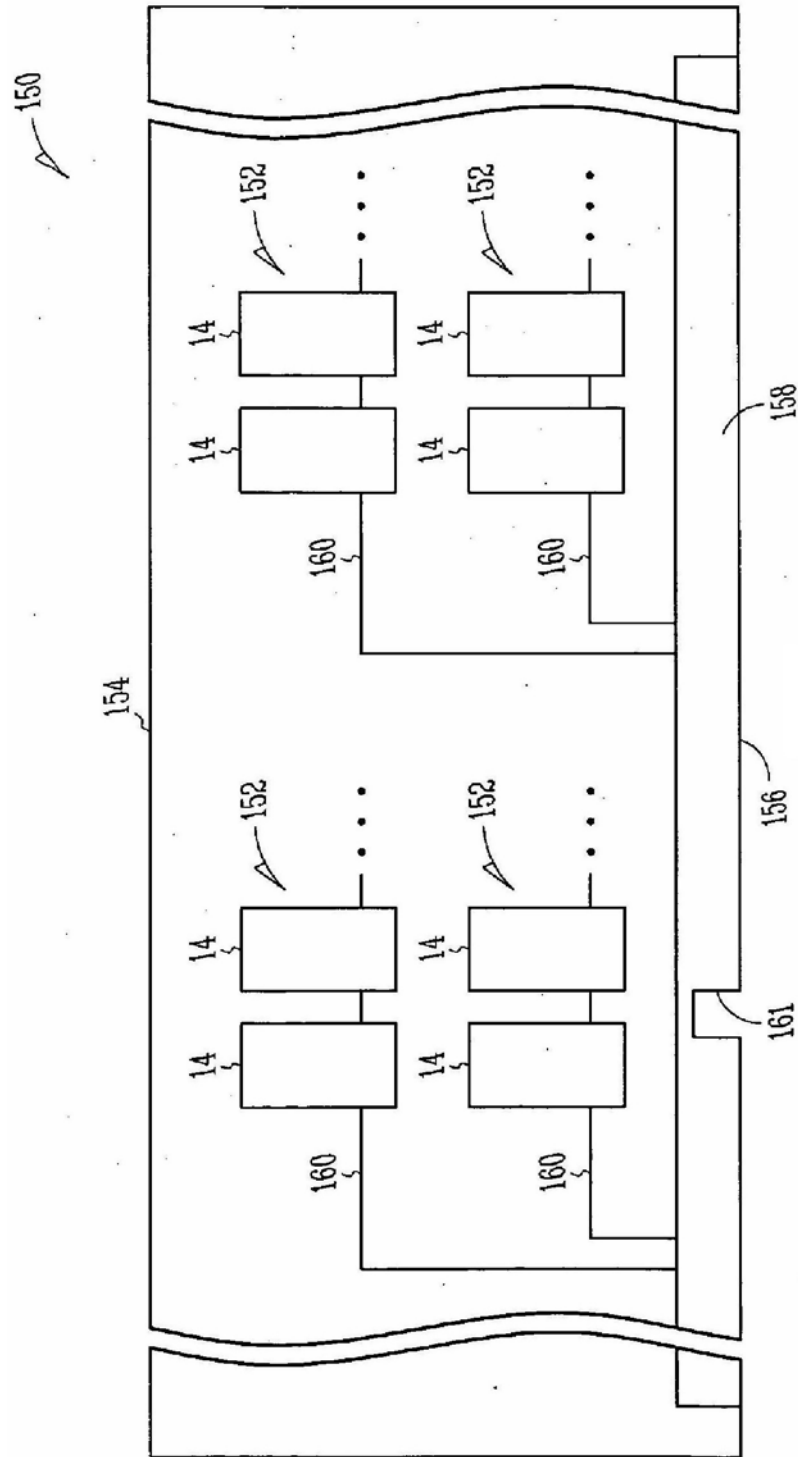


图9

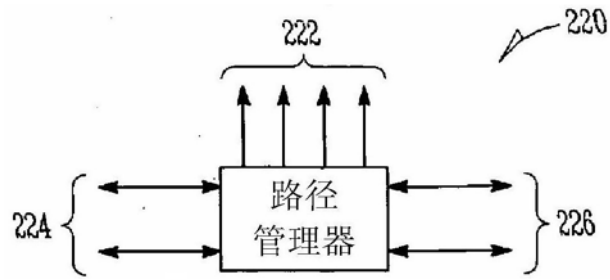


图10

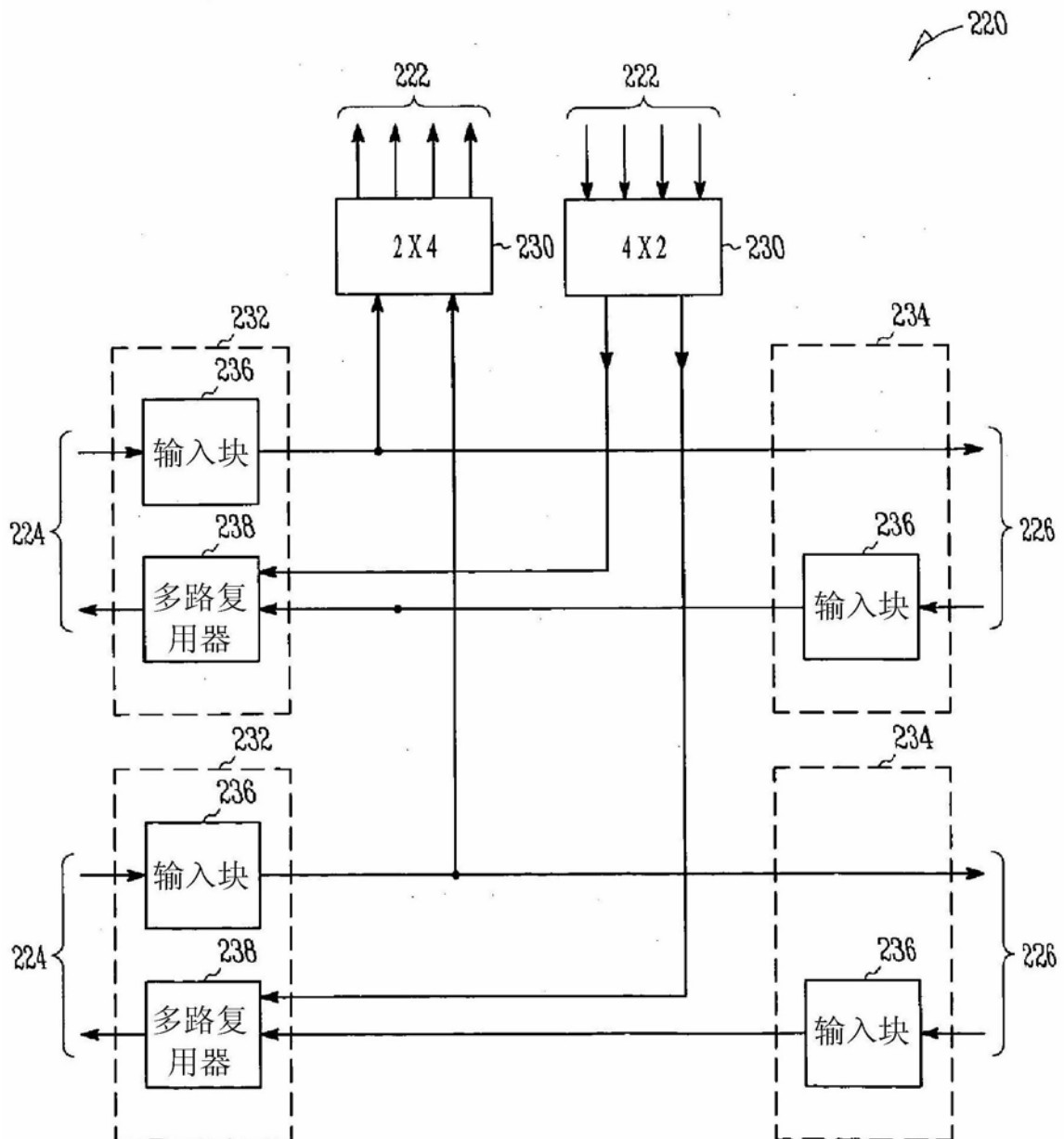


图11

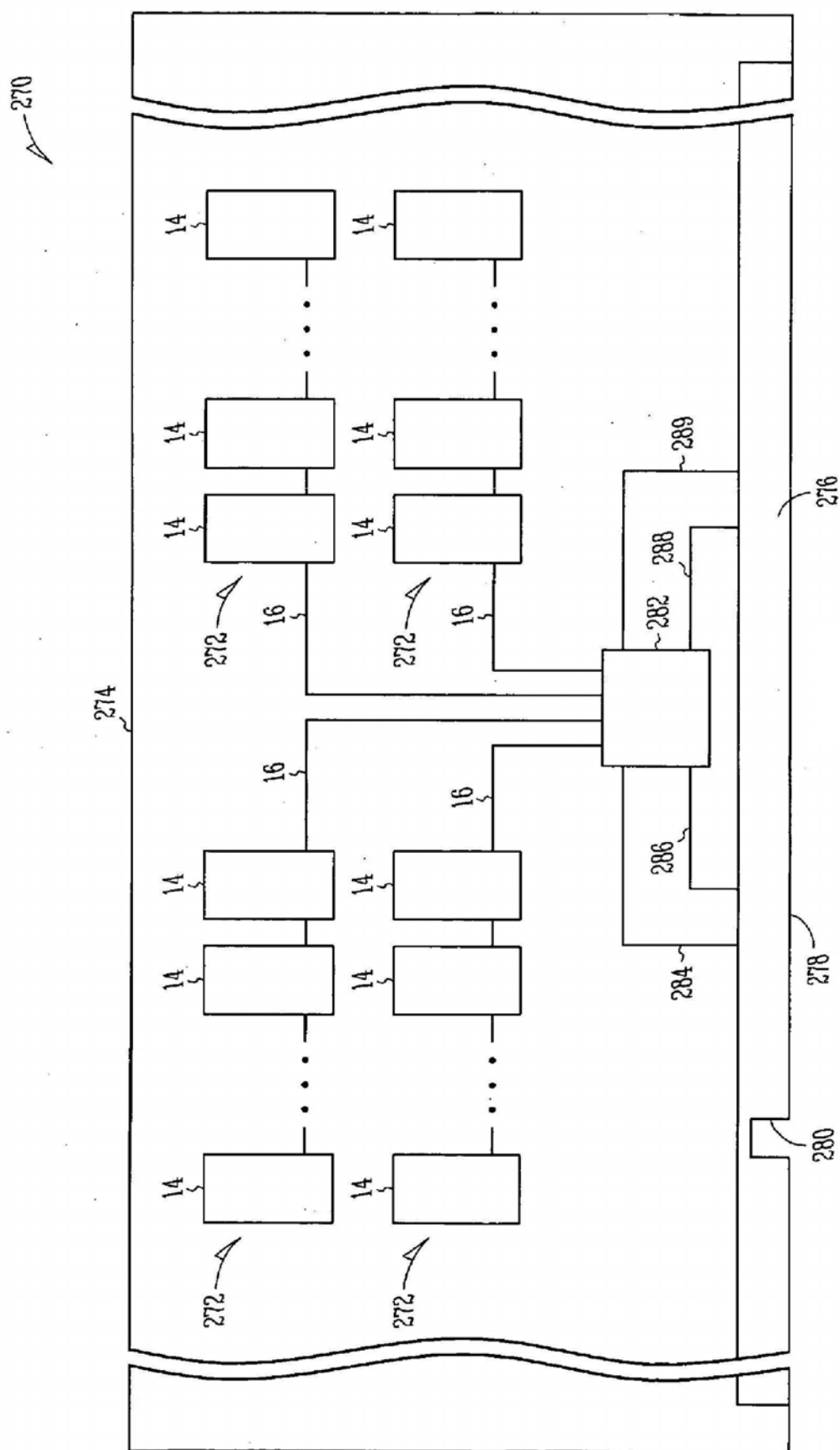


图12

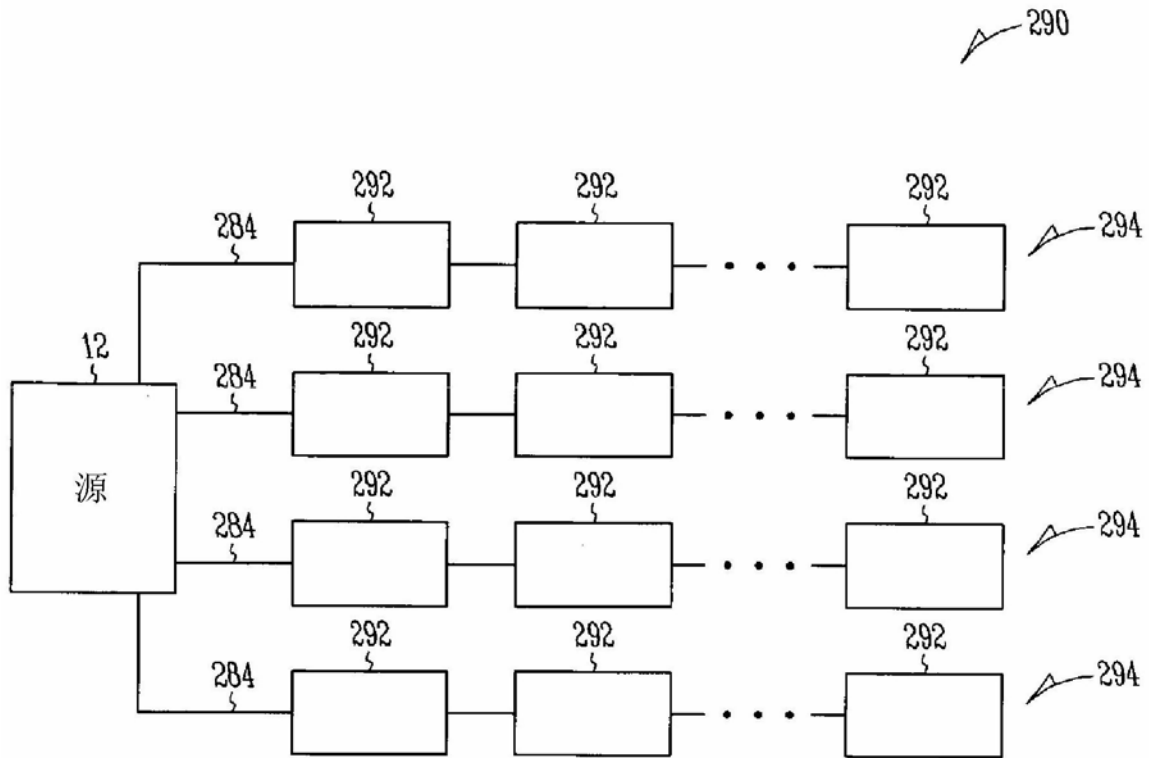


图13

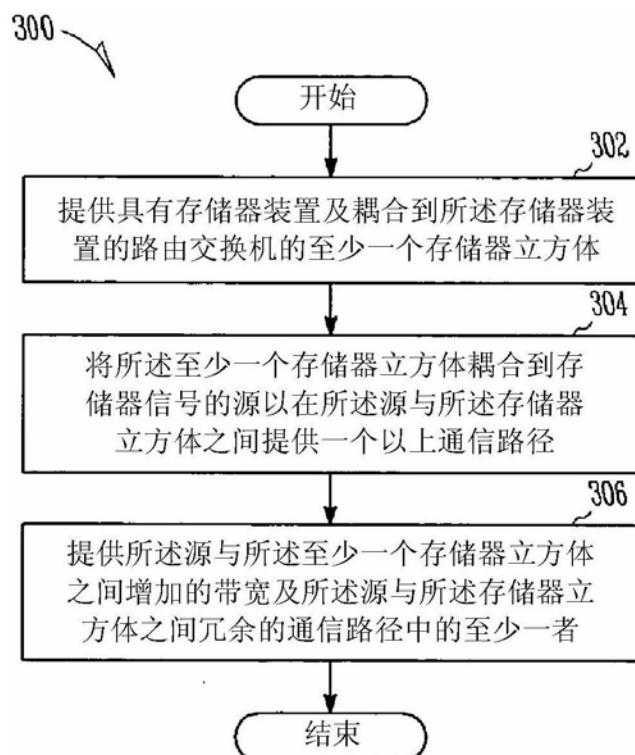


图14

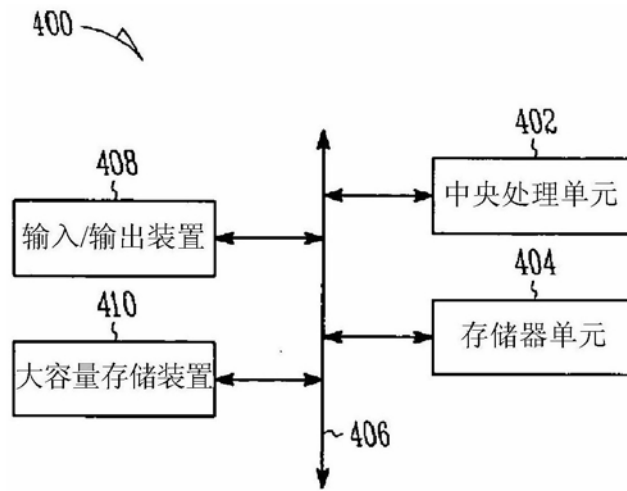


图15