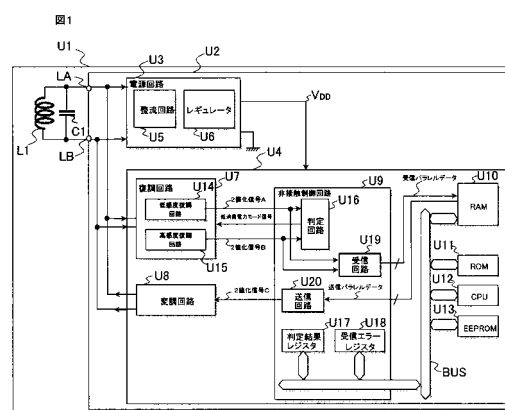




【特許請求の範囲】**【請求項 1】**

第 1 アンテナ接続端子と、第 2 アンテナ接続端子と、電源回路と、復調回路と、判定回路とを具備して、

前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間にはアンテナによって受信される R F 信号が供給可能とされ、前記電源回路は前記 R F 信号の整流・平滑によって生成する動作電圧を前記復調回路と前記判定回路とに供給可能とされ、

前記復調回路は第 1 復調回路と第 2 復調回路とを含み、前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間に供給される前記 R F 信号は前記第 1 復調回路の入力と前記第 2 復調回路の入力とに並列に供給可能とされ、

前記第 1 復調回路は、前記 R F 信号として第 1 変調度を持つ第 1 受信信号を復調することによって第 1 復調出力信号を生成可能とされ、

前記第 2 復調回路は、前記 R F 信号として前記第 1 変調度と異なる値の第 2 変調度および第 1 フォーマットの第 1 通信開始信号を持つ第 2 受信信号と前記第 2 変調度および第 2 フォーマットの第 2 通信開始信号を持つ第 3 受信信号を復調することによって第 2 復調出力信号を生成可能とされ、

前記第 1 復調回路の前記第 1 復調出力信号と前記第 2 復調回路の前記第 2 復調出力信号とは、前記判定回路に供給可能とされ、

前記第 1 復調回路が前記第 1 復調出力信号を生成することを前記判定回路によって判定される場合には、前記 R F 信号として前記第 1 変調度を持つ前記第 1 受信信号が受信されていると前記判定回路によって判定され、

前記第 1 復調回路が前記第 1 復調出力信号を生成しないことを前記判定回路によって判定される場合には、前記判定回路は前記第 1 通信開始信号と前記第 2 通信開始信号とのフォーマットの相違を判定可能とされ、

前記第 2 復調回路が前記第 1 フォーマットの前記第 1 通信開始信号を持つ前記第 2 受信信号を復調することによって前記第 2 復調出力信号を生成することを前記判定回路によって判定される場合には、前記 R F 信号として前記第 2 受信信号が受信されていると前記判定回路によって判定され、

前記第 2 復調回路が前記第 2 フォーマットの前記第 2 通信開始信号を持つ前記第 3 受信信号を復調することによって前記第 2 復調出力信号を生成することを前記判定回路によって判定される場合には、前記 R F 信号として前記第 3 受信信号が受信されていると前記判定回路によって判定される半導体集積回路。

【請求項 2】

前記第 1 復調回路が前記第 1 復調出力信号を生成することを前記判定回路によって判定された場合には、前記判定回路から生成される制御信号によって前記第 2 復調回路の動作が停止可能とされ、

前記第 1 復調回路が前記第 1 復調出力信号を生成しないことを前記判定回路によって判定された場合には、前記判定回路から生成される前記制御信号によって前記前記第 1 復調回路の動作が停止可能とされる請求項 1 に記載の半導体集積回路。

【請求項 3】

前記第 1 受信信号と前記第 2 受信信号と前記第 3 受信信号とは A S K 変調信号であり、前記第 1 変調度と前記第 2 変調度とは A S K 変調度であり、前記第 2 変調度は前記第 1 変調度よりも小さな A S K 変調度を持ち、

前記第 1 復調回路は大きな A S K 変調度の前記第 1 変調度を持つ前記第 1 受信信号を復調することによって前記第 1 復調出力信号を生成可能とされ、

前記第 2 復調回路は前記小さな A S K 変調度の前記第 2 変調度を持つ前記第 2 受信信号と前記第 3 受信信号を復調することによって前記第 2 復調出力信号を生成可能とされる請求項 2 に記載の半導体集積回路。

【請求項 4】

前記第 2 受信信号の前記第 1 フォーマットの前記第 1 通信開始信号は第 1 ユーザーデー

10

20

30

40

50

タに先行する第 1 ヘッダ情報であり、

前記第 3 受信信号の前記第 2 フォーマットの第 2 通信開始信号は第 2 ユーザーデータに先行する第 2 ヘッダ情報である請求項 3 に記載の半導体集積回路。

【請求項 5】

中央処理ユニットと、ランダムアクセスメモリと、不揮発性メモリと、受信回路と、送信回路と、変調回路とを更に具備して、

前記不揮発性メモリには、前記中央処理ユニットが実行する処理プログラムが格納され、

前記第 1 復調回路から生成される前記第 1 復調出力信号に含まれる第 1 受信データと前記第 2 復調回路から生成される前記第 2 復調出力信号に含まれる第 2 受信データとは、前記受信回路を介して前記ランダムアクセスメモリに格納され、

前記第 1 受信データと前記第 2 受信データとの一方のデータの前記ランダムアクセスメモリへの格納の以前では、前記中央処理ユニットは低消費電力状態に制御され、

前記一方のデータの前記ランダムアクセスメモリへの前記格納に応答して前記中央処理ユニットは前記低消費電力状態から動作状態に遷移され、前記動作状態に遷移した前記中央処理ユニットは前記ランダムアクセスメモリの格納データを読み出すことが可能とされ、

前記中央処理ユニットは前記ランダムアクセスメモリから読み出した前記格納データを前記処理プログラムに従って処理して当該処理データを前記ランダムアクセスメモリに格納して、当該格納の後に前記中央処理ユニットは前記動作状態から前記低消費電力状態に遷移することが可能とされ、

前記送信回路は前記ランダムアクセスメモリから前記処理データを読み出して、当該読み出しデータを前記変調回路に転送して、当該転送されたデータに応答して前記変調回路は前記アンテナから送信される RF 送信信号を生成可能とされる請求項 4 に記載の半導体集積回路。

【請求項 6】

前記第 1 受信信号は国際規格 ISO / IEC 14443 のタイプ A に準拠するものであり、前記第 2 受信信号は国際規格 ISO / IEC 14443 のタイプ B に準拠するものであり、前記第 3 受信信号は国際規格 ISO / 18092 に準拠するものである請求項 5 に記載の半導体集積回路。

【請求項 7】

基板上に半導体集積回路と配線により形成されたアンテナとが実装された IC カードであって、

前記半導体集積回路は、第 1 アンテナ接続端子と、第 2 アンテナ接続端子と、電源回路と、復調回路と、判定回路とを有して、

前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子の間には前記アンテナによって受信される RF 信号が供給可能とされ、前記電源回路は前記 RF 信号の整流・平滑によって生成する動作電圧を前記復調回路と前記判定回路とに供給可能とされ、

前記復調回路は第 1 復調回路と第 2 復調回路とを含み、前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間に供給される前記 RF 信号は前記第 1 復調回路の入力と前記第 2 復調回路の入力とに並列に供給可能とされ、

前記第 1 復調回路は、前記 RF 信号として第 1 変調度を持つ第 1 受信信号を復調することによって第 1 復調出力信号を生成可能とされ、

前記第 2 復調回路は、前記 RF 信号として前記第 1 変調度と異なる値の第 2 変調度および第 1 フォーマットの第 1 通信開始信号を持つ第 2 受信信号と前記第 2 変調度および第 2 フォーマットの第 2 通信開始信号を持つ第 3 受信信号を復調することによって第 2 復調出力信号を生成可能とされ、

前記第 1 復調回路の前記第 1 復調出力信号と前記第 2 復調回路の前記第 2 復調出力信号とは、前記判定回路に供給可能とされ、

前記第 1 復調回路が前記第 1 復調出力信号を生成することを前記判定回路によって判定

10

20

30

40

50

される場合には、前記 R F 信号として前記第 1 変調度を持つ前記第 1 受信信号が受信されていると前記判定回路によって判定され、

前記第 1 復調回路が前記第 1 復調出力信号を生成しないことを前記判定回路によって判定される場合には、前記判定回路は前記第 1 通信開始信号と前記第 2 通信開始信号とのフォーマットの相違を判定可能とされ、

前記第 2 復調回路が前記第 1 フォーマットの前記第 1 通信開始信号を持つ前記第 2 受信信号を復調することによって前記第 2 復調出力信号を生成することを前記判定回路によって判定される場合には、前記 R F 信号として前記第 2 受信信号が受信されていると前記判定回路によって判定され、

前記第 2 復調回路が前記第 2 フォーマットの前記第 2 通信開始信号を持つ前記第 3 受信信号を復調することによって前記第 2 復調出力信号を生成することを前記判定回路によって判定される場合には、前記 R F 信号として前記第 3 受信信号が受信されていると前記判定回路によって判定される I C カード。

10

【請求項 8】

前記第 1 復調回路が前記第 1 復調出力信号を生成することを前記判定回路によって判定された場合には、前記判定回路から生成される制御信号によって前記第 2 復調回路の動作が停止可能とされ、

前記第 1 復調回路が前記第 1 復調出力信号を生成しないことを前記判定回路によって判定された場合には、前記判定回路から生成される前記制御信号によって前記前記第 1 復調回路の動作が停止可能とされる請求項 7 に記載の I C カード。

20

【請求項 9】

前記第 1 受信信号と前記第 2 受信信号と前記第 3 受信信号とは A S K 変調信号であり、前記第 1 変調度と前記第 2 変調度とは A S K 変調度であり、前記第 2 変調度は前記第 1 変調度よりも小さな A S K 変調度を持ち、

前記第 1 復調回路は大きな A S K 変調度の前記第 1 変調度を持つ前記第 1 受信信号を復調することによって前記第 1 復調出力信号を生成可能とされ、

前記第 2 復調回路は前記小さな A S K 変調度の前記第 2 変調度を持つ前記第 2 受信信号と前記第 3 受信信号を復調することによって前記第 2 復調出力信号を生成可能とされる請求項 8 に記載の I C カード。

【請求項 10】

30

前記第 2 受信信号の前記第 1 フォーマットの前記第 1 通信開始信号は第 1 ユーザーデータに先行する第 1 ヘッダ情報であり、

前記第 3 受信信号の前記第 2 フォーマットの前記第 2 通信開始信号は第 2 ユーザーデータに先行する第 2 ヘッダ情報である請求項 9 に記載の I C カード。

【請求項 11】

前記半導体集積回路は、中央処理ユニットと、ランダムアクセスメモリと、不揮発性メモリと、受信回路と、送信回路と、変調回路とを更に有して、

前記不揮発性メモリには、前記中央処理ユニットが実行する処理プログラムが格納され、

前記第 1 復調回路から生成される前記第 1 復調出力信号に含まれる第 1 受信データと前記第 2 復調回路から生成される前記第 2 復調出力信号に含まれる第 2 受信データとは、前記受信回路を介して前記ランダムアクセスメモリに格納され、

40

前記第 1 受信データと前記第 2 受信データとの一方のデータの前記ランダムアクセスメモリへの格納の以前では、前記中央処理ユニットは低消費電力状態に制御され、

前記一方のデータの前記ランダムアクセスメモリへの前記格納に応答して前記中央処理ユニットは前記低消費電力状態から動作状態に遷移され、前記動作状態に遷移した前記中央処理ユニットは前記ランダムアクセスメモリの格納データを読み出すことが可能とされ、

前記中央処理ユニットは前記ランダムアクセスメモリから読み出した前記格納データを前記処理プログラムに従って処理して当該処理データを前記ランダムアクセスメモリに格

50

納して、当該格納の後に前記中央処理ユニットは前記動作状態から前記低消費電力状態に遷移することが可能とされ、

前記送信回路は前記ランダムアクセスメモリから前記処理データを読み出して、当該読み出しデータを前記変調回路に転送して、当該転送されたデータに応答して前記変調回路は前記アンテナから送信されるRF送信信号を生成可能とされる請求項10に記載のICカード。

【請求項12】

前記第1受信信号は国際規格ISO/IEC14443のタイプAに準拠するものであり、前記第2受信信号は国際規格ISO/IEC14443のタイプBに準拠するものであり、前記第3受信信号は国際規格ISO/18092に準拠するものである請求項11に記載のICカード。

10

【請求項13】

基板上に半導体集積回路と配線により形成されたアンテナとが実装されたICカードの動作方法であって、

前記半導体集積回路は、第1アンテナ接続端子と、第2アンテナ接続端子と、電源回路と、復調回路と、判定回路とを有して、

前記第1アンテナ接続端子と前記第2アンテナ接続端子との間には前記アンテナによって受信されるRF信号が供給可能とされ、前記電源回路は前記RF信号の整流・平滑によって生成する動作電圧を前記復調回路と前記判定回路とに供給可能とされ、

前記復調回路は第1復調回路と第2復調回路とを含み、前記第1アンテナ接続端子と前記第2アンテナ接続端子との間に供給される前記RF信号は前記第1復調回路の入力と前記第2復調回路の入力とに並列に供給可能とされ、

20

前記第1復調回路は、前記RF信号として第1変調度を持つ第1受信信号を復調することによって第1復調出力信号を生成可能とされ、

前記第2復調回路は、前記RF信号として前記第1変調度と異なる値の第2変調度および第1フォーマットの第1通信開始信号を持つ第2受信信号と前記第2変調度および第2フォーマットの第2通信開始信号を持つ第3受信信号を復調することによって第2復調出力信号を生成可能とされ、

前記第1復調回路の前記第1復調出力信号と前記第2復調回路の前記第2復調出力信号とは、前記判定回路に供給可能とされ、

30

前記第1復調回路が前記第1復調出力信号を生成することを前記判定回路によって判定される場合には、前記RF信号として前記第1変調度を持つ前記第1受信信号が受信されていると前記判定回路によって判定され、

前記第1復調回路が前記第1復調出力信号を生成しないことを前記判定回路によって判定される場合には、前記判定回路は前記第1通信開始信号と前記第2通信開始信号とのフォーマットの相違を判定可能とされ、

前記第2復調回路が前記第1フォーマットの前記第1通信開始信号を持つ前記第2受信信号を復調することによって前記第2復調出力信号を生成することを前記判定回路によって判定される場合には、前記RF信号として前記第2受信信号が受信されていると前記判定回路によって判定され、

40

前記第2復調回路が前記第2フォーマットの前記第2通信開始信号を持つ前記第3受信信号を復調することによって前記第2復調出力信号を生成することを前記判定回路によって判定される場合には、前記RF信号として前記第3受信信号が受信されていると前記判定回路によって判定されるICカードの動作方法。

【請求項14】

前記第1復調回路が前記第1復調出力信号を生成することを前記判定回路によって判定された場合には、前記判定回路から生成される制御信号によって前記第2復調回路の動作が停止可能とされ、

前記第1復調回路が前記第1復調出力信号を生成しないことを前記判定回路によって判定された場合には、前記判定回路から生成される前記制御信号によって前記前記第1復調

50

回路の動作が停止可能とされる請求項 1 3 に記載の I C カードの動作方法。

【請求項 1 5】

前記第 1 受信信号と前記第 2 受信信号と前記第 3 受信信号とは A S K 変調信号であり、前記第 1 変調度と前記第 2 変調度とは A S K 変調度であり、前記第 2 変調度は前記第 1 変調度よりも小さな A S K 変調度を持ち、

前記第 1 復調回路は大きな A S K 変調度の前記第 1 変調度を持つ前記第 1 受信信号を復調することによって前記第 1 復調出力信号を生成可能とされ、

前記第 2 復調回路は前記小さな A S K 変調度の前記第 2 変調度を持つ前記第 2 受信信号と前記第 3 受信信号を復調することによって前記第 2 復調出力信号を生成可能とされる請求項 1 4 に記載の I C カードの動作方法。

10

【請求項 1 6】

前記第 2 受信信号の前記第 1 フォーマットの前記第 1 通信開始信号は第 1 ユーザーデータに先行する第 1 ヘッダ情報であり、

前記第 3 受信信号の前記第 2 フォーマットの前記第 2 通信開始信号は第 2 ユーザーデータに先行する第 2 ヘッダ情報である請求項 1 5 に記載の I C カードの動作方法。

【請求項 1 7】

前記半導体集積回路は、中央処理ユニットと、ランダムアクセスメモリと、不揮発性メモリと、受信回路と、送信回路と、変調回路とを更に有して、

前記不揮発性メモリには、前記中央処理ユニットが実行する処理プログラムが格納され、

20

前記第 1 復調回路から生成される前記第 1 復調出力信号に含まれる第 1 受信データと前記第 2 復調回路から生成される前記第 2 復調出力信号に含まれる第 2 受信データとは、前記受信回路を介して前記ランダムアクセスメモリに格納され、

前記第 1 受信データと前記第 2 受信データとの一方のデータの前記ランダムアクセスメモリへの格納の以前では、前記中央処理ユニットは低消費電力状態に制御され、

前記一方のデータの前記ランダムアクセスメモリへの前記格納に応答して前記中央処理ユニットは前記低消費電力状態から動作状態に遷移され、前記動作状態に遷移した前記中央処理ユニットは前記ランダムアクセスメモリの格納データを読み出すことが可能とされ、

前記中央処理ユニットは前記ランダムアクセスメモリから読み出した前記格納データを前記処理プログラムに従って処理して当該処理データを前記ランダムアクセスメモリに格納して、当該格納の後に前記中央処理ユニットは前記動作状態から前記低消費電力状態に遷移することが可能とされ、

30

前記送信回路は前記ランダムアクセスメモリから前記処理データを読み出して、当該読み出しデータを前記変調回路に転送して、当該転送されたデータに응答して前記変調回路は前記アンテナから送信される R F 送信信号を生成可能とされる請求項 1 6 に記載の I C カードの動作方法。

【請求項 1 8】

前記第 1 受信信号は国際規格 I S O / I E C 1 4 4 4 3 のタイプ A に準拠するものであり、前記第 2 受信信号は国際規格 I S O / I E C 1 4 4 4 3 のタイプ B に準拠するものであり、前記第 3 受信信号は国際規格 I S O / 1 8 0 9 2 に準拠するものである請求項 1 7 に記載の I C カードの動作方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体集積回路、半導体集積回路を実装した I C カードおよびその動作方法に関するもので、特に、少なくとも 3 種類の受信信号のいずれのタイプの受信信号を短時間で受け付けるのに有益な技術に関する。

【背景技術】

【0 0 0 2】

50

国際規格 I S O / I E C 1 4 4 4 3 によれば、非接触インターフェースを有する I C カードは P I C C と呼ばれ、P C D と呼ばれるリーダー / ライター装置と R F 通信を行うものである。尚、I S O は International Organization for Standardization の略であり、I E C は International Electrical Commission の略である。また、P I C C は Proximity Card の略であり、P C D は Proximity Coupling Device の略である。

【 0 0 0 3 】

例えば、下記非特許文献 1 に記載されているように、国際規格 I S O / I E C 1 4 4 4 3 のタイプ A では、P C D から P I C C への通信は、A S K 1 0 0 % の変調度の変調方式で変形ミラー方式による符号化方式とされている。しかし、国際規格 I S O / I E C 1 4 4 4 3 のタイプ B では P C D から P I C C への通信は A S K 1 0 % の変調率の変調方式で N R Z - L 方式による符号化方式とされている。尚、N R Z - L は、Non Return to Zero -Level の略である。尚、A S K は、デジタル変調方式の 1 つである振幅偏移変調 (Amplitude Shift Keying) である。

10

【 0 0 0 4 】

例えば、下記非特許文献 2 に記載されているように、国際規格 I S O / I E C 1 4 4 4 3 では、P I C C が動作フィールドに入ってから 5 m 秒以内にリクエストを受け付けることが規定されている。また、タイプ A の P I C C はタイプ B のいかなるコマンドを受信しても、5 m 秒以内にタイプ A のリクエストコマンドを受け付けることが規定されている。同様に、タイプ B の P I C C はタイプ A のいかなるコマンドを受信しても、5 m 秒以内にタイプ B のリクエストコマンドを受け付けることが規定されている。

20

【 0 0 0 5 】

更に、下記非特許文献 2 に記載のように、タイプ A の初期化では、タイプ A の P I C C は、アイドル状態からタイプ A のリクエストコマンドによってレディー状態に遷移して、更にレディー状態から選択コマンドによってアクティブ状態に遷移して、アクティブ状態からホールドコマンドによって停止状態に遷移する。尚、レディー状態は、アンチコロージョンループを有している。

【 0 0 0 6 】

また、下記非特許文献 2 と下記特許文献 5 とに記載のように、タイプ B の初期化ではタイプ B の P I C C は、アイドル状態でタイプ B のリクエストコマンドを待っている。このリクエストコマンドは、タイプ B の P I C C にアプリケーション・ファミリー・アイデンティファイヤー (A F I)、属性情報パラメータ (P A R A M)、巡回冗長チェックコード (C R C) を生成する準備のためのものである。タイプ B の P I C C が A F I の一致を検出するとタイプ B のリクエストに対するレスポンスを P C D に送信する。このレスポンスは、擬似ユニーク・アイデンティファイヤー (P U P I)、アプリケーション情報 (アプリケーションデータ)、プロトコル情報、巡回冗長チェックコード (C R C) を含んでいる。その後、タイプ B の P I C C が P I C C 選択コマンドを受け付けると、それに対するレスポンスを P C D に送信して、アクティブ状態に遷移する。更にタイプ B の送信データはフレームとしてのキャラクタと呼ばれており、このフレームは S O F (Start Of Frame) と E O F (End Of Frame) とによって境界が定められている。S O F と E O F のそれぞれは、1 個の立ち下がりエッジと所定の長さの論理 “ 0 ” を含んでいる。

30

40

【 0 0 0 7 】

近年、短距離無線通信技術 (N F C) と呼ばれ、家電製品、デジタルメディア、消費者向けの無線通信接続、コンテンツ、ビジネス上の取引を簡略化して、かつ拡大させる通信技術が普及している。この N F C 技術は既存の種々の通信方式と互換性を持ち、1 3 . 5 6 M H z の R F 周波数を使用して、1 0 c m 程度で最大通信レート 8 4 7 K b p s の短距離通信を可能とする。特に、電子決済機能を有する I C カードマイコン (セキュアチップ) を内蔵する携帯電話端末に N F C 技術が搭載されて、非接触による店舗での商品購入の支払い、駅での交通費の支払い等の種々の非接触電子決済への活用によりエンドユーザの利便性を向上させることを狙っている。尚、N F C は、Near Field Communication の略である。

50

【 0 0 0 8 】

下記非特許文献 3 には、国際規格 I S O / I E C 1 8 0 9 2 の N F C の内容が記載されている。I S O / I E C 1 8 0 9 2 の N F C の 2 1 2 K b p s から 4 2 4 K b p s の転送レートの通信では、変調率が 8 % ~ 3 0 % の A S K 変調方式の変調方式で M a n c h e s t e r 方式による符号化方式とされている。パッシブ通信モードではターゲットにエネルギー供給する R F 電界をイニシエーターが生成する一方、アクティブ通信モードではイニシエーターとターゲットとは交互に R F 電界を生成するものである。

【 0 0 0 9 】

I S O / I E C 1 8 0 9 2 の 1 0 6 、 2 1 2 または 4 2 4 K b p s のいずれかの転送レートの通信の初期化では、アプリケーションがアクティブ通信モードにスイッチする一方、3つの転送レートのひとつを選択する。2 1 2 と 4 2 4 K b p s の転送レートのパッシブ通信モードの初期化では、データパケットの前にはプリアンプルが挿入され、このプリアンプルは論理 “ 0 ” がエンコードされた最小 4 8 ビットを含むものである。

【 0 0 1 0 】

一方、下記特許文献 1 には、カードリーダー / ライター装置から送信された I S O / I E C 1 4 4 4 3 の種々の通信法の信号の変調方式と符号化方式とを C P U の判断部が判断することによって用途別に通信することが可能な非接触式 I C カードが記載されている。

【 0 0 1 1 】

また、下記特許文献 2 には、I S O / I E C 1 4 4 4 3 のタイプ A のリクエスト信号を 1 0 0 % A S K 変調回路と変形ミラー復調回路とで処理する一方、タイプ B のリクエスト信号を 1 0 % A S K 変調回路と N R Z - L とで処理する近接型の非接触 I C カードが記載されている。タイプ A とタイプ B とのいずれか一方が受信され、他方の処理はエラーとなつて無意味なビット列となるので、演算回路は両方の出力値を比較して意味のある信号を選択する。I C カードの不揮発性メモリには演算動作の為のアプリケーションが記憶され、通信方式はタイプ A とタイプ B のいずれかを使用することができる。しかし、リーダー / ライター装置からの供給電力の余裕等の理由から、I C カードの優先度テーブルにはタイプ B の優先度を高く設定することが記載されている。

【 0 0 1 2 】

一方、下記特許文献 3 には、アンテナ・コイル、整流回路、電源回路、C P U 、復調回路、変調回路、非接触制御回路、R O M 、R A M 、E E P R O M の部品を含む非接触 I C カードが記載されている。アンテナ・コイル以外の部品は、シリコン基板に集積化されている。非接触制御回路は、高速タイプのプリアンプルを検出する第 1 検出回路と I S O / I E C 1 4 4 4 3 のタイプ B の S O F を検出する第 2 検出回路とを含んでいる。高速タイプはマンチェスター・コーディング方式でプリアンプルのヘッダ方式である一方、タイプ B は N R Z コーディング方式で S O F のヘッダ方式である。第 1 検出回路のヘッダ検出信号と第 2 検出回路のヘッダ検出信号とは、通信方式検出回路に供給される。第 1 検出回路からの出力は C P U のプログラム実行による第 1 処理によって処理されて、第 2 検出回路からの出力は C P U のプログラム実行による第 2 処理によって処理される。通信方式検出回路の高速タイプまたはタイプ B の一致検出出力信号によって、第 1 処理と第 2 処理のいずれか一方の無駄な処理の実行が禁止される。

【 0 0 1 3 】

また、下記特許文献 4 には、I S O / I E C 1 4 4 4 3 のタイプ B での送信データの先頭に付加される S O F 信号の論理値 “ 0 ” の長い時間幅と I S O / I E C 1 8 0 9 2 のマンチェスター・コードの伝送データの論理値 “ 0 ” の短い時間幅とを識別する非接触型 I C カードが記載されている。

【 0 0 1 4 】

【非特許文献 1】D . B a d d e l e y , “ F i n a l C o m m i t t e e D r a f t I S O / I E C 1 4 4 4 3 - 2 ” I d e n t i f i c a t i o n c a r d s - C o n t a c t l e s s i n t e g r a t e d c i r c u i t (s) c a r d - P r o x i m i t y c a r d - P a r t 2 : R a d i o f r e q u e n c y

10

20

30

40

50

power and signal interface, <http://www.waaza.org/download/fcd-14443-2.pdf> [平成20年5月30日検索]

【非特許文献2】D. Baddley, "FINAL COMMITTEE DRAFT ISO/IEC 14443-3" Identification cards - Contactless integrated circuit(s) card - Proximity card - Part 3: Radio Initialization and anticollision, <http://www.waaza.org/download/fcd-14443-3.pdf> [平成20年5月30日検索]

【非特許文献3】INTERNATIONAL STANDARD ISO/IEC 18092, "Information technology - Telecommunication and information exchange between systems - Near Field Communication - Interface and Protocol (NFCIP-1)", <http://standards.iso.org/ittf/licence.html> [平成20年5月30日検索]

【特許文献1】特開2008-059271号 公報

【特許文献2】特開2003-249870号 公報

【特許文献3】特開2006-060363号 公報

【特許文献4】特開2006-072678号 公報

【特許文献5】米国特許 第7、364、083 B2号 明細書

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明者は本発明に、先立って非接触リーダー/ライター装置とのNFC通信を利用する携帯電話に搭載される非接触インターフェースを有するICカードの開発に従事した。このICカードには、上述のISO/IEC 14443のタイプAの通信機能とISO/IEC 14443のタイプBの通信機能とISO/IEC 18092のNFCの通信機能の3種類の通信機能とを搭載することが必要となった。

【0016】

この非接触ICカードは、電池を有する携帯電話に搭載されるだけでなく、電池の無いICカード単体で利用される場合もある。電池の無いICカード単体で利用される環境では、ICカードの内部回路のための動作電源電圧は、アンテナが受信する非接触リーダー/ライター装置のRFキャリア信号の整流・平滑によって生成される動作電圧のみである。非接触リーダー/ライター装置のRFキャリア信号を受信するアンテナは、ICカードの樹脂モールドされる絶縁基板表面上のプリント配線によって形成される渦巻き形状のコイルによって構成される。このアンテナで受信されるRFキャリア信号の整流・平滑によって生成される動作電圧の駆動能力は、比較的小さなものである。

【0017】

一方、非接触ICカードの実際の使用環境に際しては、3種類のいずれのタイプの非接触リーダー/ライター装置の通信距離範囲内に近接するか予測できない。一方、国際規格ISO/IEC 14443によって規定されたタイプAとタイプBのICカードは、動作フィールドに入ってから5m秒以内にリクエストコマンドを受け付けることが必要である。しかし、3種類のリクエストコマンドを受け付ける3個のコマンドのための検出回路を並列に動作させることは、アンテナの受信RFキャリア信号の整流・平滑による動作電圧の比較的小さな駆動能力では困難であることが本発明者等による検討によって明らかとされた。一方、1個のコマンドのための検出回路のコマンド受付機能をランダムに切り換える方法も検討されたが、国際規格によって規定された5m秒以内の受け付けは困難であることも本発明者等による検討によって明らかとされた。

【0018】

本発明は、以上のような本発明に先立った本発明者等の検討の結果、なされたものであ

る。

【0019】

従って、本発明の目的とするところは、少なくとも3種類の受信信号のいずれのタイプの受信信号を短時間で受け付けることにある。

【0020】

また、本発明の他の目的とするところは、上述のいずれのタイプの受信信号を受け付ける際の消費電力を削減することにある。更に、本発明のその他の目的とするところは、アンテナからの小さな駆動能力の動作電圧によって動作可能とすることにある。

【0021】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0022】

本願において開示される発明のうちの代表的なものについて簡単に説明すれば下記のとおりである。

【0023】

すなわち、本発明の代表的な半導体集積回路(U2)は、第1アンテナ接続端子(LA)と、第2アンテナ接続端子(LB)と、電源回路(U3)と、復調回路(U7)と、判定回路(U16)とを具備する。

【0024】

前記第1と第2のアンテナ接続端子の間にはアンテナ(L1)によるRF信号が供給され、前記電源回路は前記RF信号の整流・平滑により生成される動作電圧(V_{DD})を前記復調回路と前記判定回路に供給する。

【0025】

前記復調回路(U7)は、アンテナ(L1)のRF信号が並列に供給される第1復調回路(U14)と第2復調回路(U15)とを含む。前記第1復調回路(U14)は、前記RF信号として第1変調度(100%)を持つ第1受信信号(タイプA)を復調して第1復調出力信号(2値化信号A)を生成する。前記第2復調回路(U15)は、前記RF信号として第2変調度(10%)および第1フォーマット(SOF)の第1通信開始信号を持つ第2受信信号(タイプB)と前記第2変調度および第2フォーマット(Preamble)の第2通信開始信号を持つ第3受信信号(18092)を復調して第2復調出力信号(2値化信号B)を生成する。

【0026】

前記第1復調回路(U14)の前記第1復調出力信号と前記第2復調回路(U15)の前記第2復調出力信号とは、前記判定回路(U16)に供給される(図1参照)。

【0027】

前記第1復調回路(U14)による前記第1復調出力信号の生成が前記判定回路(U16)により判定される場合には、前記第1受信信号の受信と判定される(図7:F4-2、F4-4)。前記第1復調回路(U14)による前記第1復調出力信号の非生成が前記判定回路(U16)により判定される場合には、前記判定回路は前記第1通信開始信号と前記第2通信開始信号とのフォーマットの相違を判定可能する(図7:F4-3)。前記第2復調回路(U15)による前記第1フォーマットの前記第1通信開始信号を持つ前記第2受信信号(タイプB)の復調による前記第2復調出力信号の生成が前記判定回路(U16)により判定される場合には、前記第2受信信号の受信と判定される(図7:F4-3、F4-5)。前記第2復調回路(U15)による前記第2フォーマットの前記第2通信開始信号を持つ前記第3受信信号(18092)の復調による前記第2復調出力信号の生成が前記判定回路(U16)により判定される場合には、前記第3受信信号の受信と判定される(図7:F4-3、F4-6)。

【発明の効果】

【0028】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明す

10

20

30

40

50

れば下記の通りである。すなわち、本発明によれば、少なくとも 3 種類の受信信号のいずれのタイプの受信信号を、短時間で受け付けることができる。

【発明を実施するための最良の形態】

【0029】

《代表的な実施の形態》

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0030】

〔1〕本発明の代表的な実施の形態による半導体集積回路(U2)は、第1アンテナ接続端子(LA)と、第2アンテナ接続端子(LA)と、電源回路(U3)と、復調回路(U7)と、判定回路(U16)とを具備する。

10

【0031】

前記第1アンテナ接続端子と前記第2アンテナ接続端子との間にはアンテナ(L1)によって受信されるRF信号が供給可能とされ、前記電源回路は前記RF信号の整流・平滑によって生成する動作電圧(V_{DD})を前記復調回路と前記判定回路とに供給可能とされている。

【0032】

前記復調回路(U7)は第1復調回路(U14)と第2復調回路(U15)とを含み、前記第1アンテナ接続端子と前記第2アンテナ接続端子との間に供給される前記RF信号は前記第1復調回路の入力と前記第2復調回路の入力とに並列に供給可能とされる。

20

【0033】

前記第1復調回路(U14)は、前記RF信号として第1変調度(100%)を持つ第1受信信号(タイプA)を復調することによって第1復調出力信号(2値化信号A)を生成可能とされる。

【0034】

前記第2復調回路(U15)は、前記RF信号として前記第1変調度と異なる値の第2変調度(10%)および第1フォーマット(SOF)の第1通信開始信号を持つ第2受信信号(タイプB)と前記第2変調度および第2フォーマット(Preamble)の第2通信開始信号を持つ第3受信信号(18092)を復調することによって第2復調出力信号(2値化信号B)を生成可能とされる。

30

【0035】

前記第1復調回路(U14)の前記第1復調出力信号と前記第2復調回路(U15)の前記第2復調出力信号とは、前記判定回路(U16)に供給可能とされる(図1参照)。

【0036】

前記第1復調回路(U14)が前記第1復調出力信号を生成することを前記判定回路(U16)によって判定される場合には、前記RF信号として前記第1変調度を持つ前記第1受信信号が受信されていると前記判定回路(U16)によって判定される(図7：F4-2、F4-4)。

【0037】

前記第1復調回路(U14)が前記第1復調出力信号を生成しないことを前記判定回路(U16)によって判定される場合には、前記判定回路は前記第1通信開始信号と前記第2通信開始信号とのフォーマットの相違を判定可能とされる(図7：F4-3)。

40

【0038】

前記第2復調回路(U15)が前記第1フォーマット(SOF)の前記第1通信開始信号を持つ前記第2受信信号(タイプB)を復調することによって前記第2復調出力信号を生成することを前記判定回路(U16)によって判定される場合には、前記RF信号として前記第2受信信号が受信されていると前記判定回路(U16)によって判定される(図7：F4-3、F4-5)。

【0039】

50

前記第 2 復調回路 (U 1 5) が前記第 2 フォーマット (Preamble) の前記第 2 通信開始信号を持つ前記第 3 受信信号 (1 8 0 9 2) を復調することによって前記第 2 復調出力信号を生成することを前記判定回路 (U 1 6) によって判定される場合には、前記 R F 信号として前記第 3 受信信号が受信されていると前記判定回路 (U 1 6) によって判定される (図 7 : F 4 - 3、F 4 - 6)。

【 0 0 4 0 】

前記実施の形態によれば、前記第 1 復調回路 (U 1 4) と前記第 2 復調回路 (U 1 5) と前記判定回路 (U 1 6) とによって 2 回の判断処理が実行されることによって 3 種類の受信信号 (タイプ A、タイプ B、1 8 0 9 2) の受信判断を行うことができる。まず、前記第 1 復調回路 (U 1 4) と前記判定回路 (U 1 6) とによる 1 回目の判断にて前記第 1 変調度 (1 0 0 %) の第 1 受信信号 (タイプ A) を前記第 1 復調回路 (U 1 4) が復調することで前記第 1 復調出力信号を生成すると判定される場合には、前記 R F 信号として前記第 1 受信信号 (タイプ A) が受信中和極めて短時間で判定されることが可能となる。尚、この 1 回目の判断自体は、上記特許文献 2 に記載された 1 0 0 % A S K 変調回路と 1 0 % A S K 変調回路と演算回路の選択とによる判断と原理的に同一とすることができる。

【 0 0 4 1 】

次に 1 回目の判断の結果が否の場合に、前記第 2 復調回路 (U 1 5) と前記判定回路 (U 1 6) とによる 2 回目の判断にて前記第 1 通信開始信号 (S O F) を持つ前記第 2 受信信号 (タイプ B) を前記第 2 復調回路 (U 1 5) が復調することで前記第 2 復調出力信号を生成すると判定される場合には、前記 R F 信号として前記第 2 受信信号 (タイプ B) が受信中和判定されるものとなる。逆に、この 2 回目の判断にて前記第 2 通信開始信号 (Preamble) を持つ前記第 3 受信信号 (1 8 0 9 2) を前記第 2 復調回路 (U 1 5) が復調することで前記第 2 復調出力信号を生成すると判定される場合には、前記 R F 信号として前記第 3 受信信号 (1 8 0 9 2) が受信中和判定されるものとなる。尚、この 2 回目の判断自体は、上記特許文献 3 に記載の高速タイプのプリアンプルとタイプ B の S O F との判別および上記特許文献 4 に記載のタイプ B の S O F と 1 8 0 9 2 のマンチェスター・コードの伝送データの論理値 “ 0 ” との判別と原理的に同一とすることができる。

【 0 0 4 2 】

このようにして前記実施の形態によれば、前記順序の 2 回の判断処理の実行によって少なくとも 3 種類の受信信号 (タイプ A、タイプ B、1 8 0 9 2) のいずれのタイプの受信信号を短時間で受け付けることが可能となる。尚、上記特許文献 2 と上記特許文献 3 と上記特許文献 4 とにも前記順序の 2 回の判断処理の実行によって前記 3 種類の受信信号のいずれのタイプの受信信号を短時間で受け付けることを示唆する記載は見当たらない。

【 0 0 4 3 】

また好適な実施の形態によれば、前記第 1 復調回路 (U 1 4) が前記第 1 復調出力信号を生成することを前記判定回路 (U 1 6) によって判定された場合には、前記判定回路から生成される制御信号 (低消費電力モード信号) によって前記第 2 復調回路 (U 1 5) の動作が停止可能とされる (図 1、図 1 4 参照)。

【 0 0 4 4 】

また前記第 1 復調回路 (U 1 4) が前記第 1 復調出力信号を生成しないことを前記判定回路 (U 1 6) によって判定された場合には、前記判定回路から生成される前記制御信号によって前記前記第 1 復調回路 (U 1 4) の動作が停止可能とされる (図 1、図 1 5、図 1 6 参照)。

【 0 0 4 5 】

前記好適な実施の形態によれば、少なくとも 3 種類の受信信号を受け付ける際の消費電力を削減することが可能となる。

【 0 0 4 6 】

より好適な実施の形態によれば、前記第 1 受信信号 (タイプ A) と前記第 2 受信信号 (タイプ B) と前記第 3 受信信号 (1 8 0 9 2) とは A S K 変調信号であり、前記第 1 変調度と前記第 2 変調度とは A S K 変調度であり、前記第 2 変調度は前記第 1 変調度よりも小さな

10

20

30

40

50

A S K 変調度を持つ。

【 0 0 4 7 】

前記第 1 復調回路 (U 1 4) は大きな A S K 変調度の前記第 1 変調度を持つ前記第 1 受信信号 (タイプ A) を復調することによって前記第 1 復調出力信号 (2 値化信号 A) を生成可能とされる。

【 0 0 4 8 】

前記第 2 復調回路 (U 1 5) は前記小さな A S K 変調度の前記第 2 変調度を持つ前記第 2 受信信号 (タイプ B) と前記第 3 受信信号 (1 8 0 9 2) を復調することによって前記第 2 復調出力信号 (2 値化信号 B) を生成可能とされる。

【 0 0 4 9 】

更により好適な実施の形態によれば、前記第 2 受信信号 (タイプ B) の前記第 1 フォーマット (S O F) の前記第 1 通信開始信号は第 1 ユーザーデータ (Character) に先行する第 1 ヘッダ情報である。

【 0 0 5 0 】

また、前記第 3 受信信号 (1 8 0 9 2) の前記第 2 フォーマット (Preamble) の前記第 2 通信開始信号は第 2 ユーザーデータ (P D 0、P D 1 ... P D n) に先行する第 2 ヘッダ情報である。

【 0 0 5 1 】

具体的な一つの実施の形態による半導体集積回路 (U 2) は、中央処理ユニット (U 1 2) と、ランダムアクセスメモリ (U 1 0) と、不揮発性メモリ (U 1 1、U 1 3) と、受信回路 (U 1 9) と、送信回路 (U 2 0) と、変調回路 (U 8) とを更に具備する。

【 0 0 5 2 】

前記不揮発性メモリには、前記中央処理ユニットが実行する処理プログラムが格納されている。

【 0 0 5 3 】

前記第 1 復調回路 (U 1 4) から生成される前記第 1 復調出力信号に含まれる第 1 受信データと前記第 2 復調回路 (U 1 5) から生成される前記第 2 復調出力信号に含まれる第 2 受信データとは、前記受信回路 (U 1 9) を介して前記ランダムアクセスメモリ (U 1 0) に格納される。

【 0 0 5 4 】

前記第 1 受信データと前記第 2 受信データとの一方のデータの前記ランダムアクセスメモリ (U 1 0) への格納の以前では、前記中央処理ユニット (U 1 2) は低消費電力状態に制御される。

【 0 0 5 5 】

前記一方のデータの前記ランダムアクセスメモリ (U 1 0) への前記格納に応答して前記中央処理ユニット (U 1 2) は前記低消費電力状態から動作状態に遷移され、前記動作状態に遷移した前記中央処理ユニットは前記ランダムアクセスメモリの格納データを読み出すことが可能とされる。

【 0 0 5 6 】

前記中央処理ユニットは前記ランダムアクセスメモリから読み出した前記格納データを前記処理プログラムに従って処理して当該処理データを前記ランダムアクセスメモリに格納して、当該格納の後に前記中央処理ユニットは前記動作状態から前記低消費電力状態に遷移することが可能とされる。

【 0 0 5 7 】

前記送信回路 (U 2 0) は前記ランダムアクセスメモリ (U 1 0) から前記処理データを読み出して、当該読み出しデータを前記変調回路 (U 8) に転送して、当該転送されたデータに응答して前記変調回路は前記アンテナ (L 1) から送信される R F 送信信号を生成可能とされる (図 1 4、図 1 5、図 1 6、図 1 7 参照)。

【 0 0 5 8 】

最も具体的な一つの実施の形態によれば、前記第 1 受信信号は国際規格 I S O / I E C

10

20

30

40

50

1 4 4 4 3 のタイプ A に準拠するものであり、前記第 2 受信信号は国際規格 I S O / I E C 1 4 4 4 3 のタイプ B に準拠するものであり、前記第 3 受信信号は国際規格 I S O / 1 8 0 9 2 に準拠するものである。

【 0 0 5 9 】

〔 2 〕本発明の別の観点の代表的な実施の形態による I C カードは基板上に半導体集積回路と配線により形成されたアンテナとが実装されている。

【 0 0 6 0 】

前記半導体集積回路 (U 2) は、第 1 アンテナ接続端子 (L A) と、第 2 アンテナ接続端子 (L B) と、電源回路 (U 3) と、復調回路 (U 7) と、判定回路 (U 1 6) とを有する。

【 0 0 6 1 】

前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間には前記アンテナ (L 1) によって受信される R F 信号が供給可能とされ、前記電源回路は前記 R F 信号の整流・平滑によって生成する動作電圧 (V _{DD}) を前記復調回路と前記判定回路とに供給可能とされている。

【 0 0 6 2 】

前記復調回路 (U 7) は第 1 復調回路 (U 1 4) と第 2 復調回路 (U 1 5) とを含み、前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間に供給される前記 R F 信号は前記第 1 復調回路の入力と前記第 2 復調回路の入力とに並列に供給可能とされる。

【 0 0 6 3 】

前記第 1 復調回路 (U 1 4) は、前記 R F 信号として第 1 変調度 (1 0 0 %) を持つ第 1 受信信号 (タイプ A) を復調することによって第 1 復調出力信号 (2 値化信号 A) を生成可能とされる。

【 0 0 6 4 】

前記第 2 復調回路 (U 1 5) は、前記 R F 信号として前記第 1 変調度と異なる値の第 2 変調度 (1 0 %) および第 1 フォーマット (S O F) の第 1 通信開始信号を持つ第 2 受信信号 (タイプ B) と前記第 2 変調度および第 2 フォーマット (Preamble) の第 2 通信開始信号を持つ第 3 受信信号 (1 8 0 9 2) を復調することによって第 2 復調出力信号 (2 値化信号 B) を生成可能とされる。

【 0 0 6 5 】

前記第 1 復調回路 (U 1 4) の前記第 1 復調出力信号と前記第 2 復調回路 (U 1 5) の前記第 2 復調出力信号とは、前記判定回路 (U 1 6) に供給可能とされる (図 1 参照) 。

【 0 0 6 6 】

前記第 1 復調回路 (U 1 4) が前記第 1 復調出力信号を生成することを前記判定回路 (U 1 6) によって判定される場合には、前記 R F 信号として前記第 1 変調度を持つ前記第 1 受信信号が受信されていると前記判定回路 (U 1 6) によって判定される (図 7 : F 4 - 2 、 F 4 - 4) 。

【 0 0 6 7 】

前記第 1 復調回路 (U 1 4) が前記第 1 復調出力信号を生成しないことを前記判定回路 (U 1 6) によって判定される場合には、前記判定回路は前記第 1 通信開始信号と前記第 2 通信開始信号とのフォーマットの相違を判定可能とされる (図 7 : F 4 - 3) 。

【 0 0 6 8 】

前記第 2 復調回路 (U 1 5) が前記第 1 フォーマット (S O F) の前記第 1 通信開始信号を持つ前記第 2 受信信号 (タイプ B) を復調することによって前記第 2 復調出力信号を生成することを前記判定回路 (U 1 6) によって判定される場合には、前記 R F 信号として前記第 2 受信信号が受信されていると前記判定回路 (U 1 6) によって判定される (図 7 : F 4 - 3 、 F 4 - 5) 。

【 0 0 6 9 】

前記第 2 復調回路 (U 1 5) が前記第 2 フォーマット (Preamble) の前記第 2 通信開始信号を持つ前記第 3 受信信号 (1 8 0 9 2) を復調することによって前記第 2 復調出力信号を生成することを前記判定回路 (U 1 6) によって判定される場合には、前記 R F 信号として前

10

20

30

40

50

記第 3 受信信号が受信されていると前記判定回路(U 1 6)によって判定される(図 7 : F 4 - 3、F 4 - 6)。

【 0 0 7 0 】

〔 3 〕本発明の更に他の観点の代表的な実施の形態は、基板上に半導体集積回路と配線により形成されたアンテナとが実装された I C カードの動作方法に関するものである。

【 0 0 7 1 】

前記半導体集積回路(U 2)は、第 1 アンテナ接続端子(L A)と、第 2 アンテナ接続端子(L B)と、電源回路(U 3)と、復調回路(U 7)と、判定回路(U 1 6)とを有する。

【 0 0 7 2 】

前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間には前記アンテナ(L 1)によって受信される R F 信号が供給可能とされ、前記電源回路は前記 R F 信号の整流・平滑によって生成する動作電圧(V_{DD})を前記復調回路と前記判定回路とに供給可能とされている。

10

【 0 0 7 3 】

前記復調回路(U 7)は第 1 復調回路(U 1 4)と第 2 復調回路(U 1 5)とを含み、前記第 1 アンテナ接続端子と前記第 2 アンテナ接続端子との間に供給される前記 R F 信号は前記第 1 復調回路の入力と前記第 2 復調回路の入力とに並列に供給可能とされる。

【 0 0 7 4 】

前記第 1 復調回路(U 1 4)は、前記 R F 信号として第 1 変調度(1 0 0 %)を持つ第 1 受信信号(タイプ A)を復調することによって第 1 復調出力信号(2 値化信号 A)を生成可能とされる。

20

【 0 0 7 5 】

前記第 2 復調回路(U 1 5)は、前記 R F 信号として前記第 1 変調度と異なる値の第 2 変調度(1 0 %)および第 1 フォーマット(S O F)の第 1 通信開始信号を持つ第 2 受信信号(タイプ B)と前記第 2 変調度および第 2 フォーマット(Preamble)の第 2 通信開始信号を持つ第 3 受信信号(1 8 0 9 2)を復調することによって第 2 復調出力信号(2 値化信号 B)を生成可能とされる。

【 0 0 7 6 】

前記第 1 復調回路(U 1 4)の前記第 1 復調出力信号と前記第 2 復調回路(U 1 5)の前記第 2 復調出力信号とは、前記判定回路(U 1 6)に供給可能とされる(図 1 参照)。

30

【 0 0 7 7 】

前記第 1 復調回路(U 1 4)が前記第 1 復調出力信号を生成することを前記判定回路(U 1 6)によって判定される場合には、前記 R F 信号として前記第 1 変調度を持つ前記第 1 受信信号が受信されていると前記判定回路(U 1 6)によって判定される(図 7 : F 4 - 2、F 4 - 4)。

【 0 0 7 8 】

前記第 1 復調回路(U 1 4)が前記第 1 復調出力信号を生成しないことを前記判定回路(U 1 6)によって判定される場合には、前記判定回路は前記第 1 通信開始信号と前記第 2 通信開始信号とのフォーマットの相違を判定可能とされる(図 7 : F 4 - 3)。

【 0 0 7 9 】

前記第 2 復調回路(U 1 5)が前記第 1 フォーマット(S O F)の前記第 1 通信開始信号を持つ前記第 2 受信信号(タイプ B)を復調することによって前記第 2 復調出力信号を生成することを前記判定回路(U 1 6)によって判定される場合には、前記 R F 信号として前記第 2 受信信号が受信されていると前記判定回路(U 1 6)によって判定される(図 7 : F 4 - 3、F 4 - 5)。

40

【 0 0 8 0 】

前記第 2 復調回路(U 1 5)が前記第 2 フォーマット(Preamble)の前記第 2 通信開始信号を持つ前記第 3 受信信号(1 8 0 9 2)を復調することによって前記第 2 復調出力信号を生成することを前記判定回路(U 1 6)によって判定される場合には、前記 R F 信号として前記第 3 受信信号が受信されていると前記判定回路(U 1 6)によって判定される(図 7 : F

50

4 - 3、F 4 - 6)。

【0081】

《実施の形態の説明》

次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【0082】

《非接触ICカードの基本的な構成》

図1は、本発明の実施の形態による非接触ICカードの基本的な構成を示す図である。

【0083】

図1に示す非接触ICカードU1は、アンテナL1、共振容量C1、半導体集積回路U2を含んでいる。アンテナL1の一端と共振容量C1の一端とは半導体集積回路U2の第1アンテナ接続端子LAに接続され、アンテナL1の他端と共振容量C1の他端とは半導体集積回路U2の第2アンテナ接続端子LBに接続されている。従って、非接触リーダー/ライター装置からのRFキャリア信号はアンテナ接続端子LA、LBを介して、非接触ICカードU1の動作エネルギーとして電源回路U3に供給されることができる。

【0084】

また、非接触リーダー/ライター装置からの受信信号は非接触ICカードU1のアンテナ接続端子LA、LBを介して復調回路U7に供給される一方、非接触ICカードU1の変調回路U8からの送信信号はアンテナ接続端子LA、LBとアンテナL1と共振容量C1を介して非接触リーダー/ライター装置に供給されることができる。

【0085】

半導体集積回路U2は、電源回路U3、内部回路U4を含み、電源回路U3は整流回路U5、レギュレータU6を含み、内部回路U4は復調回路U7、変調回路U8、非接触制御回路U9を含んでいる。復調回路U7は、非接触リーダー/ライター装置からのISO/IEC14443のタイプAの受信信号を受信するための低感度復調回路U14と、非接触リーダー/ライター装置からのISO/IEC14443のタイプBおよびISO/IEC18092の受信信号を受信するための高感度復調回路U15を含んでいる。非接触制御回路U9は、判定回路U16、判定結果レジスタU17、受信エラーレジスタU18、受信回路U19、送信回路U20を含んでいる。非接触制御回路U9には、バス(BUS)を介してRAM(U10)、ROM(U11)、CPU(U12)、EEPROM(U13)および図示はされないが暗号処理等を行うコプロセッサ、インターフェース回路等が接続されている。

【0086】

図1に示す非接触ICカードU1は非接触リーダー/ライター装置からの受信信号がISO/IEC14443のタイプAと、ISO/IEC14443のタイプBと、ISO/IEC18092のいずれの情報伝達方式であるかを、ASK変調度と論理値の時間幅とから検出する機能を有する。

【0087】

図1に示す非接触ICカードU1が非接触リーダー/ライター装置のRFキャリア信号を受信できる動作フィールドに入ると、非接触ICカードU1の電源回路U3の整流回路U5とレギュレータU6とは内部電源電圧V_{DD}を生成して内部回路U4に含まれる各回路へ動作電源電圧として供給する。まず、アンテナL1の両端で受信された受信信号は初期受信の間に復調回路U7の低感度復調回路U14と高感度復調回路U15に供給される一方、低感度復調回路U14の出力と高感度復調回路U15の出力は非接触制御回路U9の判定回路U16に供給される。それによって、現在の受信信号が、タイプAとタイプBと18092とのいずれの情報伝達方式であるかが検出される。最初に、低感度復調回路U14の出力と高感度復調回路U15の出力とは非接触制御回路U9の判定回路U16に供給されることによって、初期受信の間に受信された受信信号のASK変調度が判定回路U16によって検出される。

10

20

30

40

50

【 0 0 8 8 】

後に詳述するように、初期受信の間に復調回路 U 7 の低感度復調回路 U 1 4 は I S O / I E C 1 4 4 4 3 のタイプ A の A S K 変調度が 1 0 0 % の受信信号を検出する一方、復調回路 U 7 の高感度復調回路 U 1 5 は I S O / I E C 1 4 4 4 3 のタイプ B および I S O / I E C 1 8 0 9 2 で A S K 変調度が 1 0 % の受信信号を検出するものである。非接触制御回路 U 9 の判定回路 U 1 6 は、現在の受信信号の A S K 変調度は低感度復調回路 U 1 4 が検出する 1 0 0 % なのか高感度復調回路 U 1 5 が検出する 1 0 % なのかを判定する。例えば、判定回路 U 1 6 が現在の受信信号の A S K 変調度は低感度復調回路 U 1 4 の 1 0 0 % であると判定した場合は、低消費電力モード信号によって高感度復調回路 U 1 5 の動作が停止される。それによって、初期受信の後の受信ユーザーデータの受信処理の間の高感度復調回路 U 1 5 の無駄な動作による消費電力が削減できる。逆に、判定回路 U 1 6 が現在の受信信号の A S K 変調度は高感度復調回路 U 1 5 の 1 0 % であると判定した場合は、低消費電力モード信号によって低感度復調回路 U 1 4 の動作が停止される。それによって、初期受信の後の受信ユーザーデータの受信処理の間の低感度復調回路 U 1 4 の無駄な動作による消費電力が削減できる。

10

【 0 0 8 9 】

《 A S K 変調度の検出 》

図 2 は、I S O / I E C 1 4 4 4 3 のタイプ A の A S K 変調度が 1 0 0 % の場合と、I S O / I E C 1 4 4 4 3 のタイプ B および I S O / I E C 1 8 0 9 2 で A S K 変調度が 1 0 % の場合の非接触 I C カードでの非接触リーダー / ライター装置からの受信信号の波形を示す図である。すなわち、図 2 (A) は I S O / I E C 1 4 4 4 3 のタイプ A の A S K 変調度が 1 0 0 % の場合の受信信号の波形であり、図 2 (B) は I S O / I E C 1 4 4 4 3 のタイプ B および I S O / I E C 1 8 0 9 2 で A S K 変調度が 1 0 % の場合の受信信号の波形である。振幅変調された受信信号の最小振幅値 a と最大振幅値 b とすると、A S K 変調度は $|b - a| / |b + a|$ で与えられる。

20

【 0 0 9 0 】

図 1 に示す非接触 I C カード U 1 の内部回路 U 4 の復調回路 U 7 は、低感度復調回路 U 1 4 と高感度復調回路 U 1 5 とを含んでいる。例えば、低感度復調回路 U 1 4 は、最小振幅値 a と最大振幅値 b の振幅差が 9 0 % 以上の振幅差でなければ検出できない低い検出感度を持ち、高感度復調回路 U 1 5 は、最小振幅値 a と最大振幅値 b の振幅差が 1 8 % 以上の振幅差であれば検出できる高い検出感度を持つ。

30

【 0 0 9 1 】

図 1 の復調回路 U 7 の低感度復調回路 U 1 4 の差動入力端子と高感度復調回路 U 1 5 の差動入力端子とにアンテナ L 1 の両端の受信信号が供給され、低感度復調回路 U 1 4 の出力からは 2 値化信号 A が生成され、高感度復調回路 U 1 5 の出力からは 2 値化信号 B が生成される。

【 0 0 9 2 】

図 2 (A) の下には、I S O / I E C 1 4 4 4 3 のタイプ A の受信信号に応答する低い検出感度を持つ低感度復調回路 U 1 4 の出力の 2 値化信号 A と高い検出感度を持つ高感度復調回路 U 1 5 の出力の 2 値化信号 B とが示されている。この場合には、両出力の波形は同一となる。

40

【 0 0 9 3 】

図 2 (B) の下には、I S O / I E C 1 4 4 4 3 のタイプ B または I S O / I E C 1 8 0 9 2 の受信信号に応答する低い検出感度の低感度復調回路 U 1 4 の出力の 2 値化信号 A と高い検出感度の高感度復調回路 U 1 5 の出力の 2 値化信号 B とが示されている。この場合には、高い検出感度の高感度復調回路 U 1 5 の出力の 2 値化信号 B からは、A S K 変調度が 1 0 % の I S O / I E C 1 4 4 4 3 のタイプ B と I S O / I E C 1 8 0 9 2 との受信信号の検出信号が生成される。しかし、低い検出感度の低感度復調回路 U 1 4 の出力 2 値化信号 A からは、A S K 変調度が 1 0 % の I S O / I E C 1 4 4 4 3 のタイプ B と I S O / I E C 1 8 0 9 2 との受信信号の検出信号は生成されない。

50

【 0 0 9 4 】

《 情報伝達方式の検出 》

始めに、非接触リーダー／ライター装置から非接触ＩＣカードＵ１に送信されるデータを「ダウンリンクデータ」と定義する一方、非接触ＩＣカードＵ１から非接触リーダー／ライター装置に送信されるデータを「アップリンクデータ」と定義する。

【 0 0 9 5 】

図７は、図１に示す非接触ＩＣカードＵ１が非接触リーダー／ライター装置からの受信信号がタイプＡとタイプＢと１８０９２とのいずれの情報伝達方式であるかを検出する動作フローを説明するための図である。

【 0 0 9 6 】

図７のステップＦ１で図１に示す非接触ＩＣカードＵ１が非接触リーダー／ライター装置の動作フィールドに入ると、非接触ＩＣカードＵ１の電源回路Ｕ３は内部電源 V_{DD} を生成して内部回路Ｕ４へ動作電源電圧として供給する。

【 0 0 9 7 】

次に図７のステップＦ２で、ＣＰＵ(Ｕ１２)はバス(ＢＵＳ)を介して、非接触制御回路Ｕ９内部の判定結果レジスタＵ１７の内容を読み出す。以前に情報伝達方式と情報通信速度との判定が実行されていれば、判定結果レジスタＵ１７には判定回路Ｕ１６で判定された情報伝達方式と情報通信速度との判定結果の情報とが格納されている。ここでは、以前に判定が実行されていないので、判定結果レジスタＵ１７には判定結果が格納されていないので、非接触ＩＣカードＵ１の状態は図７のステップＦ４の初期受信モードに遷移する。すると、図７の次のステップＦ４－１の初期受信期間に、非接触ＩＣカードＵ１の復調回路Ｕ７での低感度復調回路Ｕ１４と高感度復調回路Ｕ１５とによる並列復調動作が実行される。低感度復調回路Ｕ１４の出力の２値化信号Ａと高い検出感度を持つ高感度復調回路Ｕ１５の出力の２値化信号Ｂは、判定回路Ｕ１６に供給される。

【 0 0 9 8 】

図２(Ａ)の下で説明したように、ＩＳＯ／ＩＥＣ１４４４３のタイプＡの受信信号を受信する場合には、低感度復調回路Ｕ１４の出力の２値化信号Ａと高感度復調回路Ｕ１５の出力の２値化信号Ｂの両出力の波形は同一となる。従って、判定回路Ｕ１６は、図７のステップＦ４－２の左側の結果とステップＦ４－４での方式決定に示すように、同一の波形から現在ＡＳＫ変調度が１００％のＩＳＯ／ＩＥＣ１４４４３のタイプＡの受信信号を受信していることを判定することができる。そして、判定回路Ｕ１６は図７の次のステップＦ４－７でタイプＡの受信の判定結果を判定結果レジスタＵ１７に書き込み、図７の更に次のステップＦ４－１０でタイプＡの受信ユーザーデータの受信処理を行うものである。この時には、非接触リーダー／ライター装置から非接触ＩＣカードＵ１への情報伝達方式がＩＳＯ／ＩＥＣ１４４４３のタイプＡと判定されているので、受信回路Ｕ１９によってシリアル・パラレル変換された２値化信号の受信ユーザーデータ部分が受信パラレル・データの形態でＲＡＭ(Ｕ１０)に転送されて格納される。受信パラレル・データは、低消費電力状態とされるＣＰＵ(Ｕ１２)とは独立に受信回路Ｕ１９からの専用信号線を介して例えば１バイト毎にＲＡＭ(Ｕ１０)へ供給される。ＲＡＭ(Ｕ１０)には、例えば、固定アドレス(例えば、ＲＡＭのメモリ空間の先頭アドレス)から転送されたデータを順次格納することで、データ転送制御に係る回路規模を抑制することが可能となる。

【 0 0 9 9 】

ステップＦ５で受信を終了した後、ＣＰＵ(Ｕ１２)は低消費電力状態から動作状態に復帰して、例えば、ＲＯＭ(Ｕ１１)またはＥＥＰＲＯＭ(Ｕ１３)に格納されたセキュア電子決済処理プログラムに従ってＲＡＭ(Ｕ１０)の格納データを処理して、その処理結果を再びＲＡＭ(Ｕ１０)に格納する。ＲＡＭ(Ｕ１０)に格納された処理結果は送信パラレル・データとして非接触制御回路Ｕ９の送信回路Ｕ２０に転送されて、送信回路Ｕ２０でＩＳＯ／ＩＥＣ１４４４３のフレームに変換される。シリアルデータの２値化信号Ｃは、変調回路Ｕ８を介して非接触リーダー／ライター装置へ送信される。

【 0 1 0 0 】

図 7 のステップ F 4 - 1 0 の受信処理中に何らかの受信エラーがあった場合には、図 7 のステップ F 4 - 1 3 で受信回路 U 1 9 は受信エラーの結果を受信エラーレジスタ U 1 8 に書き込んで、図 7 の次のステップ F 5 で受信終了となる。図 7 のステップ F 4 - 1 0 の受信中に受信エラーが発生せず、正常に受信が行われた場合には、ステップ F 4 - 1 3 の受信エラーレジスタ設定は不要となって、ステップ F 5 の受信動作終了となる。

【 0 1 0 1 】

図 2 (B) の下で説明したように、 I S O / I E C 1 4 4 4 3 のタイプ B または I S O / I E C 1 8 0 9 2 の受信信号を受信する場合には、高感度復調回路 U 1 5 の出力からはハイレベルとローレベルとの間で変化する A S K 変調度が 1 0 % の I S O / I E C 1 4 4 4 3 のタイプ B もしくは I S O / I E C 1 8 0 9 2 の受信信号の検出信号が 2 値化信号 B として生成されることができる。しかし、この場合には、低感度復調回路 U 1 4 の出力からはハイレベルとローレベルとの間で変化する 2 値化信号 A が生成されることはできない。従って、判定回路 U 1 6 は図 7 のステップ F 4 - 2 の右側の結果に示すように 2 値化信号 A と 2 値化信号 B との波形の相違から現在 A S K 変調度が 1 0 % の I S O / I E C 1 4 4 4 3 のタイプ B もしくは I S O / I E C 1 8 0 9 2 のいずれかの受信信号を受信していることを判定することができる。

【 0 1 0 2 】

《 2 値化信号のパルス幅判定 》

現在受信している受信信号が I S O / I E C 1 4 4 4 3 のタイプ B なのか I S O / I E C 1 8 0 9 2 なのかは、判定回路 U 1 6 による図 7 のステップ F 4 - 3 の 2 値化信号 B のパルス幅判定によって判断することが可能である。

【 0 1 0 3 】

上記非特許文献 2 に記載されているように I S O / I E C 1 4 4 4 3 のタイプ B の非接触リーダー/ライター装置から非接触 I C カード U 1 への送信データとしてのフレームの先頭には、所定の長さの論理 “ 0 ” を含む S O F (Start Of Frame) が付加されている。

【 0 1 0 4 】

図 3 は、 I S O / I E C 1 4 4 4 3 のタイプ B の送信データとしてのフレームの構成を示す図である。図 3 に示すように、フレームの先頭には通信開始信号としての S O F (Start Of Frame) が含まれている。フレームの中央には転送ユーザーデータとしてのキャラクター (Character) が含まれ、それに続いて巡回冗長チェックコード (C R C) と通信終了信号としての E O F (End Of Frame) とが付加されている。

【 0 1 0 5 】

それに対して、上記非特許文献 3 に記載のように、 I S O / I E C 1 8 0 9 2 の非接触リーダー/ライター装置から非接触 I C カード U 1 への送信データパケットの先頭には最小 4 8 ビットのエンコードされた論理 “ 0 ” を含むプリアンプル (Preamble) が通信開始信号として付加されている。

【 0 1 0 6 】

図 4 は、 I S O / I E C 1 8 0 9 2 の送信データパケットの構成を示す図である。図 4 に示すように送信データパケットは、先頭からプリアンプル (Preamble)、同期コード、データ長 (L E N)、ペイロードデータ (P D 0、P D 1 ... P D n)、巡回冗長チェックコード (C R C) を含んでいる。

【 0 1 0 7 】

図 5 は、非接触リーダー/ライター装置から非接触 I C カード U 1 への I S O / I E C 1 4 4 4 3 のタイプ B の送信データの通信速度が 1 0 6 k b p s、2 1 2 k b p s、4 2 4 k b p s、8 4 8 k b p s のそれぞれの場合のフレームの先頭の通信開始信号 S O F の時間の長さを示す図である。上記非特許文献 2 に記載のように、 I S O / I E C 1 4 4 4 3 のタイプ B の S O F は 1 0 ~ 1 1 e t u の論理 “ 0 ” と 2 ~ 3 e t u の論理 “ 1 ” とを含むものである。従って、通信速度が比較的低速の 2 1 2 k b p s の場合には 1 0 ~ 1 1 e t u の論理 “ 0 ” の変調期間 (変調時間) は 4 7 . 1 7 ~ 5 1 . 8 9 μ S となり、通信速度が高速の 8 4 8 k b p s の場合には 1 0 ~ 1 1 e t u の論理 “ 0 ” の変調期間は 1 1 .

10

20

30

40

50

79 ~ 12.97 μ Sとなる。尚、e t uは、elementary time unitの略である。

【0108】

図6は、非接触リーダー/ライター装置から非接触ICカードU1へのISO/IEC 18092の送信データの通信速度が212 kbps、424 kbps、848 kbpsのそれぞれの場合の送信データパケットの先頭のプリアンプル(Preamble)の論理“0”の時間の長さを示す図である。上記非特許文献3に記載のように、ISO/IEC 18092のプリアンプルは最小48ビットのエンコードされた論理“0”を含むものである。従って、通信速度が比較的低速の212 kbpsの場合にはプリアンプルの最初の論理“0”の変調期間は2.36 μ Sとなり、通信速度が高速の848 kbpsの場合にはプリアンプルの最初の論理“0”の変調期間は0.59 μ Sとなる。

10

【0109】

従って、比較的低速の212 kbpsの通信速度でのISO/IEC 14443のタイプBの送信データのSOFでの論理“0”の変調期間47.17 ~ 51.89 μ Sと比較すると、同一の通信速度でのISO/IEC 18092の送信データのプリアンプルの最初の論理“0”の変調期間2.36 μ Sは極めて短い時間となる。この論理“0”のパルス幅の差を判定回路U16が図7のステップF4 - 3の2値化信号Bのパルス幅判定によって判断することによって、現在受信中の受信信号がISO/IEC 14443のタイプBなのかISO/IEC 18092なのかの判断が可能となる。

【0110】

従って、図7のステップF4 - 3の2値化信号Bのパルス幅判定によってその時点での例えば比較的低速の212 kbpsの通信速度での論理“0”の変調期間が長いと判定されると、判定回路U16はステップF4 - 3の左側の結果とステップF4 - 5に示すように現在ISO/IEC 14443のタイプBの受信信号の受信中和通信速度の判定が可能となる。そして、判定回路U16は図7の次のステップF4 - 8でタイプBの受信の判定結果を判定結果レジスタU17に書き込み、図7の更に次のステップF4 - 11でタイプBの受信ユーザーデータの受信処理を行うものである。この時には、非接触リーダー/ライター装置から非接触ICカードU1への情報伝達方式がISO/IEC 14443のタイプBであると判定されているので、受信回路U19によってシリアル・パラレル変換された2値化信号の受信ユーザーデータ部分がRAM(U10)に転送されて格納される。受信パラレル・データは、低消費電力状態とされるCPU(U12)とは独立に受信回路U19からの専用信号線を介して例えば1バイト毎にRAM(U10)へ供給される。RAM(U10)には、例えば、固定アドレス(例えば、RAMのメモリ空間の先頭アドレス)から転送されたデータを順次格納することで、データ転送制御に関係する回路規模を抑制することが可能となる。

20

30

【0111】

CPU(U12)は、例えばROM(U11)またはEEPROM(U13)に格納されたセキュア電子決済処理プログラムに従ってRAM(U10)の格納データを処理して、その処理結果を再びRAM(U10)に格納する。RAM(U10)の処理結果は送信パラレル・データとして非接触制御回路U9の送信回路U20に転送され、送信回路U20でISO/IEC 14443のフレームに変換される。シリアルデータの2値化信号Cは、変調回路U8を介して非接触リーダー/ライター装置へ送信される。

40

【0112】

図7のステップF4 - 11の受信処理中に何らかの受信エラーがあった場合には、図7のステップF4 - 14で受信回路U19は受信エラーの結果を受信エラーレジスタU18に書き込んで、図7の次のステップF5で受信終了となる。図7のステップF4 - 11の受信中に受信エラーが発生せず、正常に受信が行われた場合には、ステップF4 - 14の受信エラーレジスタ設定は不要となつて、ステップF5の受信動作終了となる。

【0113】

また、図7のステップF4 - 3の2値化信号Bのパルス幅判定によってその時点での例えば比較的低速の212 kbpsの通信速度での論理“0”の変調期間が短いと判定され

50

ると、判定回路U16はステップF4-3の下側の結果とステップF4-6に示すように現在ISO/IEC18092の受信信号の受信中和通信速度の判定が可能となる。そして、判定回路U16は図7の次のステップF4-9で18092の受信の判定結果を判定結果レジスタU17に書き込み、図7の更に次のステップF4-12で18092の受信ユーザデータの受信処理を行うものである。この時には、非接触リーダー/ライター装置から非接触ICカードU1への情報伝達方式が18092であると判定されているので、受信回路U19によってシリアル・パラレル変換された2値化信号の受信ユーザデータ部分がRAM(U10)に転送されて格納される。受信パラレル・データは、低消費電力状態とされるCPU(U12)とは独立に受信回路U19からの専用信号線を介して例えば1バイト毎にRAM(U10)へ供給される。RAM(U10)には、例えば、固定アドレス(例えば、RAMのメモリ空間の先頭アドレス)から転送されたデータを順次格納することで、データ転送制御に関係する回路規模を抑制することが可能となる。

10

【0114】

CPU(U12)は、例えばROM(U11)またはEEPROM(U13)に格納されたセキュア電子決済処理プログラムに従ってRAM(U10)の格納データを処理して、その処理結果を再びRAM(U10)に格納する。RAM(U10)の処理結果は送信パラレル・データとして非接触制御回路U9の送信回路U20に転送され、送信回路U20でISO/IEC18092のフレームに変換される。シリアルデータの2値化信号Cは、変調回路U8を介して非接触リーダー/ライター装置へ送信される。

20

【0115】

図7のステップF4-12の受信処理中に何らかの受信エラーがあった場合には、図7のステップF4-15で受信回路U19は受信エラーの結果を受信エラーレジスタU18に書き込んで、図7の次のステップF5で受信終了となる。図7のステップF4-12の受信中に受信エラーが発生せず、正常に受信が行われた場合には、ステップF4-15の受信エラーレジスタ設定は不要となっており、ステップF5の受信動作終了となる。

【0116】

更に、図7のステップF4-3の2値化信号Bのパルス幅判定により212kbp/sの通信速度での論理“0”の変調期間がタイプBもしくは18092で規定された設定時間の範囲外と判定されると、判定回路U16は非接触ICカードU1の動作状態をステップF4-2に戻す処理を実行する。

30

【0117】

《初期受信以降の受信動作、受信エラーまたは変調期間の設定範囲外の後の処理》

図7のステップF4-13とステップF4-14とステップF4-15のいずれかでの受信エラーが発生した時には、受信エラーレジスタU18にそのエラー情報が書き込まれて受信終了となる。その後、CPU(U12)は、受信エラーレジスタU18の内容を読み出す。読み出された内容には受信エラーが含まれているため、CPU(U12)は受信エラーレジスタU18の格納内容と判定結果レジスタU17の格納内容とをクリアする。その後、CPU(U12)は、非接触ICカードU1の動作状態を図7のステップF2すなわち図8のステップF4に戻す処理を実行する。また、図7のステップF4-3のパルス幅判定によって論理“0”の変調期間が設定時間の範囲外と判定された後に、非接触制御回路U9は非接触ICカードU1の動作状態を図7のステップF4-1に戻す処理を実行する。

40

【0118】

図8は、図1に示す非接触ICカードU1が初期受信で受信エラーが無く、判定結果レジスタU17に情報伝達方式の判定結果が格納され、初期受信以降の受信で情報伝達方式の判定を省略した動作フローを説明するための図である。

【0119】

図7の動作フローで、受信エラーが無く判定結果レジスタU17に情報伝達方式の判定結果が格納されると、初期受信が終了する。すると、非接触制御回路U9の判定結果レジスタU17には以前の情報伝達方式の判定結果が格納されているので、非接触ICカード

50

U 1 の動作状態は図 8 のステップ F 3 の情報伝達方式確定受信モードに遷移して、更に図 8 のステップ F 3 - 1 の受信処理が開始される。初期受信で判定された情報伝達方式は、タイプ A もしくはタイプ B もしくは 1 8 0 9 2 のいずれかである。従って、図 8 の次のステップ F 3 - 2 にて判定回路 U 1 6 は、初期受信で判定された情報伝達方式を判定結果レジスタ U 1 7 から判定する。初期受信で判定された情報伝達方式が I S O / I E C 1 4 4 4 3 のタイプ A であったとの判定結果が判定結果レジスタ U 1 7 に格納されている場合には、図 8 のステップ F 3 - 9 の受信処理では以前と同一の方式である I S O / I E C 1 4 4 4 3 のタイプ A の受信処理が実行される。図 8 のステップ F 3 - 9 の受信処理中に何らかの受信エラーがあった場合には、図 8 のステップ F 3 - 1 2 で受信回路 U 1 9 は受信エラーの結果を受信エラーレジスタ U 1 8 に書き込み、図 8 の次のステップ F 5 で受信終了となる。

10

【 0 1 2 0 】

しかし、図 8 のステップ F 3 - 2 で判定結果レジスタ U 1 7 から判定によって初期受信で判定された情報伝達方式が I S O / I E C 1 4 4 4 3 のタイプ B または I S O / I E C 1 8 0 9 2 であった時には、図 8 のステップ F 3 - 3 とステップ F 3 - 4 とで 2 値化信号 B のパルス幅判定が実行される。

【 0 1 2 1 】

すなわち、図 8 のステップ F 3 - 3 での判定回路 U 1 6 による 2 値化信号 B のパルス幅判定によって現在 I S O / I E C 1 4 4 4 3 のタイプ B の受信信号の受信中和通信速度が判定されると、判定回路 U 1 6 は図 8 のステップ F 3 - 5 で通信速度を決定してステップ F 3 - 7 でタイプ B の受信の判定結果を判定結果レジスタ U 1 7 に書き込むものである。その後、図 8 のステップ F 3 - 1 0 で図 7 のステップ F 4 - 1 1 と同様にタイプ B の受信ユーザーデータの受信処理を行う。図 8 のステップ F 3 - 1 0 の受信処理中に何らかの受信エラーがあった場合には、図 8 のステップ F 3 - 1 3 で受信回路 U 1 9 は受信エラーの結果を受信エラーレジスタ U 1 8 に書き込んで、図 8 の次のステップ F 5 で受信終了となる。

20

【 0 1 2 2 】

また、図 8 のステップ F 3 - 4 での判定回路 U 1 6 による 2 値化信号 B のパルス幅判定によって現在 I S O / I E C 1 8 0 9 2 の受信信号の受信中和通信速度が判定されると、判定回路 U 1 6 は図 8 のステップ F 3 - 6 で通信速度を決定してステップ F 3 - 8 で 1 8 0 9 2 の受信の判定結果を判定結果レジスタ U 1 7 に書き込むものである。その後、図 8 のステップ F 3 - 1 1 で、図 7 のステップ F 4 - 1 2 と同様に 1 8 0 9 2 の受信ユーザーデータの受信処理を行う。図 8 のステップ F 3 - 1 1 の受信処理中に何らかの受信エラーがあった場合には、図 8 のステップ F 3 - 1 4 で受信回路 U 1 9 は受信エラーの結果を受信エラーレジスタ U 1 8 に書き込んで、図 8 の次のステップ F 5 で受信終了となる。

30

【 0 1 2 3 】

更に、図 8 のステップ F 3 - 3 とステップ F 3 - 4 とで 2 値化信号 B のパルス幅判定により論理 “ 0 ” の変調期間がタイプ B もしくは 1 8 0 9 2 で規定された設定時間の範囲外と判定されたとする。つまり、規定された設定期間で定義される通信速度とは異なる通信速度の場合には、判定回路 U 1 6 は非接触 I C カード U 1 の動作状態をステップ F 3 - 2 に戻す処理を実行する。その結果、今度は図 8 のステップ F 3 - 3 とステップ F 3 - 4 とのいずれかで、2 値化信号 B のパルス幅判定によって論理 “ 0 ” の変調期間がタイプ B もしくは 1 8 0 9 2 で規定された設定時間の範囲内と判定される。すると、判定回路 U 1 6 はステップ F 3 - 5 とステップ F 3 - 6 のいずれかで通信速度を決定して、ステップ F 3 - 7 とステップ F 3 - 8 のいずれかで通信速度の判定結果とタイプ B もしくは 1 8 0 9 2 の受信の判定結果を判定結果レジスタ U 1 7 にそれぞれ書き込むものである。その後、図 8 のステップ F 3 - 1 0 とステップ F 3 - 1 1 とのいずれかで、タイプ B もしくは 1 8 0 9 2 の受信ユーザーデータの受信を行う。この受信中に何らかの受信エラーがあった場合には、図 8 のステップ F 3 - 1 3 とステップ F 3 - 1 4 とのいずれかで受信回路 U 1 9 は受信エラーの結果を受信エラーレジスタ U 1 8 に書き込んで、図 8 の次のステップ F 5

40

50

で受信終了となる。

【0124】

以上説明したように、図7の動作フローと図8の動作フローとによって制御される図1に示す非接触ICカードU1は、一度、タイプA、タイプBもしくは18092のいずれかの情報伝達方式を判定すると、動作フィールド外部への移動によって非接触リーダー/ライター装置からのRFキャリア信号が停止されるまで、または、CPU(U12)によって判定結果レジスタU17に格納された判定結果がクリアされるまで、判定結果レジスタU17に格納された判定結果は保持されている。

【0125】

図7のステップF4-13、F4-14、F4-15のいずれかの後のステップF5の受信終了もしくは図8のステップF3-13、F3-14、F3-15のいずれかの後のステップF5の受信終了の後に、図18に示すメモリ領域のアドレス0に格納されている共通プログラムが実行される。

【0126】

図18は、図1に示す非接触ICカードU1のROM(U10)もしくはEEPROM(U13)等の不揮発性メモリに格納されて非接触ICカードU1によって実行される種々のプログラムの構成を示す図である。

【0127】

図18に示す不揮発性メモリのメモリ領域のアドレス0と、アドレス1と、アドレス2と、アドレス3とには、それぞれ共通プログラムと、ISO/IEC14443のタイプAのためのプログラムと、ISO/IEC14443のタイプBのためのプログラムと、ISO/IEC18092のためのプログラムが格納されている。

【0128】

CPU(U12)による図18の不揮発性メモリのメモリ領域のアドレス0に格納された共通プログラムの実行によって、図9のステップF6でCPU(U12)は受信エラーレジスタU18の内容を読み出し、受信エラーが有るか否かを確認する。

【0129】

図9は、図1の非接触ICカードU1による図7の動作フローのステップF4の初期受信から受信エラーによるステップF5の受信終了の動作実行の後に実行される動作フローを説明するための図である。

【0130】

図9のステップF5での受信エラーによる受信終了の後に、ステップF6でCPU(U12)は受信エラーレジスタU18の内容を読み出し、受信エラーが有るか否かを確認する。もし、受信エラーがある場合には、図9のステップF7で受信エラーレジスタU18の格納内容と判定結果レジスタU17の格納内容をクリアした後、再びステップF4の初期受信とステップF4-1の受信開始とが実行される。

【0131】

同様な処理の反復によって図9のステップF6での受信エラーが無くなるので、図9のステップF8ではCPU(U12)が判定結果レジスタU17の格納内容を読み出して、タイプA、タイプB、18092のいずれかの情報伝達方式が格納されているか否かを確認する。もし、判定結果レジスタU17にいずれの情報伝達方式の結果も格納されていない場合には、ステップF4の初期受信とステップF4-1の受信開始とが実行される。判定結果レジスタU17にいずれかの情報伝達方式の結果が格納されている場合には、図9のステップF9、ステップF10、ステップF11に示すように図18のメモリ領域のアドレス1のタイプA、アドレス2のタイプB、アドレス3の18092のいずれかのプログラムに遷移するものとなる。従って、図9のステップF12、ステップF13、ステップF14に示すように、タイプAとタイプBと18092のいずれかの受信エラーの発生時と同一のプログラムが実行される。

【0132】

ステップF15にてプログラム実行が完了すると、ステップF17にて判定結果レジス

10

20

30

40

50

タ U 1 7 に格納されたタイプ A、タイプ B、1 8 0 9 2 のいずれかの情報伝達方式によって送信動作を実行して、ステップ F 1 8 で送信動作を完了する。再び、非接触リーダー / ライター装置からの送信データを受信すると、図 9 の動作フローを行い、必要なデータを受信を繰り返す。

【 0 1 3 3 】

《非接触 IC カードの詳細な構成》

《非接触制御回路の構成》

図 1 0 は、図 1 に示す非接触 IC カード U 1 の半導体集積回路 U 2 の内部回路 U 4 に含まれた非接触制御回路 U 9 の構成を示す図である。

【 0 1 3 4 】

図 1 0 に示す非接触制御回路 U 9 は、判定回路 U 1 6、判定結果レジスタ U 1 7、受信エラーレジスタ U 1 8、受信回路 U 1 9、送信回路 U 2 0、バス (B U S) を含んでいる。図 1 のように、判定回路 U 1 6 には、復調回路 U 7 の低感度復調回路 U 1 4、高感度復調回路 U 1 5 の 2 値化信号 A、2 値化信号 B が供給され、判定回路 U 1 6 から復調回路 U 7 へ低消費電力モード信号が供給される。受信回路 U 1 9 には、復調回路 U 7 の低感度復調回路 U 1 4、高感度復調回路 U 1 5 の 2 値化信号 A、2 値化信号 B と判定回路 U 1 6 の情報通信速度判定信号と情報伝達方式判定信号が供給される。受信回路 U 1 9 から R A M (U 1 0) へ受信パラレル・データが転送される一方、受信回路 U 1 9 から受信エラーレジスタ (U 1 8) にエラー検出信号が供給される。判定結果レジスタ (U 1 7) には判定回路 U 1 6 の情報通信速度判定信号と情報伝達方式判定信号が供給される一方、判定結果レジスタ (U 1 7) から送信回路 (U 2 0) には情報通信速度判定信号と情報伝達方式判定信号とが供給される。送信回路 (U 2 0) には R A M (U 1 0) から送信パラレル・データが転送される一方、送信回路 (U 2 0) から図 1 の変調回路 U 8 に 2 値化信号 C が供給される。

【 0 1 3 5 】

《判定回路の構成》

図 1 1 は、図 1 に示す非接触 IC カード U 1 の半導体集積回路 U 2 の内部回路 U 4 の非接触制御回路 U 9 に含まれた判定回路 U 1 6 の構成を示す図である。

【 0 1 3 6 】

図 1 1 に示す判定回路 U 1 6 は、復調回路 U 7 の低感度復調回路 U 1 4 からの 2 値化信号 A のローレベルからハイレベルへの変化に应答するエッジ検出回路 U 2 1 を含んでいる。また判定回路 U 1 6 は、復調回路 U 7 の高感度復調回路 U 1 5 からの 2 値化信号 B が供給されるパルス幅検出器 U 2 2 を含み、パルス幅検出器 U 2 2 はパルス幅カウンタ U 2 3 を含んでいる。

【 0 1 3 7 】

例えば、復調回路 U 7 の低感度復調回路 U 1 4 が I S O / I E C 1 4 4 4 3 のタイプ A の A S K 変調度 1 0 0 % の受信信号を受信する場合には、低感度復調回路 U 1 4 の 2 値化信号 A はローレベルからハイレベルに変化する。このレベル変化に应答してエッジ検出回路 U 2 1 は、タイプ A での受信モードの情報伝達方式判定信号を生成する。この情報伝達方式判定信号は復調回路 U 7 の高感度復調回路 U 1 5 の動作を停止する低消費電力モード信号となり、またパルス幅検出器 U 2 2 への動作停止制御信号となる。従って、判定回路 U 1 6 のエッジ検出回路 U 2 1 は、図 7 の動作フローのステップ F 4 - 2 の A S K 変調度判定の判定結果を生成するものである。

【 0 1 3 8 】

一方、復調回路 U 7 の高感度復調回路 U 1 5 が I S O / I E C 1 4 4 4 3 のタイプ B もしくは I S O / I E C 1 8 0 9 2 の A S K 変調度 1 0 % の受信信号を受信している場合は、低感度復調回路 U 1 4 からの 2 値化信号 A はローレベルに維持されている。従って、現在の受信信号がタイプ B と 1 8 0 9 2 とのいずれであるかを判定するために、図 7 の動作フローのステップ F 4 - 3 での 2 値化信号 B パルス幅判定が必要となる。従って、パルス幅検出器 U 2 2 のパルス幅カウンタ U 2 3 は、2 値化信号 B のパルス幅判定のために論理 “ 0 ” の変調期間の短長を判定する。すなわちパルス幅カウンタ U 2 3 は、2 値化信号 B

10

20

30

40

50

の論理“0”の期間にてクロック数をカウントするものである。カウント数が大きな上側の4つのケースは論理“0”の変調期間が長いISO/IEC 14443のタイプBの受信信号と判定され、カウント数が小さな下側の3つのケースは論理“0”の変調期間が長いISO/IEC 18092の受信信号と判定される。また、これらの7つのケースでは、106kbp/sから848kbp/sまでの情報通信速度も同時に判定されることが出来る。また、パルス幅検出器U22は、カウント数とタイプBまたは18092の情報伝達方式および情報通信速度をリンクするルックアップテーブル(参照テーブル)を含むものである。

【0139】

《受信回路の構成》

図12は、図1に示す非接触ICカードU1の半導体集積回路U2の内部回路U4の非接触制御回路U9に含まれた受信回路U19の構成を示す図である。

【0140】

図12に示す受信回路U19は、タイプAのデータ抽出回路U191とタイプBのデータ抽出回路U192と18092のデータ抽出回路U193と出力セクターU194を含んでいる。

【0141】

タイプAのデータ抽出回路U191には復調回路U7の低感度復調回路U14のシリアル値化信号Aと判定回路U16の情報伝達方式判定信号が供給され、タイプAのデータ抽出回路U191からはタイプAの受信パラレル・データと受信エラー信号とが生成されて出力セクターU194に供給される。

【0142】

タイプBのデータ抽出回路U192には復調回路U7の高感度復調回路U15のシリアル値化信号Bと判定回路U16の情報伝達方式判定信号と情報通信速度判定信号とが供給され、タイプBのデータ抽出回路U192からはタイプBの受信パラレル・データと受信エラー信号とが生成されて出力セクターU194に供給される。

【0143】

18092のデータ抽出回路U193には復調回路U7の高感度復調回路U15のシリアル値化信号Bと判定回路U16の情報伝達方式判定信号と情報通信速度判定信号とが供給され、この18092のデータ抽出回路U193からは18092の受信パラレル・データと受信エラー信号とが生成されて出力セクターU194に供給される。

【0144】

データ抽出回路U191、データ抽出回路U192、データ抽出回路U193、出力セクターU194に判定結果レジスタ17から供給される情報伝達方式判定信号は、タイプA、タイプB、18092のいずれかの方式である。従って、情報伝達方式判定信号によって指定された方式に従って、タイプAのデータ抽出回路U191とタイプBのデータ抽出回路U192と18092のデータ抽出回路U193とのいずれかが低消費電力状態または非活性化状態から活性化される。従って、活性化されたデータ抽出回路は、受信シリアル入力信号から受信パラレル・データと受信エラー信号とを生成する。

【0145】

出力セクターU194には判定回路U16からのタイプAとタイプBと18092とのいずれかの情報伝達方式判定信号が供給されているので、出力セクターU194はこのいずれかの方式の受信パラレル・データとエラー検出信号とを選択して、受信パラレル・データをRAM(U10)に転送して、エラー検出信号を受信エラーレジスタ(U18)に供給するものである。

【0146】

《送信回路の構成》

図13は、図1に示す非接触ICカードU1の半導体集積回路U2の内部回路U4の非接触制御回路U9に含まれた送信回路U20の構成を示す図である。

【0147】

10

20

30

40

50

図 1 3 に示す送信回路 U 2 0 は、タイプ A のフレーム変換回路 U 2 0 1 とタイプ B のフレーム変換回路 U 2 0 2 と 1 8 0 9 2 のフレーム変換回路 U 2 0 3 と出力セクター U 2 0 4 を含んでいる。

【 0 1 4 8 】

判定結果レジスタ 1 7 からの情報伝達方式判定信号はタイプ A のフレーム変換回路 U 2 0 1 とタイプ B のフレーム変換回路 U 2 0 2 と 1 8 0 9 2 のフレーム変換回路 U 2 0 3 と共通に供給され、判定結果レジスタ 1 7 からの情報通信速度判定信号はタイプ B のフレーム変換回路 U 2 0 2 と 1 8 0 9 2 のフレーム変換回路 U 2 0 3 とに供給される。バス (B U S) を介して転送される R A M (U 1 0) からの送信パラレル・データは、タイプ A のフレーム変換回路 U 2 0 1 とタイプ B のフレーム変換回路 U 2 0 2 と 1 8 0 9 2 のフレーム変換回路 U 2 0 3 と共通に供給される。

10

【 0 1 4 9 】

フレーム変換回路 U 2 0 1、フレーム変換回路 U 2 0 2、フレーム変換回路 U 2 0 3、出力セクター U 2 0 4 に判定結果レジスタ 1 7 から供給される情報伝達方式判定信号は、タイプ A とタイプ B と 1 8 0 9 2 とのいずれかの方式である。従って、情報伝達方式判定信号によって指定された方式に従って、タイプ A のフレーム変換回路 U 2 0 1 とタイプ B のフレーム変換回路 U 2 0 2 と 1 8 0 9 2 のフレーム変換回路 U 2 0 3 とのいずれかが低消費電力状態または非活性化状態から活性化される。従って、活性化された変換回路は、専用信号線を介して R A M (U 1 0) からの送信パラレル・データを判定結果レジスタ 1 7 からの情報通信速度判定信号に従って送信シリアルデータに変換する。出力セクター U 2 0 4 は、情報伝達方式判定信号に従って送信シリアルデータを選択して 2 値化信号 C を生成して変調回路 8 に供給する。

20

【 0 1 5 0 】

以上説明したように、復調回路 U 7 と判定回路 U 1 6 と受信回路 U 1 9 とによるデータの受信動作の間、もしくは、送信回路 U 2 0 と変調回路 U 8 とによるデータの送信動作の間では、R F 信号の復調または変調処理と R A M (U 1 0) とのデータ転送とに直接関係のない C P U (U 1 2) とバス (B U S) とを低消費電力状態にできるので、非接触リーダー / ライター装置とのデータ通信時の消費電力の低減を実現することが可能となる。

【 0 1 5 1 】

《タイプ A の受信》

30

図 1 4 は、図 1 に示す非接触 I C カード U 1 が非接触リーダー / ライター装置から I S O / I E C 1 4 4 4 3 のタイプ A の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【 0 1 5 2 】

図 1 4 に示すように非接触 I C カード U 1 が非接触リーダー / ライター装置の動作フィールドに入ると、非接触 I C カード U 1 の復調回路 U 7 での低感度復調回路 U 1 4 と高感度復調回路 U 1 5 とによる並列復調動作が実行される。1 回目のダウンリンク通信の直前に、判定回路 U 1 6 は図 7 のステップ F 4 - 2 の左側で現在 A S K 変調度が 1 0 0 % の I S O / I E C 1 4 4 4 3 のタイプ A の受信信号の受信を判定する。従って、判定回路 U 1 6 からの低消費電力モード信号によって、高感度復調回路 U 1 5 の動作が停止される。従って、タイプ A の受信ユーザーデータは復調回路 U 7 の低感度復調回路 U 1 4 と非接触制御回路 U 9 の受信回路 U 1 9 とによって受信された後に、専用信号線としての受信パラレル・データ信号線を介して R A M (U 1 0) に格納される。

40

【 0 1 5 3 】

R A M (U 1 0) への受信ユーザーデータの格納の終了時点での割り込み信号に应答して C P U (U 1 1) は、停止状態からウェーク (起動) して動作状態に移行する。C P U (U 1 1) は R A M (U 1 0) に格納されたデータを読み出して、R O M (U 1 1) または E E P R O M (U 1 3) に格納されたセキュア電子決済処理プログラムに従って読み出しデータを処理して、その処理結果を再び R A M (U 1 0) に格納する。C P U (U 1 1) による処理結果の R A M (U 1 0) への格納の完了時点で、C P U (U 1 1) は動作状態からスリープ状態の

50

停止状態に移行する。

【 0 1 5 4 】

C P U (U 1 1) の動作状態からスリープ状態への移行に応答して、送信回路 (U 2 0) と変調回路 (U 8) とは停止状態からウェーク (起動) して動作状態に移行する。従って、送信回路 (U 2 0) は、R A M (U 1 0) に格納された処理結果を専用信号線としての送信平行ル・データ信号線を介して読み出して、変調回路 (U 8) へ転送する。その結果、変調回路 (U 8) による非接触リーダー / ライター装置への 1 回目のアップリンク通信が実行される。

【 0 1 5 5 】

《タイプ B の受信》

図 1 5 は、図 1 に示す非接触 I C カード U 1 が非接触リーダー / ライター装置から I S O / I E C 1 4 4 4 3 のタイプ B の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【 0 1 5 6 】

図 1 5 に示すように非接触 I C カード U 1 が非接触リーダー / ライター装置の動作フィールドに入ると、非接触 I C カード U 1 の復調回路 U 7 での低感度復調回路 U 1 4 と高感度復調回路 U 1 5 とによる並列復調動作が実行される。1 回目のダウンリンク通信の直前に、判定回路 U 1 6 は図 7 のステップ F 4 - 2 の右側で現在 A S K 変調度が 1 0 % の受信信号の受信を判定している。また判定回路 U 1 6 は、図 7 のステップ F 4 - 3 での 2 値化信号 B のパルス幅判定による I S O / I E C 1 4 4 4 3 のタイプ B もしくは I S O / I E C 1 8 0 9 2 の受信信号の受信を判定する。判定回路 U 1 6 によって論理 “ 0 ” の変調期間が長いと判定されると、判定回路 U 1 6 はステップ F 4 - 3 の左側の結果とステップ F 4 - 5 に示すように現在 I S O / I E C 1 4 4 4 3 のタイプ B の受信信号の受信中和 1 0 6 k b p s の情報通信速度の判定を実行し、判定回路 U 1 6 からの低消費電力モード信号によって低感度復調回路 U 1 4 の動作が停止される。従って、タイプ B の受信ユーザーデータは復調回路 U 7 の高感度復調回路 U 1 5 と非接触制御回路 U 9 の受信回路 U 1 9 とによって受信された後に、専用信号線としての受信平行ル・データ信号線を介して R A M (U 1 0) に格納される。

【 0 1 5 7 】

R A M (U 1 0) への受信ユーザーデータの格納の終了時点での割り込み信号に응答して C P U (U 1 1) は、停止状態からウェーク (起動) して動作状態に移行する。C P U (U 1 1) は R A M (U 1 0) に格納されたデータを読み出して、R O M (U 1 1) または E E P R O M (U 1 3) に格納されたセキュア電子決済処理プログラムに従って読み出しデータを処理して、その処理結果を再び R A M (U 1 0) に格納する。C P U (U 1 1) による処理結果の R A M (U 1 0) への格納の完了時点で、C P U (U 1 1) は動作状態からスリープ状態の停止状態に移行する。

【 0 1 5 8 】

C P U (U 1 1) の動作状態からスリープ状態への移行に응答して、送信回路 (U 2 0) と変調回路 (U 8) とは停止状態からウェーク (起動) して動作状態に移行する。従って、送信回路 (U 2 0) は、R A M (U 1 0) に格納された処理結果を専用信号線としての送信平行ル・データ信号線を介して読み出して、変調回路 (U 8) へ転送する。その結果、変調回路 (U 8) による非接触リーダー / ライター装置への 1 回目のアップリンク通信が実行される。

【 0 1 5 9 】

《 1 8 0 9 2 の受信 》

図 1 6 は、図 1 に示す非接触 I C カード U 1 が非接触リーダー / ライター装置から I S O / I E C 1 8 0 9 2 の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【 0 1 6 0 】

図 1 6 に示すように非接触 I C カード U 1 が非接触リーダー / ライター装置の動作フィ

10

20

30

40

50

ールドに入ると、非接触ＩＣカードＵ１の復調回路Ｕ７での低感度復調回路Ｕ１４と高感度復調回路Ｕ１５とによる並列復調動作が実行される。１回目のダウンリンク通信の直前に、判定回路Ｕ１６は図７のステップＦ４－２の右側で現在ＡＳＫ変調度が１０％の受信信号の受信を判定している。また判定回路Ｕ１６は、図７のステップＦ４－３での２値化信号Ｂのパルス幅判定によるＩＳＯ／ＩＥＣ１４４４３のタイプＢもしくはＩＳＯ／ＩＥＣ１８０９２の受信信号の受信を判定する。判定回路Ｕ１６によって論理“０”の変調期間が短いと判定されると、判定回路Ｕ１６はステップＦ４－３の下側の結果とステップＦ４－６に示すように現在ＩＳＯ／ＩＥＣ１８０９２の受信信号の受信と４２４ｋｂｐｓの情報通信速度の判定を実行し、判定回路Ｕ１６からの低消費電力モード信号によって低感度復調回路Ｕ１４の動作が停止される。従って、１８０９２の受信ユーザーデータは復調回路Ｕ７の高感度復調回路Ｕ１５と非接触制御回路Ｕ９の受信回路Ｕ１９とによって受信された後に、専用信号線としての受信パラレル・データ信号線を介してＲＡＭ（Ｕ１０）に格納される。

10

【０１６１】

ＲＡＭ（Ｕ１０）への受信ユーザーデータの格納の終了時点での割り込み信号に応答してＣＰＵ（Ｕ１１）は、停止状態からウェーク（起動）して動作状態に移行する。ＣＰＵ（Ｕ１１）はＲＡＭ（Ｕ１０）に格納されたデータを読み出して、ＲＯＭ（Ｕ１１）またはＥＥＰＲＯＭ（Ｕ１３）に格納されたセキュア電子決済処理プログラムに従って読み出しデータを処理して、その処理結果を再びＲＡＭ（Ｕ１０）に格納する。ＣＰＵ（Ｕ１１）による処理結果のＲＡＭ（Ｕ１０）への格納の完了時点で、ＣＰＵ（Ｕ１１）は動作状態からスリープ状態の停止状態に移行する。

20

【０１６２】

ＣＰＵ（Ｕ１１）の動作状態からスリープ状態への移行に応答して、送信回路（Ｕ２０）と変調回路（Ｕ８）とは停止状態からウェーク（起動）して動作状態に移行する。従って、送信回路（Ｕ２０）は、ＲＡＭ（Ｕ１０）に格納された処理結果を専用信号線としての送信パラレル・データ信号線を介して読み出して、変調回路（Ｕ８）へ転送する。その結果、変調回路（Ｕ８）による非接触リーダー／ライター装置への１回目のアップリンク通信が実行される。

【０１６３】

《受信途中での情報通信速度の変更》

30

図１７は、図１に示す非接触ＩＣカードＵ１が非接触リーダー／ライター装置からＩＳＯ／ＩＥＣ１４４４３のタイプＢの情報伝達方式による受信信号の受信中に情報通信速度を変更した後に再び同一のタイプＢによる受信を実行する場合の動作を示す図である。

【０１６４】

図１７の１回目のダウンリンク通信の動作は図１５の１回目のダウンリンク通信の動作と同一であるが、図１７のＮ回目のダウンリンク通信の際には非接触リーダー／ライター装置からＩＳＯ／ＩＥＣ１４４４３のタイプＢの受信信号の情報通信速度が最低速の１０６ｋｂｐｓから中低速の２１２ｋｂｐｓに変更される。この情報通信速度の変更は、図８のステップＦ３－３での判定回路Ｕ１６による２値化信号Ｂのパルス幅判定によるタイプＢの受信信号の通信速度の判定によって検出されることができる。新しく検出された変更後の情報通信速度は判定結果レジスタＵ１７に書き込まれるので、送信回路Ｕ２０の送信の情報通信速度は中低速の２１２ｋｂｐｓに変更される。また、受信回路Ｕ１９も新しく検出された変更後の情報通信速度に対応して、シリアル２値化信号Ｂを受信パラレル・データに変換するものである。また、この情報通信速度の変更は１０６ｋｂｐｓ、２１２ｋｂｐｓ、４２４ｋｂｐｓ、８４８ｋｂｐｓのいずれか１個から他の１個に任意に変更することが可能である。

40

【０１６５】

またＩＳＯ／ＩＥＣ１４４４３のタイプＢだけではなくＩＳＯ／ＩＥＣ１８０９２の方式による受信信号の受信中に、２１２ｋｂｐｓ、４２４ｋｂｐｓ、８４８ｋｂｐｓのいずれか１個から他の１個に任意に変更することが可能である。

50

【 0 1 6 6 】

《非接触 I C カードの構造》

図 1 9 は、図 1 に示す非接触 I C カード U 1 の構造を示す図である。

【 0 1 6 7 】

図 1 9 に示す非接触 I C カード U 1 は、樹脂モールドされるプリント基板によってカードの形態を取っている。外部の非接触リーダー / ライター装置からの電磁波を受けるアンテナは、プリント基板の配線により形成される渦巻き状のコイルによって構成される。1 個の I C チップで構成された半導体集積回路 U 2 は、プリント基板に実装され、I C チップにアンテナとなるコイルが接続される。

【 0 1 6 8 】

このように、図 1 9 の非接触 I C カード U 1 は携帯電話のように電池を持たないものであり、I C カード単体で非接触リーダー / ライター装置の動作フィールドの範囲内でアンテナによって受信される R F 信号の整流・平滑による低駆動能力の動作電圧で動作するものである。

【 0 1 6 9 】

《携帯電話に搭載される非接触 I C カード》

図 2 0 は、図 1 に示す非接触 I C カードが携帯電話に搭載される様子を示す図である。

【 0 1 7 0 】

図 2 0 に示す非接触 I C カードは、図 1 9 に示す非接触 I C カードと同様にプリント基板の上に I C チップとアンテナとが形成されている。しかし、図 2 0 の非接触 I C カードは、図 1 9 の非接触 I C カードよりも極めて小さな外形とされることによって、携帯電話に搭載されることが可能となるものである。従って、図 2 0 に示す非接触 I C カードは、携帯電話に搭載される移動体通信機能を有するその他の半導体集積回路、液晶表示コントローラ・ドライバ等のその他の半導体集積回路と同様に、携帯電話に内蔵される電池の動作電圧で動作することが可能である。この場合も、低消費電力モード信号に応答して各回路を低消費電力状態とすることで、低消費電力化を実現することが可能となる。

【 0 1 7 1 】

また、図 2 0 に示す非接触 I C カードは携帯電話に搭載されるばかりではなく、P D A (Personal Digital Assistant) と呼ばれる手帳タイプのパーソナル・コンピュータやノート型パーソナル・コンピュータの携帯情報端末の全般に内蔵されることが可能である。

【 0 1 7 2 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 1 7 3 】

例えば、本発明は非接触型 I C カードに限定されるものではなく、接触型の入出力端子の非接触インターフェースと非接触インターフェースとを持つデュアルタイプ I C カードに適用することもできる。

【 0 1 7 4 】

また、図 1 の非接触 I C カードにおいて半導体集積回路 U 2 はシングルチップ構成に限定されるものではなく、第 1 チップと第 2 チップとのマルチ・チップ構成とすることができる。例えば、第 1 チップは、電源回路 U 2 と復調回路 U 7 と変調回路 U 8 と非接触制御回路 U 9 とを含むものである。また、第 2 チップは、R A M (U 1 0)、R O M (U 1 1)、C P U (U 1 2)、E E P R O M (U 1 3)、バス (B U S) を含むだけでなく、第 1 チップとの通信のためのインターフェース回路を含むことができる。

【 0 1 7 5 】

また、図 1 の半導体集積回路に搭載される受信回路 U 1 9 または送信回路 U 2 0 と R A M (U 1 0) との間のデータ転送は、専用信号線としての受信パラレル・データ線または送信パラレル・データ線は専用信号線に限定されるものではなく、C P U (U 1 2) に接続されたバス (B U S) を介してまたはその他の周辺バスを介してデータ転送を行うことも可

10

20

30

40

50

能である。

【 0 1 7 6 】

また、R A M (U 1 0) に対するデータ転送において、R A M (U 1 0) の固定アドレスから順次格納する構成に限定されるものではなく、メモリ制御回路を利用することによって任意のアドレスに格納することも可能である。

【 0 1 7 7 】

更に本発明は A S K 方式のデジタル変調方式による通信だけでなく、周波数偏移変調方式 (F S K : Frequency Shift Keying) や位相偏移変調方式 (P S K : Phase Shift Keying) 等によるデジタル変調方式による通信にも適用することが可能である。

【 図面の簡単な説明 】

10

【 0 1 7 8 】

【 図 1 】 図 1 は、本発明の実施の形態による非接触 I C カードの基本的な構成を示す図である。

【 図 2 】 図 2 は、I S O / I E C 1 4 4 4 3 のタイプ A の A S K 変調度が 1 0 0 % の場合と、I S O / I E C 1 4 4 4 3 のタイプ B および I S O / I E C 1 8 0 9 2 で A S K 変調度が 1 0 % の場合の非接触 I C カードでの非接触リーダー / ライター装置からの受信信号の波形を示す図である。

【 図 3 】 図 3 は、I S O / I E C 1 4 4 4 3 のタイプ B の送信データとしてのフレームの構成を示す図である。

【 図 4 】 図 4 は、I S O / I E C 1 8 0 9 2 の送信データパケットの構成を示す図である。

20

【 図 5 】 図 5 は、非接触リーダー / ライター装置から非接触 I C カードへの I S O / I E C 1 4 4 4 3 のタイプ B の送信データの通信速度が 1 0 6 k b p s 、 2 1 2 k b p s 、 4 2 4 k b p s 、 8 4 8 k b p s のそれぞれの場合のフレームの先頭の通信開始信号 S O F の時間の長さを示す図である。

【 図 6 】 図 6 は、非接触リーダー / ライター装置から非接触 I C カードへの I S O / I E C 1 8 0 9 2 の送信データの通信速度が 2 1 2 k b p s 、 4 2 4 k b p s 、 8 4 8 k b p s のそれぞれの場合の送信データパケットの先頭のプリアンプルの論理 “ 0 ” の時間の長さを示す図である。

【 図 7 】 図 7 は、図 1 に示す非接触 I C カードが非接触リーダー / ライター装置からの受信信号がタイプ A とタイプ B と 1 8 0 9 2 とのいずれの情報伝達方式であるかを検出する動作フローを説明するための図である。

30

【 図 8 】 図 8 は、図 1 に示す非接触 I C カードが初期受信で受信エラーが無く、判定結果レジスタに情報伝達方式の判定結果が格納され、初期受信以降の受信で情報伝達方式の判定を省略した動作フローを説明するための図である。

【 図 9 】 図 9 は、図 1 の非接触 I C カードによる図 7 の動作フローのステップ F 4 の初期受信から受信エラーによるステップ F 5 の受信終了の動作実行の後に実行される動作フローを説明するための図である。

【 図 1 0 】 図 1 0 は、図 1 に示す非接触 I C カードの半導体集積回路の内部回路に含まれた非接触制御回路の構成を示す図である。

40

【 図 1 1 】 図 1 1 は、図 1 に示す非接触 I C カードの半導体集積回路の内部回路の非接触制御回路に含まれた判定回路の構成を示す図である。

【 図 1 2 】 図 1 2 は、本発明の 1 つの実施の形態による半導体集積回路の回路構成を示す図である。

【 図 1 3 】 図 1 3 は、図 1 2 に示した本発明の 1 つの実施の形態による半導体集積回路を構成する種々のデバイスのレイアウトを示すシリコンチップの平面図である。

【 図 1 4 】 図 1 4 は、図 1 に示す非接触 I C カードが非接触リーダー / ライター装置から I S O / I E C 1 4 4 4 3 のタイプ A の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【 図 1 5 】 図 1 5 は、図 1 に示す非接触 I C カードが非接触リーダー / ライター装置から

50

I S O / I E C 1 4 4 4 3 のタイプ B の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【図 1 6】図 1 6 は、図 1 に示す非接触 I C カードが非接触リーダー / ライター装置から I S O / I E C 1 8 0 9 2 の情報伝達方式による受信信号を受信する場合の動作を示す図である。

【図 1 7】図 1 7 は、図 1 に示す非接触 I C カードが非接触リーダー / ライター装置から I S O / I E C 1 4 4 4 3 のタイプ B の情報伝達方式による受信信号の受信中に情報通信速度を変更した後に再び同一のタイプ B による受信を実行する場合の動作を示す図である。

【図 1 8】図 1 8 は、図 1 に示す非接触 I C カード U 1 の R O M (U 1 0) もしくは E E P R O M (U 1 3) 等の不揮発性メモリに格納されて非接触 I C カード U 1 によって実行される種々のプログラムの構成を示す図である。

【図 1 9】図 1 9 は、図 1 に示す非接触 I C カード U 1 の構造を示す図である。

【図 2 0】図 2 0 は、図 1 に示す非接触 I C カードが携帯電話に搭載される様子を示す図である。

【符号の説明】

【 0 1 7 9 】

- U 1 非 接 触 I C カ ー ド
- L 1 ア ン テ ナ
- L A 第 1 ア ン テ ナ 接 続 端 子
- L B 第 2 ア ン テ ナ 接 続 端 子
- C 1 共 振 容 量
- U 2 半 導 体 集 積 回 路
- U 3 電 源 回 路
- U 4 内 部 回 路
- U 5 整 流 回 路
- U 6 レ ギ ュ レ ー タ
- U 7 復 調 回 路
- U 8 変 調 回 路
- U 9 非 接 触 制 御 回 路
- U 1 0 R A M
- U 1 1 R O M
- U 1 2 C P U
- U 1 3 E E P R O M
- U 1 4 低 感 度 復 調 回 路
- U 1 5 高 感 度 復 調 回 路
- U 1 6 判 定 回 路
- U 1 7 判 定 結 果 レ ジ ス タ
- U 1 8 受 信 エ ラ ー レ ジ ス タ
- U 1 9 受 信 回 路
- U 2 0 送 信 回 路

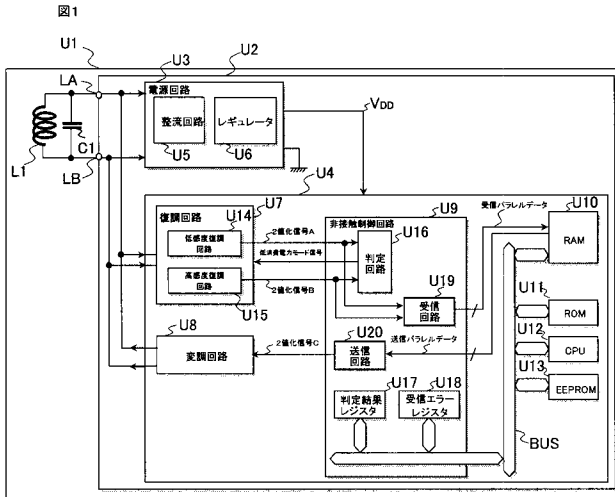
10

20

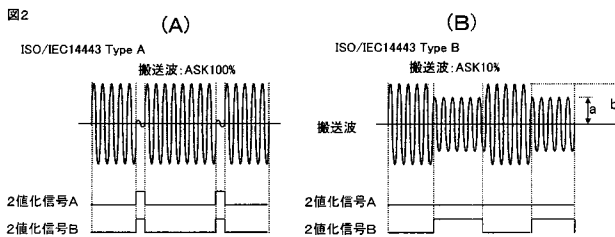
30

40

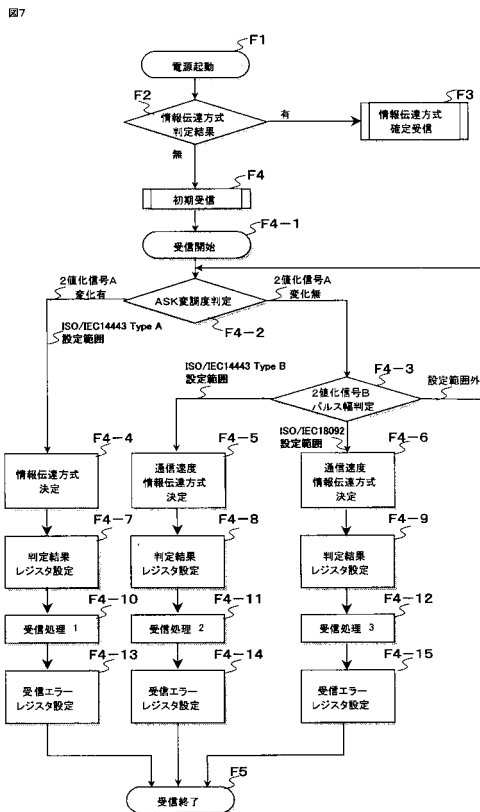
【図1】



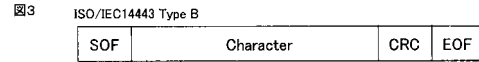
【図2】



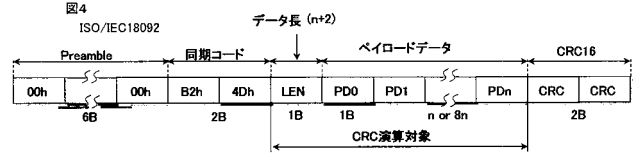
【図7】



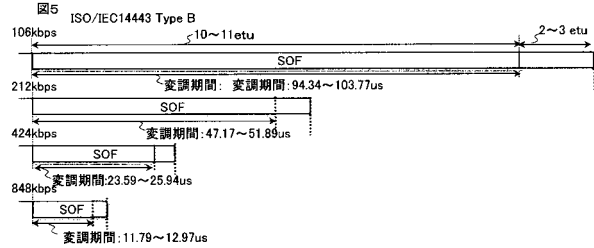
【図3】



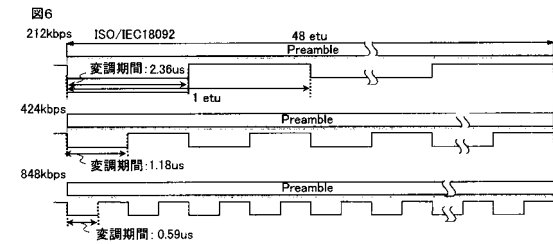
【図4】



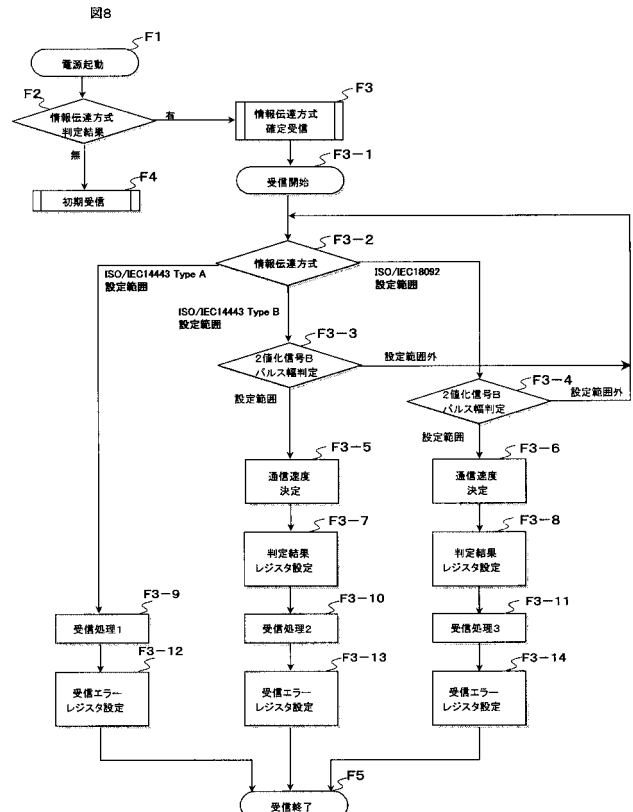
【図5】



【図6】

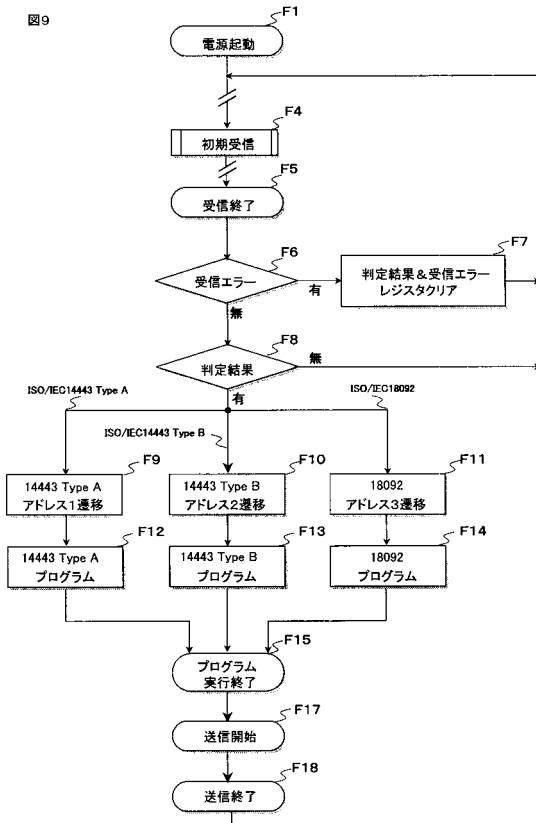


【図8】



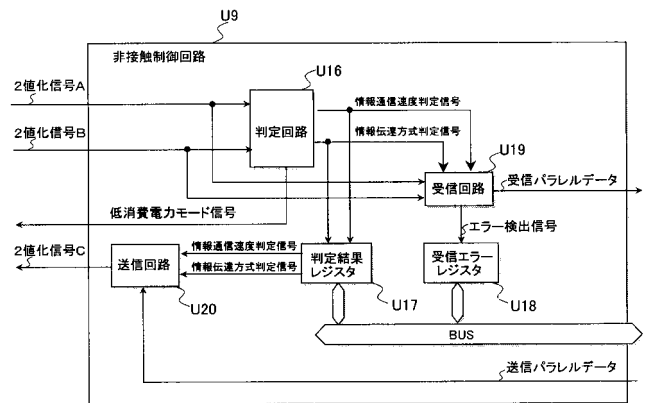
【図 9】

図9



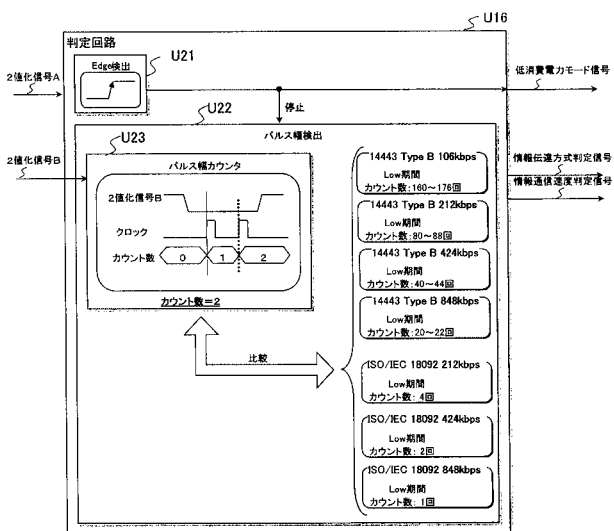
【図 10】

図10



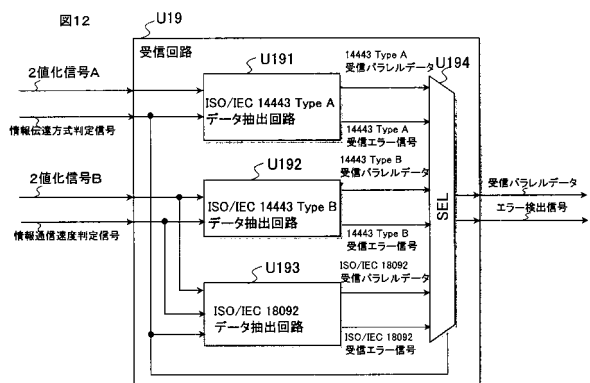
【図 11】

図11



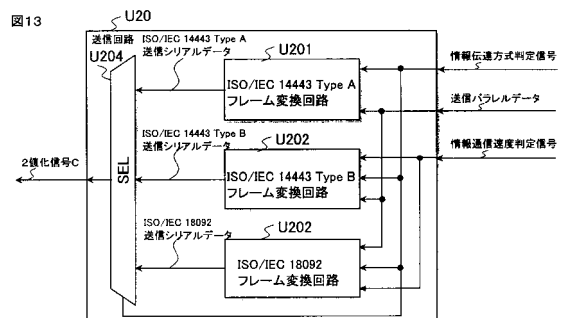
【図 12】

図12



【図 13】

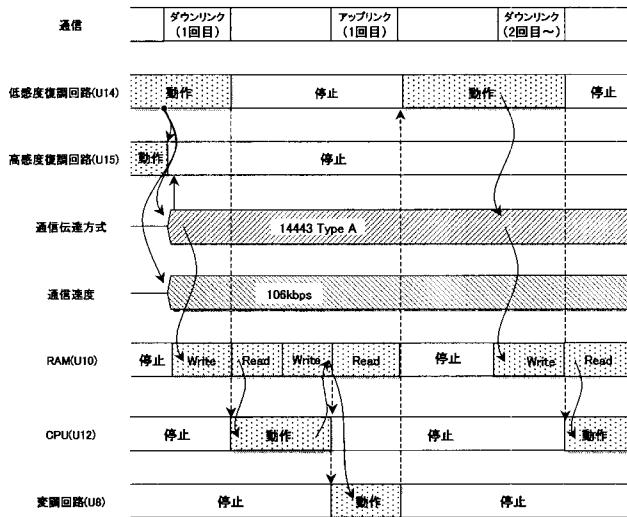
図13



【図 14】

図 14

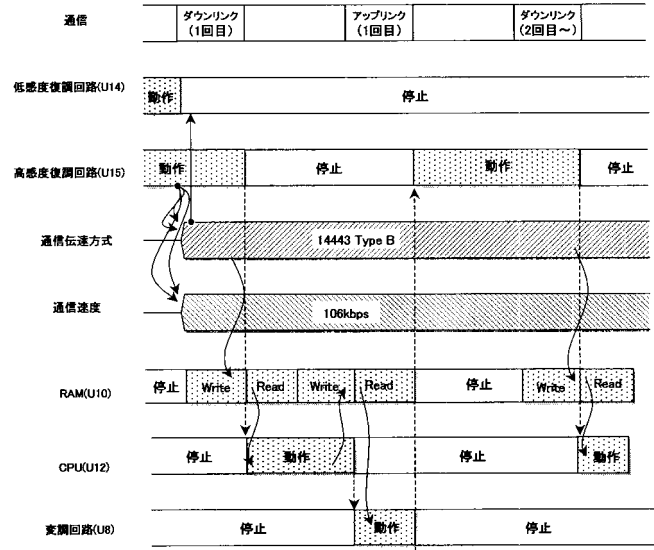
ダウンリンク: ISO/IEC 14443 Type-A
(変調度100%、通信速度106kbps)



【図 15】

図 15

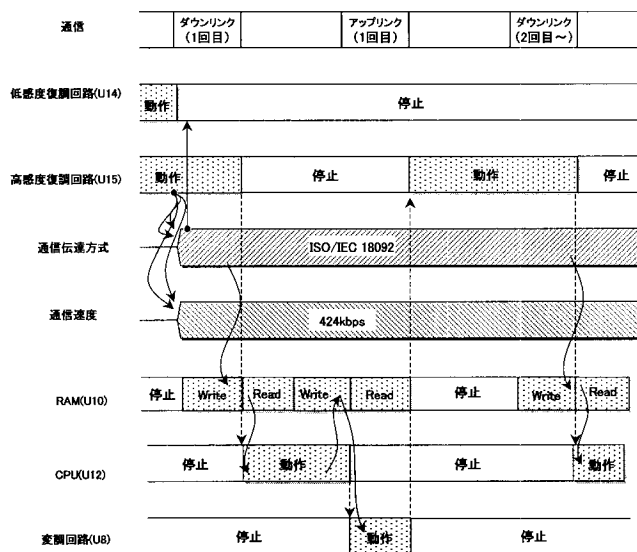
ダウンリンク: ISO/IEC 14443 Type-B
(変調度10%、通信速度106kbps)



【図 16】

図 16

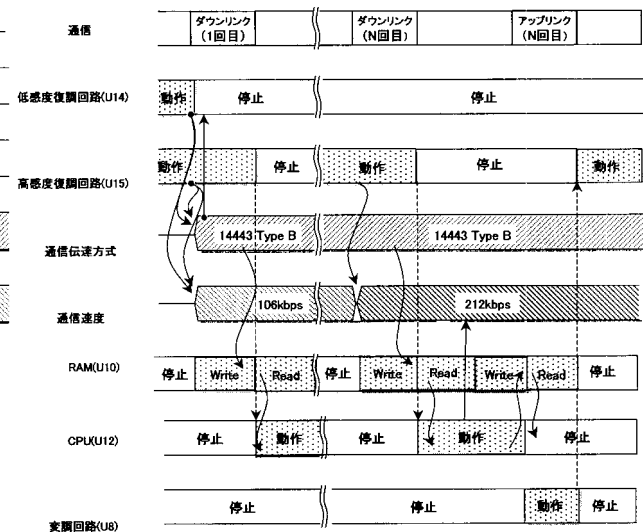
ダウンリンク: ISO/IEC 18092
(変調度10%、通信速度424kbps)



【図 17】

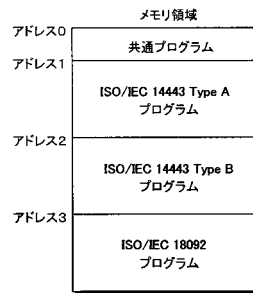
図 17

ダウンリンク: ISO/IEC 14443 Type-B
(変調度10%、通信速度106kbps→212kbps)



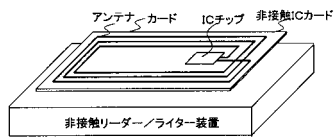
【図 18】

図18



【図 19】

図19



【図 20】

図20

