

公告本

申請日期	91. 2. 22
案 號	91103115
類 別	H01L 21/00

A4
C4

530327

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	包括背面通道之氮化鎵材料裝置與方法
	英 文	Gallium Nitride Material Devices and Methods Including Backside Vias
二、發明 創作人	姓 名	1.T.瓦倫.威克司 2.艾德溫 L.皮納 3.李察 M.伯之 4.克文 J.林西康
	國 籍	1.美國 2.美國 3.葡萄牙 4.美國
三、申請人	住、居所	1.美國北卡羅來納州 27612 羅列 湖港路 5716 號 2.美國北卡羅來納州 27511 凱瑞 法朗克林卻司區 112 號 3.美國北卡羅來納州 27560 莫瑞思村 班溪區 102 號 4.美國北卡羅來納州 27501 安極耳 交岔路 474 號
	姓 名 (名稱)	奈綽內克公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國北卡羅來納州 27606 萊禮市休頓街 628 號 106 室
三、申請人	代 表 人 姓 名	巴伯.利屈

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
美 2001.02.23 09/792,414

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(/)

發明之領域

本發明一般而言係關於半導體材料，並且更特別地是關於氮化鎵材料及氮化鎵材料的製法。

發明之背景

氮化鎵材料包括氮化鎵 (GaN) 及其合金，諸如鋁鎵氮化物 (AlGaN)、銦鎵氮化物 (InGaN) 及鋁銦鎵氮化物 (AlInGaN)。這些材料為具有相當寬之直接能帶的半導體化合物，該能帶得以發生高能電子躍遷。該電子躍遷可使氮化鎵材料具有多種具吸引力的性質，包括有效率地發射藍光的能力、發射高頻訊號的能力及其他能力。因此，在諸如電晶體、場發射器及光電子裝置等諸多半導體裝置應用中，氮化鎵材料正被廣泛地研究。

氮化鎵材料已被形成於多數種不同的基板上，諸如碳化矽 (SiC)、藍寶石及矽。矽基板易於購得且相當廉價，以及矽加工技術已被充分地開發。然而，形成氮化鎵材料於矽基板上以製做半導體裝置卻存在有由矽與氮化鎵間之晶格常數、熱膨脹及能隙差異所造成的問題。

許多半導體裝置包含有至少二個電接點，該電接點提供諸如對電源供應端子的導電接觸。在典型的裝置中，電流由裝置上的第一接點 (諸如陽極) 流到裝置上的第二接點 (諸如陰極)。在某些裝置中，該第一與第二接點皆位於裝置頂端 (亦即上表面) 上。該裝置被稱為水平導電裝置，因為電流係由第一接點至第二接點水平地流經裝置。在其他裝置中，第一接點位於裝置頂端上，而第二接點則

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

位於裝置背面(亦即底部表面)上。該裝置被稱為直立導電裝置。在某些狀況中，直立導電裝置可製做得較類似功能的水平裝置更小，因為水平裝置包括多個頂端接點，而直立裝置可能僅需要一個頂端接點。縮小裝置尺寸可能為有利的，因為單位面積(晶圓)所製做的裝置數目會增加。因此，在某些應用中，直立導電裝置可能較水平導電裝置為佳。

發明之概要

本發明包括提供具有背面通道的氮化鎵材料裝置及形成該裝置的方法。該裝置包括形成於基板(諸如矽)上的氮化鎵材料。該裝置亦可包括一個或多個非導電層，該非導電層位於基板與氮化鎵材料之間，並可助於氮化鎵材料的沈積。提供由裝置背面延伸穿經非導電層的通道，以使沈積於通道中的電接點與諸如裝置頂端上的電接點間得以進行電傳導。因此，本發明的裝置可直立導電。在其他狀況中，該通道可完全沒有電接點，以諸如加強光線抽出(light extraction)。典型的裝置包括有雷射二極體(LD)、發光二極體(LED)、整流二極體、場效應電晶體(FET，諸如異質接面場效應電晶體(HFET))、Gunn 效應二極體及可變電阻二極體等。

在一觀點中，本發明提供一種半導體結構。該半導體結構包括具有至少一個通道的基板以及形成於該通道中的電接點，其中該通道係延伸自基板背面。該半導體結構亦包括形成於該基板上的氮化鎵材料區域。

五、發明說明(3)

在另一個觀點中，本發明提供一種半導體結構。該半導體結構包括具有至少一個通道的矽基板，其中該通道係延伸自矽基板背面。該半導體結構亦包括形成於該矽基板上的氮化鎵材料區域。

在另一個觀點中，本發明提供一種直立導電半導體裝置。該半導體裝置包括矽基板及形成於該矽基板上的氮化鎵材料區域。該半導體裝置可進行直立傳導。

在另一個觀點中，本發明提供一種半導體結構。該半導體結構包括矽基板及形成於該矽基板上的氮化鎵材料區域。該半導體結構亦包括形成於氮化鎵材料區域與矽基板間的非導電層以及形成於通道中的電接點，其中該通道係由該半導體結構背面延伸穿經該非導電層。

在另一個觀點中，本發明提供一種形成半導體結構的方法。該方法包括形成氮化鎵材料區域於基板上，形成延伸自該半導體結構背面的通道，以及形成電接點於該通道中。

在另一個觀點中，本發明提供一種形成半導體結構的方法。該方法包括形成氮化鎵材料區域於矽基板上，以及形成延伸自該矽基板背面的通道。

在另一個觀點中，本發明提供一種形成半導體結構的方法。該方法包括形成第一薄層於矽基板上，以及形成氮化鎵材料區域於該第一薄層上。該方法更包括將基板移除，以暴露出該第一薄層背面。

在其他的優點當中，即使當該裝置包括非導電層時，

五、發明說明(4)

本發明仍能製做直立導電的氮化鎵材料裝置。特別地是，能以矽基板製做包括該非導電層的直立導電裝置。矽基板係特別為所希冀，因為其易於購得、相當廉價，並可使用熟知技術加工。

此外，本發明的直立導電裝置可以較類似功能的水平置更小的尺寸形成，因為直立導電裝置上方存在有較少的頂端接點。使用較小的裝置尺寸可使更多裝置得以形成於一特定晶圓上。

再者，使用本發明之方法所形成的背面接點可具有其他有利的功能。在某些狀況中，該背面接點可作用為散熱片，其可將裝置操作期間所產生的熱能移除。再者，該背面接點可作用為反射層，其可加強光電子裝置的輸出效率。

應瞭解地是，並非本發明的每個具體態樣皆具有在此所述的優點。本發明的其他優點、觀點及特徵將由下列配合附圖之本發明的詳細說明而變得清楚。

圖式簡單說明

圖 1 舉例說明根據本發明具體態樣之包括背面通道的半導體裝置。

圖 2 舉例說明根據本發明另一個具體態樣之包括多個背面通道的半導體裝置。

圖 3 舉例說明根據本發明另一個具體態樣之包括多個背面通道且無頂端通道的半導體裝置。

圖 4 舉例說明根據本發明另一個具體態樣之發光二極

五、發明說明(5)

體(LED)。

圖 5 舉例說明根據本發明另一個具體態樣之雷射二極體。

圖 6 舉例說明根據本發明另一個具體態樣之整流二極體。

圖 7 舉例說明根據本發明另一個具體態樣之異質接面場效應電晶體(HFET)。

圖 8 舉例說明根據本發明另一個具體態樣之包括多個背面通道且無頂端通道的 LED。

圖 9 舉例說明根據本發明另一個具體態樣之包括背面通道的 LED，其中該背面通道完全無電接點。

圖 10 舉例說明根據本發明另一個具體態樣之包括背面通道的 LED，其中該背面通道的形狀可加強內部光線反射。

圖 11 舉例說明根據本發明另一個具體態樣之 LED，其中該 LED 包括形成於裝置背面上的正與負接點。

圖 12 舉例說明根據本發明另一個具體態樣之已在加工期間移除基板後的 LED。

發明之詳細說明

本發明提供包括背面通道的氮化鎵材料裝置及形成該裝置的方法。

參考圖 1，所示為根據本發明具體態樣之半導體裝置 10。半導體裝置 10 包括基板 12 及形成於該基板上的氮化鎵材料裝置區域 14。如以下所進一步說明，裝置結構通常

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

至少部分形成於氮化鎵材料區域 14 中。裝置 10 更包括形成於基板 12 上的非導電層 15，以便於諸如後續的氮化鎵材料裝置區域 14 沈積。一頂端電接點 16（位於裝置頂端 18 上）與一背面電接點 20（位於裝置背面 22 上）被設置以用於連接至供應裝置電源的外部電源供應。背面電接點 20 沈積於延伸自裝置背面 22 的通道 24 中。通道 24 延伸穿經非導電層 15，並進入裝置 10 中的導電區域（諸如裝置區域 14）。由於背面電接點 20 沈積於通道 24 中的結果，電流便可穿經裝置區域 14，在背面電接點與頂端電接點 16 之間流動，而不會為非導電層 15 所阻礙。因此，雖然存在有非導電層 15，但仍可完成穿經裝置 10 之背面電接點 20 與頂端電接點 16 間的直立傳導。

在此所使用的“非導電”層係指可在一個或多個方向上阻擋電流或將電流限制在得以忽略之數量的薄層。“非導電”層可由諸如非導體材料形成；或可由半導體材料形成，該半導體材料的能帶充分偏離與該“非導電”層相鄰之薄層。雖然“非導電”層本身可能具有導電性，但是能帶與相鄰薄層偏離或不連續的結果仍可使其為非導電性（諸如在直立方向上）。在此所使用的“直立傳導”係指裝置中直立方向上的電流。“直立傳導”可在背面電接點與頂端電接點之間，或者可在裝置中直立分離的不同薄層之間進行。

應瞭解地是，當指稱一薄層位於另一薄層或基板的“上面”或“上方”時，其可“直接”位於該薄層或基板“

五、發明說明(7)

上面”，或者亦可存在有一中間層。薄層直接位於另一薄層或基板上面意指不存在有中間層。亦應瞭解地是，當指稱一薄層位於另一薄層或基板的“上面”或“上方”時，其可覆蓋整個薄層或基板，或者覆蓋部分的薄層或基板。如圖式中所示，術語“頂端”意指裝置上表面，而術語“背面”意指裝置底部表面。因此，頂端係位於裝置背面的反面。

在某些較佳具體態樣中，基板 12 為矽基板。在此所使用的矽基板 12 係指包括有矽層的任何基板。適當的矽基板實施例當中包括有完全由矽組成的基板（諸如，體材矽（bulk silicon）晶圓）、矽在絕緣體上（SOI）基板、矽在藍寶石上（SOS）基板，以及植入氧而隔離（SIMOX）的基板。適當的矽基板亦包括將矽晶圓接合於諸如鑽石、氮化鋁或其他複晶材料等另一材料的基板。可使用具有不同結晶方位的矽基板 12。在某些狀況中，矽（111）基板為較佳。在其他狀況中，矽（100）基板為較佳。

應瞭解地是，在其他具體態樣中，可使用諸如藍寶石與碳化矽基板等除了矽基板以外的基板。

基板 12 可具有任何尺寸，且其特定尺寸係依據應用而定。適當的直徑包括（但非僅限於此）2 吋（50 mm）、4 吋（100 mm）、6 吋（150 mm）及 8 吋（200 mm）。在某些具體態樣中，矽基板 12 相當厚，諸如大於 250 微米。較厚的基板通常可抗彎曲；在某些狀況中，較薄的基板會發生彎曲。在某些具體態樣中，較佳方式為使用薄的矽基板

五、發明說明（ 8 ）

12（諸如小於 100 微米），以便於穿經其而形成通道 24。

可在氮化鎵材料裝置區域 14 沈積之前，先將非導電層 15 形成於基板 12 上，以諸如達成一項或多項下列要求：藉由降低氮化鎵材料裝置區域 14 與基板 12 間的熱膨脹係數差異所造成的熱應力，而減少氮化鎵材料裝置區域 14 中的裂縫形成；藉由降低氮化鎵材料裝置區域 14 與基板 12 間的晶格常數差異所造成的晶格應力，而減少氮化鎵材料裝置區域 14 中的缺陷形成；以及藉由降低基板 12 與氮化鎵材料裝置區域 14 間的能隙差異，而增加基板 12 與氮化鎵材料裝置區域 14 間的傳導。應瞭解地是，非導電層 15 亦可因其他各種理由而形成於基板 12 與氮化鎵材料裝置區域 14 之間。當使用矽基板時，非導電層 15 的存在可能特別地較佳。

非導電層 15 的組成係至少部分依據基板的種類以及氮化鎵材料裝置區域 14 的組成而定。在某些使用矽基板的具體態樣中，較佳方式係非導電層 15 可包含有組成漸次變化過渡層，該組成漸次變化過渡層在其至少部分薄層上有組成變化。適當的組成漸次變化過渡層已說明於諸如共審中且共有的美國專利申請案第 09/736,972 號，該專利申請案的標題為“Gallium Nitride Materials and Methods”，並於 2000 年 12 月 14 日提出申請，其在此併入本案以為參考資料。藉由降低氮化鎵材料與基板 12（諸如矽）間的熱膨脹係數差異所造成的熱應力，則組成漸次變化過渡層能特別有效地減少氮化鎵材料裝置區域 14 中的裂縫形成。在某些

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明（ 9 ）

具體態樣中，當非導電層 15 為組成漸次變化時，非導電層 15 係由諸如 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 或 $\text{In}_y\text{Ga}_{(1-y)}\text{N}$ 等氮化鎵合金所組成。在這些具體態樣中，該合金之至少一種元素（諸如鎵、鋁、銦）的濃度通常會在該薄層的至少部分橫剖面厚度上有所變化。

在其他具體態樣中，非導電層 15 在其整個厚度上具有固定的（亦即，沒有變化的）組成。該非導電層包括有緩衝層及中間層。適當的中間層已說明於諸如先前所參考的美國專利申請案第 09/736,972 號。在某些具體態樣中，非導電層 15 具有固定組成的氮化鎵合金，諸如 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 或 $\text{In}_y\text{Ga}_{(1-y)}\text{N}$ 。

在作為舉例的具體態樣中，所示的單一非導電層 15 係位於基板 12 與氮化鎵材料裝置區域 14 之間。其他的具體態樣可包括有多個非導電層。例如，裝置 10 可包括有一個非導電組成漸次變化過渡層及一個非導電中間層。亦應瞭解地是，在某些具體態樣中，一個或多個導電層亦可存在於基板 12 與氮化鎵材料裝置區域 14 之間，其可達成一項或多項上述非導電層的特徵。例如，該組成漸次變化過渡層在某些狀況中可為導電性。在某些狀況中，該導電層為位於基板與氮化鎵材料裝置區域之間的單層。在包括有一個或多個導電層的具體態樣中，該結構可不包括任何非導電層。

在圖 1 的具體態樣中，通道 24 延伸穿經基板 12 的非導電層 15，以使得裝置 10 中可發生直立傳導。因此，通

五、發明說明（10）

道 24 至少具有足以在頂端電接點 16 與背面電接點 20 間形成導電直立路徑的長度（L）。例如，通道 24 可延伸至氮化鎵材料裝置區域 14 中的位置，而形成該導電路徑。在某些狀況中，較佳方式可將通道 24 延伸至氮化鎵材料裝置區域 14 中的蝕刻阻絕層（諸如，圖 5 中的 46），以便於進行如以下所進一步說明的加工。在某些具體態樣中，通道 24 可延伸至低於氮化鎵材料裝置層的位置—諸如摻雜導電過渡層的上部位中，而形成直立導電路徑。在某些狀況中，通道 24 可延伸至形成於裝置 10 中的源極區或汲極區。

通道 24 的確切尺寸與形狀係依據應用而定。位於背面 22 上的典型通道橫剖面面積為約 100 微米乘約 100 微米。對通道 24 而言，較佳方式為所示之向內變尖，因而產生錐形通道（亦即，截頭的金字塔形）。向內變尖可便於背面電接點 20 沈積在通道 24 側壁 28 上。在其他狀況中，如以下所進一步說明並如圖 10 所示，對通道而言，較佳方式為向外變尖（亦即，橫剖面面積在遠離背面的方向上增加）。在某些具體態樣中，向外變尖的通道可加強內部光線反射，並可改良光線抽出。

在圖 1 中，裝置 10 包括一單一通道 24。然而，如以下所進一步說明並如圖 2-3 所示的其他具體態樣可包括多個通道。

在此所使用的用語“電接點”或“接點”係指半導體裝置上的任何導電結構，其可與電源有效地接觸，並包括電極、端子、接觸墊、接觸面、接觸區域及類似物等。背

五、發明說明 (II)

面電接點 20 與頂端電接點 16 係由包括有特定金屬的導電材料所形成。本技藝所熟知的任何適當導電材料皆可使用。接點 16, 20 的組成可依據接點的種類而定。例如，接點 16, 20 可為接點 n 型材料或 p 型材料。適當的 n 型接點金屬包括有鈦、鎳、鋁、金、銅及其合金。適當的 p 型接點金屬包括有鎳、金、鈦及其合金。

接點 16, 20 具有足夠的厚度，以確保該接點的整個區域皆具有導電性。例如，適當的接點 16, 20 厚度為約 0.05 微米至約 10 微米之間。在某些狀況中，由於通道 24 側壁 28 上的不均勻沈積，整個區域上的背面電接點 20 厚度會有變化。背面電接點 20 與頂端電接點 16 的表面區域可藉由打線接合、空氣橋接 (air bridging) 及類似方法，而與適當的電源端子接觸。在某些較佳具體態樣中，背面電接點 20 實質上僅延伸超過背面，而不會延伸超過諸如裝置 10 端面 30。因此，在這些較佳具體態樣中，端面 30 實質上並無背面電接點 20。

在某些具體態樣中，背面電接點 20 亦可作用為有效的散熱片。在這些具體態樣中，背面電接點 20 可將裝置操作期間產生的熱能移除。此舉可使裝置 10 得以在產生大量熱的情況下操作，否則該熱將損傷裝置。特別地是，在高電流密度操作的雷射二極體可使用背面電接點 20 作為散熱片。可特別地設計背面電接點 20，以加強熱能的移除。例如，背面電接點 20 可由諸如銅與金等材料組成，該材料在熱移除方面特別地有效。再者，可將背面電接點 20 與通道

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(12)

24 進行設計，以使得有較大的表面區域與裝置區域 14 接觸，例如藉由包括有多個通道及/或深入裝置區域 14 中的通道。

在某些具體態樣中，諸如當裝置 10 為光電子裝置時，背面電接點 20 可作用為反射層。藉由將內部發出的光線有效率地反射離開基板 12，則背面電接點 20 可將所發出的光線引導至裝置 10 之頂端 18 與端面 30 的外面。因此，可加強裝置的輸出效率。特別地是，雷射二極體與發光二極體可因利用背面電接點 20 的反射性質而受益。為加強背面電接點 20 反射光線的能力，形成通道 24，以使背面電接點延伸至發光主動層（諸如圖 4 的 38；圖 5 的 50）附近。

在某些具體態樣中，如以下圖 9-11 所進一步說明，較佳方式可使通道 24 中完全沒有接點。亦即，接點並未形成於通道中。在這些具體態樣中，通道可作用為將裝置的內部薄層（例如，非導電層 15 或氮化鎵材料裝置區域 14）暴露於外部的窗口。此暴露可加強裝置的光線抽出，其特別有用於諸如發光二極體等光電子裝置。在某些狀況中，為使內部裝置層的暴露達到最大，可藉由諸如蝕刻將基板 12 完全移除。該裝置係表示於圖 12 中，並進一步說明如下。在通道 24 完全沒有電接點的具體態樣中，應瞭解地是，接點係形成於裝置的其他部分上，包括背面 22 的其他（非通道）區域。

氮化鎵材料裝置區域 14 包含有至少一個氮化鎵材料層。在某些狀況中，氮化鎵材料裝置區域 14 僅包括一個氮化

五、發明說明 (13)

鎵材料層。在其他狀況中，如以下所進一步說明並如圖 4-8 所示，氮化鎵材料裝置區域 14 包括多個氮化鎵材料層。該不同薄層可形成半導體結構的不同區域。氮化鎵材料區域亦可包括一個或多個不具有氮化鎵材料組成的薄層，諸如氧化層或金屬層。

在此所使用的用語“氮化鎵材料”係指氮化鎵 (GaN) 及任何其合金，諸如鋁鎵氮化物 ($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)、銦鎵氮化物 ($\text{In}_y\text{Ga}_{(1-y)}\text{N}$)、鋁銦鎵氮化物 ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$)、鎵砷磷氮化物 ($\text{GaAs}_a\text{P}_b\text{N}_{(1-a-b)}$) 及鋁銦鎵砷磷氮化物 ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{As}_a\text{P}_b\text{N}_{(1-a-b)}$)。通常，當砷及/或磷存在時，其濃度很低 (亦即，小於 5 wt%)。在某些較佳具體態樣中，氮化鎵材料具有高濃度的鎵，並包括微量或不包括鋁及/或銦。在高鎵濃度的具體態樣中， $(x+y)$ 的總和可小於 0.4、小於 0.2、小於 0.1 或甚至更小。在某些狀況中，較佳方式係氮化鎵材料層具有 GaN 組成 (亦即， $x+y = 0$)。氮化鎵材料可摻雜成 n 型或 p 型，或者可為本質性。適當的氮化鎵材料已說明於美國專利申請案第 09/736,972 號，該申請案在此併入本案。

氮化鎵材料區域 14 通常具有足夠高的品質，以便允許裝置形成於其中。較佳方式為氮化鎵材料區域 14 具有低裂縫水平及低缺陷水平。如上所述，非導電層 15 可減少裂縫及/或缺陷的形成。在某些具體態樣中，氮化鎵材料區域 14 的缺陷約為每平方公分 10^9 個。具有低裂縫水平的氮化鎵材料已說明於先前所參考的美國專利申請案第 09/736,972

五、發明說明 (14)

號中。在某些狀況中，氮化鎵材料區域 14 具有低於 $0.005 \mu\text{m}/\mu\text{m}^2$ 的裂縫水平。在某些狀況中，氮化鎵材料具有低於 $0.001 \mu\text{m}/\mu\text{m}^2$ 的極低裂縫水平。在某些狀況中，較佳方式係氮化鎵材料區域 14 為低於 $0.0001 \mu\text{m}/\mu\text{m}^2$ 的裂縫水平所定義的實質上無裂縫。

在某些狀況中，氮化鎵材料區域 14 包括具有單晶結構的一層或多層。在某些較佳的狀況中，氮化鎵材料區域 14 包括具有纖鋅礦（六邊形）結構的一層或多層。

氮化鎵材料裝置區域 14 的厚度及不同薄層的數目係至少部分依據特定應用而定。氮化鎵材料裝置區域 14 的厚度至少足以允許形成希冀的裝置。氮化鎵材料裝置區域 14 通常具有大於 0.1 微米的厚度，然而並非總是如此。在其他狀況中，氮化鎵材料區域 14 具有大於 0.5 微米、大於 0.75 微米、大於 1.0 微米、大於 2.0 微米或大於 5.0 微米的厚度。

裝置 10 可使用熟知的加工技術形成。非導電層 15 與氮化鎵材料裝置區域 14 可使用諸如有機金屬化學氣相沈積（MOCVD）、分子束磊晶（MBE）、氫化物氣相磊晶（HVPE）等技術沈積於基板 12 上。在某些狀況中，MOCVD 製程可能較佳。例如，用於將組成漸次變化非導電層 15 與氮化鎵材料裝置區域 14 形成於矽基板 12 上的適當 MOCVD 製程已被說明於先前所參考的美國專利申請案第 09/736,972 號中。當氮化鎵材料裝置區域 14 具有不同薄層時，在某些狀況中，較佳方式係使用單沈積步驟（諸如

五、發明說明（15）

MOCVD 步驟）形成整個裝置區域 14。當使用單沈積步驟時，加工參數係於適當時間進行適當的改變，而形成該不同薄層。在某些較佳狀況中，可使用單成長步驟形成非導電層 15 與氮化鎵材料裝置區域 14。

在某些狀況中，較佳方式係使用橫向磊晶過成長（LEO, Lateral Epitaxial Overgrowth）技術成長裝置區域 14，該技術包含穿經遮罩開口成長一底層氮化鎵層，並接著在該遮罩上橫向成長，而形成氮化鎵材料裝置區域，諸如美國專利第 6,051,849 號中所述，該專利在此併入本案以爲參考資料。在某些狀況中，較佳方式係使用懸垂磊晶（Pendeoepitaxial）技術成長裝置區域 14，該技術包含將氮化鎵材料柱壁面成長於溝渠中，直到相鄰壁面成長聚結形成氮化鎵材料裝置區域爲止，諸如美國專利第 6,177,688 號中所述，該專利在此併入本案以爲參考資料。

可使用習知蝕刻技術形成通道 24。適當的技術包括濕式化學蝕刻與電漿蝕刻（亦即，活性離子蝕刻（RIE）及感應耦合電漿（ICP）蝕刻等）。當蝕刻穿經裝置 10 的不同薄層時，可利用不同的蝕刻技術。例如，可使用氟基 RIE 製程蝕刻穿經基板 12，且可使用氯基 RIE 製程蝕刻穿經氮化鎵裝置區域 14 及/或非導電層 15。可使用預定的蝕刻時間形成具有希冀尺寸的通道 24。在其他狀況中，可將蝕刻阻絕層（諸如圖 5 中的 46）設於裝置 10 中以阻絕蝕刻，而使得無須精確控制蝕刻時間便可形成具有希冀尺寸的通道 24；其中該蝕刻阻絕層具有不易爲所使用的技術蝕

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (16)

刻之組成。

背面電接點 20 與頂端電接點 16 可使用適於沈積諸如金屬之導電材料的熟知技術進行沈積。該技術包括濺鍍、電子束沈積及蒸鍍等。在某些狀況中，具有不同金屬組成的一連串薄層被連續沈積而形成接點 16, 20。在部分的這些狀況中，係使用退火技術使接點組成產生平衡。因為背面電接點 20 係沈積於通道 24 中，所以該沈積技術應以可在通道 24 中提供充分覆蓋的方式進行。因此，背面電接點 20 的沈積時間可能較頂端電接點 16 為長。

圖 2 舉例說明根據本發明另一個具體態樣之包括有多個通道 24a, 24b 的裝置 10a。一單一背面電接點 20 係形成於二個通道 24a, 24b 中，並橫過其。使用圖 2 所示的多個通道 24a, 24b 可加強熱移除、改良光線反射，並增加直立傳導。

圖 3 舉例說明根據本發明另一個具體態樣之包括有多個通道 24a, 24b 的裝置 10b。第一背面電接點 20a 係形成於通道 24a 中，而第二背面電接點 20b 係形成於通道 24b 中。可使用介電層 31 以電隔離部分的背面電接點 20b，而避免裝置 10 短路。適當的介電層 31 組成包括有氧化矽與氮化矽。圖 3 的具體態樣不具有頂端電接點（圖 1 中的 16）。圖 3 的具體態樣可使用於不希冀具有頂端電接點（諸如用於表面安裝的裝置）的狀況。

應瞭解地是，本發明亦包括具有其他結構（除了在此舉例說明的以外）之背面通道與背面接點的裝置。例如，

五、發明說明 (17)

背面電接點 20 可延伸至氮化鎵材料裝置區域 14 中的主動區域，諸如源極區或汲極區。再者，背面電接點 20 可實質地延伸穿經裝置厚度，以使得該背面電接點亦可形成接點於裝置頂端 18。

包括電子及光學裝置等本技藝所熟知的任何適當半導體裝置皆可利用本發明的特徵。在諸多狀況中，裝置可完全形成於氮化鎵材料區域 14 中（亦即，整個主動裝置區域位於氮化鎵材料區域 14 中）。在其他狀況中，裝置僅部分形成於氮化鎵材料區域 14 中，且亦形成於諸如基板 12 之其他區域中。

典型的裝置包括有雷射二極體（LD）、發光二極體（LED）、整流二極體、場效應電晶體（諸如異質接面場效應電晶體）、Gunn 效應二極體及可變電阻二極體等。圖 4-8 舉例說明根據本發明之氮化鎵材料裝置的實施例。然而，應瞭解地是，具有其他結構的裝置亦落於本發明之範疇中。

圖 4 舉例說明根據本發明具體態樣之典型的 LED 32。LED 32 包括有形成於非導電層 15 上的氮化鎵材料裝置區域 14。非導電層 15 可為組成漸次變化，並形成於矽基板 12 上。在作為舉例的具體態樣中，下列諸層係以連續形成的方式構成氮化鎵材料裝置區域 14：摻矽 GaN 層 34、摻矽 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 層 36（包含 0-20 wt% 的鋁）、GaN/InGaN 單一或多重量子井 38、摻鎂 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 層 40（包含 10-20 wt% 的鋁），以及摻鎂 GaN 層 41。通道 24 由背面 22 延伸

五、發明說明 (18)

至 GaN 層 34 中的位置。頂端電接點 16 係由 p 型金屬形成，而背面電接點 20 係由 n 型金屬形成。可提供具有各種不同結構的 LED 32，包括有：雙異質結構（諸如薄層 36 中的 $Al > 0\%$ ）、單異質結構（諸如薄層 36 中的 $Al = 0\%$ ）、對稱結構或非對稱結構。應瞭解地是，亦可提供具有各種不同結構的 LED，其中之一係表示於圖 8 中。

圖 5 舉例說明根據本發明具體態樣之典型的雷射二極體 42。雷射二極體 42 包括有形成於非導電層 15 上的氮化鎵材料裝置區域 14。非導電層 15 可為組成漸次變化，並形成於矽基板 12 上。在作為舉例的具體態樣中，下列諸層係以連續形成的方式構成氮化鎵材料裝置區域 14：摻矽 GaN 層 44、摻矽 $Al_xGa_{(1-x)}N$ 層 46（包含 5-30 wt% 的鋁）、摻矽 $Al_xGa_{(1-x)}N$ 層 48（包含 0-20 wt% 的鋁）、GaN/InGaN 單一或多重量子井 50、摻鎂 $Al_xGa_{(1-x)}N$ 層 52（包含 5-20 wt% 的鋁）、摻鎂 $Al_xGa_{(1-x)}N$ 層 54（包含 5-30 wt% 的鋁），以及摻鎂 GaN 層 55。通道 24 由背面 22 延伸至作為蝕刻阻絕層的 $Al_xGa_{(1-x)}N$ 層 46。頂端電接點 16 係由 p 型金屬形成，而背面電接點 20 係由 n 型金屬形成。應瞭解地是，亦可提供具有各種不同結構的雷射二極體。

圖 6 舉例說明根據本發明具體態樣之整流二極體 56。整流二極體 56 包括有形成於非導電層 15 上的氮化鎵材料裝置區域 14。非導電層 15 可為組成漸次變化，並形成於矽基板 12 上。在作為舉例的具體態樣中，下列諸層係以連

五、發明說明 (19)

續形成的方式構成氮化鎵材料裝置區域 14：摻矽 GaN 層 58 及本質 GaN 層 60。通道 24 由背面 22 延伸至 GaN 層 58 中的位置。頂端電接點 16 係由整流金屬形成，而背面電接點 20 係由 n 型金屬形成。應瞭解地是，亦可提供具有各種不同結構的二極體。

圖 7 舉例說明根據本發明具體態樣之雙閘極異質接面場效應電晶體 (HFET) 64。HFET 64 包括有形成於非導電層 15 上的氮化鎵材料裝置區域 14。非導電層 15 可為組成漸次變化，並形成於矽基板 12 上。在作為舉例的具體態樣中，下列諸層係以連續形成的方式構成氮化鎵材料裝置區域 14：本質 GaN 層 66 及本質 AlGa_N 區域 68。通道 24 由背面 22 延伸至 GaN 層 66 中的位置。HFET 64 包括有一源極頂端接點 16a，一閘極頂端接點 16b，以及一汲極頂端接點 16c。背面閘極接點 20 係形成於通道 24 中。應瞭解地是，亦可提供具有各種不同結構的 HTET，包括具有多個閘極的 HFET。

圖 8 舉例說明根據本發明另一個具體態樣之包括有多個背面通道 24a, 24b 的 LED 70。LED 70 包括有形成於非導電層 15 上的氮化鎵材料裝置區域 14。非導電層 15 可為組成漸次變化，並形成於矽基板 12 上。在作為舉例的具體態樣中，下列諸層係以連續形成的方式構成氮化鎵材料裝置區域 14：摻矽 GaN 層 72、摻矽 Al_xGa_(1-x)N 層 74 (包含 0-20 wt% 的鋁)、Ga_N/InGa_N 單一或多重量子井 76、摻鎂 Al_xGa_(1-x)N 層 78 (包含 10-20 wt% 的鋁)，以及摻鎂 Ga_N

五、發明說明 (ㄅ)

層 80。通道 24a 由背面 22 延伸至 GaN 層 72 中的位置，而通道 24b 由背面 22 延伸至 GaN 層 80 中的位置。n 型背面電接點 20a 形成於通道 24a 中，而 p 型背面電接點 20b 形成於通道 24b 中。介電層 31 隔離部分的 p 型背面電接點 20b，以避免發生短路。應瞭解地是，亦可提供具有各種不同結構的 LED。

圖 9 舉例說明根據本發明另一個具體態樣之包括完全沒有電接點之背面通道 24 的 LED 82。LED 82 包括有形成於導電層 84 上的氮化鎵材料裝置區域 14。導電層 84 亦可作用為過渡層，並可為組成漸次變化。在作為舉例的具體態樣中，下列諸層係以連續形成的方式構成氮化鎵材料裝置區域 14：摻矽 GaN 層 86、摻矽 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 層 88（包含 0-20 wt% 的鋁）、GaN/InGaN 單一或多重量子井 90、摻鎂 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 層 92（包含 10-20 wt% 的鋁），以及摻鎂 GaN 層 94。通道 24 由背面 22 延伸至導電層 84，因而將該導電層暴露於周圍環境。n 型接點 20 形成於背面 22 上。

圖 10 舉例說明 LED 96，該 LED 96 類似於圖 9 所示的 LED，除了背面通道 24 的形狀不同以外。在圖 10 所示的具體態樣中，該通道的橫剖面積在遠離背面 22 的方向上增加。此通道形狀可加強內部光線反射（如箭號所示）及外部光線抽出。在某些狀況中，LED 96 可安裝於反射性封裝表面 98 上，以進一步加強光線反射。

圖 11 舉例說明根據本發明另一個具體態樣之 LED 100。LED 100 包含有與圖 9 及圖 10 所示之 LED 相同的薄層

五、發明說明 (51)

結構。LED 100 包含有形成於基板 12 正面與背面上的多數個接點 102。LED 100 亦包含有一 n 型接點 104 與一 p 型接點 106。介電層 31 隔離部分的 n 型與 p 型接點，以避免發生短路。

圖 12 舉例說明根據本發明另一個具體態樣之 LED 108。在 LED 108 加工期間，整個基板已使用蝕刻步驟移除。因此，整個導電層 84 背面會暴露於周圍環境。本具體態樣特別有用於將 LED 的光線抽出最大化。

為熟習本技藝之人士所易於瞭解地是，在此所列的所有參數係作為舉例，而實際的參數係依據本發明之半導體材料與方法的具體應用而定。因此，應瞭解地是，所示的前揭具體態樣係僅作為實施例，且本發明可在落於所附申請專利範圍及其相當物的範疇中，以除了如具體說明以外的方式執行。

訂

線

四、中文發明摘要（發明之名稱：

)

包括背面通道之氮化鎵材料裝置與方法

本發明包括提供具有背面通道的氮化鎵材料裝置及形成該裝置的方法。該裝置包括形成於基板（諸如矽）上的氮化鎵材料。該裝置亦可包括一個或多個非導電層，該非導電層位於基板與氮化鎵材料之間，並可助於氮化鎵材料的沈積。提供由裝置背面延伸穿經非導電層的通道，以使沈積於通道中的電接點與諸如裝置頂端上的電接點間得以進行電傳導。因此，本發明的裝置可直立導電。在其他狀況中，該通道可完全沒有電接點，以諸如加強光線抽出。典型的裝置包括有雷射二極體（LD）、發光二極體（LED

英文發明摘要（發明之名稱：

)

Gallium Nitride Material Devices and Methods
Including Backside Vias

The invention includes providing gallium nitride material devices having backside vias and methods to form the devices. The devices include a gallium nitride material formed over a substrate, such as silicon. The device also may include one or more non-conducting layers between the substrate and the gallium nitride material which can aid in the deposition of the gallium nitride material. A via is provided which extends from the backside of the device through the non-conducting layer(s) to enable electrical conduction between an electrical contact deposited within the via and, for example, an electrical contact on the topside of the device. Thus, devices of the invention may be vertically conducting. In other cases, the vias may be free of electrical contacts, for example, to enhance light extraction. Exemplary devices include laser diodes (LDs), light emitting diodes (LEDs), power rectifier diodes, FETs (e.g., HFETs), Gunn-effect diodes, and varactor diodes, amongst others.

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

四、中文發明摘要（發明之名稱：

）

）、整流二極體、場效應電晶體（FET，諸如異質接面場效應電晶體（HFET））、Gunn 效應二極體及可變電阻二極體等。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

六、申請專利範圍

- 1.一種半導體結構，包含有：
具有至少一個通道的基板，該通道係延伸自該基板背面；
形成於該通道中的電接點；以及
形成於該基板上的氮化鎵材料區域。
- 2.如申請專利範圍第 1 項之半導體結構，其中該電接點係由該基板背面延伸至該半導體結構的導電區域。
- 3.如申請專利範圍第 2 項之半導體結構，其中該電接點係由該基板背面延伸至該氮化鎵材料區域。
- 4.如申請專利範圍第 1 項之半導體結構，更包含有形成於該基板與該氮化鎵材料區域之間的非導電層。
- 5.如申請專利範圍第 4 項之半導體結構，其中所形成的該通道係穿經該非導電層，以及該電接點係延伸穿經該非導電層。
- 6.如申請專利範圍第 4 項之半導體結構，其中該非導電層包含有一組成漸次變化過渡層。
- 7.如申請專利範圍第 1 項之半導體結構，其中所形成的該通道係穿經該基板，以及該電接點係延伸穿經該基板。
- 8.如申請專利範圍第 1 項之半導體結構，其中該電接點係由該基板背面延伸至該氮化鎵材料區域中的區域。
- 9.如申請專利範圍第 1 項之半導體結構，其中該電接點係由該基板背面延伸至形成於該氮化鎵材料區域中的源極區域。

六、申請專利範圍

10.如申請專利範圍第 1 項之半導體結構，更包含有形成於該半導體結構頂端的頂端電接點。

11.如申請專利範圍第 10 項之半導體結構，其中該半導體結構可在該頂端電接點與該通道中的接點之間進行直立傳導。

12.如申請專利範圍第 1 項之半導體結構，其中該半導體結構可進行直立傳導。

13.如申請專利範圍第 1 項之半導體結構，其中該基板具有多個延伸自該基板背面的通道。

14.如申請專利範圍第 12 項之半導體結構，其中該半導體結構可在第一背面電接點與第二背面電接點間進行傳導。

15.如申請專利範圍第 1 項之半導體結構，其中該通道係延伸至該半導體結構中的蝕刻阻絕層。

16.如申請專利範圍第 1 項之半導體結構，其中該氮化鎵材料區域包括至少一個氮化鎵材料層。

17.如申請專利範圍第 16 項之半導體結構，其中該氮化鎵材料層具有低於約 $0.001 \mu\text{m}/\mu\text{m}^2$ 的裂縫水平。

18.如申請專利範圍第 1 項之半導體結構，其中一半導體裝置被形成於該氮化鎵材料區域中。

19.如申請專利範圍第 1 項之半導體結構，其中該半導體結構包含有雷射二極體。

20.如申請專利範圍第 1 項之半導體結構，其中該半導體結構包含有發光二極體。

六、申請專利範圍

21.如申請專利範圍第 1 項之半導體結構，其中該半導體結構包含有場效應電晶體。

22.如申請專利範圍第 1 項之半導體結構，其中該半導體結構包含有整流二極體。

23.如申請專利範圍第 1 項之半導體結構，其中該基板包含有矽基板。

24.如申請專利範圍第 23 項之半導體結構，其中該基板包含有體材矽。

25.如申請專利範圍第 24 項之半導體結構，其中該基板包含有矽在絕緣體上基板。

26.如申請專利範圍第 1 項之半導體結構，更包含有形成於該基板與該氮化鎵材料區域之間的導電層。

27.如申請專利範圍第 26 項之半導體結構，其中該通道係由該基板背面延伸至該導電層。

28.一種半導體結構，包含有：

具有至少一個通道的矽基板，該通道係延伸自該矽基板背面；以及

形成於該矽基板上的氮化鎵材料區域。

29.如申請專利範圍第 28 項之半導體結構，其中該通道係由該矽基板背面延伸至該半導體結構的導電區域。

30.如申請專利範圍第 28 項之半導體結構，其中該通道係由該矽基板背面延伸至該氮化鎵材料區域。

31.如申請專利範圍第 28 項之半導體結構，更包含有形成於該基板與該氮化鎵材料區域之間的非導電層。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

32.如申請專利範圍第 31 項之半導體結構，其中該通道係延伸穿經該非導電層。

33.如申請專利範圍第 28 項之半導體結構，更包含有形成於該基板與該氮化鎵材料區域之間的導電層。

34.如申請專利範圍第 33 項之半導體結構，其中該通道係由該基板背面延伸至該導電層。

35.如申請專利範圍第 28 項之半導體結構，其中所形成的該通道係穿經該矽基板。

36.如申請專利範圍第 28 項之半導體結構，其中一電接點被形成於該通道中。

37.如申請專利範圍第 28 項之半導體結構，其中一頂端電接點係形成於該裝置頂端上，且該半導體結構可在該頂端電接點與形成於該通道中的該電接點之間進行直立傳導。

38.如申請專利範圍第 28 項之半導體結構，其中該矽基板具有多個延伸自該矽基板背面的通道。

39.如申請專利範圍第 28 項之半導體結構，其中該通道完全沒有電接點形成於其中。

40.如申請專利範圍第 39 項之半導體結構，更包含有形成於該矽基板背面上的第一電接點。

41.如申請專利範圍第 40 項之半導體結構，更包含有形成於該矽基板背面上的第二電接點。

42.如申請專利範圍第 28 項之半導體結構，其中該半導體結構的頂端完全沒有電接點。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

43.如申請專利範圍第 28 項之半導體結構，其中該通道完全沒有任何材料形成於其中。

44.如申請專利範圍第 28 項之半導體結構，其中該通道係提供窗口於形成在該基板上的薄層。

45.如申請專利範圍第 28 項之半導體結構，其中該通道具有截頭的金字塔形。

46.如申請專利範圍第 28 項之半導體結構，其中該通道的橫剖面積在遠離該矽基板背面的方向上增加。

47.一種直立導電半導體裝置，包含有：

矽基板；以及

形成於該矽基板上的氮化鎵材料區域，

其中該半導體裝置可進行直立傳導。

48.如申請專利範圍第 47 項之半導體裝置，更包含有形成於該裝置背面上的背面電接點，且該背面電接點不會延伸至該半導體裝置端面。

49.如申請專利範圍第 48 項之半導體裝置，更包含有形成於該裝置頂端上的頂端電接點，且該半導體裝置可在該頂端電接點與該背面電接點之間進行直立傳導。

50.如申請專利範圍第 47 項之半導體裝置，更包含有形成於該矽基板與該氮化鎵材料區域之間的非導電層。

51.如申請專利範圍第 47 項之半導體裝置，更包含有形成於該矽基板與該氮化鎵材料區域之間的非導電層。

52.一種半導體結構，包含有：

矽基板；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

形成於該矽基板上的氮化鎵材料區域；

形成於該氮化鎵材料區域與該矽基板間的非導電層；
以及

形成於通道中的電接點，該通道係由該半導體結構背面延伸穿經該非導電層。

53.如申請專利範圍第 52 項之半導體結構，更包含有形成於該半導體結構頂端表面上的頂端電接點。

54.如申請專利範圍第 52 項之半導體結構，其中該半導體裝置可在該頂端電接點與該背面電接點之間進行直立傳導。

55.一種形成半導體結構的方法，包含有：

形成氮化鎵材料區域於基板上；

形成由該半導體結構背面延伸的通道；以及

形成電接點於該通道中。

56.如申請專利範圍第 55 項之方法，其中該基板包含有矽基板。

57.如申請專利範圍第 55 項之方法，更包含有使用蝕刻製程形成該通道。

58.如申請專利範圍第 57 項之方法，更包含有將該半導體結構進行蝕刻，而形成延伸至蝕刻阻絕層的通道。

59.如申請專利範圍第 55 項之方法，更包含有形成一電接點於該裝置頂端上，且該半導體結構可在該頂端電接點與該背面電接點之間進行直立傳導。

60.如申請專利範圍第 55 項之方法，更包含有形成一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

非導電層於該基板上，以及形成該氮化鎵材料區域於該非導電層上。

61.如申請專利範圍第 60 項之方法，其中該通道係延伸穿經該非導電層。

62.如申請專利範圍第 55 項之方法，更包含有形成一導電層於該基板上，以及形成該氮化鎵材料區域於該導電層上。

63.如申請專利範圍第 55 項之方法，更包含有形成一半導體裝置於該氮化鎵材料區域中。

64.一種形成半導體結構的方法，包含有：
形成氮化鎵材料區域於矽基板上；以及
形成由該矽基板背面延伸的通道。

65.如申請專利範圍第 64 項之方法，更包含有將該半導體結構進行蝕刻，而形成延伸至蝕刻阻絕層的通道。

66.如申請專利範圍第 64 項之方法，更包含有形成電接點於該通道中。

67.如申請專利範圍第 66 項之方法，更包含有形成一電接點於該裝置頂端上，且該半導體結構可在該頂端電接點與形成於該通道中的該電接點之間進行直立傳導。

68.如申請專利範圍第 64 項之方法，更包含有形成一非導電層於該矽基板上，以及形成該氮化鎵材料區域於該非導電層上。

69.如申請專利範圍第 68 項之方法，其中該通道係延伸穿經該非導電區域。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

70.如申請專利範圍第 64 項之方法，更包含有形成一半導體裝置於該氮化鎵材料區域中。

71.如申請專利範圍第 64 項之方法，更包含有形成一導電層於該基板上，以及形成該氮化鎵材料區域於該導電層上。

72.如申請專利範圍第 64 項之方法，其中該通道完全沒有電接點形成於其中。

73.如申請專利範圍第 64 項之方法，其中該通道係提供窗口於形成在該基板上的薄層。

74.如申請專利範圍第 64 項之方法，其中該通道具有截頭的金字塔形。

75.如申請專利範圍第 64 項之方法，其中該通道的橫剖面積在遠離該矽基板背面的方向上增加。

76.一種形成半導體結構的方法，包含有：

形成第一薄層於矽基板上；

形成氮化鎵材料區域於該第一薄層上；以及

將該基板移除，以暴露出該第一薄層背面。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

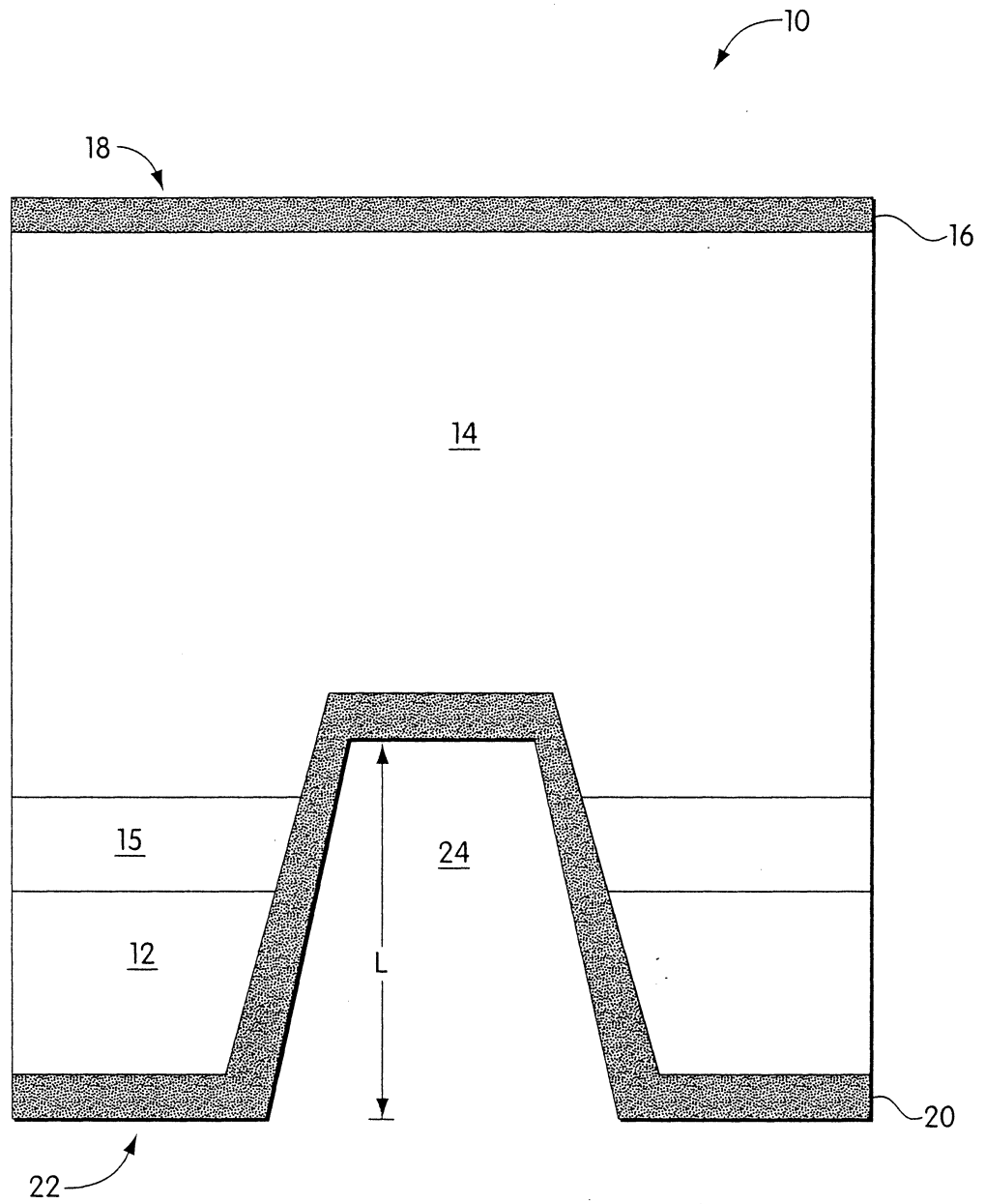


圖 1

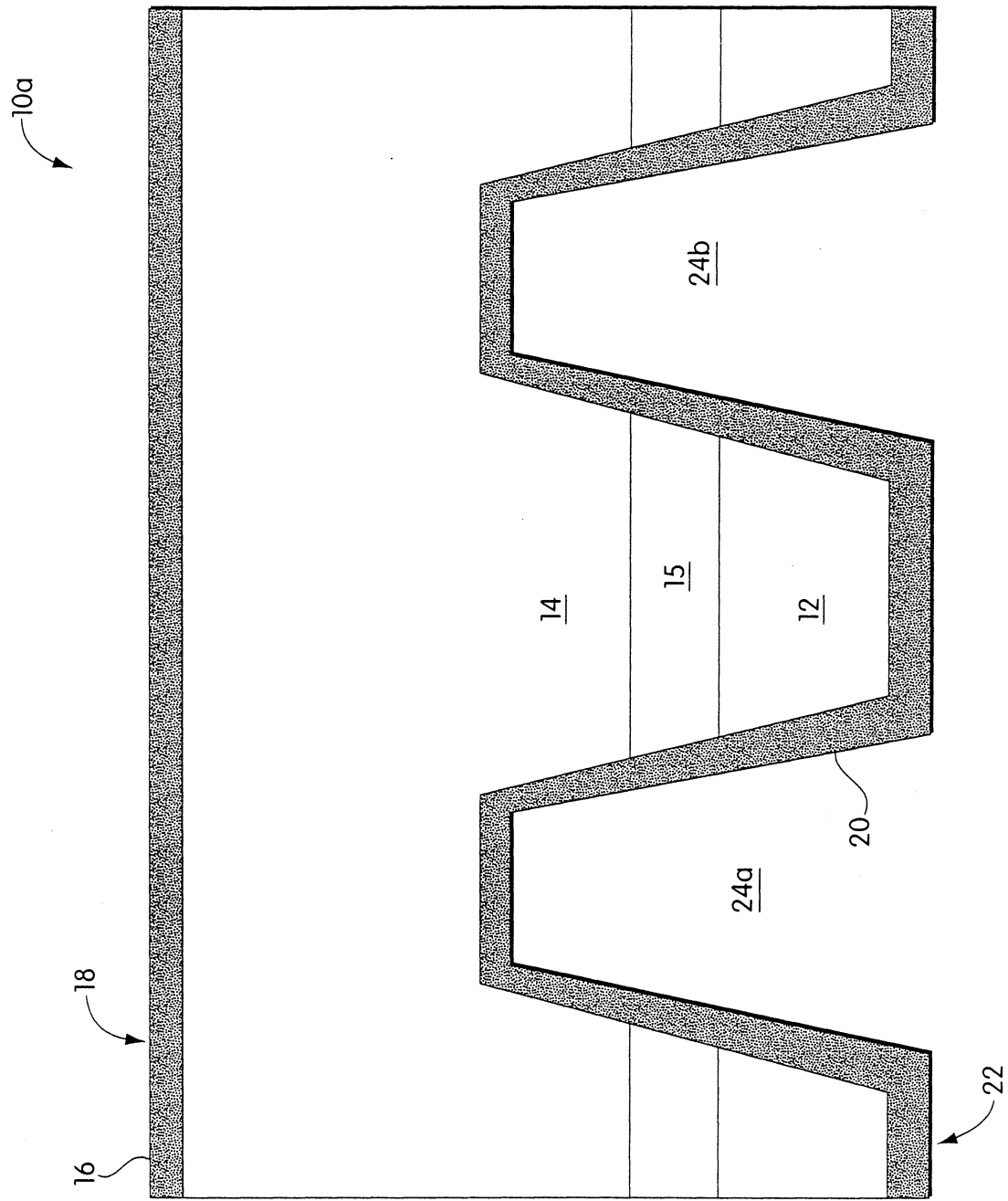


圖 2

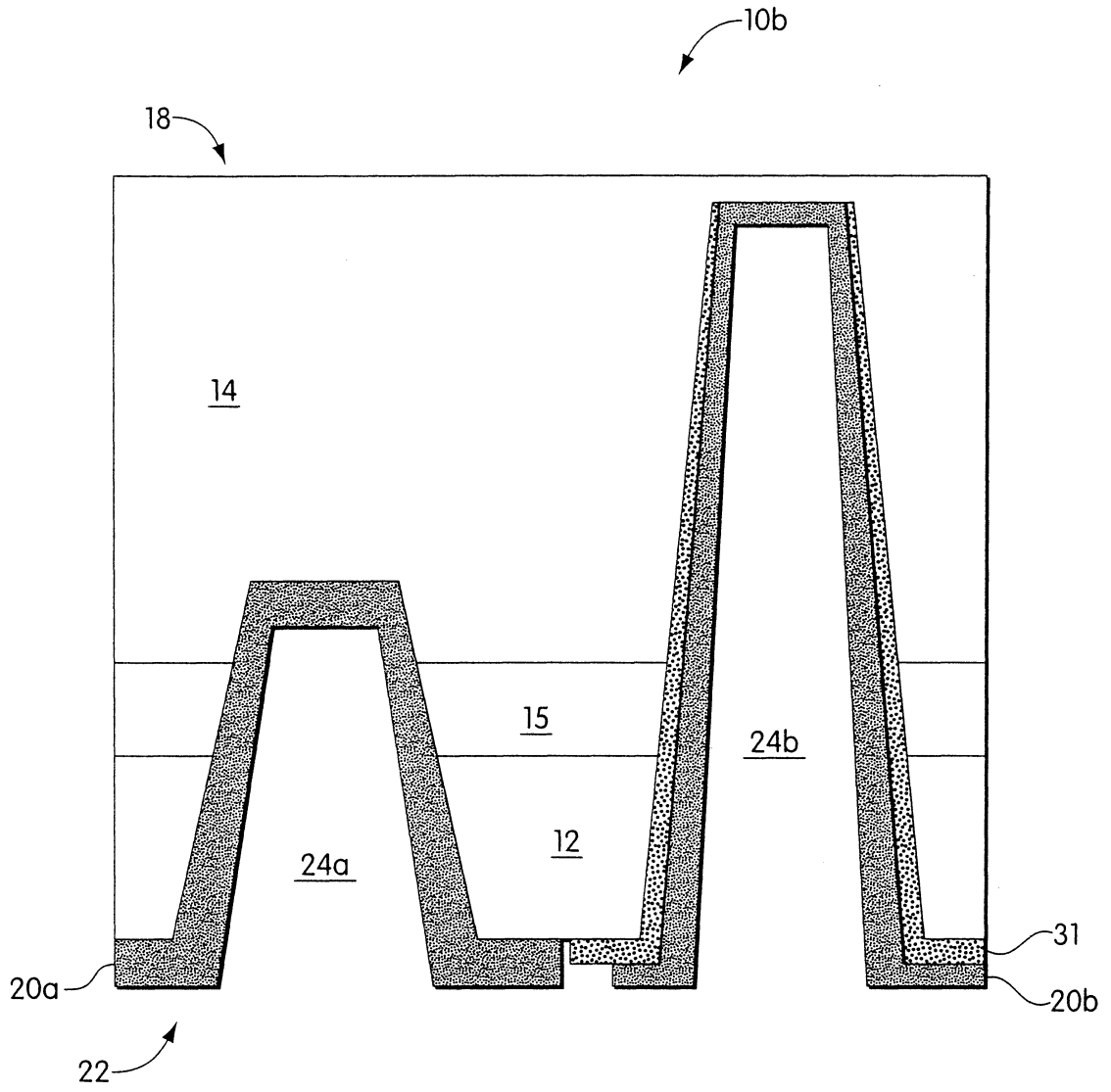


圖 3

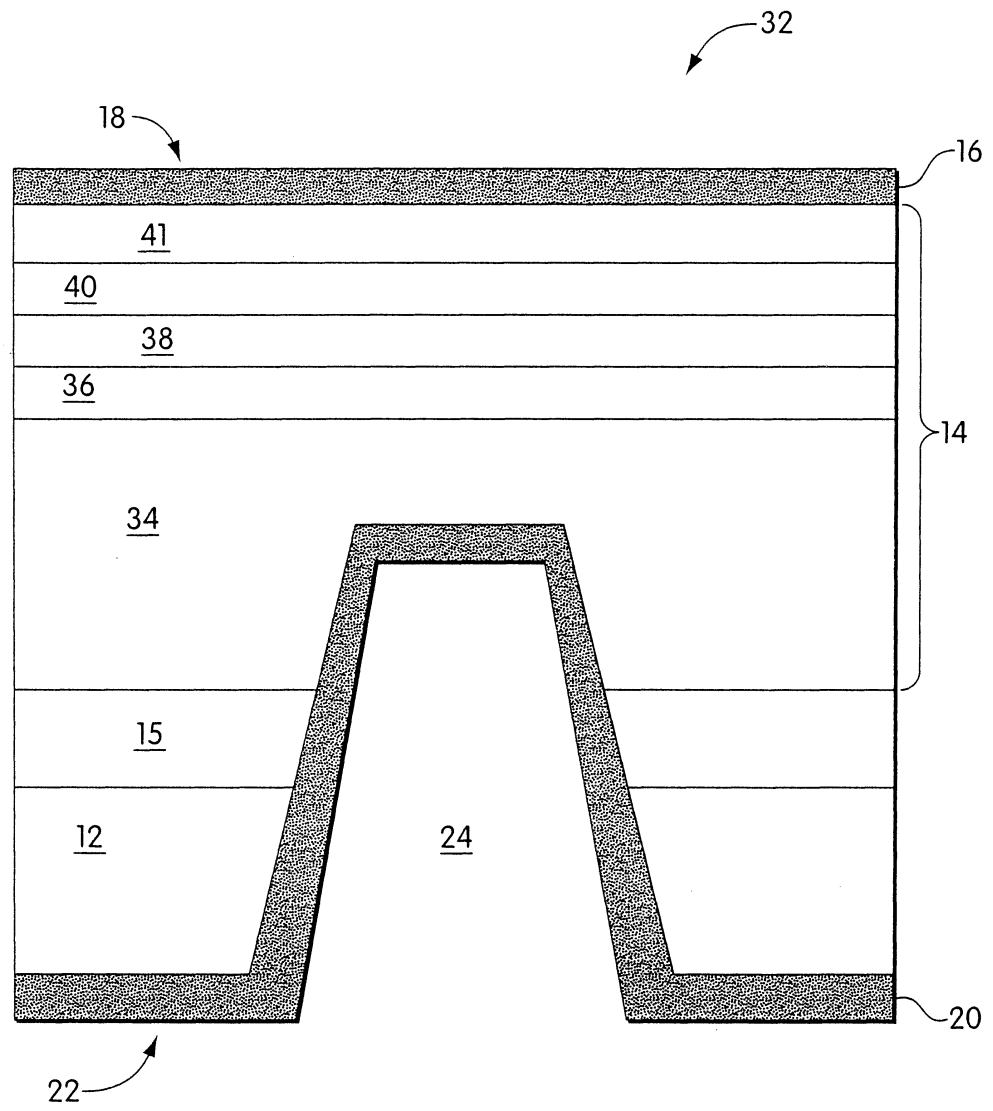


圖 4

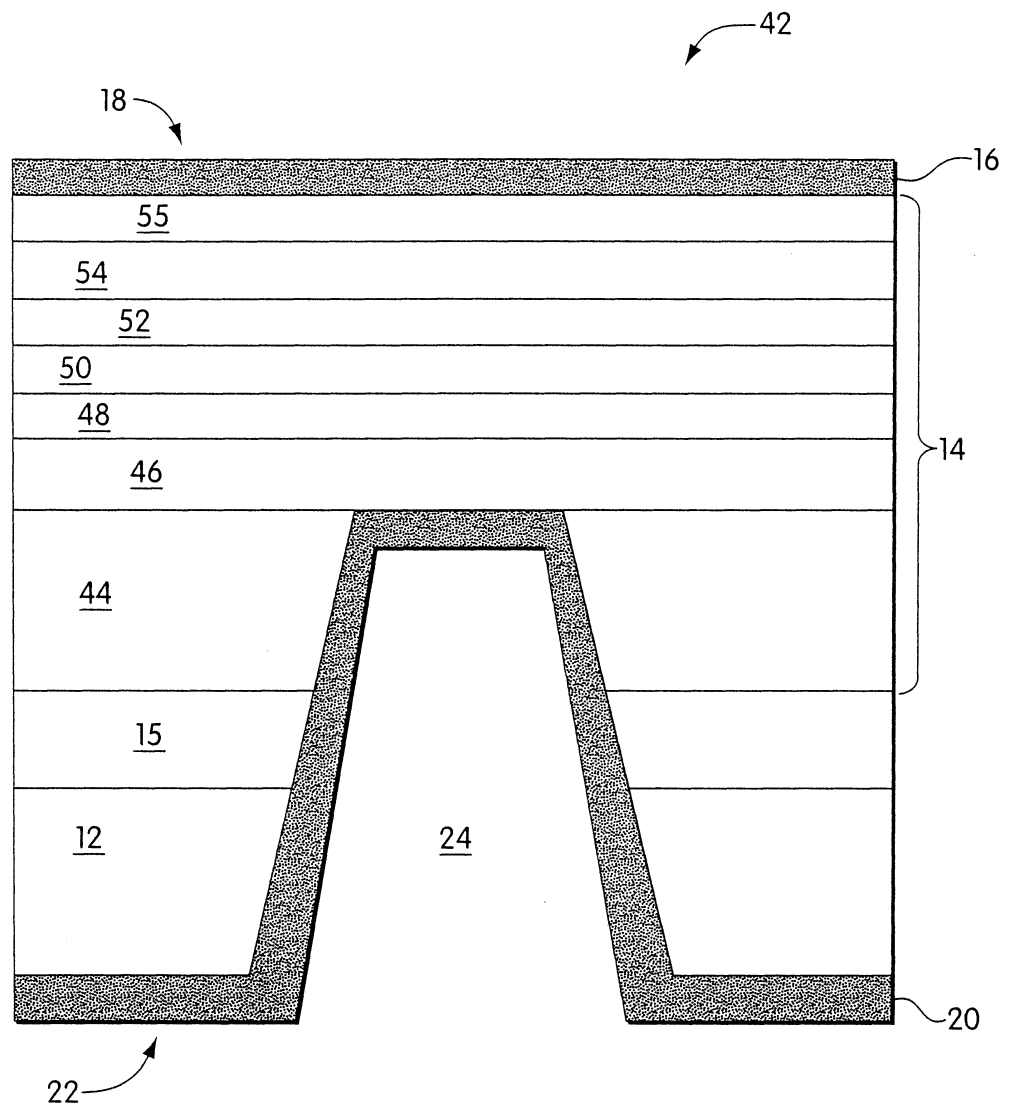


圖 5

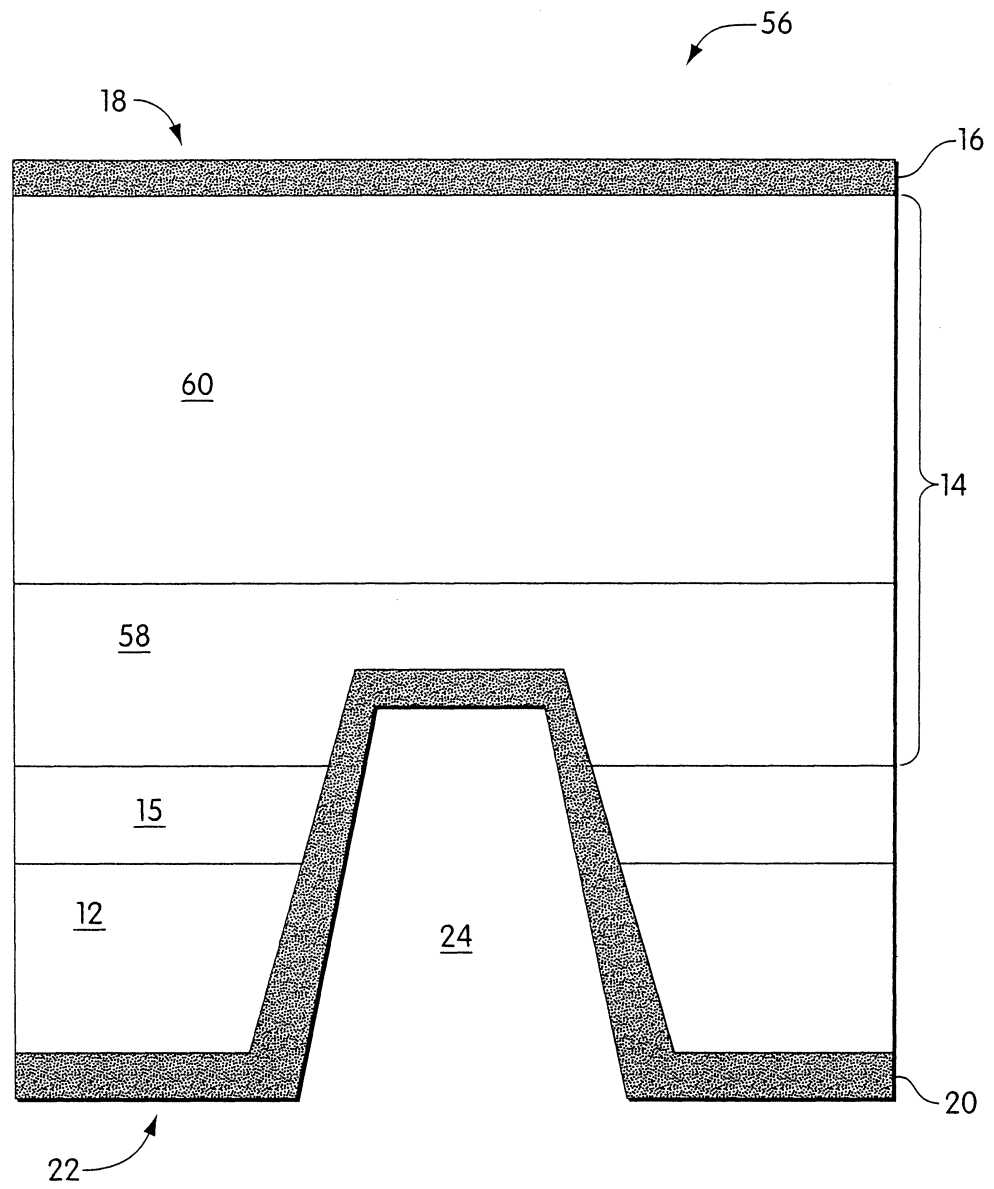


圖 6

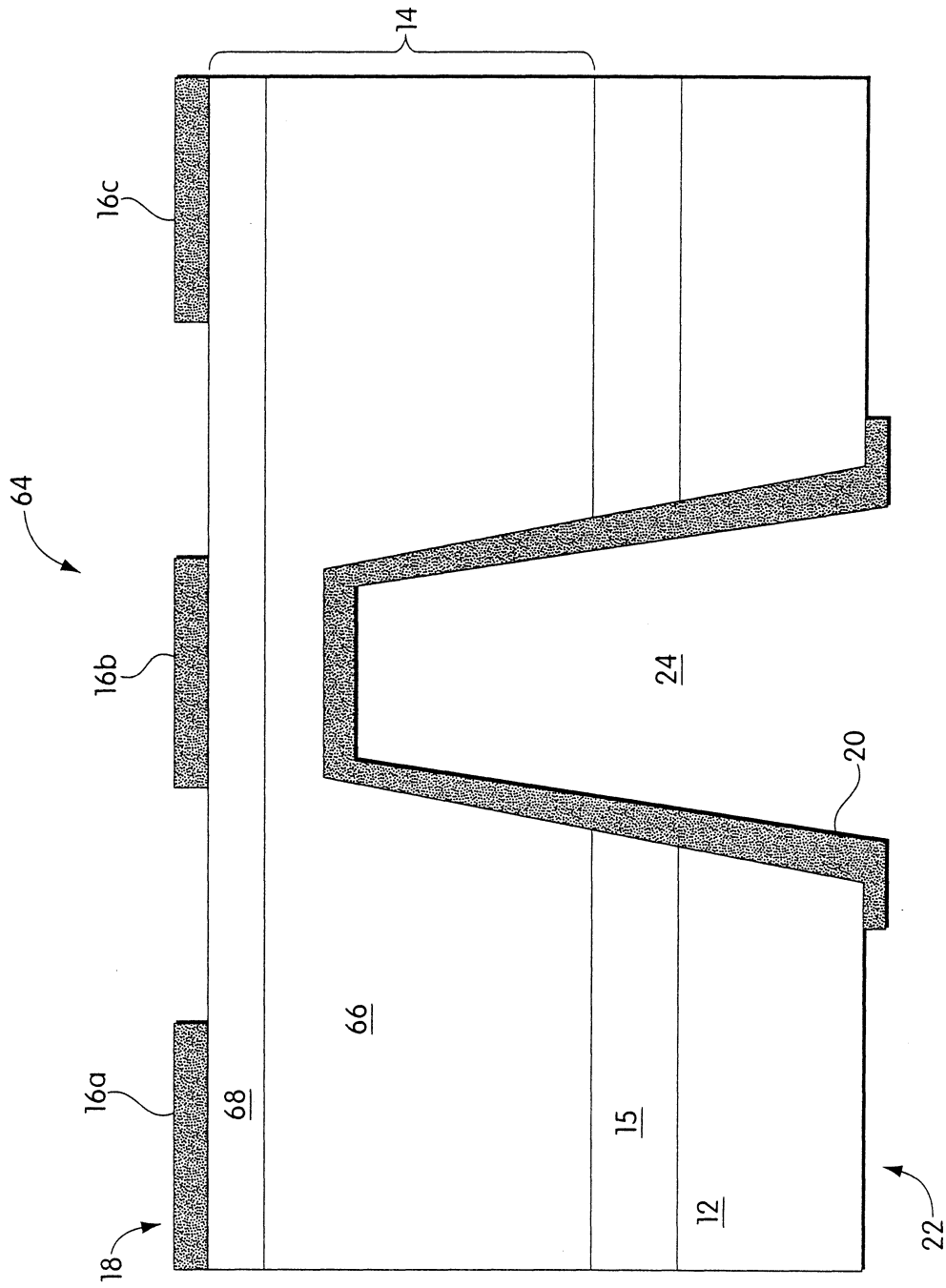


圖 7

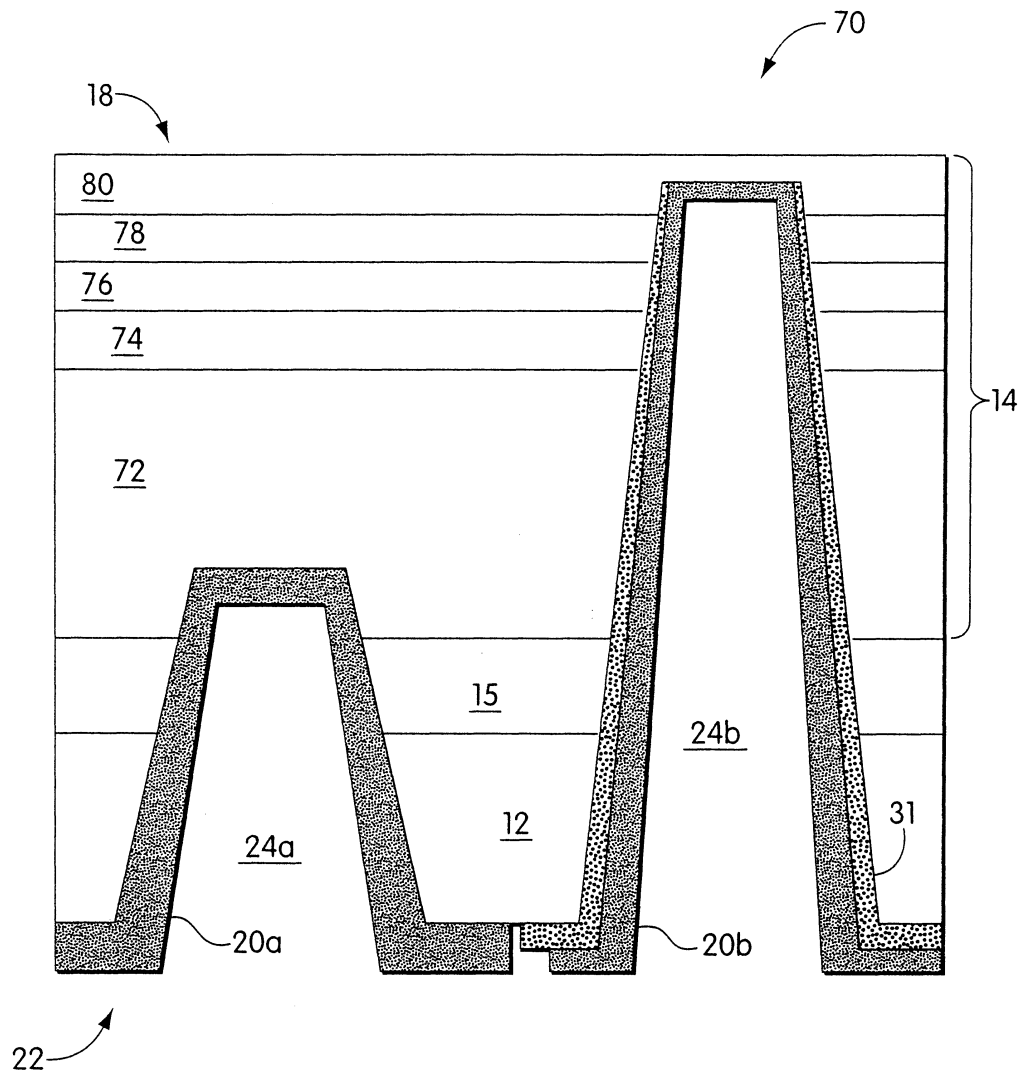


圖 8

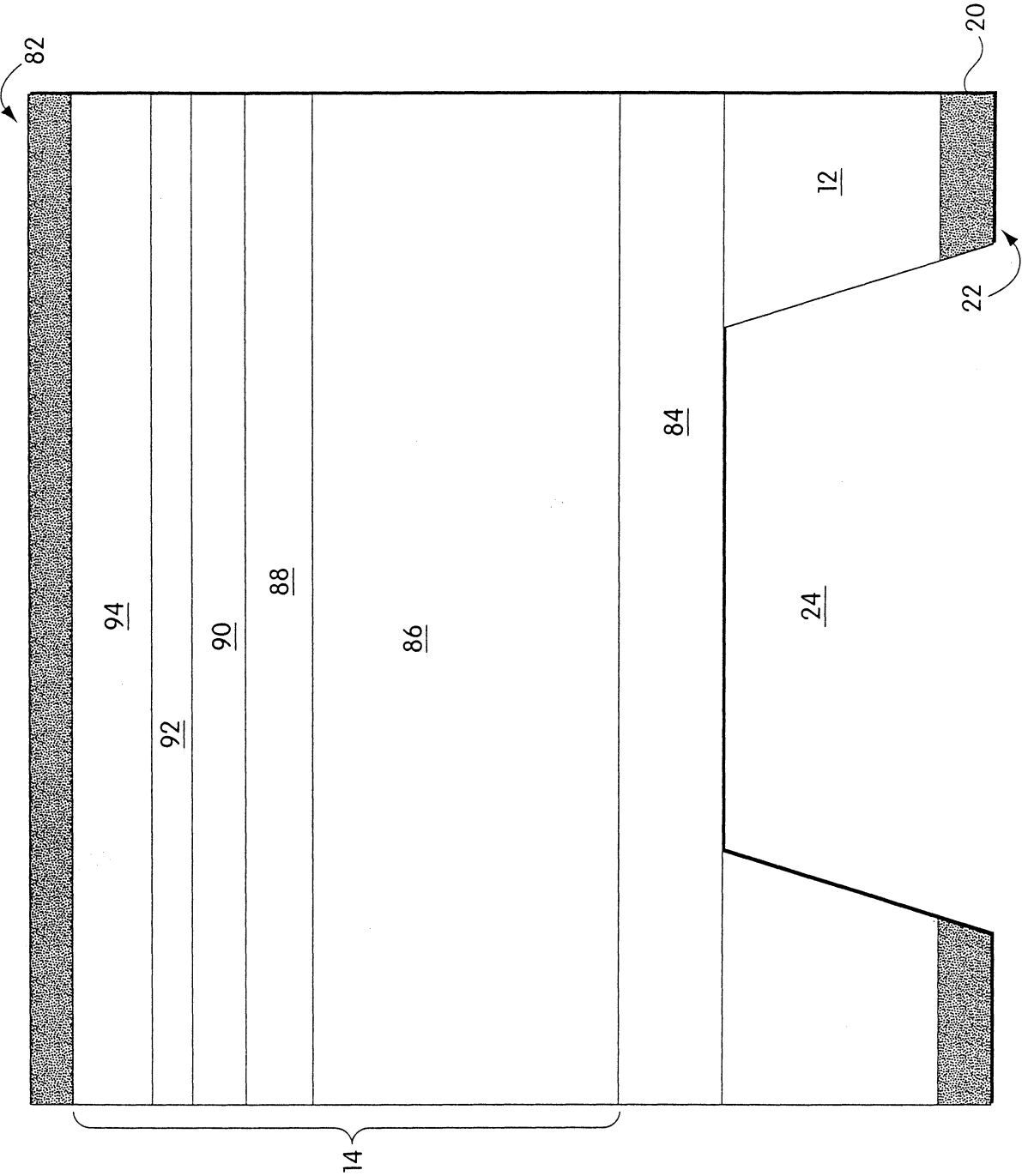


圖 9

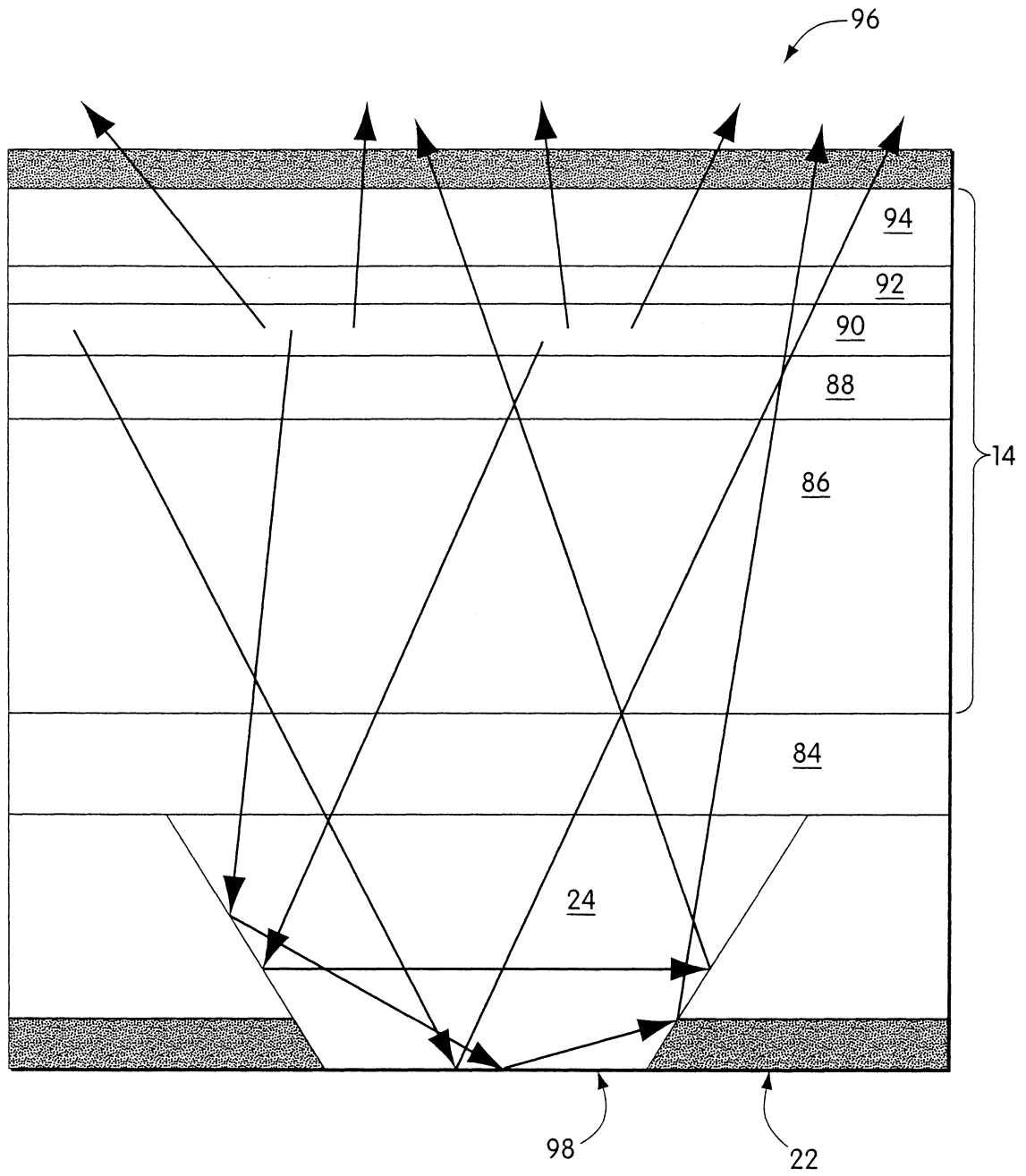


圖 10

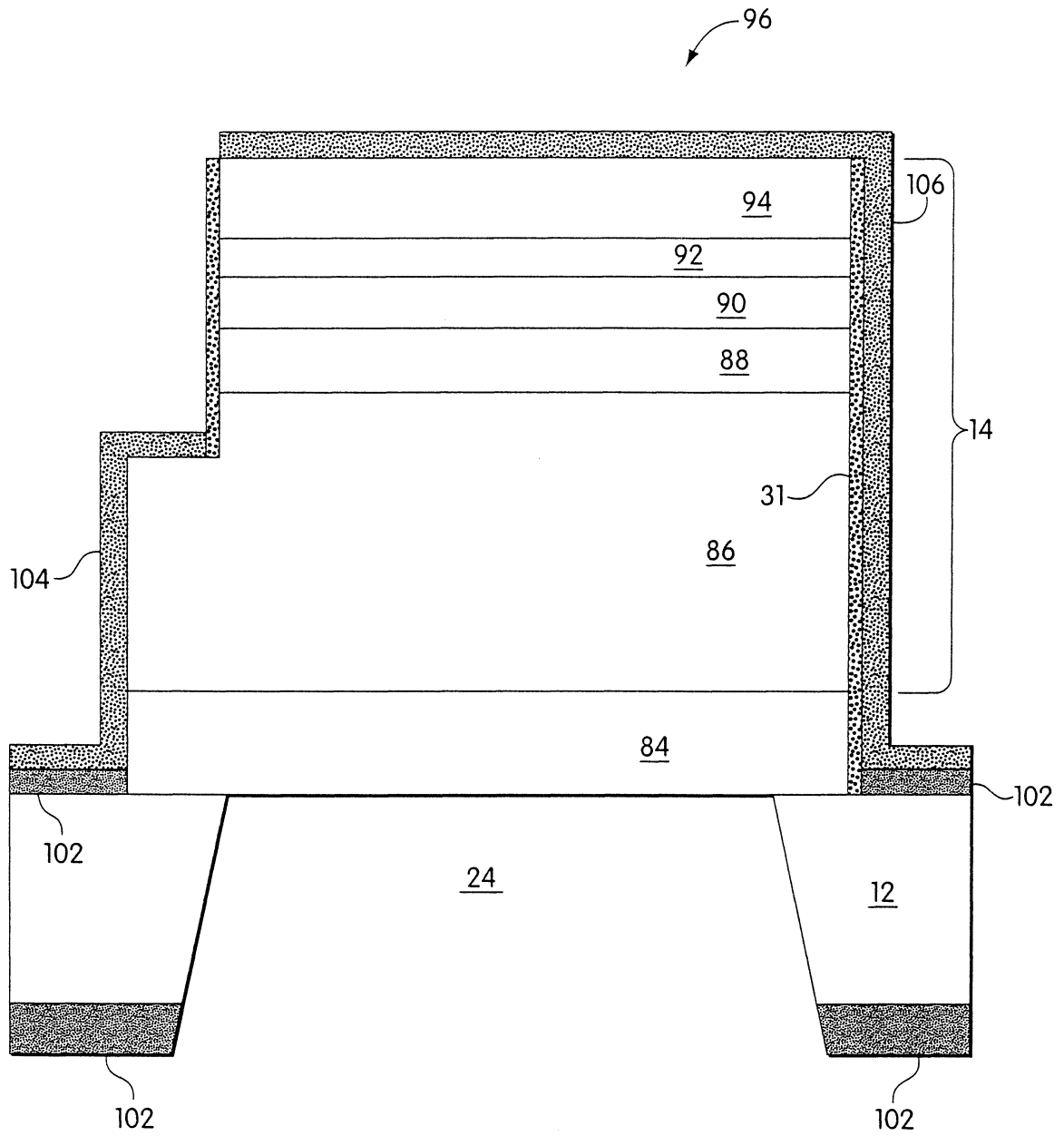


圖 11

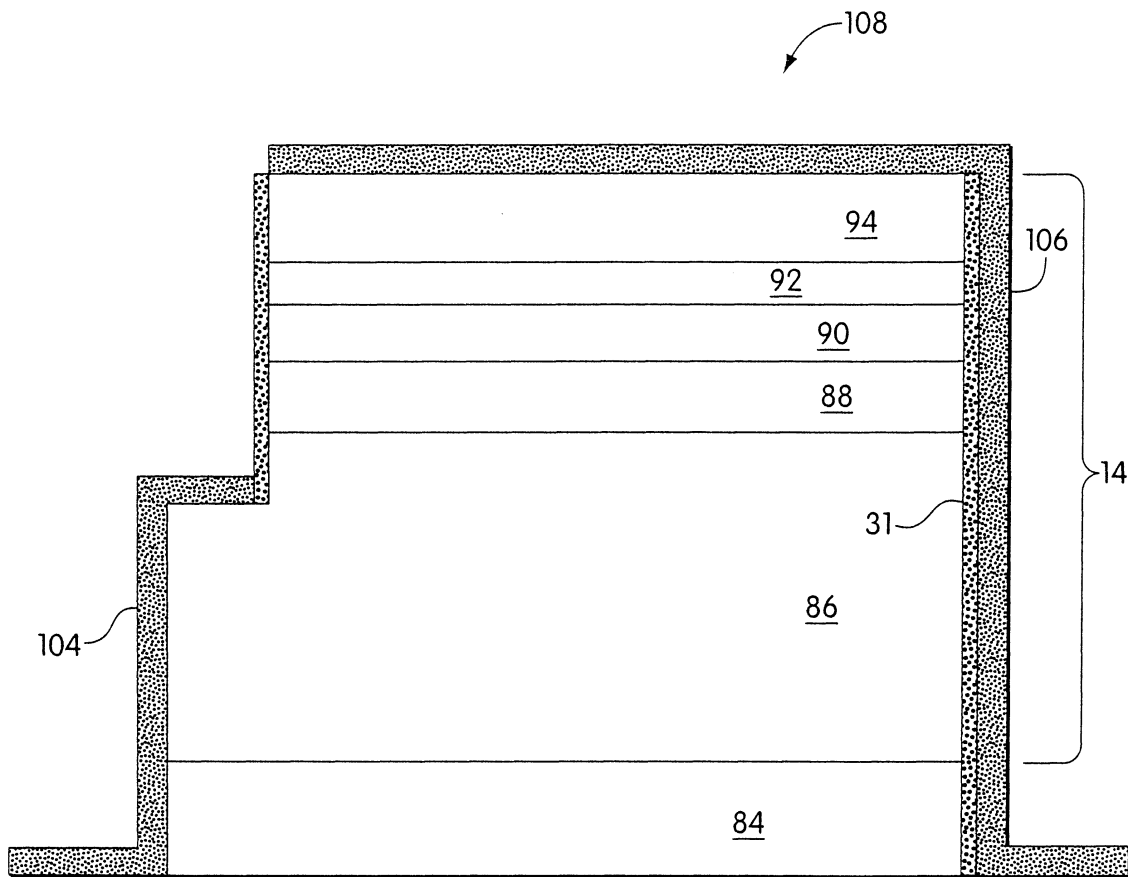


圖 12