

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-145775

(P2012-145775A)

(43) 公開日 平成24年8月2日(2012. 8. 2)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G02F 1/1343 (2006.01)</b>	G02F 1/1343	2H090
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H092
<b>G02F 1/1337 (2006.01)</b>	G02F 1/1337 505	5C094
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 338	

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2011-4125 (P2011-4125)  
 (22) 出願日 平成23年1月12日 (2011. 1. 12)

(71) 出願人 302020207  
 株式会社ジャパンディスプレイセントラル  
 埼玉県深谷市幡羅町一丁目9番地2  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100095441  
 弁理士 白根 俊郎

最終頁に続く

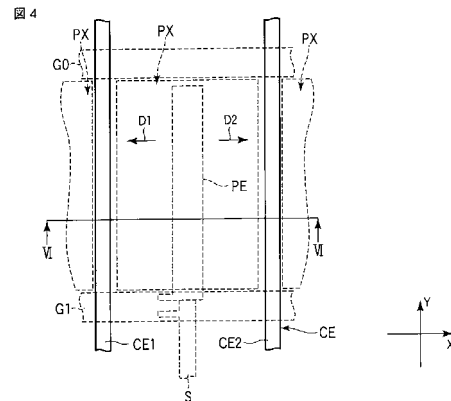
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】開口率の低減を抑制することが可能な液晶表示装置を提供することを目的とする。

【解決手段】各画素の中央を通り直線状に延在した信号配線と、前記信号配線を覆う絶縁膜と、前記絶縁膜を介して前記信号配線の直上に位置し且つ前記信号配線と略平行な直線状に延在した帯状の画素電極と、を備えた第1基板と、隣接する画素の間にそれぞれ配置され前記画素電極と略平行な直線状に延在した帯状の対向電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

各画素の中央を通り直線状に延在した信号配線と、前記信号配線を覆う絶縁膜と、前記絶縁膜を介して前記信号配線の直上に位置し且つ前記信号配線と略平行な直線状に延在した帯状の画素電極と、を備えた第 1 基板と、

隣接する画素の間にそれぞれ配置され前記画素電極と略平行な直線状に延在した帯状の対向電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

## 【請求項 2】

前記信号配線は、前記画素電極に書き込まれる信号電圧を供給するソース配線であることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 基板は、さらに、前記信号配線を覆う前記絶縁膜と前記画素電極との間に、前記絶縁膜上に形成され前記信号配線の直上に位置する固定電位のシールド電極と、前記シールド電極を覆うとともに前記画素電極の下地となる層間絶縁膜と、を備えたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

## 【請求項 4】

第 1 方向に沿って延在したゲート配線と、各画素の中央を通り第 1 方向に交差する第 2 方向に沿って延在したソース配線と、前記ゲート配線及び前記ソース配線に電氣的に接続されたスイッチング素子と、前記ソース配線を覆う絶縁膜と、前記スイッチング素子に電氣的に接続されるとともに前記絶縁膜を介して前記ソース配線の直上に位置し第 2 方向に沿って延在した帯状の画素電極と、を備えた第 1 基板と、

第 1 方向に隣接する画素の間にそれぞれ配置され第 2 方向に沿って延在した帯状の対向電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

## 【請求項 5】

前記第 1 基板は、さらに、前記ソース配線を覆う前記絶縁膜と前記画素電極との間に、前記絶縁膜上に形成され前記ソース配線の直上に位置する固定電位のシールド電極と、前記シールド電極を覆うとともに前記画素電極の下地となる層間絶縁膜と、を備えたことを特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記画素電極を挟んだ両側に位置する前記対向電極のそれぞれと前記画素電極との間隔は略同一であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

## 【請求項 7】

前記画素電極と前記対向電極との間に電界が形成された状態で、前記液晶層の液晶分子は、前記画素電極を挟んで互いに逆向きの方向に配向することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、液晶表示装置に関する。

## 【背景技術】

## 【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような

10

20

30

40

50

横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

10

【特許文献2】特開平9-160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、開口率の低減を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

各画素の中央を通り直線状に延在した信号配線と、前記信号配線を覆う絶縁膜と、前記絶縁膜を介して前記信号配線の直上に位置し且つ前記信号配線と略平行な直線状に延在した帯状の画素電極と、を備えた第1基板と、隣接する画素の間に配置されそれぞれ前記画素電極と略平行な直線状に延在した帯状の対向電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0007】

本実施形態によれば、

第1方向に沿って延在したゲート配線と、各画素の中央を通り第1方向に交差する第2方向に沿って延在したソース配線と、前記ゲート配線及び前記ソース配線に電気的に接続されたスイッチング素子と、前記ソース配線を覆う絶縁膜と、前記スイッチング素子に電気的に接続されるとともに前記絶縁膜を介して前記ソース配線の直上に位置し第2方向に沿って延在した帯状の画素電極と、を備えた第1基板と、第1方向に隣接する画素の間にそれぞれ配置され第2方向に沿って延在した帯状の対向電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

40

【図3】図3は、図2に示した液晶表示パネルの画素を対向基板の側から見たときのアレイ基板ARの構造を概略的に示す平面図である。

【図4】図4は、図2に示した液晶表示パネルの対向基板における画素の構造を概略的に示す平面図である。

【図5】図5は、図3に示したアレイ基板のスイッチング素子を含むV-V線で切断した断面構造を概略的に示す図である。

【図6】図6は、図4に示した対向電極を含む画素をVI-VI線で切断した断面構造を概略的に示す図である。

【図7】図7は、本実施形態の変形例における液晶表示パネルの画素電極及び対向電極を含む断面構造を概略的に示す図である。

50

## 【発明を実施するための形態】

## 【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

## 【0010】

図1は、本実施形態における液晶表示装置の構成を模式的に示す図である。

## 【0011】

すなわち、液晶表示装置1は、アクティブマトリクスタイプの液晶表示パネルLPN、液晶表示パネルLPNに接続された駆動ICチップ2及びフレキシブル配線基板3などを備えている。

10

## 【0012】

液晶表示パネルLPNは、所定の間隔をおいて対向配置された第1基板としてのアレイ基板AR及び第2基板としての対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された図示しない液晶層と、を備えて構成されている。これらのアレイ基板ARと対向基板CTとは、図示しないシール材によって貼り合わせられている。

## 【0013】

このような液晶表示パネルLPNは、シール材によって囲まれた内側に、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、例えば、略矩形状であり、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 $m$ 及び $n$ は正の整数である）。

20

## 【0014】

また、本実施形態においては、液晶表示パネルLPNは、透過表示機能を有しており、液晶表示装置1は、液晶表示パネルLPNを照明するバックライト4を備えている。このバックライト4は、図示した例では、液晶表示パネルLPNの背面側つまりアレイ基板ARの背面側に配置されている。このようなバックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCF)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

## 【0015】

30

図2は、図1に示した液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

## 【0016】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 $n$ 本のゲート配線G( $G_1 \sim G_n$ )、 $n$ 本の補助容量線C( $C_1 \sim C_n$ )、 $m$ 本のソース配線S( $S_1 \sim S_m$ )などを備えている。ゲート配線G及び補助容量線Cは、第1方向Xに沿ってそれぞれ延在している。また、ゲート配線G及び補助容量線Cは、第1方向Xに交差(ここでは直交)する第2方向Yに沿って交互に並列配置されている。ソース配線Sは、ゲート配線G及び補助容量線Cと交差する第2方向Yに沿ってそれぞれ延在している。また、ソース配線Sは、第1方向Xに沿って並列配置されている。つまり、ゲート配線G及び補助容量線Cと、ソース配線Sとは、略直交している。

40

## 【0017】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ゲート配線Gは、スイッチング素子SWのON/OFFを制御する制御信号を供給するための信号配線に相当する。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。各ソース配線Sは、画素電極PEに書き込まれる信号電圧を供給するための信号配線に相当する。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

## 【0018】

50

各画素 P X は、スイッチング素子 S W、画素電極 P E、対向電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。

【 0 0 1 9 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で対向電極 C E が対向基板 C T に形成された構成であり、これらの画素電極 P E と対向電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と対向電極 C E との間に形成される電界は、アレイ基板 A R の主面あるいは対向基板 C T の主面にほぼ平行な横電界（あるいは、基板主面に対してわずかに傾いた斜め電界）である。

【 0 0 2 0 】

スイッチング素子 S W は、例えば、nチャネル薄膜トランジスタ（T F T）によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S に電氣的に接続されている。アクティブエリア A C T には、m × n 個のスイッチング素子 S W が形成されている。

【 0 0 2 1 】

画素電極 P E は、スイッチング素子 S W に電氣的に接続されている。アクティブエリア A C T には、m × n 個の画素電極 P E が形成されている。対向電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素電極 P E に対して共通に配置されている。この対向電極 C E は、図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 2 2 】

図 3 は、図 2 に示した液晶表示パネル L P N の画素 P X を対向基板 C T の側から見たときのアレイ基板 A R の構造を概略的に示す平面図である。なお、ここでは、説明に必要な主要部のみを図示している。

【 0 0 2 3 】

ゲート配線 G 0 及び G 1 は、それぞれ第 1 方向 X に沿って延在している。ソース配線 S は、各画素 P X の中央を通り直線状に延在している。図示した例では、ソース配線 S は、第 2 方向 Y に沿って延在している。これらのゲート配線 G 1 及びソース配線 S は、スイッチング素子 S W に電氣的に接続されている。

【 0 0 2 4 】

画素電極 P E は、画素 P X の中央に配置されている。すなわち、画素電極 P E は、画素 P X の中央を通る信号配線の直上に位置し、且つ、当該信号配線と略平行な直線状に延在した帯状に形成されている。図示した例では、画素電極 P E は、ソース配線 S の直上に位置し、且つ、ソース配線 S と略平行な第 2 方向 Y に沿って延在した帯状に形成されている。このような構成の画素電極 P E は、スイッチング素子 S W に電氣的に接続されている。なお、図示した例では、一画素 P X に配置された画素電極 P E のみが図示されているが、図示を省略した他の各画素についてもそれぞれ同一形状の画素電極 P E が配置されている。

【 0 0 2 5 】

なお、図中の R B 1 は、アレイ基板 A R の表面に配置された第 1 配向膜の第 1 ラビング方向を示し、また、図中の R B 2 は、図示しない対向基板の表面に配置された第 2 配向膜の第 2 ラビング方向を示している。これらの第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 は、互いに平行且つ逆向きである。また、これらの第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 は、第 2 方向 Y に対して数°程度わずかに傾いた方向であり、例えば、第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 と第 2 方向 Y とのなす角度は 7°である。

【 0 0 2 6 】

図 4 は、図 2 に示した液晶表示パネル L P N の対向基板 C T における画素 P X の構造を概略的に示す平面図である。なお、ここでは、説明に必要な主要部のみを図示している。

10

20

30

40

50

## 【 0 0 2 7 】

対向電極 C E は、隣接する画素 P X の間に配置され、画素電極 P E と略平行な直線状に延在した帯状に形成されている。図示した例では、対向電極 C E は、第 1 方向 X に隣接する画素 P X の間に配置されており、第 2 方向 Y に沿って延在した帯状に形成されている。このような対向電極 C E は、画素 P X の中央を通るソース配線 S や画素電極 P E の直上の位置からずれた位置に配置されている。

## 【 0 0 2 8 】

つまり、対向電極 C E は、画素電極 P E と重なることはなく、第 1 方向 X に沿って一定の間隔を置いて交互に並んでいる。ここで、画素電極 P E を挟んだ両側に位置する対向電極 C E をそれぞれ C E 1 及び C E 2 としたとき、対向電極 C E 1 及び C E 2 のそれぞれと画素電極 P E との間隔は略同一である。つまり、画素電極 P E と対向電極 C E 1 との第 1 方向 X に沿った間隔と、画素電極 P E と対向電極 C E 2 との第 1 方向 X に沿った間隔とが略同一である。

10

## 【 0 0 2 9 】

なお、本実施形態において、画素 P X とは、図中の破線で示したように、ゲート配線 G 0 及び G 1 と対向電極 C E 1 及び C E 2 とが成すマス目の領域に相当し、第 1 方向 X に沿った長さよりも第 2 方向 Y に沿った長さの方が長い長方形形状である。画素電極 P E と対向電極 C E 1 との間、及び、画素電極 P E と対向電極 C E 2 との間には、略長方形形状の開口部が形成される。このような開口部は、各画素 P X のうち、主として表示に寄与する透過部に相当する。画素電極 P E と重なる領域、あるいは、対向電極 C E 1 及び C E 2 と重なる領域は、ほとんど表示に寄与しない。

20

## 【 0 0 3 0 】

図中の D 1 は、画素電極 P E と対向電極 C E 1 との間の電位差によって形成された電界による液晶分子の主な配向方向を示している。また、図中の D 2 は、画素電極 P E と対向電極 C E 2 との間の電位差によって形成された電界による液晶分子の主な配向方向を示している。これらの配向方向 D 1 及び D 2 は、第 1 方向 X と略平行であり、しかも、互いに逆向きの方向である。このように、ここに示した例では、画素電極 P E と対向電極 C E との間に電界が形成された状態で、液晶層の液晶分子は、画素電極 P E を挟んで互いに逆向きの方向に配向する。このため、各画素 P X においては、液晶分子の配向方向は、2 分割されている。

30

## 【 0 0 3 1 】

図 5 は、図 3 に示したアレイ基板 A R のスイッチング素子 S W を含む V - V 線で切断した断面構造を概略的に示す図である。

## 【 0 0 3 2 】

すなわち、アレイ基板 A R は、ガラス基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の上にスイッチング素子 S W や、画素電極 P E などを備えている。ここでは、スイッチング素子 S W がアモルファスシリコン半導体層を備えたボトムゲート型の薄膜トランジスタである場合について説明するが、この例に限らず、多結晶シリコン半導体層を備えた薄膜トランジスタであっても良いし、トップゲート型の構造を有する薄膜トランジスタであっても良い。

40

## 【 0 0 3 3 】

スイッチング素子 S W のゲート電極 W G は、第 1 絶縁基板 1 0 の上に形成されている。このゲート電極 W G は、図示しないゲート配線 ( G 1 ) に電氣的に接続されている、あるいは、ゲート配線の一部である。ゲート配線 G やゲート電極 W G は、例えば、モリブデン、アルミニウム、タングステン、チタン、タンタル、クロムなどの導電材料によって形成されている。このようなゲート電極 W G は、第 1 絶縁膜 1 1 によって覆われている。この第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上にも配置されている。

## 【 0 0 3 4 】

スイッチング素子 S W の半導体層 S C は、第 1 絶縁膜 1 1 の上に形成され、ゲート電極 W G の直上に位置している。この半導体層 S C は、島状のアモルファスシリコンによって

50

形成されている。このような半導体層 S C は、第 2 絶縁膜 1 2 によって覆われている。この第 2 絶縁膜 1 2 は、第 1 絶縁膜 1 1 の上にも配置されている。

【 0 0 3 5 】

スイッチング素子 S W のソース電極 W S は、第 2 絶縁膜 1 2 の上に形成され、半導体層 S C にコンタクトしている。このソース電極 W S は、ソース配線 S に電氣的に接続されている。図示した例では、ソース電極 W S は、ソース配線 S の一部である。ソース配線 S やソース電極 W S は、例えば、モリブデン、アルミニウム、タングステン、チタン、タンタル、クロムなどの導電材料によって形成されている。これらのソース電極 W S 及びソース配線 S は、第 3 絶縁膜 1 3 によって覆われている。この第 3 絶縁膜 1 3 は、第 2 絶縁膜 1 2 の上にも配置されている。このような第 3 絶縁膜 1 3 は、信号配線を覆う絶縁膜、あるいは、ソース配線 S を覆う絶縁膜に相当する。

10

【 0 0 3 6 】

スイッチング素子 S W のドレイン電極 W D は、第 3 絶縁膜 1 3 の上に形成され、半導体層 S C にコンタクトしている。このドレイン電極 W D は、画素電極 P E に電氣的に接続されている。図示した例では、ドレイン電極 W D は、画素電極 P E の一部であるが、他の形態、例えば、ソース電極 W S と同一層に形成された電極であっても良い。

【 0 0 3 7 】

アレイ基板 A R の表面は、第 1 配向膜 1 4 によって覆われている。この第 1 配向膜 1 4 は、第 3 絶縁膜 1 3 の上、さらにはドレイン電極 W D や画素電極 P E の上にも配置されている。

20

【 0 0 3 8 】

図 6 は、図 4 に示した対向電極 C E を含む画素 P X を V I - V I 線で切断した断面構造を概略的に示す図である。

【 0 0 3 9 】

アレイ基板 A R において、ソース配線 S は、第 2 絶縁膜 1 2 の上に形成されている。第 3 絶縁膜 1 3 は、ソース配線 S を覆っている。画素電極 P E は、第 3 絶縁膜 1 3 を介してソース配線 S の直上に位置している。図示した例では、画素電極 P E は、第 3 絶縁膜 1 3 の上に形成されている。このような画素電極 P E は、光透過性を有する導電材料、例えば、インジウム・ティン・オキサイド ( I T O ) やインジウム・ジंक・オキサイド ( I Z O ) などによって形成されている。

30

【 0 0 4 0 】

画素電極 P E の表面は、第 1 配向膜 1 4 によって覆われている。この第 1 配向膜 1 4 は、第 3 絶縁膜 1 3 の上にも配置され、アレイ基板 A R の液晶層 L Q に接する面に設けられている。この第 1 配向膜 1 4 は、水平配向性を示す材料によって形成されており、上述したような第 1 ラビング方向 R B 1 にラビング処理されている。

【 0 0 4 1 】

一方、対向基板 C T は、ガラス基板などの光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内面 ( すなわち、アレイ基板 A R に対向する面 ) に、カラーフィルタ層 2 1、対向電極 C E などを備えている。

【 0 0 4 2 】

カラーフィルタ層 2 1 は、第 2 絶縁基板 2 0 の上に形成されている。このカラーフィルタ層 2 1 は、互いに異なる複数の色、例えば赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。詳述しないが、赤色に着色された樹脂材料は赤色画素に対応して配置され、同様に、青色に着色された樹脂材料は青色画素に対応して配置され、緑色に着色された樹脂材料は緑色画素に対応して配置されている。

40

【 0 0 4 3 】

対向電極 C E は、カラーフィルタ層 2 1 の上に形成されている。この対向電極 C E は、画素電極 P E との間に横電界を形成するように配置されている。すなわち、画素電極 P E が画素 P X の中央に配置されているのに対して、画素電極 P E を挟んだ両側の対向電極 C E 1 及び C E 2 は、各画素 P X の周囲、あるいは、隣接する画素 P X の間に配置されてい

50

る。このような対向電極 C E は、画素電極 P E と同様に、I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【 0 0 4 4 】

対向電極 C E の表面は、第 2 配向膜 2 2 によって覆われている。この第 2 配向膜 2 2 は、カラーフィルタ層 2 1 の上にも配置され、対向基板 C T の液晶層 L Q に接する面に設けられている。この第 2 配向膜 2 2 は、第 1 配向膜 1 4 と同様にポリイミドなどの水平配向性を示す材料によって形成されており、上述したような第 2 ラビング方向 R B 2 にラビング処理されている。

【 0 0 4 5 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 1 4 及び第 2 配向膜 2 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 1 4 と対向基板 C T の第 2 配向膜 2 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。液晶層 L Q は、上述したセルギャップに封入されている。液晶層 L Q は、例えば、ポジ型の液晶材料によって構成されている。

10

【 0 0 4 6 】

液晶表示パネル L P N の一方の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面には、第 1 偏光板 P L 1 が接着剤などにより貼付されている。また、液晶表示パネル L P N の他方の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面には、第 2 偏光板 P L 2 が接着剤などにより貼付されている。本実施形態においては、第 1 偏光板 P L 1 の吸収軸と、第 2 偏光板 P L 2 の吸収軸とが直交する位置関係にあり、ノーマリーブラックモードを実現している。

20

【 0 0 4 7 】

すなわち、画素電極 P E と対向電極 C E との間に電位差が形成されていない無電界時には、液晶層 L Q の液晶分子は、第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 に平行な方向に配向している。この状態では、バックライト 4 からのバックライト光が第 2 偏光板 P L 2 を透過しないため、画素 P X において黒が表示される。

【 0 0 4 8 】

一方、画素電極 P E と対向電極 C E との間に電位差が形成された状態では、液晶分子は、その長軸が電界の向きと略平行となるように配向する。例えば、画素電極 P E と対向電極 C E 1 及び C E 2 との間にそれぞれ電界が形成された状態では、液晶分子は、これらの電界に沿って配向する。このため、画素電極 P E と対向電極 C E 1 及び C E 2 との間に形成された透過部では、バックライト 4 からのバックライトが透過し、画素 P X において白が表示される。

30

【 0 0 4 9 】

なお、このとき、画素電極 P E 付近及び対向電極 C E 1 及び C E 2 付近では、液晶分子の配向を制御するための電界がほとんど形成されない（あるいは、液晶分子を駆動するのに十分な電界が形成されない）ため、液晶分子は、無電界時と同様に、第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 からほとんど動かない。このため、画素電極 P E 付近及び対向電極 C E 1 及び C E 2 は、光透過性の導電材料によって形成されているが、これらの領域ではバックライト光が透過せず、表示に寄与しない。

40

【 0 0 5 0 】

本実施形態によれば、画素電極 P E は、第 3 絶縁膜 1 3 を介してソース配線 S の上に配置されている。ソース配線 S は、元々遮光性の導電材料によって形成されているため、画素電極 P E に重なる領域の液晶分子が表示に寄与しない方位に配向したとしても、画素 P X の開口率にはほとんど影響を与えない。また、アレイ基板 A R と対向基板 C T との合わせずれが発生したとしても、表示に寄与しない領域が増大するわけではないため、各画素 P X の開口率の低減を抑制することが可能となる。

【 0 0 5 1 】

50

なお、アレイ基板 A R と対向基板 C T との合わせずれが発生した際に、画素電極 P E と対向電極 C E 1 との距離と、画素電極 P E と対向電極 C E 2 との距離の間に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示品位の低下は抑制される。

【 0 0 5 2 】

上記の通り、画素電極 P E と対向電極 C E との間に電位差が形成された状態であっても、画素電極 P E や対向電極 C E 1 及び C E 2 に重なる領域の液晶分子は、表示に寄与する方位に配向しない場合が多い。このため、画素電極 P E 及び対向電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

10

【 0 0 5 3 】

次に、本実施形態の変形例について説明する。

【 0 0 5 4 】

図 7 は、本実施形態の変形例における液晶表示パネル L P N の画素電極 P E 及び対向電極 C E を含む断面構造を概略的に示す図である。

【 0 0 5 5 】

この変形例においては、ソース配線 S と画素電極 P E との間にシールド電極 S L が配置されている点で、図 6 に示した例と相違している。すなわち、アレイ基板 A R は、信号配線であるソース配線 S を覆う第 3 絶縁膜 1 3 と画素電極 P E との間に、第 3 絶縁膜 1 3 の上に形成されソース配線 S の直上に位置する固定電位のシールド電極 S L と、シールド電極 S L を覆うとともに画素電極 P E の下地となる層間絶縁膜 1 5 と、を備えている。画素電極 P E は、層間絶縁膜 1 5 の上に形成されている。このような画素電極 P E 及び層間絶縁膜 1 5 は、第 1 配向膜 1 4 によって覆われている。その他の構成については、図 6 に示した例と同様であり、説明を省略する。

20

【 0 0 5 6 】

このような変形例によれば、上記の効果に加えて、ソース配線 S がシールド電極 S L によってシールドされているため、ソース配線 S と画素電極 P E との間の不所望な容量の発生を抑制することが可能となる。また、ソース配線 S と対向電極 C E との間での不所望な電界の発生も抑制することが可能となる。

30

【 0 0 5 7 】

以上説明したように、本実施形態によれば、開口率の低減を抑制することが可能な液晶表示装置を提供することができる。

【 0 0 5 8 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【 符号の説明 】

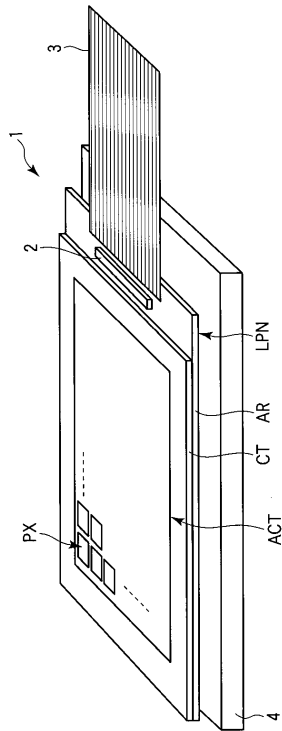
【 0 0 5 9 】

L P N ... 液晶表示パネル  
 A R ... アレイ基板    C T ... 対向基板    L Q ... 液晶層  
 P E ... 画素電極    S W ... スイッチング素子  
 S ... ソース配線  
 G ... ゲート配線  
 S L ... シールド電極  
 1 1 ... 第 1 絶縁膜    1 2 ... 第 2 絶縁膜    1 3 ... 第 3 絶縁膜  
 1 5 ... 層間絶縁膜  
 C E ... 対向電極

40

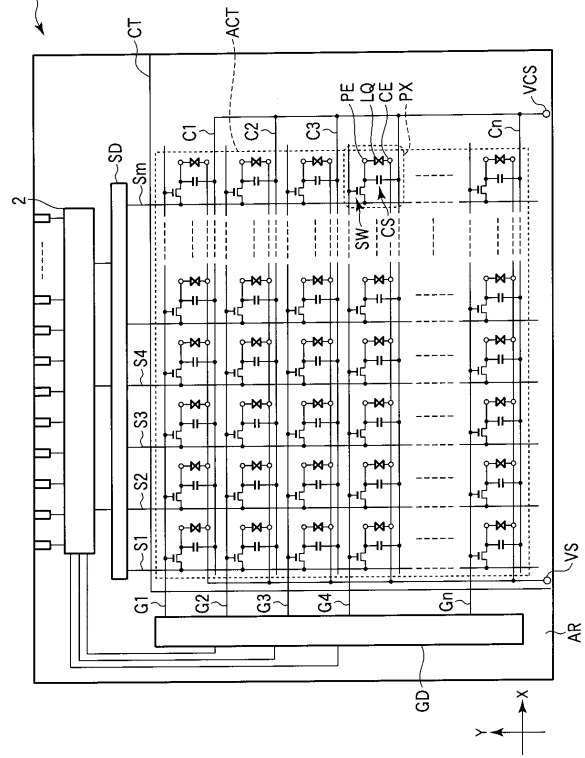
【 図 1 】

図 1



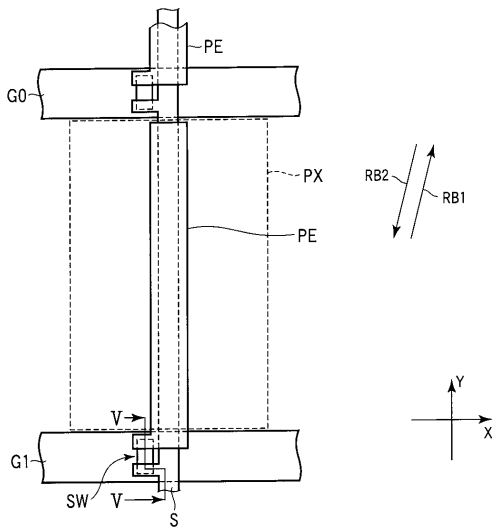
【 図 2 】

図 2



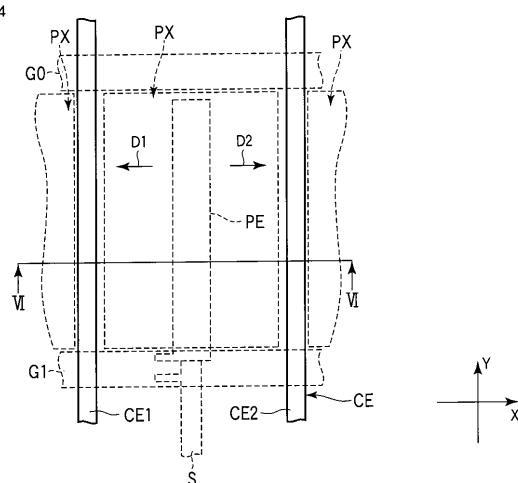
【 図 3 】

図 3



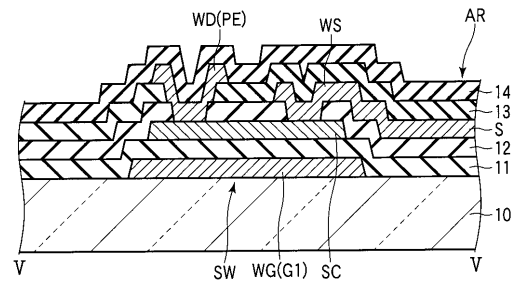
【 図 4 】

図 4



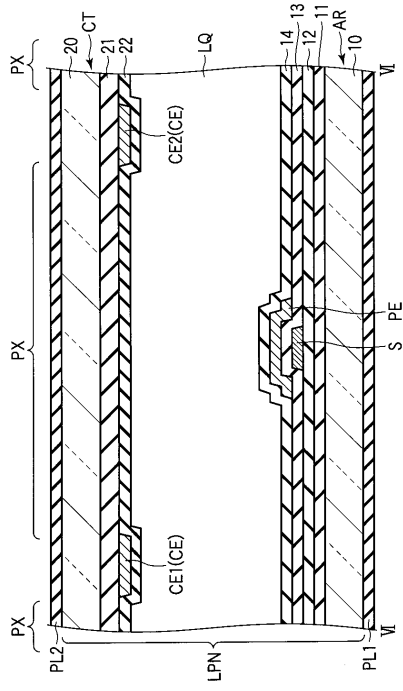
【 図 5 】

図 5



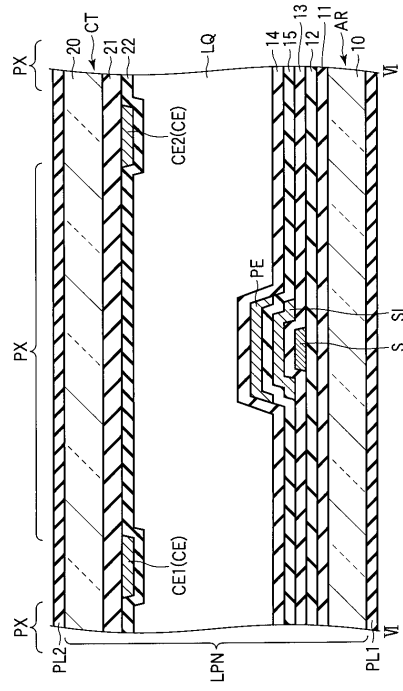
【 図 6 】

図 6



【 図 7 】

図 7



## フロントページの続き

(74)代理人 100084618  
弁理士 村松 貞男

(74)代理人 100103034  
弁理士 野河 信久

(74)代理人 100119976  
弁理士 幸長 保次郎

(74)代理人 100153051  
弁理士 河野 直樹

(74)代理人 100140176  
弁理士 砂川 克

(74)代理人 100101812  
弁理士 勝村 紘

(74)代理人 100124394  
弁理士 佐藤 立志

(74)代理人 100112807  
弁理士 岡田 貴志

(74)代理人 100111073  
弁理士 堀内 美保子

(74)代理人 100134290  
弁理士 竹内 将訓

(74)代理人 100127144  
弁理士 市原 卓三

(74)代理人 100141933  
弁理士 山下 元

(72)発明者 田中 康晴  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

Fターム(参考) 2H090 HA14 LA01 LA15 MA02 MA07 MA15  
2H092 GA14 JA26 JB05 JB13 JB23 JB24 JB32 JB33 NA07 PA08  
5C094 AA10 BA03 BA43 CA19 DA13 DB01 EA04 EA10 FA01 FA02  
FB01 FB12 FB14 FB15