

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月16日(2005.6.16)

【公表番号】特表2001-507864(P2001-507864A)

【公表日】平成13年6月12日(2001.6.12)

【出願番号】特願平10-530091

【国際特許分類第7版】

H 01 L 21/76

【F I】

H 01 L 21/76 L

【手続補正書】

【提出日】平成16年9月16日(2004.9.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

## 手続補正書

平成 年 月 日  
**16.9.16**

特許庁長官殿

1. 事件の表示 平成10年特許願第530091号

2. 補正をする者

名 称 インテル・コーポレーション

3. 代理人

識別番号 ~~100064621~~

郵便番号 100-0014

住 所 東京都千代田区永田町2丁目4番2号

秀和溜池ビル8階

山川国際特許事務所内

*b462* 電話 03(3580)0961(代表)

氏 名 山川 政樹



4. 補正対象書類名 請求の範囲

5. 補正対象項目名 請求の範囲

6. 補正の内容 請求の範囲を、別紙の通り補正する。



## 請求の範囲

1. 半導体基板に分離構造を形成する方法であって、
  - a) 前記半導体基板にトレーニチをエッティングする段階と、
  - b) 前記トレーニチ内の第1の酸化物層を形成する段階と、
  - c) 前記第1の酸化物層を酸化窒素(N<sub>2</sub>O)基体雰囲気にさらして、前記第1の酸化物層上にオキシ窒化物面を形成し、前記第1の酸化物層と前記半導体基板との間にシリコン・オキシ窒化物界面を形成する段階と、
  - d) 前記第1の酸化物層の前記オキシ窒化物面上に、第2の酸化物層を堆積させる段階とを含む方法。  
  
2. 半導体基板内に分離構造を形成する方法であって、
  - a) 前記半導体基板にトレーニチをエッティングする段階と、
  - b) 前記トレーニチ内に熱酸化物を成長させて、第1の酸化物層を形成する段階と、
  - c) 前記第1の酸化物層を酸化窒素(N<sub>2</sub>O)ガス雰囲気にさらして、前記第1の酸化物層上にオキシ窒化物面を形成し、前記第1の酸化物層と前記半導体基板との間にシリコン・オキシ窒化物界面を形成し、前記N<sub>2</sub>O基体雰囲気処理段階が、前記半導体基板の一部を消耗し、前記トレーニチの上角部を丸くする段階と、
  - d) 前記第1の酸化物層の前記オキシ窒化物面上に第2の酸化物層を堆積させる段階と、
  - e) 化学機械的研磨エッチバック段階を実行して、前記トレーニチ内の前記第1と第2の酸化物層を分離する段階とを含む方法。  
  
3. 半導体基板内に分離構造を形成する方法であって、
  - a) 前記半導体基板上にパッド酸化物層を形成する段階と、
  - b) 前記パッド酸化物層上に研磨ストップ層を形成する段階と、
  - c) 前記研磨ストップ層と前記パッド酸化物層をパターニングしてエッティングす

る段階と、

- d) 前記半導体基板内にトレンチをエッチングする段階と、
- e) トレンチのプレクリーニング段階を実行する段階と、
- f) 前記トレンチ内に第1の酸化物層を形成して、第1のトレンチ酸化物層を形成する段階と、
- g) 前記第1の酸化物層を酸化窒素 ( $N_2O$ ) ガス雰囲気にさらして、前記第1の酸化物層上にオキシ窒化物面を形成し、前記第1の酸化物層と前記半導体基板の間にシリコン・オキシ窒化物界面を形成し、前記  $N_2O$  基体雰囲気処理段階が、前記半導体基板の一部を消耗し、前記トレンチの上角部を丸くする段階と、
- h) 前記第1のトレンチ酸化物層の前記オキシ窒化物面上に、第2のトレンチ酸化物層を堆積させる段階と、
- i) 前記第2のトレンチ酸化物層を研磨して、前記第2のトレンチ酸化物層の前記研磨トップ層の上の部分を除去する段階と、
- j) 前記研磨トップ層を除去する段階と、
- k) 化学機械的研磨エッチバック段階を実行して、前記トレンチ内の前記第1と第2の酸化物層を分離する段階と、
- l) 半導体素子の形成に使用するために、前記半導体基板と前記トレンチの上に薄いゲート酸化物層を形成する段階と、  
を含む方法。

#### 4. 半導体基板に形成された分離構造であって、

前記半導体基板内のトレンチと、

前記トレンチの内面に形成され、オキシ窒化物面を有する第1の酸化物層と、  
前記第1の酸化物層と前記半導体基板の間のシリコン・オキシ窒化物界面と、  
前記トレンチ内の、前記第1の酸化物層の前記オキシ窒化物面上に直接配置された第2の酸化物層と  
を含む分離構造。

#### 5. 半導体基板内に形成された分離構造であって、

前記半導体基板内のトレンチと、  
前記トレンチの内側に形成され、オキシ窒化物面を有する第1の酸化物層と、  
前記第1の酸化物層と前記半導体基板の間のシリコン・オキシ窒化物界面と、  
前記トレンチ内に、前記第1の酸化物層の前記オキシ窒化物面上に直配置された第2の酸化物層とを有する分離構造と、  
前記分離構造の隣りにあり、32Å未満の厚さを有する薄いゲート酸化物層を含むトランジスタと  
を含む半導体素子。