

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4801848号
(P4801848)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G02F 1/133 (2006.01)
 G02F 1/1368 (2006.01)
 G09F 9/30 (2006.01)
 G09F 9/35 (2006.01)

G09G 3/36
 G02F 1/133 550
 G02F 1/1368
 G09F 9/30 338
 G09F 9/35

請求項の数 58 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2001-189233 (P2001-189233)
 (22) 出願日 平成13年6月22日 (2001.6.22)
 (65) 公開番号 特開2003-5721 (P2003-5721A)
 (43) 公開日 平成15年1月8日 (2003.1.8)
 審査請求日 平成20年5月20日 (2008.5.20)

(73) 特許権者 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、N+Mは全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイ

10

20

ッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方であり3値の電圧からなる共通電極線駆動回路とを具備する液晶表示装置。

【請求項2】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項1の液晶表示装置。

【請求項3】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項1の液晶表示装置。

【請求項4】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項1の液晶表示装置。

【請求項5】

前記画素電極が反射面を有する請求項1の液晶表示装置。

【請求項6】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項1の液晶表示装置。

【請求項7】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項1の液晶表示装置。

【請求項8】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方であり4値の電圧からなる共通電極線駆動回路とを具備する液晶表示装置。

【請求項9】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項8の液晶表示装置。

【請求項10】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項8の液晶表示装置。

【請求項11】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成

10

20

30

40

50

された請求項 8 の液晶表示装置。

【請求項 1 2】

前記画素電極が反射面を有する請求項 8 の液晶表示装置。

【請求項 1 3】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項 8 の液晶表示装置。

【請求項 1 4】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項 8 の液晶表示装置。

【請求項 1 5】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記画像信号の電位を決める電位発生回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に 2 レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1 乃至 N ライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前 1 乃至 M ライン以前にレベル変更のためのリセットタイミングを有し、 $N + M$ は全ライン数の 10 % 以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は 2 レベルのうちの絶対値の大きい方である共通電極線駆動回路とを具備し、前記共通線駆動回路が使用する電圧の一部と前記電位発生回路が使用する電圧の一部とを共用する液晶表示装置。

【請求項 1 6】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項 1 5 の液晶表示装置。

【請求項 1 7】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一の IC 基板上に形成された請求項 1 5 の液晶表示装置。

【請求項 1 8】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一の IC 基板上に形成された請求項 1 5 の液晶表示装置。

【請求項 1 9】

前記画素電極が反射面を有する請求項 1 5 の液晶表示装置。

【請求項 2 0】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項 1 5 の液晶表示装置。

【請求項 2 1】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項 1 5 の液晶表示装置。

【請求項 2 2】

前記電位発生回路と前記共通電極線駆動回路が共用する電位は前記電位発生回路で生成し、前記共通電極線駆動回路に供給する請求項 1 5 の液晶表示装置。

【請求項 2 3】

前記電位発生回路と前記共通電極線駆動回路が共用する電位は前記共通電極線駆動回路で生成し、前記電位発生回路に供給する請求項 1 5 の液晶表示装置。

【請求項 2 4】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に 2 レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1 乃至 N ライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前 1 乃至 M ライン以前にレベル変更のためのリセットタイミングを有し、 $N + M$ は全ライン数の 10 % 以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は 2 レベルのうちの絶対値の大きい方である共通電極線駆動回路とを具備し、前記共通線駆動回路が使用する電圧の一部と前記対向電極電位とを共用する液晶表示装置。

【請求項 2 5】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項 2 4 の液晶表示装置。

【請求項 2 6】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一の IC 基板上に形成された請求項 2 4 の液晶表示装置。

【請求項 2 7】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一の IC 基板上に形成された請求項 2 4 の液晶表示装置。

【請求項 2 8】

前記画素電極が反射面を有する請求項 2 4 の液晶表示装置。

【請求項 2 9】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項 2 4 の液晶表示装置。

【請求項 3 0】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項 2 4 の液晶表示装置。

【請求項 3 1】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイ

10

20

30

40

50

ッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

10

前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方で、液晶表示装置としての輝度を変更するための変調信号振幅調整機能を有する共通電極線駆動回路とを具備する液晶表示装置。

【請求項32】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項31の液晶表示装置。

20

【請求項33】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項31の液晶表示装置。

【請求項34】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項31の液晶表示装置。

【請求項35】

前記画素電極が反射面を有する請求項31の液晶表示装置。

30

【請求項36】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項31の液晶表示装置。

【請求項37】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項31の液晶表示装置。

【請求項38】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

40

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

50

前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、N+Mは全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方で、液晶表示装置としての輝度を変更するための変調信号振幅調整機能を有する共通電極線駆動回路と、

前記変調信号振幅調整機能に対応して対向電極電位が変化する対向電位変動調整装置とを具備する液晶表示装置。

10

【請求項39】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項38の液晶表示装置。

【請求項40】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項38の液晶表示装置。

【請求項41】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成された請求項38の液晶表示装置。

20

【請求項42】

前記画素電極が反射面を有する請求項38の液晶表示装置。

【請求項43】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項38の液晶表示装置。

【請求項44】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項38の液晶表示装置。

【請求項45】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

30

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

40

前記画像信号振幅を調整する画像信号振幅調整回路と前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、N+Mは全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方で、液晶表示装置としての輝度を変更するための変調信号振幅調整機能を有する共通電極線駆動回路とを具備する液晶表示装置。

50

【請求項 4 6】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項 4 5 の液晶表示装置。

【請求項 4 7】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一の I C 基板上に形成された請求項 4 5 の液晶表示装置。

【請求項 4 8】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一の I C 基板上に形成された請求項 4 5 の液晶表示装置。

10

【請求項 4 9】

前記画素電極が反射面を有する請求項 4 5 の液晶表示装置。

【請求項 5 0】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項 4 5 の液晶表示装置。

【請求項 5 1】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項 4 5 の液晶表示装置。

【請求項 5 2】

互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、

20

前記第一の基板と対向して配された第二の基板と、

前記第一および第二の基板の間に挟持された液晶層と、

前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、

前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、

30

前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、

前記画像信号の論理極性に対応して前記共通電極線に 2 レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1 乃至 N ライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前 1 乃至 M ライン以前にレベル変更のためのリセットタイミングを有し、 $N + M$ は全ライン数の 10 % 以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、走査線のオンオフタイミングに対する前記変調タイミング、リセットタイミングの時間的相関関係を走査線ごとに任意に設定でき、前記変調信号の振幅は 2 レベルのうちの絶対値の大きい方である共通電極線駆動回路とを具備する液晶表示装置。

40

【請求項 5 3】

前記走査線駆動回路および共通電極線駆動回路が前記第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される請求項 5 2 の液晶表示装置。

【請求項 5 4】

前記走査線駆動回路の一部および共通電極線駆動回路の一部が同一の I C 基板上に形成された請求項 5 2 の液晶表示装置。

【請求項 5 5】

前記信号線駆動回路の一部および共通電極線駆動回路の一部が同一の I C 基板上に形成

50

された請求項 5 2 の液晶表示装置。

【請求項 5 6】

前記画素電極が反射面を有する請求項 5 2 の液晶表示装置。

【請求項 5 7】

前記走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する請求項 5 2 の液晶表示装置。

【請求項 5 8】

前記スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料を含む請求項 5 2 の液晶表示装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス方式の液晶表示装置に関し、より詳しくは実用性を高めつつ信号線駆動回路および走査線駆動回路の信号振幅を低減するための駆動方法の改良に関する。

【0002】

【従来の技術】

アクティブマトリクス方式の液晶表示装置において、表示信号の最大振幅の低減、内部直流電圧（寄生容量）による影響の抑制等のため、液晶の保持特性を高めるための保持容量を前段走査線と画素電極の間に設け、ここから液晶にバイアス電圧を印加する対向一定容量結合駆動方法と呼ばれる方法がある（例えば日経 B P 社 フラットパネル・ディスプレイ '93 P128～P131）。

20

【0003】

しかしながら、この方法によると、一方で走査信号の振幅を大きくする必要がある。そこで、特開平 10-39277 号公報には、走査線と独立した補助容量を設け、この補助容量にパルス状波形を加えて液晶にバイアス電位を加える方法が提案されている。

【0004】

同公報による表示装置の構成の概略を図 17 に、1 画素の電氣的構成図を図 2 に示す。表示領域 20 には複数の信号線 1 が平行に配されていて、さらに複数の走査線 2 が信号線 1 に直交するように配されている。信号線 1 と走査線 2 の各交点の近傍にはスイッチング素子 3 が配されている。スイッチング素子 3 は走査線駆動回路 10 より走査線 2 を介して入力した走査信号により信号線 1 と画素電極 4 との接続をオン・オフ制御する。液晶層 7 は画素電極 4 と対向電極 11 との間に形成された電界により駆動する。複数の共通電極線 5 が走査線 2 と対をなしてそれと略平行に配される。画素電極 4 と共通電極線 5 の間には保持容量 6 が形成される。

30

【0005】

信号線駆動回路 9 は、フレーム期間ごとに対向電極 11 の電位 V_{com} に対して論理極性が反転したパルス信号を信号線 1 のそれぞれに出力する。

【0006】

走査線駆動回路 10 は、 V_{off} および V_{on} の 2 値を発生するバッファとシフトレジスタとを備え、スタート信号 V_{st} とクロック信号 V_{clk} に基づいて走査線 2 を駆動するための走査信号の V_{off} または V_{on} を出力する。

40

【0007】

共通電極線駆動回路 12 はスイッチを備え、入力された信号 V_{st} と V_{clk} に基づいて信号源（図示せず）より入力した $V_e(-)$ 、 V_e 、 $V_e(+)$ の 3 値のいずれかを共通電極線 5 に出力する。

【0008】

ここで、スイッチング素子 3 は、たとえば非晶質シリコン ($a-Si$)、多結晶ポリシリコン ($p-Si$) 等を用いた薄膜トランジスタである。また、反射型や投射型のパネルには、広く IC に用いられる単結晶シリコン ($c-Si$) を用いたものも多い。

50

【0009】

これらのデバイスにはその構造上、走査線2と画素電極4の間に寄生容量すなわちゲートドレイン間容量8が形成されるため、走査線駆動回路10からの走査信号がV_{on}からV_{off}に変化する時に、画素電極4の電位を負側にシフトする。

【0010】

そこで、同公報では、この画素電極4の電位の降下を補償するために、共通電極線5の電位を変化させている。

【0011】

この装置の駆動方法を各電位の動作波形を示す図18を用いて説明する。

【0012】

走査線駆動回路10は、1フレームごとに各走査線2に向けてそれに接続されたスイッチング素子3をオンにするための信号を出力する。走査線2の電位はV_{off}に維持されながら、その水平走査期間だけV_{on}になる。したがって、スイッチング素子3はその期間だけオンになり、画素電極4と信号線1が電氣的に接続される。

【0013】

図中H1で示す水平走査期間においては、画素電極4の電位は低下して信号線1の電位V_s(-)と等しくなる。このときの信号線1の対向電極11に対する論理極性は負である。

【0014】

ここで、期間H1中にV_eに維持されていた共通電極線5の電位をV_e(+)に上昇させる。期間H1が経過して走査線電位がV_{off}に低下した瞬間、ゲートドレイン間容量8の影響により、画素電極4の電位はわずかに負にシフトする。ここで、ゲートドレイン間容量8は液晶層7の容量と保持容量6の総和よりも一桁小さい。

【0015】

期間H1の経過後、共通電極線5の電位をV_e(+)からV_eに下げる。これにより、画素電極4の電位はほぼこの電位差分負にシフトする。水平走査期間H2に至るまでは、スイッチング素子3がオフであるために画素電極4の電位は維持される。

【0016】

期間H2では、信号線1の論理極性は対向電極11に対して正であって、画素電極4の電位は上昇して信号線1の電位V_s(+)と等しくなる。期間H2中に共通電極線5の電位をV_eからV_e(-)に下げる。期間H2が経過して走査線2の電位がV_{off}に低下した瞬間、ゲートドレイン間容量8の影響により、画素電極4の電位はわずかに負にシフトする。期間H2の経過後、共通電極線5の電位をV_e(-)からV_eに上げる。これにより、画素電極4の電位はほぼこの電位差分正にシフトする。

【0017】

上記のように、対向電極電位V_{com}に対する論理極性が異なる画像信号が交互に繰り返し画素電極4に入力する。

【0018】

この方法によると、画素電極4の電位の振幅を画像信号の振幅よりも大きくすることができる。

【0019】

【発明が解決しようとする課題】

しかしながら、共通電極線5の振幅がV_e(+)とV_e(-)の絶対値の和になり、画像信号の振幅よりも大きくなっていた。

【0020】

このため、共通電極線駆動回路には高耐圧の素子が必要となり、機器の小型化や低価格化を妨げる要因となる。また、電池を用いる携帯機器などにおいては、高電圧の生成は電源回路そのものにとっても効率が悪く、電池駆動時間を短縮する原因になりうる。

【0021】

本発明は、上記課題を解決するためのものであり、機器の小型化および低価格化に対応可

10

20

30

40

50

能でありかつ消費電力の少ないアクティブマトリクス方式の液晶表示装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方であり3値の電圧からなる共通電極線駆動回路とを具備する。

10

20

【0023】

本発明では変調信号の振幅が2レベルあるため、画素電極の電位を対向電極電位に対して任意に設定でき、かつ、変調信号の振幅が小さいため、高耐圧の素子を使用しないで回路を構成できる。

【0024】

本発明の好ましい態様において、走査線駆動回路および共通電極線駆動回路が第一の基板上の表示領域に対して同一の側に配され、両回路に入力される信号の一部は同一の信号源から出力される。基板の面積に対して表示領域を大きくとることができる。

【0025】

本発明の他の好ましい態様において、走査線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成される。

30

【0026】

本発明の他の好ましい態様において、信号線駆動回路の一部および共通電極線駆動回路の一部が同一のIC基板上に形成される。基板上の非表示領域を小さくすることができる。

【0027】

本発明のほかの好ましい態様において、画素電極が反射面を有する。共通電極線の幅を大きくすることができるため、表示に影響を与えずに十分な保持容量を確保することができる。

【0028】

本発明の他の好ましい態様において、走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体を具備する。より好ましくは、スイッチング素子が、走査線駆動回路および共通電極線駆動回路内のシリコン半導体と同じ材料を含む。これらシリコン半導体に同じ材料を用いることで、同一のプロセスにおいてこれらを形成することができる。

40

【0029】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記

50

走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方であり4値の電圧からなる共通電極線駆動回路とを有する。

10

【0030】

2レベルの変調信号を4値の電圧で生成するため、変調信号の電圧設定に自由度があり、さらに振幅は変調レベルの大きい方なので、高耐圧素子を使用せず、小規模な回路で低電力で実現できる。

【0031】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記画像信号の電位を決める電位発生回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方である共通電極線駆動回路とを具備し、前記共通線駆動回路が使用する電圧の一部と前記電位発生回路が使用する電圧の一部とを共用する。液晶表示装置の駆動回路全体の中で電圧を生成する回路を共用することで、新たな電圧生成のための静的電力の増加を押さえ、回路規模を縮小することができる。

20

30

【0032】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は

40

50

前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方である共通電極線駆動回路とを具備し、前記共通線駆動回路が使用する電圧の一部と前記対向電極電位とを共用する。液晶表示装置の駆動回路全体の中で電圧を生成する回路を共用することで、新たな電圧生成のための静的電力の増加を押さえ、回路規模を縮小することができる。

【0033】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方である共通電極線駆動回路とを有する。信号線の電圧振幅を大きくすると、信号線は容量性負荷が大きいため消費電力がかなり増大するが、信号線振幅を変化させずに変調信号振幅を変化させれば、電力の増大は小さいまま、輝度を変更することができる。

【0034】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、 $N+M$ は全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変調信号の振幅は2レベルのうちの絶対値の大きい方である共通電極線駆動回路と前記変調信号振幅調整機能に対応して対向電極電位が変化する対向電位変動調整装置とを有する。変調信号振幅を変化させると、画素電極電位と対向電極電位の相対的

な電位関係が正負で等しくなくなり、画面上にちらつき（フリッカ）を生じる場合があるが、本発明のように変調信号振幅変動に対応して対向電極電位を変化すればフリッカを生じずに輝度を変化させることができる。

【0035】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記画像信号振幅を調整する画像信号振幅調整回路と前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、N+Mは全ライン数の10%以下で、前記リセットタイミングから前記変調セットタイミ
ングまでの時間は前記走査線が前記スイッチング素子をオンしている期間を含み、前記変
調信号の振幅は2レベルのうちの絶対値の大きい方で、液晶表示装置としての輝度を変更
するための変調信号振幅調整機能を有する共通電極線駆動回路とを具備する液晶表示装置
。画像信号振幅の増減と同時に変調信号振幅の増減を行うことで、画質の輝度コントラスト低下を抑えつつ、信号線駆動回路の消費電力を低減することができる。

【0036】

本発明のさらに他の液晶表示装置は、互いに平行に配された複数の信号線、前記信号線と直交する複数の走査線、前記信号線および走査線に囲まれた領域のそれぞれに形成された画素電極、前記走査線より入力した走査信号に基づいて前記画素電極のそれぞれと前記信号線との接続を制御する複数のスイッチング素子、および前記走査線と対をなして前記走査線と略平行に配され、前記画素電極との間に保持容量を形成する共通電極を備えた第一の基板と、前記第一の基板と対向して配された第二の基板と、前記第一および第二の基板の間に挟持された液晶層と、前記画素電極との間に前記液晶層を駆動するための電界を形成するために前記第一または第二の基板に配された対向電極と、前記信号線およびスイッチング素子を介して前記画素電極に画像信号を出力する信号線駆動回路と、前記走査線を介して前記スイッチング素子に前記走査信号を出力する走査線駆動回路と、前記画像信号の論理極性に対応して前記共通電極線に2レベルの変調信号を出力し、前記変調信号は前記走査線がスイッチング素子をオフした後、1乃至Nライン後に変調セットタイミングを有し、前記走査線がスイッチング素子をオフする前1乃至Mライン以前にレベル変更のためのリセットタイミングを有し、N+Mは全ライン数の10%以下で、前記リセットタイミ
ングから前記変調セットタイミングまでの時間は前記走査線が前記スイッチング素子
をオンしている期間を含み、走査線のオンオフタイミングに対する前記変調タイミング、
リセットタイミングの時間的相関関係を走査線ごとに任意に設定でき、前記変調信号の振
幅は2レベルのうちの絶対値の大きい方である共通電極線駆動回路とを有する。変調タイ
ミングのセット・リセットタイミングを走査線ごとに設定することにより、画素電極の論
理極性が対向電極電位に対して同じ方向であるラインが連続する場合に、複数ライン同時
に変調信号をセット・リセットすることができ、共通電極線駆動回路の動作周波数を低減
して消費電力を低減することができる。

【0037】

本発明は、第一および第二の基板にそれぞれ画素電極および対向電極を配した形式の液晶表示装置のみならず、一方の基板に画素電極および対向電極（コモン電極）を配したIP

10

20

30

40

50

S (In-Plane Switching) モードの液晶表示装置にも適用可能である。

【0038】

【発明の実施の形態】

(実施の形態1)

以下、本発明の実施の形態1を図1、図2、図3を用いて説明する。

【0039】

図1は本実施の形態1における液晶表示装置の構成図、図2は表示領域の1画素電極周辺の詳細構成図である。

【0040】

図1、図2において、1は信号線、2は走査線、3はスイッチング素子、4は画素電極、5は共通電極線、6は画素電極4と共通電極線5の間に意図的に形成した保持容量、7は液晶層、8はスイッチング素子3の寄生容量であるところのゲートドレイン間容量、9は信号線駆動回路、10は走査線駆動回路、11は対向電極、12は共通電極線駆動回路、13は対向電極駆動回路、20は表示領域、30はスイッチング素子3の薄膜トランジスタ(TFT)のソースドレイン間容量、31はスイッチング素子3のTFTのゲートソース間容量である。このような構成の液晶表示装置における駆動タイミングを図3のタイミング図を用いて説明する。

【0041】

走査線2は走査線駆動回路10により、ある一定の時間 V_{on} に駆動され、他の時間は V_{off} に駆動される。走査線が同時に電位 V_{on} に駆動されるのは通常は1本だけであり、1フレーム期間中にすべての走査線が1度、 V_{on} に駆動される。期間H1中、1走査線2が V_{on} に駆動されるとこれに接続したスイッチング素子3がオンになり、信号線1と画素電極4が導通して画素電極電位は信号線駆動回路9が駆動する電位 $V_s(-)$ になる。このとき $V_s(-)$ は対向電極電位 V_{com} に対して論理極性は負である。走査線1の電位が V_{off} になるとスイッチング素子3はオフになり、ゲートドレイン間容量8の影響で画素電極4の電位は(数式1)の V_{poff} だけ負側にシフトする。

【0042】

(数式1) $V_{poff} = (V_{on} - V_{off}) * C_{gd} / (C_{lc} + C_{st} + C_{sd} + C_{gd})$

走査線1の電位が V_{off} でスイッチング素子3がオフしている間に共通電極線5の電位を V_{e2} から V_{e1} に変化させると、画素電極電位は(数式2)の $V_{pe}(-)$ だけさらに負側にシフトし、図3の斜線の領域になる。

【0043】

(数式2) $V_{pe}(-) = (V_{e2} - V_{e1}) * C_{st} / (C_{lc} + C_{st} + C_{sd} + C_{gd})$

期間H2では走査線2の電位が V_{on} に駆動されスイッチング素子3が導通すると、画素電極電位は信号線1の電位である $V_s(+)$ になる。このときの $V_s(+)$ は対向電極電位 V_{com} に対して論理極性は正である。H2の最初には共通電極電位を V_{e1} から V_{e0} に下げるが、スイッチング素子3が導通しているため画素電極電位はあまり影響を受けない。期間H2後、共通電極電位が V_{e0} から V_{e2} に変化することによって(数式3)の $V_{pe}(+)$ だけ画素電極電位は対向電極電位に対して正側にシフトし、図3の斜線の領域になる。

【0044】

(数式3) $V_{pe}(+) = (V_{e2} - V_{e0}) * C_{st} / (C_{lc} + C_{st} + C_{sd} + C_{gd})$

V_{e0} 、 V_{e1} 、 V_{e2} の電位設定により、画素電極電位は対向電極電位に対して任意の電位差を有することができる。また V_{e1} から V_{e0} への変化によって、画素電極電位を負側にシフトする場合と正側にシフトする場合のシフト量を変えることができるため、対向電極電位に対して直流成分が発生しないように液晶素子に交流電界を与えることができる。また、負側のシフト量を設定する電位差 $V_{e}(-)$ と正側のシフト量を設定する電位差 $V_{e}(+)$ を V_{e2} を基準に設定することにより、共通電極線の振幅は $V_{e}(-)$ と $V_{e}(+)$ の大きい方に設定でき、高耐圧の素子でなくとも駆動できる。

【0045】

10

20

30

40

50

共通電極線による画素電極電位の変調セットタイミングはスイッチング素子3がV o f f電位になった後、いつでも良く、共通電極線のリセットタイミングも走査線の電位がV o nからV o f fに変化する前であればいつでも良いのだが、この変調が終了しなければ液晶素子の輝度を適正に得ることができないため、画質劣化を回避するためには期間H 1、H 2ともに、リセットタイミングからセットタイミングまでの時間は期間H 1、H 2をはさんで1ライン以上Kライン（Kは全走査線数の10%）以下が望ましい。

【0046】

（実施の形態2）

図4、図2の構成図と図5のタイミング図を用いて実施の形態2の動作を説明する。図4において、共通電極線駆動回路12はV e 0、V e 1、V e 2、V e 3の4値の電圧を使用する。

10

【0047】

図5において、水平走査期間H 1が始まると同時に共通電極線の電位はV e 3からV e 2に変化させる。同時に走査線が電位V o nに駆動されるため、これに接続するスイッチング素子3がオンになり画素電極電位は信号線の電位V s（-）となる。このときV s（-）は対向電極電位V c o mに対して論理極性は負である。水平走査期間H 1が終了して走査線の電位がV o f fになりスイッチング素子3がオフした後、共通電極線電位がV e 2からV e 1に電位差V e（-）だけ下がると、画素電極電位は負側にシフトする。そのシフト量V p e（-）は（数式2）のとおりである。

【0048】

20

次フレームで、同一画素に対する水平走査期間H 2が開始すると同時に共通電極線電位をV e 1からV e 0に下げるが、走査線が電位V o nに駆動されてスイッチング素子3がオンになるため画素電極電位は信号線電位V s（+）となり、期間H 2終了時に、走査線電位がV o nからV o f fに変化する影響を受けて（数式1）のV p o f fだけ負側にシフトする。H 2終了後、共通電極線電位がV e 0からV e 3に電位差V e（+）だけ変化し、画素電極電位は（数式3）のV p e（+）だけ正側にシフトする。画素電極電位を負側にシフトするためのV e（-）と正側にシフトするためのV e（+）の大きさに応じて、画素電極電位は対向電極電位V c o mに対して直流成分を発生せずに液晶素子を交流駆動できる。画素電極電位をシフトする量が正側と負側で異なる場合、電位差V e（-）とV e（+）はそれぞれ異なる電圧から生成する必要があるが、本実施の形態2のように、リセットのためのタイミングと電位差を正負それぞれに設定すれば電圧V e 0、V e 1、V e 2、V e 3は任意の電圧を選択できるため、実施の形態1に比べて、回路規模は増大するが、電圧設定自由度が増す。この場合も電位差V e（-）とV e（+）の絶対値の大きい方を設定するV e 0、V e 3を基準に、絶対値が小さい方のV e 1、V e 2を設定すれば、共通電極線駆動回路は高耐圧の素子でなくとも良い。

30

【0049】

共通電極線による画素電極電位の変調セットタイミングはスイッチング素子3がV o f f電位になった後、いつでも良く、共通電極線のリセットタイミングも走査線の電位がV o nからV o f fに変化する前であればいつでも良いのだが、この変調が終了しなければ液晶素子の輝度を適正に得ることができないため、画質劣化を回避するためには期間H 1、H 2ともに、リセットタイミングからセットタイミングまでの時間は期間H 1、H 2をはさんで1ライン以上Kライン（Kは全走査線数の10%）以下が望ましい。

40

【0050】

（実施の形態3）

図6、図3、図5を用いて実施の形態3の動作を説明する。

【0051】

図6において、14は信号線駆動回路9が画素電極に出力するアナログの信号線電圧を決定するためのDAコンバータの基準電圧を生成する基準電圧生成部である。

【0052】

共通電極線駆動回路12は基準電圧生成部14から3値の電圧V e 0、V e 1、V e 2を

50

入力して図3のタイミングで共通電極線を駆動する。このような構成にすることで、駆動回路全体の中に新たな電位を生成するための静的電力の発生を抑制し回路規模を増大させずに、消費電力を低減することができる。

【0053】

共通電極線駆動回路12は基準電圧生成部14から4値の電圧 V_{e0} 、 V_{e1} 、 V_{e2} 、 V_{e3} を入力して図5のように駆動することもできる。この場合もやはり、新たな電位を生成するための静的電力の発生を抑制し回路規模を増大させずに、消費電力を低減することができる。

【0054】

また、特に図示しないが、共通電極線駆動に使用する電圧すべてを基準電圧生成部14から入力する必要はなく、1値以上の電圧を共用することで、回路規模削減および電力低減は図ることができる。

10

【0055】

またさらに、電圧の共用が本実施の形態3の目的であるから、共通電極線駆動回路12で生成した電圧の一部または全部を基準電圧生成部14に入力して共用しても、回路規模削減、電力低減の発明の効果は同様に得られる。

【0056】

(実施の形態4)

図7、図3を用いて実施の形態4の動作を説明する。

【0057】

20

図7において、共通電極線駆動回路12は対向電極駆動回路13と電圧を共用して図3のタイミングで共通電極線を駆動する。このような構成にすることで、駆動回路全体の中に新たな電位を生成するための静的電力の発生を抑制し回路規模を増大させずに、消費電力を低減することができる。

【0058】

また、電圧の共用が本実施の形態4の目的であるから、共通電極線駆動回路12と対向電極駆動回路13が共用する電圧はどちらの回路で生成しても良く、また特に図示はしないが、別途信号源から同一電圧を供給しても、回路規模削減、電力低減の発明の効果は同様に得られる。

【0059】

30

(実施の形態5)

図8、図9、図3を用いて実施の形態5の動作を説明する。

【0060】

図8において、共通電極線駆動回路12には変調信号振幅調整回路15が接続しており、図3の $V_{e(-)}$ 、 $V_{e(+)}$ を調整する機能を有する。

【0061】

図9で、横軸に画素電極電位と対向電極電位の間の電圧、縦軸に液晶素子の輝度変化率をとると、初期の変調信号 $V_{e(-)}$ 、 $V_{e(+)}$ によって変調された画素電極と対向電極間の電圧の絶対値は V_{pe1} だけ高電圧側にシフトし、そこから映像信号の振幅分 V_{sp} の電圧範囲内で輝度が95%から0%まで変化する。変調信号 $V_{e(-)}$ 、 $V_{e(+)}$ を変化させて画素電極と対向電極間の電圧の絶対値のシフト量を V_{pe2} に変化させると、映像信号振幅は初期と同じ状態で液晶素子の輝度変化範囲を全体的に明るく100%から7%までに設定することができる。

40

【0062】

液晶素子の輝度変化範囲を調整するために信号線駆動回路の動作電圧を大きくすると、信号線は容量性負荷が大きいため消費電力の増大が非常に大きい。本実施の形態5のように変調信号振幅を調整すれば、電力の増減幅は小さいまま容易に液晶素子の輝度変化範囲を調整することができる。

【0063】

(実施の形態6)

50

図10、図11、図12を用いて実施の形態6の動作を説明する。

【0064】

図10において、共通電極線駆動回路12には変調信号振幅調整回路15が接続しており、変調信号振幅調整回路15から対向電極駆動回路13に対向電極電位 V_{com} の基準電圧 V_{com0} を出力している。

【0065】

図11に変調信号振幅調整回路15の内部にある変調信号電位 V_{e0} 、 V_{e1} 、 V_{e2} の変動に合わせて V_{com0} を変化させる回路を示す。 V_{com0} は可変抵抗で電位設定をする V_{e1} と V_{e2} の電位の間を固定抵抗比で分割しており、 V_{e1} 、 V_{e2} の電位変動の影響を受けて変化する。

10

【0066】

このような回路における動作を図12を用いて説明する。図12において画素電極電位の斜線の部分は変調信号により変調された後の画素電極電位であり、期間H1、H2で極性が反転している。期間H1後は V_{e2} と V_{e1} の電位差 $V_{e(-)1}$ で変調され、期間H2後は V_{e0} と V_{e2} の電位差 $V_{e(+)}$ で変調されており、対向電極電位 V_{com} は変調後画素電極電位の平均的中点の電位を保つ。期間H3では V_{e1} が V_{e1n} に上昇し、変調信号振幅が $V_{e(-)2}$ に小さくなるため、変調後の画素電極電位が期間H1後よりも上昇し、 V_{com} も若干上昇した新たな値を取らなければ画面にフリッカを生じるが、図11の抵抗値を合わせこむことにより、 V_{com} の基準電圧である V_{com0} を同時に調整することができ、変調信号振幅を変動させても画面にフリッカを生じず、良好な画質を得ることができる。

20

【0067】

(実施の形態7)

図13、図14、図15を用いて実施の形態7の動作を説明する。

【0068】

図13において、共通電極線駆動回路12には変調信号振幅調整回路15が接続しており、変調信号振幅調整回路15から基準電圧生成部14に制御信号 V_{sctrl} を出力する。基準電圧生成部14は信号線駆動回路9が画素電極に出力するアナログの信号線電圧を決定するためのDAコンバータの基準電圧を生成し、制御信号 V_{sctrl} によって信号線電圧の振幅を制御する。

30

【0069】

図14、図15を用いて本実施の形態7の動作を説明する。期間H1、H2で画素電極電位はそれぞれ共通電極線の $V_{e(-)1}$ 、 $V_{e(+)}1$ の変動の影響を受けて斜線の部分に $V_{pe(-)1}$ 、 $V_{pe(+)}1$ だけ電位をシフトする。このとき、信号線の振幅は V_{sp1} であり、このような状態では液晶素子の輝度変化は図15の横軸電圧 V_{sp1} で示す範囲、即ち輝度100%から0%の範囲で変化する。期間H3、H4で V_{e1} が V_{e1n} に、 V_{e2} が V_{e2n} に変化すると、共通電極線の変動量は $V_{e(-)2}$ 、 $V_{e(+)}2$ に変化し、画素電極電位のシフト量は図15で示す V_{pe2} に変化する。このときに基準電圧生成部に制御信号 V_{sctrl} を出力し、信号線の電圧振幅を V_{sp2} に変化させると、画素電極電位は図14の斜線の部分になり、液晶素子の輝度変化は横軸電圧 V_{sp2} で示す範囲即ち95%から5%の範囲となる。この変化は、液晶表示装置の輝度コントラストの点では明らかな低下であるが、変調信号振幅を全く変化させずに信号線振幅のみを低減させる場合に比べて、電力削減効果は同じで、かなり画質を改善することができる。表示情報にあまり細かい階調差が存在せず、消費電力を削減したいときには、このように変調信号振幅を変動させてなおかつ信号線振幅を低減することで、輝度コントラストの低下を最低限に抑えつつ効果的に電力を削減できる。

40

【0070】

(実施の形態8)

図16、図1を用いて実施の形態8の動作を説明する。

【0071】

50

図16において、走査線2a、2b、2c、2d、2eはそれぞれフレーム期間1では水平走査期間H11、H12、H13、H14、H15で電位Vonに変化し、それ以外は電位Voffを維持する。共通電極線5a、5b、5c、5d、5eはいずれも期間H15後に同時に電位Ve2からVe1にVe(−)だけ変化する。フレーム期間2でも走査線2a、2b、2c、2d、2eはそれぞれ水平走査期間H21、H22、H23、H24、H25で電位Vonに変化し、それ以外は電位Voffを維持し、共通電極線5a、5b、5c、5d、5eは期間H21の前に同時に電位Ve0に変化し、期間H25後に同時に電位Ve2にVe(+)だけ変化する。走査線2a、2b、2c、2d、2eに相当する画素電極の論理極性が対向電極電位に対して等しい場合、このように同時に変調を行っても動作上なんら問題はなく、同時に変調するライン数が画面全体のライン数に比べて概ね10%以下の少ないライン数であればフリッカ等の画質劣化もあまり目立たない。このように変調信号のセット・リセットタイミングを数ラインまとめることで共通電極線駆動回路の動作周波数を下げることができ、低電力化が図れる。

10

【0072】

なお、上記それぞれの実施の形態に於いて、画素電極が反射面を有するようにしてもよい。

【0073】

また、走査線駆動回路および共通電極線駆動回路が多結晶、非結晶、または単結晶のシリコン半導体で構成するようにするとさらに特性が改善する。

【0074】

また、スイッチング素子が、前記走査線駆動回路および共通電極線駆動回路内の前記シリコン半導体と同じ材料で出来ていることが望ましい。

20

【0075】**【発明の効果】**

以上のように本発明によれば、小型・低価格で低消費電力の液晶表示装置を提供することができる。

【0076】

特に請求項1に記載の発明によれば、変調信号の振幅が2レベルあるため、画素電極の電位を対向電極電位に対して任意に設定でき、かつ、変調信号の振幅が小さいため、高耐圧の素子を使用しないで回路を構成できる。

30

【0077】

請求項8に記載の発明によれば、2レベルの変調信号を4値の電圧で生成するため、変調信号の電圧設定に自由度があり、さらに振幅は変調レベルの大きい方なので、高耐圧素子を使用せず、小規模な回路で低電力で実現できる。

【0078】

請求項15に記載の発明によれば、共通線駆動回路が使用する電圧の一部と電位発生回路が使用する電圧の一部とを共用することにより、液晶表示装置の駆動回路全体の中で電圧を生成する回路を共用し、新たな電圧生成のための静的電力の増加を押さえ、回路規模を縮小することができる。

【0079】

請求項24に記載の発明によれば、共通線駆動回路が使用する電圧の一部と対向電極電位とを共用することにより、液晶表示装置の駆動回路全体の中で電圧を生成する回路を共用し、新たな電圧生成のための静的電力の増加を押さえ、回路規模を縮小することができる。

40

【0080】

請求項31に記載の発明によれば、信号線の電圧振幅を大きくすると、信号線は容量性負荷が大きいため消費電力がかなり増大するが、信号線振幅を変化させずに変調信号振幅を変化させれば、電力の増大は小さいまま、輝度を変更することができる。

【0081】

請求項38に記載の発明によれば、変調信号振幅を変化させると、画素電極電位と対向電

50

極電位の相対的な電位関係が正負で等しくなくなり、画面上にちらつき（フリッカ）を生じる場合があるが、本発明のように変調信号振幅変動に対応して対向電極電位が変化すればフリッカを生じずに輝度を変化させることができる。

【0082】

請求項45に記載の発明によれば、画像信号振幅の増減と同時に変調信号振幅の増減を行うことで、画質の輝度コントラスト低下を抑えつつ、信号線駆動回路の消費電力を低減することができる。

【0083】

請求項52に記載の発明によれば、変調タイミングのセット・リセットタイミングを走査線ごとに設定することにより、画素電極の論理極性が対向電極電位に対して同じ方向であるラインが連続する場合に、複数ラインが同時に変調信号をセット・リセットすることができ、共通電極線駆動回路の動作周波数を低減して消費電力を低減することができる。

【図面の簡単な説明】

【図1】実施の形態1の液晶表示装置の構成図

【図2】実施の形態1の液晶表示装置の1画素電極周辺の詳細構成図

【図3】実施の形態1の液晶表示装置の動作タイミング図

【図4】実施の形態2の液晶表示装置の構成図

【図5】実施の形態2の液晶表示装置の動作タイミング図

【図6】実施の形態3の液晶表示装置の構成図

【図7】実施の形態4の液晶表示装置の構成図

【図8】実施の形態5の液晶表示装置の構成図

【図9】実施の形態5の液晶素子の輝度変化率を示す図

【図10】実施の形態6の液晶表示装置の構成図

【図11】実施の形態6の変調信号振幅調整回路の構成図

【図12】実施の形態6の液晶表示装置の動作タイミング図

【図13】実施の形態7の液晶表示装置の構成図

【図14】実施の形態7の液晶素子の輝度変化率を示す図

【図15】実施の形態7の液晶表示装置の動作タイミング図

【図16】実施の形態8の液晶表示装置の動作タイミング図

【図17】従来の液晶表示装置の構成図

【図18】従来の液晶表示装置の動作タイミング図

【符号の説明】

- 1 信号線
- 2 走査線
- 3 スイッチング素子
- 4 画素電極
- 5 共通電極線
- 6 保持容量
- 7 液晶層
- 8 ゲートードレイン間容量
- 9 信号線駆動回路
- 10 走査線駆動回路
- 11 対向電極
- 12 共通電極線駆動回路
- 13 対向電極駆動回路
- 14 基準電圧生成部
- 15 変調信号振幅調整回路
- 20 表示領域
- 30 ソースードレイン間容量
- 31 ゲートーソース間容量

10

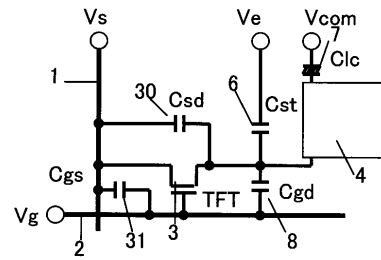
20

30

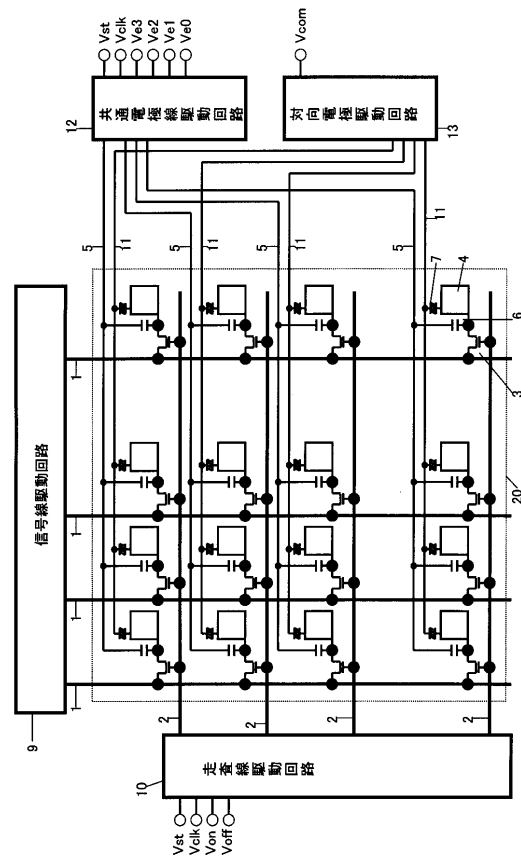
40

50

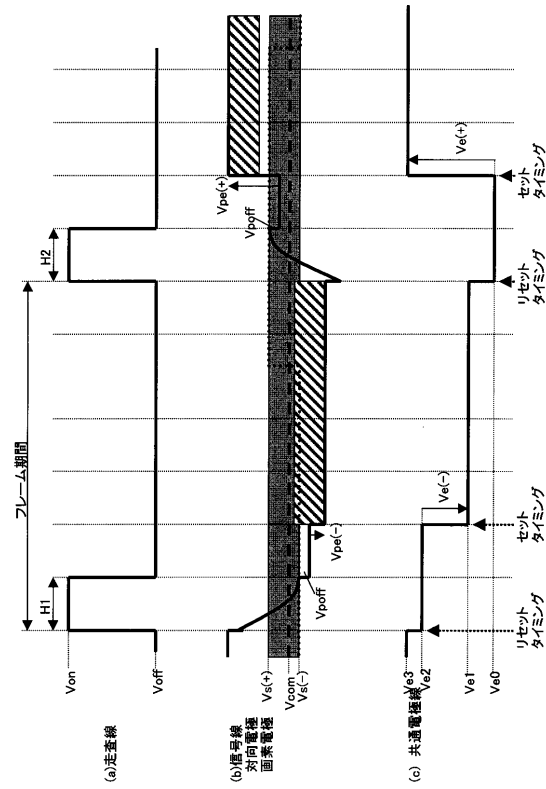
【図 2】



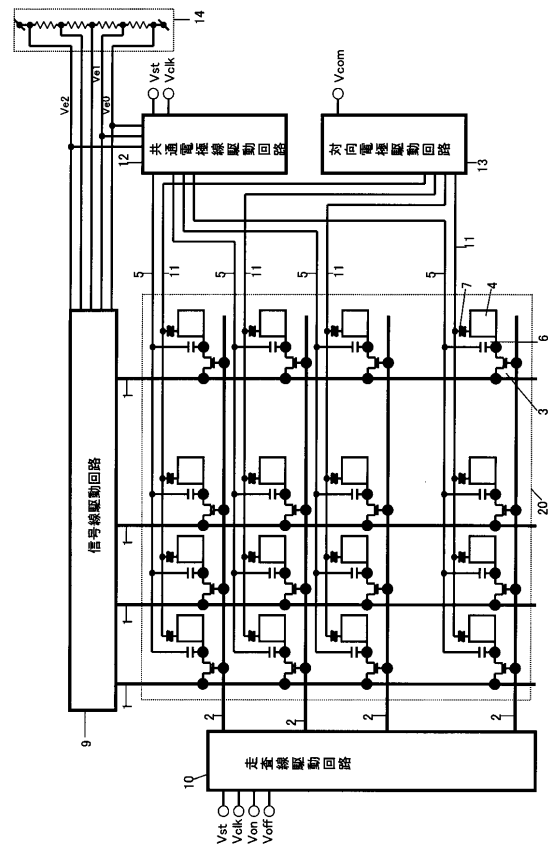
【図 4】



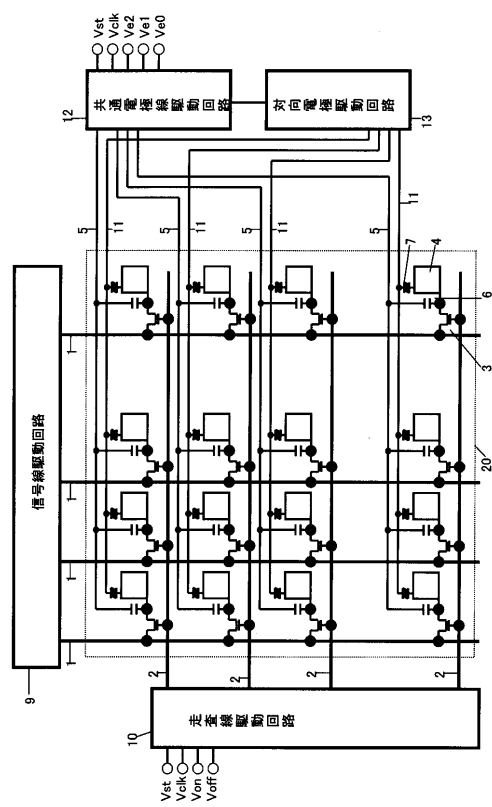
【図 5】



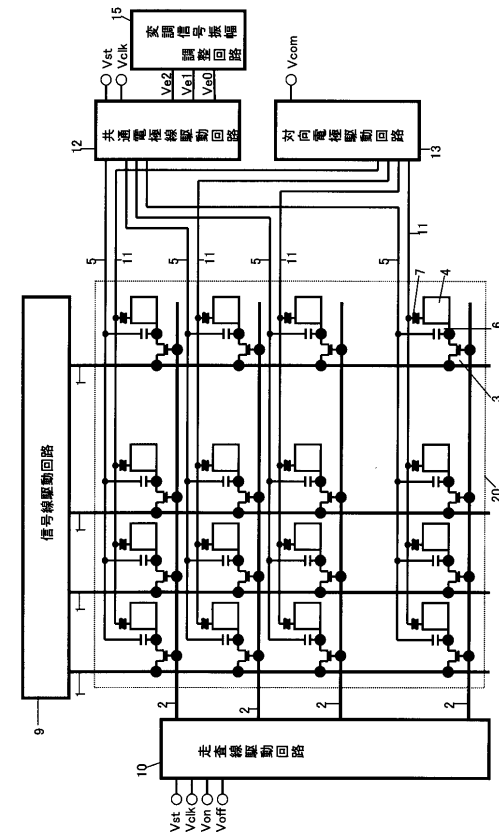
【図 6】



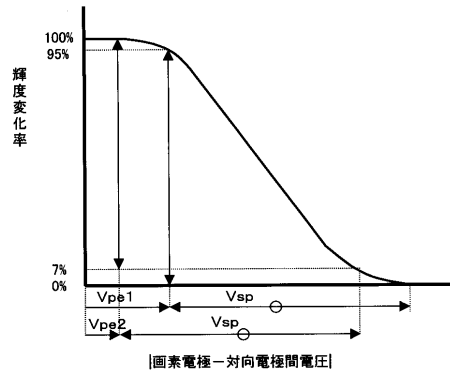
【図 7】



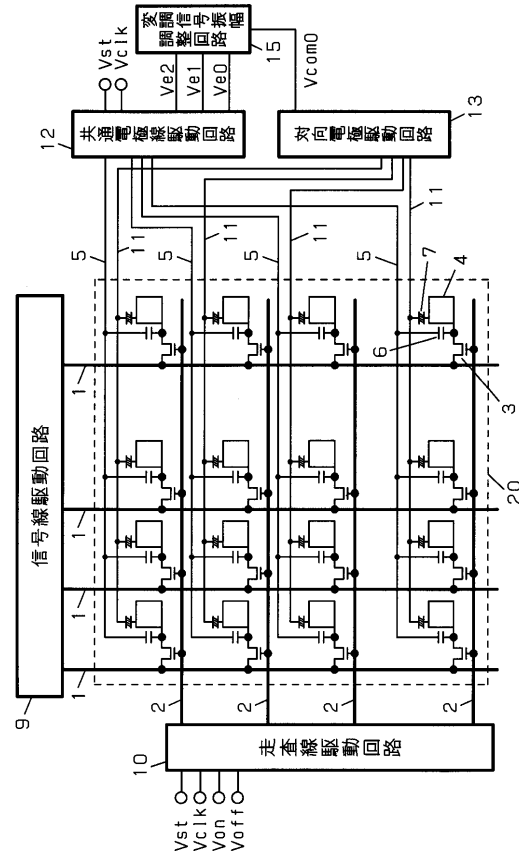
【図 8】



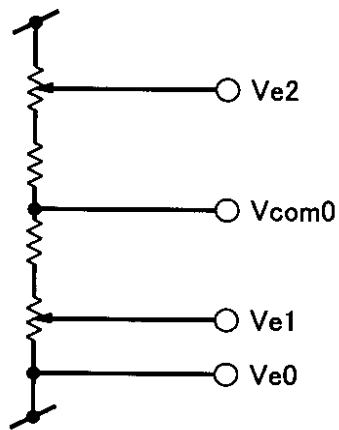
【図 9】



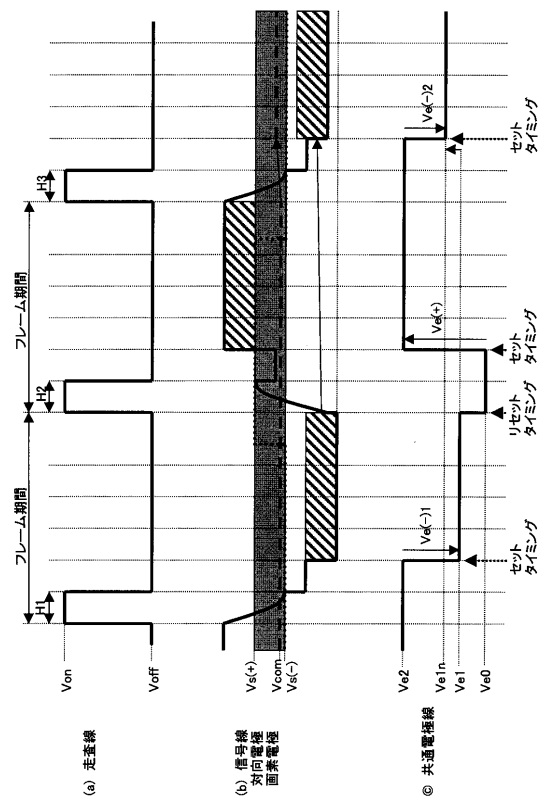
【図 10】



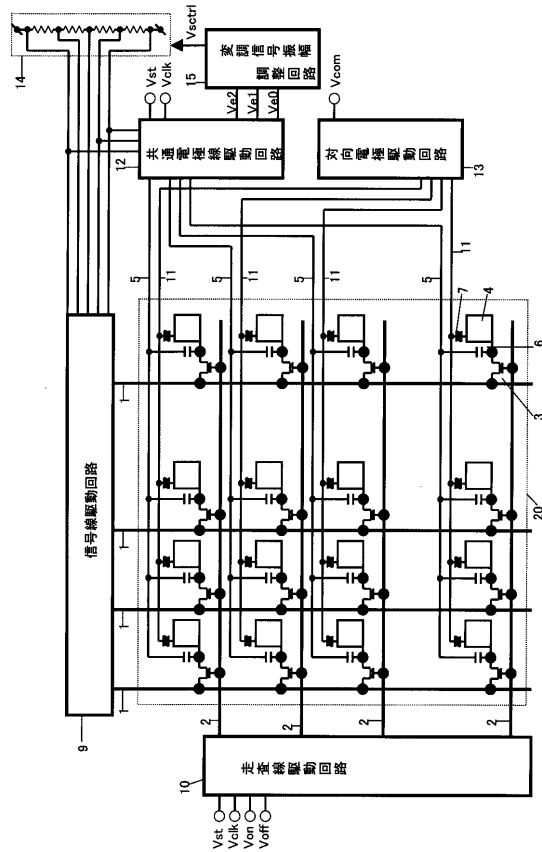
【図 11】



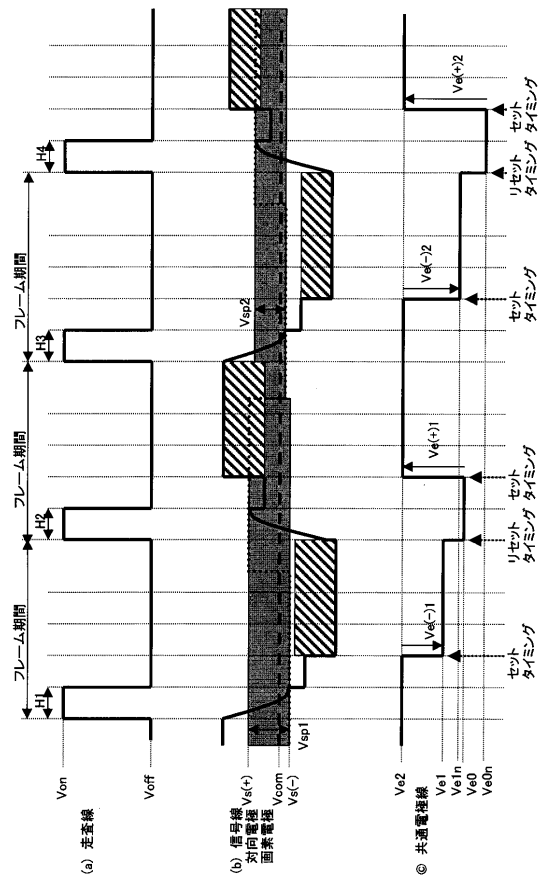
【図 12】



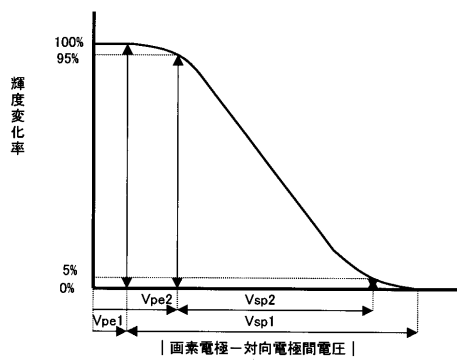
【図 13】



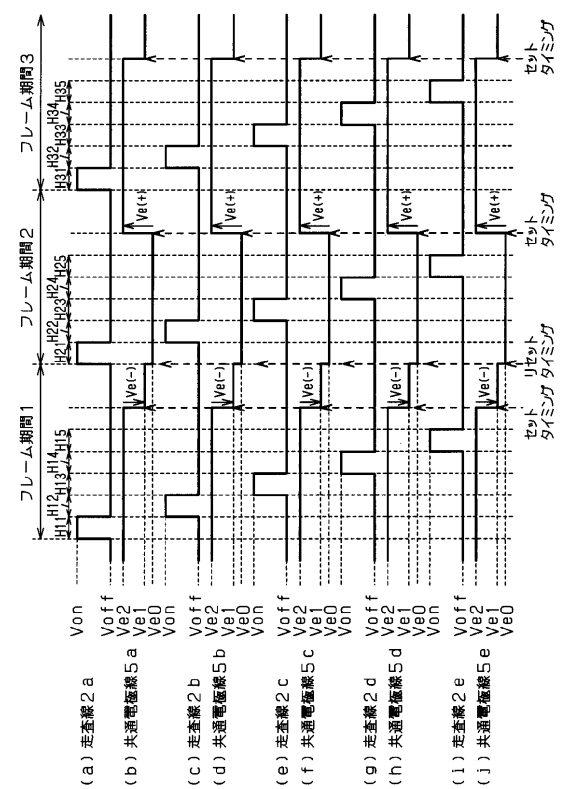
【図 14】



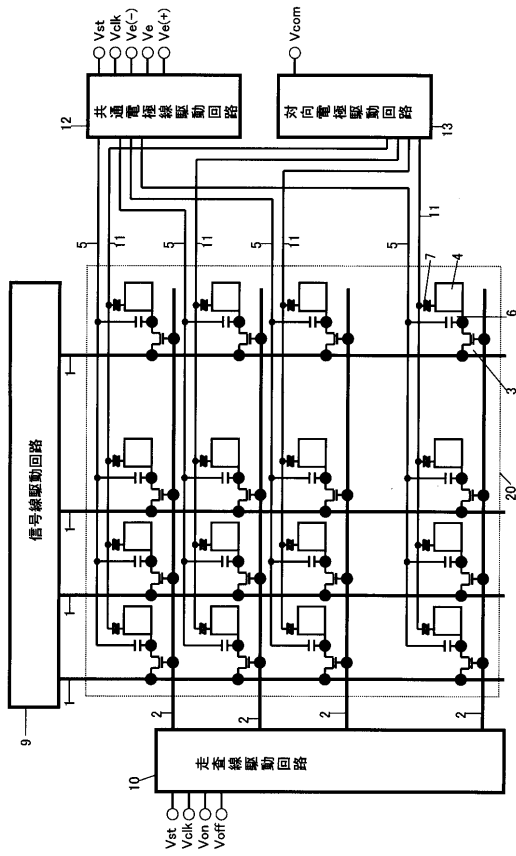
【図 15】



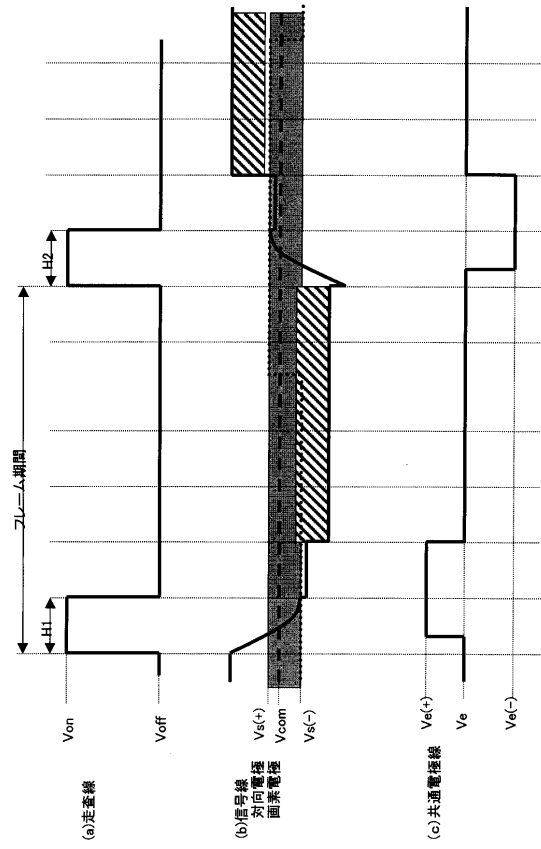
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 G 3/20 6 2 1 H
G 0 9 G 3/20 6 2 4 C
G 0 9 G 3/20 6 8 0 G

(74)代理人 100092196
弁理士 橋本 良郎
(72)発明者 中村 美香
大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72)発明者 山倉 誠
大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72)発明者 中北 朋喜
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 中村 直行

(56)参考文献 特開平05-072999 (JP, A)
特開平05-100636 (JP, A)
特開2000-347636 (JP, A)
特開平11-271713 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133
G02F 1/1368
G09F 9/30
G09F 9/35