

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-515464

(P2006-515464A)

(43) 公表日 平成18年5月25日(2006.5.25)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 B	2 G 1 3 2
GO 1 R 31/302 (2006.01)	HO 1 L 21/66 J	4 M 1 0 6
	GO 1 R 31/28 L	

審査請求 未請求 予備審査請求 有 (全 35 頁)

(21) 出願番号 特願2004-558758 (P2004-558758)
 (86) (22) 出願日 平成15年12月11日 (2003.12.11)
 (85) 翻訳文提出日 平成17年8月8日 (2005.8.8)
 (86) 国際出願番号 PCT/US2003/039698
 (87) 国際公開番号 W02004/053944
 (87) 国際公開日 平成16年6月24日 (2004.6.24)
 (31) 優先権主張番号 60/432, 786
 (32) 優先日 平成14年12月11日 (2002.12.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 502180233
 ピー・デイ・エフ ソリューションズ インコーポレイテッド
 PDF SOLUTIONS, INC.
 アメリカ合衆国 カリフォルニア州 95110 サンノゼ ウェスト・サン・カロス・ストリート 333 스위트 700
 333 West San Carlos Street, Suite 700, San Jose, California 95110, United States of America

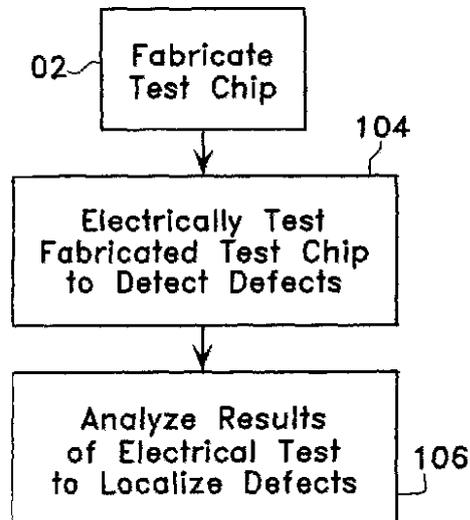
(74) 代理人 100105360
 弁理士 川上 光治

最終頁に続く

(54) 【発明の名称】 集積回路上の電気的故障を高速位置決めするシステムおよび方法

(57) 【要約】

集積回路の電気的に測定された欠陥を、高速で位置決めする方法は、並列電気テストを行うように構成されたテスト構造体を有するテスト・チップを作製するための情報を供給すること、を含んでいる。そのテスト・チップ上のテスト構造体は、並列電気テストを用いて、電気的にテストされる。その電気的テストの結果を分析して、テスト・チップ上の各欠陥が位置決めされる。



【特許請求の範囲】**【請求項 1】**

(a) 並列の電氣的テスト用に構成された複数のテスト構造体を有するテスト・チップを作製するための情報を供給し、
(b) 並列電気テストを用いて前記テスト・チップ上の前記テスト構造体を電氣的にテストし、
(c) 前記電氣的テストの結果を分析して、前記テスト・チップ上の欠陥を位置決めすることを特徴とする、
集積回路の電氣的に測定された欠陥を高速位置決めする方法。

【請求項 2】

さらに、検査ツールを用いて前記テスト・チップ上の前記位置決めされた欠陥を検査する、請求項 1 に記載された方法。

【請求項 3】

前記検査ツールは走査電子顕微鏡 (SEM) である、請求項 2 に記載された方法。

【請求項 4】

前記 SEM の視野とコンパチブルであるように前記テスト・チップ上の前記テスト構造体のサイズを調整する、請求項 3 に記載された方法。

【請求項 5】

前記テスト構造体を 1 つ以上のパッド・グループにグループ化し、1 つのパッド・グループにおける前記テスト構造体と一緒に並列に電氣的にテストされるものである、請求項 1 に記載された方法。

【請求項 6】

1 つのパッド・グループは、
2 列のテスト構造体と、
前記 2 列のテスト構造体の間に配置された 2 列のパッドと、
を含むものである、請求項 5 に記載の方法。

【請求項 7】

複数のパッド・グループを 1 つ以上のスティックにグループ化し、1 つのスティックにおける前記パッド・グループと一緒に並列に電氣的にテストされるものである、請求項 5 に記載の方法。

【請求項 8】

1 つのスティックにおける前記パッド・グループは、前記並列電気テストに接続されたプローブ・カードを用いて一緒に並列に電氣的にテストされるものである、請求項 7 に記載の方法。

【請求項 9】

複数のテスト構造体と、それに対応するパッドとを有する 1 つ以上のセルが、1 つのスティックにおける 2 つのパッド・グループの間に配置されており、前記 1 つ以上のセルを用いて前記プローブ・カードの動作が検証される、請求項 8 に記載の方法。

【請求項 10】

さらに、2 つ以上のスティックと一緒にレイアウトにおいて重ねることを特徴とする、請求項 7 に記載の方法。

【請求項 11】

さらに、スキャナ・フィールド内に適合するよう前記レイアウトにおいて一緒に重ねるスティックの数を調整することを特徴とする、請求項 10 に記載の方法。

【請求項 12】

さらに、光学的検査ツールを用いて前記テスト・チップをインライン検査することを特徴とする、請求項 1 に記載の方法。

【請求項 13】

前記テスト・チップは複数の設計パターンのバリエーションを含むものであることを特徴とする、請求項 1 に記載の方法。

10

20

30

40

50

【請求項 1 4】

前記テスト構造体は 2 端子または 4 端子テスト構造体であることを特徴とする、請求項 1 に記載の方法。

【請求項 1 5】

前記テスト構造体の 1 つはスネーク櫛状セルであって、前記スネーク櫛状セルにおける欠陥を、前記スネーク櫛状セル内の位置に位置決めするよう構成されたスネーク櫛状セルである、請求項 1 に記載の方法。

【請求項 1 6】

電気的テストは、
測定電圧に基づいて決定された線抵抗を第 1 の閾値抵抗と比較し、
前記線抵抗が前記第 1 の閾値抵抗より小さいとき、ソフト短絡を検出し、
前記線抵抗を第 2 の閾値抵抗と比較し、
前記線抵抗が前記第 2 の閾値抵抗より小さいとき、ハード短絡を検出し、
前記第 1 の閾値抵抗は前記第 2 の閾値抵抗より大きいものである、請求項 1 に記載の方法。

10

【請求項 1 7】

電気的テストは、
互いに隣接する複数の線についての平均抵抗を決定し、
線抵抗を前記平均抵抗と比較し、
前記線抵抗が前記平均抵抗より第 1 の指定量だけ小さいとき、ソフト短絡を検出し、
前記線抵抗が前記平均抵抗より第 2 の指定量だけ小さいとき、ハード短絡を検出し、
前記第 1 の指定量は前記第 2 の指定量より小さいものである、請求項 1 に記載の方法。

20

【請求項 1 8】

前記並列電気テストはウェハ・ローダおよびウェハ・プローバに接続され、
さらに、1 つ以上のテスト・チップを、テストするために前記ウェハ・ローダから前記ウェハ・プローバにロードし、
前記ウェハ・プローバは、並列に電気的にテストされるべき前記テスト・チップ上の前記テスト構造体に電気的にコンタクトを形成するためのプローブ・カードを含むものである、請求項 1 に記載の方法。

【請求項 1 9】

さらに、前記プローブ・カードと前記並列電気テストにおけるピン終端モジュールの間でテスト信号を伝送し、
前記ピン終端モジュールと前記並列電気テストにおける測定制御モジュールの間でテスト信号を伝送し、
前記並列電気テストにおけるテスト制御モジュールから前記ウェハ・プローバにコマンドを送信する、請求項 1 8 に記載の方法。

30

【請求項 2 0】

さらに、前記測定制御モジュールから前記ピン終端モジュールに、電圧源を供給し制御信号を送信するものである、請求項 1 9 に記載の方法。

【請求項 2 1】

さらに、前記プローブ・カードから前記ピン終端モジュールにおける複数のスイッチ・カードにおいてテスト信号を受け取り、各スイッチ・カードは前記プローブ・カードからの 1 つのグループのピンに接続されるものである、請求項 1 9 に記載の方法。

40

【請求項 2 2】

スイッチ・カードが、テスト構造体における抵抗、終端抵抗および電圧源を有する抵抗分割器を形成する、請求項 2 1 に記載の方法。

【請求項 2 3】

スイッチ・カードが、
各ピン終端回路が前記プローブ・カードからのピンに接続される複数のピン終端回路と

50

各デジタル・マルチプレクサ制御手段が2つのピン終端回路に接続される複数のデジタル・マルチプレクサ制御手段と、
を含む、請求項21に記載の方法。

【請求項24】

1つのピン終端回路が、各カッド・スイッチに電圧源および制御信号が結合される複数のカッド・スイッチを含んでいる、請求項23に記載の方法。

【請求項25】

さらに、前記プローブ・カードから前記測定制御モジュールにおけるマルチプレクサ・モジュールにおいてテスト信号を受け取り、

前記プローブ・カードから受け取った1組のテスト信号を1つのデジタル捕捉信号の形に合成し、

前記デジタル捕捉信号をデジタル捕捉カードに伝送することを特徴とする、請求項19に記載の方法。

【請求項26】

結果を分析することは、検出された欠陥を、ランダム欠陥またはシステム上の欠陥として分類することを含むものである、請求項1に記載の方法。

【請求項27】

さらに、テスト・チップ設計パターンをレイアウト・ピンにグループ化し、

各レイアウト・ピンについて故障計数値をプロットする、請求項26に記載の方法。

【請求項28】

集積回路の電氣的に測定された欠陥を高速位置決めするシステムであって、

(a) 並列に電氣的にテストされるよう構成された複数のテスト構造体を有するテスト・チップと、

(b) 前記テスト・チップ上の前記テスト構造体を並列に電氣的にテストするよう構成された並列電気テストと、

(c) 前記並列電気テストからの結果を分析して前記テスト・チップ上の欠陥を位置決めするよう構成されたプロセッサと、

を具える、システム。

【請求項29】

さらに、前記テスト・チップ上の前記位置決めされた欠陥を検査するよう構成された検査ツールを含む、請求項28に記載のシステム。

【請求項30】

前記検査ツールは走査電子顕微鏡(SEM)である、請求項29に記載のシステム。

【請求項31】

前記テスト・チップ上の前記テスト構造体は前記SEMの視野とコンパチブルであるようにサイズが調整されるものである、請求項30に記載のシステム。

【請求項32】

前記テスト構造体は1つ以上のパッド・グループにグループ化され、1つのパッド・グループにおける前記テスト構造体は一緒に並列に電氣的にテストされるものである、請求項28に記載のシステム。

【請求項33】

1つのパッド・グループは、

2列のテスト構造体と、

前記2列のテスト構造体の間に配置された2列のパッドと、

を含むものである、請求項32に記載のシステム。

【請求項34】

複数のパッド・グループを1つ以上のスティックにグループ化し、1つのスティックにおける前記パッド・グループは一緒に並列に電氣的にテストされるものである、請求項32に記載のシステム。

【請求項35】

10

20

30

40

50

1つのスティックにおける前記パッド・グループは、前記並列電気テストに接続されたプローブ・カードを用いて一緒に並列に電氣的にテストされるものである、請求項34に記載のシステム。

【請求項36】

複数のテスト構造体と、それに対応するパッドとを有する1つ以上のセルが、1つのスティックにおける2つのパッド・グループの間に配置されており、前記1つ以上のセルを用いて前記プローブ・カードの動作が検証される、請求項35に記載のシステム。

【請求項37】

2つ以上のスティックが一緒にレイアウトにおいて重ねられることを特徴とする、請求項34に記載のシステム。

10

【請求項38】

スキャナ・フィールド内に適合するよう前記レイアウトにおいて一緒に重ねられるスティックの数が調整されることを特徴とする、請求項37に記載のシステム。

【請求項39】

さらに、前記テスト・チップをインライン検査するための光学的検査ツールを具える、請求項28に記載のシステム。

【請求項40】

前記テスト・チップは複数の設計パターンのバリエーションを含むものである、請求項28に記載のシステム。

【請求項41】

前記テスト構造体は2端子または4端子テスト構造体である、請求項28に記載のシステム。

20

【請求項42】

前記テスト構造体の1つはスネーク櫛状セルであって、前記スネーク櫛状セルにおける欠陥を、前記スネーク櫛状セル内の位置に位置決めするよう構成されたスネーク櫛状セルである、請求項28に記載のシステム。

【請求項43】

複数のテスト構造体が1つ以上のレベルに配置されている、請求項28に記載のシステム。

【請求項44】

別のレベル上のテスト構造体より下のテスト構造体が電氣的にテストされる、請求項43に記載のシステム。

30

【請求項45】

異なる2つのレベルにおけるテスト構造体間の相互作用が測定される、請求項43に記載のシステム。

【請求項46】

前記並列電気テストは、

測定電圧に基づいて決定された線抵抗を第1の閾値抵抗と比較し、

前記線抵抗が前記第1の閾値抵抗より小さいとき、ソフト短絡を検出し、

前記線抵抗を第2の閾値抵抗と比較し、

前記線抵抗が前記第2の閾値抵抗より小さいとき、ハード短絡を検出するよう構成され、

40

前記第1の閾値抵抗は前記第2の閾値抵抗より大きいものである、請求項28に記載のシステム。

【請求項47】

前記並列電気テストは、

互いに隣接する複数の線についての平均抵抗を決定し、

線抵抗を前記平均抵抗と比較し、

前記線抵抗が前記平均抵抗より第1の指定量だけ小さいとき、ソフト短絡を検出し、

前記線抵抗が前記平均抵抗より第2の指定量だけ小さいとき、ハード短絡を検出するよう

50

構成され、

前記第 1 の指定量は前記第 2 の指定量より小さいものである、請求項 28 に記載のシステム。

【請求項 48】

前記並列電気テストはウェハ・ローダおよびウェハ・プローバに接続され、

前記ウェハ・ローダは、1つ以上のテスト・チップを、テストするために前記ウェハ・プローバにロードし、

前記ウェハ・プローバは、並列に電氣的にテストされるべき前記テスト・チップ上の前記テスト構造体に電氣的にコンタクトを形成するためのプローブ・カードを含むものである、請求項 28 に記載のシステム。

10

【請求項 49】

前記並列電気テストは、

前記プローブ・カードに接続されたピン終端モジュールであって、前記プローブ・カードとの間でテスト信号が伝送されるピン終端モジュールと、

前記ピン終端モジュールに接続された測定制御モジュールであって、前記ピン終端モジュールとの間でテスト信号が伝送される測定制御モジュールと、

前記測定制御モジュールおよび前記ウェハ・プローバに接続されていて、前記ウェハ・プローバにコマンドを伝送するテスト制御モジュールと、を含むものである、請求項 48 に記載のシステム。

【請求項 50】

20

前記測定制御モジュールは、前記ピン終端モジュールに電圧源および制御信号を供給するものである、請求項 49 に記載のシステム。

【請求項 51】

前記ピン終端モジュールは、

前記プローブ・カードからテスト信号を受け取り、各スイッチ・カードが前記プローブ・カードからの1つのグループのピンに接続される複数のスイッチ・カードを含むものである、請求項 48 に記載のシステム。

【請求項 52】

スイッチ・カードが、テスト構造体における抵抗、終端抵抗および電圧源を有する抵抗分割器を形成する、請求項 48 に記載のシステム。

30

【請求項 53】

スイッチ・カードが、

各ピン終端回路が前記プローブ・カードからのピンに接続される複数のピン終端回路と

、
各デジタル・マルチプレクサ制御手段が2つのピン終端回路に接続される複数のデジタル・マルチプレクサ制御手段と、
を含む、請求項 51 に記載のシステム。

【請求項 54】

1つのピン終端回路が、各カッド・スイッチに電圧源および制御信号が結合される複数のカッド・スイッチを含んでいる、請求項 53 に記載のシステム。

40

【請求項 55】

前記測定制御モジュールは、

前記プローブ・カードからテスト信号を受け取るマルチプレクサ・モジュールと、

デジタル捕捉カードと、

を含み、

前記マルチプレクサ・モジュールは前記プローブ・カードから受け取った1組のテスト信号を、前記デジタル捕捉カードに伝送される1つのデジタル捕捉信号の形に合成するものである、請求項 49 に記載のシステム。

【請求項 56】

前記プロセッサは、検出された欠陥を、ランダム欠陥またはシステム上の欠陥として分

50

類するものである、請求項 28 に記載のシステム。

【請求項 57】

前記プロセッサは、
テスト・チップ設計パターンをレイアウト・ピンにグループ化し、
各レイアウト・ピンについての故障計数値をプロットするよう構成されているものである、
請求項 56 に記載のシステム。

【請求項 58】

(d) 並列の電氣的テスト用に構成された複数のテスト構造体を有するテスト・チップを作製するための情報を供給し、
(e) 並列電気テストを用いて前記テスト・チップ上の前記テスト構造体を電氣的にテストし、
(f) 前記電氣的テストの結果を分析して、前記テスト・チップ上の欠陥を位置決めするよう、
動作するようにコンピュータに命令することによって、集積回路の電氣的に測定された欠陥を位置決めするようコンピュータに命令するコンピュータ実行可能なコードを格納した、
コンピュータ読み取り可能な記憶媒体。

10

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、集積回路上の電氣的故障 (failure、障害、欠陥) の高速位置決め (localization) に関する。

【0002】

関連出願の参照

本願は、2002年12月11日付けで出願した米国仮特許出願第60/432,786号の利益を主張するものであり、ここでこの仮出願の内容全体を参照により組み込む。

【背景技術】

【0003】

集積回路の作製、製造または組み立て (fabrication) は、数百の個々の操作 (operation、処理) が関係し得る極めて複雑なプロセス (製法、工程) である。多くの理由で、それらの操作中に集積回路に欠陥 (defect) が入る可能性がある。例えば、フォトレジスト (photoresist) 処理およびフォトマスク (photomask) 処理において、各フォトマスク上の各パターンにおける例えば埃、微小傷 (minute scratch) およびその他の不完全性 (imperfection、欠陥) のような汚染の存在によって、半導体ウェハ (wafer) 上に欠陥パターンが生じる可能性があり、その結果として欠陥のあるまたは不良な集積回路が得られる。

30

【0004】

欠陥のある集積回路は、高い拡大率で視覚的に検査することによってかつ電氣的テストによって識別 (特定、同定) してもよい。いったん欠陥ある集積回路が識別されると、典型的には、集積回路における欠陥の位置が、欠陥をより嚴重に検査することが可能となるように決定される。その欠陥を検出し位置決めするための通常の技術は、典型的には、各集積回路を個々にテスト (試験) するものであり、それは時間がかかることがあり、特にテスト中の集積回路の数が大きいときには時間がかかることがある。

40

【発明の開示】

【0005】

発明の概要

1つの典型例の実施形態において、集積回路の電氣的に測定された欠陥の高速位置決め法は、並列電気テストのために構成された複数のテスト構造体を有するテスト・チップを作製するための情報を供給することを含む。テスト・チップ上のテスト構造体は、並列電

50

気テストを用いて電氣的にテストされる。その電氣的テストの結果を分析して、テスト・チップ上の欠陥が位置決めされる。

【0006】

本出願は、図面を参照した次の詳細な説明によって最も良く理解できる。図面において、同様の部分は同じ参照番号で示されている。

【発明を実施するための最良の形態】

【0007】

以下の詳細な説明では、具体的な多数の構成、パラメータ等を挙げる。しかし、そのような説明は、発明の範囲を限定することを意図したものではなく、典型例の実施形態の説明である。

【0008】

I. 概観

図1を参照すると、1つの典型例の実施形態において、テスト・チップ上の欠陥 (defect) を位置決めするプロセス (製法、工程) が記載されている。以下でより詳しく説明するように、テスト・チップは複数のテスト構造体を含んでおり、それらのテスト構造体は、実際の製品チップの集積回路を作製 (製造) するとき結果として生じ得る故障または障害 (failure) のモード (形態) をシミュレートする (模する、模擬する) ように設計されている。

【0009】

ブロック102において、テスト・チップがテスト・ウェハ上に作製される。そのテスト・チップは、複数のテスト構造体およびプローブ・パッド (probe pad) を含んでいる。テスト構造体は、テスト構造体を電氣的にテストするのに用いられる1つ以上のプローブ・パッドに電氣的に接続される。

【0010】

1つの典型例の実施形態では、テスト・チップのテスト構造体は電氣的な並列のテストを行うよう構成されている。より具体的には、複数のテスト構造体は、1つ以上のパッド・グループとして一緒に (共に) グループ化される。1つのパッド・グループにおける複数のテスト構造体は電氣的に並列にテストされ、即ちそれは、複数のテスト構造体が近似的に同時に電氣的に一緒にテストされることを意味する。

【0011】

別の典型例の実施形態では、テスト・チップの複数のテスト構造体は、欠陥の位置決めを行うよう構成されている。より具体的には、テスト・チップ上に欠陥を含む1つのテスト構造体が作製され、その欠陥の存在の結果、そのテスト構造体はそのテスト構造体に対して行われた電氣的テストで失敗した (fail) 場合に、そのテスト・チップ内におけるその欠陥を含むテスト構造体の位置が得られる。

【0012】

ブロック104において、テスト・チップ上の複数のテスト構造体は、電氣的に並列にテストされる。1つの典型例の実施形態では、1つのパッド・グループ (群) における複数のテスト構造体は電氣的に並列にテストされ、即ちそれは、その複数のテスト構造体が近似的に同時に一緒に電氣的にテストされることを意味する。さらに、多数のパッド・グループを電氣的に並列にテストすることができる。従って、このようにして、テスト・チップ上の複数のテスト構造体を電氣的にテストするのに必要な時間の長さが短縮され得る。

【0013】

ブロック106において、作製されたテスト・チップに対して行われた電氣的テストの結果が分析される。より具体的には、その電氣的テストで失敗したテスト構造体は、欠陥を含むように作製されたと仮定する。従って、電氣的テストはテスト・チップ上の欠陥を検出する。1つの典型例の実施形態では、その検出された欠陥は、ランダムな欠陥かまたはシステム上の (systematic、システムの、組織的、系統的、体系的) 欠陥として分類される。さらに、1つの典型例の実施形態では、欠陥を含むテスト構造体が識別されたと

10

20

30

40

50

き、テスト・チップ内におけるそのテスト構造体の位置が得られる。

【0014】

前述し図1に示した典型例のプロセスは種々の追加的ステップを含むことができる。例えば、図2を参照すると、1つの代替的实施形態では、ブロック202において、作製されたチップをインライン検査する(in-line inspect)ことができる。より具体的には、作製されたチップは、例えば顕微鏡のような光学的検査ツール(道具)を用いてインライン検査して、その作製されたテスト・チップ上の任意の欠陥を視覚的に検出し、その欠陥の位置を決定することができる。図2に示されているように、ブロック106において行われた分析の結果は、ブロック202において行われるインライン検査へのフィードバックとして用いることができる。

10

【0015】

図3を参照すると、別の代替实施形態では、ブロック302において、ブロック106において行われた分析の結果を用いて、例えば、光学的検査ツール、欠陥レビュー(検査)走査電子顕微鏡(DR-SEM)、ウェハ検査走査電子顕微鏡(SEM)等のような検査ツールを用いてその欠陥を検査することができる。より具体的には、電気的テストの結果によって、テスト・チップ内における欠陥を含むテスト構造体を位置決め(localize)(即ち、位置を識別または特定する)ことができる。次いで、その検査ツールによって、テスト構造体を検査してテスト構造体内における特定の位置にその欠陥を位置決め(限定)することができる。また、その検査ツールによって、その欠陥の画像を得ることができ、その欠陥の画像を用いてさらにその欠陥を分析し、例えば、その欠陥のサイズ(寸法)を測定し、その欠陥を分類し、その欠陥の潜在的な原因を識別または特定することができる。この典型例の実施形態ではブロック202を省略することができる。と認識すべきである。

20

【0016】

この代替的实施形態では、テスト・チップは検査ツールとともに用いるよう適合化されている。より具体的には、テスト・チップ上のテスト構造体は、例えば、一度で検査可能な面積(領域)を決定する検査ツールの視野(field of view)、取得できる詳細(ディテール)の量を決定する検査ツールの解像度または分解能(resolution)のような、検査ツールの諸機能または性能と適合する(compatible)ようなサイズに調整されている。例えば、テスト構造体はその視野より大きいときは、そのテスト構造体内における欠陥を位置決めする(locate)(即ち、位置を突きとめる、localize)ために、検査ツールによってそのテスト構造体を走査(スキャン)する必要があることがある。テスト構造体が視野より小さいときは、検査ツールによって得られる詳細のレベルは低下することがある。

30

【0017】

図4を参照すると、テスト・チップ上の欠陥を位置決めする典型例のシステムが示されている。より具体的には、1つの典型例の実施形態において、欠陥位置決めシステム400は、作製設備または製造設備(fabrication facility)404、インライン検査ツール406、並列電気テスト408、プロセッサ410および検査ツール412を含んでいる。

【0018】

この典型例の実施形態では、1つ以上のテスト・チップを有するテスト・ウェハ402が作製設備404において作製される。テスト・ウェハ402は、インライン検査ツール406を用いてインライン検査される。テスト・ウェハ402は、並列電気テスト408を用いて電気的に並列にテストされる。電気的テストの結果は、プロセッサ410を用いて分析することができる。プロセッサ410は並列電気テスト408のコンポーネント(構成要素)または別個のユニットとすることができる。と認識すべきである。テスト・ウェハ402は検査ツール412を用いて検査される。

40

【0019】

システム400は追加的な要素またはより少ない要素を含むことができる、と認識すべきである。例えば、インライン検査ツール406は、システム400から省略することが

50

できる。代替構成としておよび/または追加構成として、検査ツール 4 1 2 はシステム 4 0 0 から省略することができる。

【 0 0 2 0 】

II . テスト・チップ

テスト・チップを用いて、実際の製品チップにおける集積回路レイアウトおよび製造プロセス相互作用の特徴を判定する (characterize、特徴付ける)。上述のように、テスト・チップは、実際の製品チップと同じ故障 (failure) モードを模すように設計される。

【 0 0 2 1 】

より具体的には、図 5 に概念的に示されているように、実際の製品チップ 5 0 2 は、複数の設計パターンのバリエーションを持つことができる。例えば、1つの設計パターン・バリエーションは、或る線 (ライン) 幅の複数の線を含むことができる。図 5 に示されているように、その複数のパターン・バリエーションは、多数のコア設計パターン・バリエーション 5 0 4 を含むことができる。テスト・チップ 5 0 6 は、それらのコア設計パターン・バリエーションを含むように設計することができる。テスト・チップ 5 0 6 は、実際の製品チップ 5 0 2 より、検査、テストおよび分析が容易である。この詳細な説明の文脈 (context) においてテスト・チップ上の設計パターンのバリエーションは、実験と呼ばれる (実験として参照される)。追加構成として、テスト・チップは、特徴付けビヒクル (CHARACTERIZATION VEHICLE、キャラクターゼーション・ビヒクル) といわれる。この CHARACTERIZATION VEHICLE (キャラクターゼーション・ビヒクル) は、米国カルフォルニア州サンノゼのピー・デイ・エフ ソリユーションズの商標である。

10

20

【 0 0 2 2 】

次のテーブルは典型例のテスト構造体をリスト・アップしたものである。

【表 1】

名称	説明	コメント
隣接部のないビア・チェーン	ビアによって接続されたM1、M2リンクの垂直または水平のスネーク状チェーン	“ロング・ランナ(runner)”構成で線が取出されてもよい
隣接部のあるビア・チェーン	ビアによって接続されたM1、M2リンクの垂直または水平のスネーク状チェーン	
1Dスネーク櫛状大型セル	“格子”状に配置された垂直または水平の金属線。端縁接続配線は2つの間挿(interleaved)櫛状体間のスネーク形状を形成する。	下位層における並列または垂直なパターンを有してよい
サブセルを有する1Dスネーク櫛状	“格子”状に配置された垂直または水平の金属線。端縁接続配線は2つの間挿櫛状体間のスネーク形状を形成する。アレイ状に配置されたそのような多数のスネーク櫛状“サブセル”	下位層における平行または垂直なパターンを有してよい
スネーク状	“格子”状に配置された垂直または水平金属の線。端縁接続配線は純粋なスネーク形状を形成する。	下位層における平行または垂直なパターンを有してよい
1D櫛状	“格子”状に配置された垂直または水平の金属線。端縁接続配線は2つの間挿櫛状を形成する。重要な領域は長い線であり、線端部はゆるくてよい。	下位層における平行または垂直なパターンを有してよい
2D櫛状	垂直または水平に付加された同様の多数の1D櫛形状。重要な領域は、長い線よりも線端部である。	下位層におけるおよそ同じ複数のパターン

10

20

30

40

【0023】

しかし、テスト・チップ上のテスト構造体のタイプおよび数は様々に変えてもよい。

【0024】

上述のように、1つの典型例の実施形態において、テスト・チップのテスト構造体は並列の電気的テストを行うために構成されている。図6を参照すると、テスト・チップの典型例のレイアウト602が示されている。レイアウト602は、行および列に配置された複数のパッド・グループ604を含んでいる。より具体的には、図6は、12行20列に配置された240個のパッド・グループを示している。しかし、任意の数のパッド・グループを任意の数の行および列に配置してもよいことに留意すべきである。さらに、図6は、幅1080 μ m(ミクロン)および高さ1800 μ mを有するパッド・グループを示し

50

ている。しかし、1つのパッド・グループは、任意の幅および高さを有していてもよいことに留意すべきである。

【0025】

さらに図6に示されているように、パッド・グループ604は、パッド・グループ604内に、複数のテスト構造体606と、そのテスト構造体606用の電気的プローブ・パッド610を有するパッド・フレーム608と、を含んでいる。より具体的には、パッド・グループ604は、パッド・グループ604内の2列のテスト構造体606の間に配置されたパッド・フレーム608を含んでいる。

【0026】

上述のように、1つの典型例の実施形態において、1つのパッド・グループ内の複数のテスト構造体は、並列に電気的にテストされ、即ち、パッド・グループ内の複数のテスト構造体は、近似的に同時に一緒に電気的にテストされる。従って、図6に示されたパッド・グループ604において、パッド・グループ604内の複数のテスト構造体606は一緒に電気的にテストされる。さらに、多数のパッド・グループ604を一緒に電気的にテストしてもよい。例えば、1つの典型例の実施形態において、6つのパッド・グループ604が一緒に一度に電気的にテストされる。 10

【0027】

テスト構造体606は、パッド・グループ608内のプローブ・パッド610と電気的コンタクト（接触）を形成する複数のテスト・プローブを有する並列のテストを用いて電気的にテストされる。より具体的には、図6におけるパッド・グループ604について、32個のテスト・プローブが、パッド・フレーム608における32個のプローブ・パッドとコンタクトを形成（接触）して、パッド・グループ604中の30個のテスト構造体を並列に電気的にテストする。 20

【0028】

1つのパッド・グループ内のテスト構造体用のプローブ・パッドをそのパッド・グループ用のパッド・フレームの形に配置することによって、そのテスト構造体の並列テストが容易になる。さらに、各テスト構造体に隣接するように各プローブ・パッドを位置決めすることによって、プローブ・パッドとテスト構造体の間の相互接続線の長さが減少する。

【0029】

テスト構造体を並列にテストすることによって、テスト構造体のサイズを減少させることができ、および/または、テスト・チップ上のテスト構造体の数を、テスト・チップを電気的にテストするための全体の時間を必ずしも増大させることなく増大させることができる。一方、複数のテスト構造体のサイズを減少させることによって、テスト・チップ上の欠陥を、テスト・チップ上のより具体的な（特定の）位置に位置決めする（位置を求める、限定する）ことができる。さらに、典型例の実施形態において、検査ツールを用いたとき、テスト構造体は、例えば検査ツールの視野および解像度または分解能のような、検査ツールの諸機能または性能と適合する（compatible）ようなサイズに調整することができる。 30

【0030】

図6において、2端子テスト構造体（例えば、ビア・チェーン状体（via chain）、ビア櫛状体（via comb）、金属スネーク状体（snake、ヘビ状）、金属櫛状体（comb）、等）であるテスト構造体606を有する形でパッド・グループ604が示されている。さらに、図6において、テスト構造体606は1つの共通端子を有する。1つの典型例の実施形態において、その共通端子は基板に接地することができる。 40

【0031】

図7は、28または30個の2端子テスト構造体またはテスト状態下のデバイス（device under test、DUT）を有するパッド・グループ604の複数のテスト構造体606およびパッド・グループ608の典型例の寸法（dimensions）を示している。この典型例の実施形態において、パッド・フレーム608におけるパッドのサイズは80μmである。垂直方向のパッド・ピッチ（Yピッチ）は100μmである。水平方向のパッド・ピッ 50

チ (Xピッチ) は $130\ \mu\text{m}$ である。幅は $210\ \mu\text{m}$ である。高さは $1580\ \mu\text{m}$ である。テスト構造体 606 について、高さは $80\ \mu\text{m}$ であり、幅は $380\ \mu\text{m}$ である。テスト構造体のタイプは、スネーク状、櫛状、またはその他の任意の 2 端子デバイス (装置) である。各列の底部のパッドは共通ノードである。次の行のパッドを隣接の金属接続部 (隣接部との短絡 (short) をチェックするためのもの) に用いてもよい。1 パッド・グループ当たり 30 個の DUT が存在する。しかし、これらの寸法は様々に変えてもよいことに留意すべきである。

【0032】

図 8 において、図 7 のパッド・グループ 604 におけるテスト構造体 606 が 28 個のビア (via、ビア・ホール) チェーンとして構成されているものとして示されている。代替構成として、図 9 において、図 7 のパッド・グループ 604 におけるテスト構造体 606 が 30 個の櫛状セルとして示されている。

10

【0033】

しかし、図 7 のパッド・グループ 604 におけるテスト構造体 606 は種々の 2 端子テスト構造体として構成することができる、と認識すべきである。さらに、パッド・グループ 604 は、任意の数の端子を有するテスト構造体を含むことができることを、理解すべきである。

【0034】

例えば、図 10 において、4 端子テスト構造体またはテスト状態下のデバイス (DUT) である 8 つのテスト構造体 606 を有する形でパッド・グループ 604 が示されている。しかし、パッド・グループ 604 は任意の数の 4 端子テスト構造体を含むことができることに留意すべきである。この典型例の実施形態において、パッド・フレーム 608 について、パッド・サイズは $80\ \mu\text{m}$ である。垂直方向のパッド・ピッチ (Yピッチ) は $100\ \mu\text{m}$ である。水平方向のパッド・ピッチ (Xピッチ) は $130\ \mu\text{m}$ である。幅は $210\ \mu\text{m}$ である。高さは $1580\ \mu\text{m}$ である。テスト構造体 606 について、高さは $380\ \mu\text{m}$ であり、幅は $380\ \mu\text{m}$ である。テスト構造体のタイプはスネーク櫛状またはその他の任意の 4 端子デバイスである。1 つのパッド・グループ当たり 8 つの DUT が存在する。しかし、これらの寸法は様々に変えることができると認識すべきである。

20

【0035】

図 11 において、図 10 のパッド・グループ 604 内のテスト構造体 606 は 8 つのスネーク櫛状セルとして構成されるように示されている。1 つの典型例の実施形態において、図 11 に示されている各スネーク櫛状セルは、1 つのスネーク櫛状セルにおける 1 つの欠陥を、そのスネーク櫛状セル内の 1 つの位置に位置決め (限定) することを可能にするよう構成されている。

30

【0036】

より具体的には、図 12 A を参照すると、スネーク櫛状セル 1202 は、端子 N、C および G を有すると仮定する。次に図 12 B を参照すると、スネーク櫛状セル 1202 は欠陥 2104 を有すると仮定する。図 12 C を参照すると、図 12 C に示されている欠陥を含むスネーク櫛状は、電気回路 1206 によって特徴付けることができる。

【0037】

1 つの典型例の実施形態において、次の電氣的テストを行うことができる。

$R_{gn} = G$ に $1\ \text{V}$ を加え (force)、N で終端し、抵抗 GN を測定した測定抵抗

$R_{gc} = G$ に $1\ \text{V}$ を加え、C で終端し、抵抗 GC を測定した測定抵抗

$R_{nc} = N$ に $1\ \text{V}$ を加え、C で終端し、抵抗 NC を測定した測定抵抗

ここで、A、B および D は次のように計算される。

40

【数 1】

$$D = \frac{R_{gc} - (R_{gn} - R_{nc})}{2}$$

$$B = R_{gc} - D$$

$$A = R_{gn} - B$$

および

$$\text{shortPerc (スネーク上の欠陥の位置 対 スネークの接地側 (G))} = \frac{A}{R_{gn}} \quad 10$$

【0038】

代替構成としてに、次の電氣的テストが行われる。

$R_{gn} = G$ に 1 V を加え、N で終端し、抵抗 GN を測定した測定抵抗

$R_{gc} = G$ に 1 V を加え、C で終端し、抵抗 GC を測定した測定抵抗

$R_{ngc} = N$ に 1 V を加え、C で終端し、抵抗 NC を測定した測定抵抗

(R_{ngc} は前の測定方法と異なる。その理由は、それが、G と N の双方に 1 V を加えて (force)、同じパッド・グループにおける複数のスネーク櫛状体の G 端子相互間のスネーク状経路 (パス) を遮断する (cut off) からである。) ここで、A、B および D は次のように計算される。 20

【数 2】

$$X = \frac{R_{gn} - (R_{gc} - R_{ngc})}{2}$$

$$B = \sqrt{(R_{gn})^2 - R_{gn} X}$$

$$A = R_{gn} - B$$

および

$$\text{shortPerc (スネーク上の欠陥の位置 対 スネークの接地側 (G))} = \frac{A}{R_{gn}} \quad 30$$

【0039】

1 つの典型例の実施形態において、ソフト短絡は、測定電圧に基づいて決定できる線抵抗を閾値抵抗と比較することによって検出できる。線抵抗が閾値抵抗 (電圧) より小さい場合は、ソフト短絡が検出される。ハード短絡も、線抵抗を閾値抵抗と比較することによって検出できる。しかし、ソフト短絡を検出するのに用いられる閾値抵抗は、ハード短絡を検出するのに用いられる閾値抵抗より大きい。 40

【0040】

さらに、別の典型例の実施形態において、ソフト短絡は、例えば同じパッド・グループ内の線のような、互いに隣接する複数の線についての平均抵抗を決定することによって、検出される。特定の線が平均抵抗より或る指定した量だけ小さい抵抗を有する場合は、ソフト短絡が検出される。また、ハード短絡は、線抵抗を平均抵抗と比較することによって検出される。しかし、ソフト短絡を有する線の抵抗と平均抵抗の間の差の或る指定した量は、ハード短絡を有する線の抵抗と平均抵抗の間の差より小さい。

【0041】

図 13 には、4 端子テスト構造体またはテスト状態下のデバイス (DUT) である 8 つのテスト構造体 606 を有する別のパッド・グループ 604 が示されている。図 10 に示 50

されているパッド・グループ604とは対照的に、図13に示されているパッド・グループ604は、4つのテスト構造体606が1つの層に形成され、4つのテスト構造体606が別の層上に形成されている。この典型例の実施形態において、パッド・フレーム608について、パッド・サイズは80 μ mである。垂直方向のパッド・ピッチ(Yピッチ)は100 μ mである。水平方向のパッド・ピッチ(Xピッチ)は130 μ mである。幅は210 μ mである。高さは1580 μ mである。テスト構造体606について、高さは760 μ mであり、幅は380 μ mである。テスト構造体のタイプは、スネーク櫛状またはその他の任意の4端子デバイスである。各層に4つ、パッド・グループ当たり8つのDUTが存在する。パッド・グループ604は、図10におけるパッド・グループ604と同じ概略構成を有する。しかし、これらの数値寸法形状配置(dimensions)は様々に変えてもよいことに留意すべきである。さらに、テスト構造体は任意の数の金属層上に形成することができ、別の層における別のテスト構造体より下にあるテスト構造体がテストでき、2つのまたは(それ以上の)レベルにおけるテスト構造体の相互作用が測定できることに留意すべきである。

10

【0042】

図14には、行および列に配置された複数のパッド・グループ604を有する形で典型例のレイアウト602の一部が示されている。上述のように、1つの典型例の実施形態において、6つのパッド・グループ604を一緒に一度に電氣的にテストできる。図14に示された典型例の実施形態において、図14において“2x106 pr g x x s t i c k”と(ラベルを)付したスティック(棒状体)1402は、1、2、3、4、5および6と付したパッド・グループ604を含んでいる。この典型例の実施形態では、スティック1402におけるパッド・グループ604は、並列電気テストからのプローブ・カードを用いて一緒に電氣的にテストされる。

20

【0043】

図14に示されているように、この典型例の実施形態において、各パッド・グループ604は8つのテスト構造体606を含んでいる。また、各パッド・グループ604は、各テスト構造体606について4つのパッドを含んでいる。従って、各パッド・グループ604についてパッド・フレームは合計で32個のパッドを含んでいる。

【0044】

また、図14に示されているように、レイアウト602は、パッド・グループ604相互間におけるa、b、c、dおよびeと付された位置に配置された5つのミニパッドchk・セル1404を含んでいる。以下により詳しく説明するように、各ミニパッドchk(チェック)セル1404は、2x2のパッド・フレームの形に配置された4つのパッドを有する2つのテスト構造体を含んでいる。

30

【0045】

従って、スティック1402は、合計212個のパッド(即ち(32パッド/パッド・グループx8パッド・グループ)+(4パッド/ミニパッドchkセルx5ミニパッドchkセル))を含んでいる。図14に示されているように、212個のパッドは隣接する2つの列に配置されている。従って、スティック1402用のパッド・フレームは、パッド・グループ604からのパッド・フレームと、ミニパッドchk・セル1404からのパッドとを含んでおり、2x106のパッド・フレームである。この典型例の実施形態では、パッド・フレーム幅は210 μ mである。

40

【0046】

この典型例の実施形態では、スティック1402は2つのパラメータ(pr g Name およびpr g Row)を用いて参照される。pr o g Nameパラメータはレイアウト602中の各スティック1402を一意的に識別するものであり、pr o g Rowパラメータはスティック1402内の各パッド・グループ604を一意的に識別するものである。より具体的には、パラメータpr g x xを用いてスティック1402を参照する。1つまたは2つの金属層(即ち、M1/M2)を有する1つのレイアウトについては2桁(ディジット)(例えばpr o g x x)が用いられる。3つの金属層(即ちM3)を有する1つ

50

のレイアウトについては3桁が用いられる(例えばprog3xx)。この典型例の実施形態では、パラメータprg00は連続性パッド・チェック・スティックとして用いるために留保(確保)されている。progNameおよびprogRowパラメータはテキスト・ファイルとしてエクスポート(export)できる。これらのパラメータの使用は典型例であって、種々のパラメータを用いてスティック1402およびスティック1402内のスティック1402内のコンポーネント(構成要素)を参照することができる。

【0047】

図15を参照すると、この典型例の実施形態では、スティック1402は、10.72mmのフロアプラン(平面図、階層)高さ仕様を有する。より具体的には、図15に示されているように、高さH1は底部ルーティング(経路)用のスペースを含んでいる。高さH2はスティック1402内の複数のコンポーネントの全体の高さを含んでいる。高さH3は、ラベルおよびM3仮想(virtual)接地パッド用のスペースを含んでいる。この典型例の実施形態では、H1、H2およびH3は、それぞれ、15 μ m、10,580 μ mおよび125 μ mであり、合計で10,720 μ m即ち10.72mmである。これらの寸法(dimensions)は典型例であって、スティック1402は種々のフロアプラン高さ仕様を有することができることを認識すべきである。

10

【0048】

図16を参照すると、高さH1の頂部は、図14において1が付されたパッド・グループ604のパッド16および32の底部端縁(edge)によって決定(define:画定)される。高さH1の底部は、別のスティック1402(図14)に隣接する(butt:当接する、接合する)ためのバッファ・ゾーンを含んでいる。1つの典型例の実施形態では、そのバッファ・ゾーンはVIA実験ルーティング用にも必要である。上述のように、1つの典型例の実施形態では、高さH1は15 μ mである。

20

【0049】

図17を参照すると、高さH2(図15)はパッド・グループ604の高さH2aをも含んでいる。高さH2aの頂部は、パッド・グループ604のパッド1および17の頂部端縁によって決定される。高さH2aの底部はパッド・グループ604のパッド16および32の底部端縁によって決定される。この典型例の実施形態では、パッド・サイズは80 μ m \times 80 μ mである。垂直方向のパッド・ピッチ(Yピッチ)は100 μ mである。垂直方向のパッド・スペース(Yスペース)は20 μ mである。従って、高さH2aは1580 μ mである((16パッド \times 80 μ m/パッド)+(15スペース \times 20 μ m/スペース))。

30

【0050】

図18を参照すると、高さH2(図15)はミニパッドchk1404の高さH2bをも含んでいる。上述し図18に示したように、ミニパッドchk1404は、2 \times 2のパッド・フレームの形に配置される4つのパッドを有する2つのテスト構造体1802を含んでいる。この典型例の実施形態では、テスト構造体1802を用いてプローブ・カードおよび関連するテスト・システムの動作が検証される(verify)。高さH2bの頂部は、ミニパッドchk1404の上のパッド・グループのパッド16および32の端縁によって決定される。高さH2bの底部は、ミニパッドchk1404の下のパッド・グループのパッド1および17の端縁によって決定される。この典型例の実施形態では、パッド・サイズは80 μ m \times 80 μ mである。垂直方向のパッド・ピッチ(Yピッチ)は100 μ mである。垂直方向のパッド・スペース(Yスペース)は20 μ mである。従って、高さH2bは220 μ mである((2パッド \times 80 μ m/パッド)+(3スペース \times 20 μ m/スペース))。

40

【0051】

図19を参照すると、高さH2は、各パッド・グループ(即ち、高さH2a)およびミニパッドchk(即ち、高さH2b)の寸法を含んでいる。高さH2の頂部は、図19において6が付された頂部パッド・グループのパッド1および17の頂部端縁によって決定される。高さH2の底部は、図19において1が付された底部パッド・グループのパッド

50

16および32の底部端縁によって決定される。この典型例の実施形態では、パッド・サイズは $80\mu\text{m} \times 80\mu\text{m}$ である。垂直方向のパッド・ピッチ（Yピッチ）は $100\mu\text{m}$ である。垂直方向のパッド・スペース（Yスペース）は $20\mu\text{m}$ である。従って、高さH2は $10,580\mu\text{m}$ である（ $(6\text{パッド・グループ} \times 1,580\mu\text{m} / \text{パッド・グループ}) + (5\text{ミニパッド} \times 220\mu\text{m} / \text{ミニパッド})$ ）。

【0052】

図20を参照すると、高さH3は、高さH3a、高さH3bおよび高さH3cを含んでいる。高さH3の頂部は、次の（隣の）金属構造の底部端縁によって決定される。高さH3の底部は、図19において6が付された頂部パッド・グループのパッド1および17の頂部端縁によって決定される。

10

【0053】

高さH3aの頂部は、ラベルの頂部端縁によって決定される。高さH3aの底部は、図19において6が付された頂部パッド・グループのパッド1および17の頂部端縁によって決定される。1つの典型例の実施形態では、ラベルの高さは $18\mu\text{m}$ である。ルーティング（経路）線からそのラベルの底部までのスペースは $10\mu\text{m}$ である。この典型例の実施形態では、高さH3aは $28\mu\text{m}$ である。

【0054】

高さH3bの頂部は、M3仮想接地パッドの頂部端縁によって決定される。高さH3bの底部は、ラベルの頂部端縁によって決定される。1つの典型例の実施形態では、パッド高さは $80\mu\text{m}$ である。ラベル頂部からM3仮想接地パッドの底部までのスペースは $14\mu\text{m}$ である。この典型例の実施形態では、高さH3bは $94\mu\text{m}$ である。

20

【0055】

高さH3cの頂部は、次の（隣の）金属構造の底部端縁によって決定される。高さH3cの底部は、M3仮想接地パッドの頂部端縁によって決定される。高さH3cはバッファ・ゾーン（緩衝地帯）として機能する。この典型例の実施形態では、高さH3cは $3\mu\text{m}$ である。従って、高さH3は $125\mu\text{m}$ （ $28\mu\text{m} + 94\mu\text{m} + 3\mu\text{m}$ ）である。

【0056】

図21を参照すると、1つの典型例の実施形態では、レイアウト602（図14）は、複数のスティック（図14）をスタック状に積み重ねる（stack）するための高さH4を含んでいる。高さH4の頂部は、そのスタックにおける上側スティックにおける底部パッド・グループのパッド16および32の底部端縁によって決定される。高さH4の底部は、そのスタックにおける下側スティックにおける頂部パッド・グループのパッド1および17の頂部端縁によって決定される。1つの典型例の実施形態では、高さH4は、ミニパッドchk1404（図14）に適合する（fit）ようにサイズ（寸法）が調整される。それによって、ミニパッドchk1404（図14）は、そのスタックにおける頂部スティックにおける底部パッド・グループと、そのスタックにおける下側スティックにおける頂部パッド・グループとの間に入れることが可能になる。従って、高さH4は、 $220\mu\text{m}$ の高さH2aに等しい。さらに、図21に示されているように、高さH4aは、高さH4と高さH1およびH3の間の差であり（即ち、 $H4 - H1 - H3$ ）、 $80\mu\text{m}$ である。

30

【0057】

図22を参照すると、ステッパ（stepper）の正方形フィールド（領域）中に配置（deployment：展開）されるよう構成された典型例のレイアウト602が示されている。レイアウト602は、スティック1402相互間に高さH4aを有する2つのスティック1402からなる1つのスタックを含んでいる。従って、この典型例の実施形態では、レイアウト602の合計のフィールド高さは、 21.52mm である（ $10.72\text{mm} + 0.08\text{mm} + 10.72\text{mm}$ ）。

40

【0058】

しかし、レイアウト602は種々の寸法になるよう構成することができると認識すべきである。例えば、レイアウト602は、スキャナの長方形のフィールドに配置するように構成することができる。典型的なスキャナ・フィールドは、幅（X） 26mm および高さ

50

(Y) 32 mmを有する。従って、レイアウト602は、3つのスティック1402からなる1つのスタックを含むことができる。この典型例の実施形態では、合計のフィールド高さは、 32.32 mm となるであろう ($(10.72 \text{ mm} / \text{スティック} \times 3 \text{ スティック}) + (0.08 \text{ mm} / \text{スペース} \times 2 \text{ スペース})$)。

【0059】

典型的なスキャナ・フィールドの高さにより良く適合させる (fit、入るようにする) ために、種々の調整をレイアウト602に施して全体の高さを減少させることができる。例えば、高さH4aを $80 \mu\text{m}$ から $10 \mu\text{m}$ に減少させることができる。従って、レイアウト602の合計のフィールド高さは、 32.18 mm に減少される ($(10.72 \text{ mm} / \text{スティック} \times 3) + (0.01 \text{ mm} / \text{スペース} \times 2 \text{ スペース})$)。 10

【0060】

代替構成として、図20を参照すると、M3仮想接地パッドは、幅 $40 \mu\text{m}$ ×高さ $160 \mu\text{m}$ を有する長形状に再設計することができ、それによって高さH3bは $94 \mu\text{m}$ から $45 \mu\text{m}$ に減少する。高さH3は $76 \mu\text{m}$ に減少し、それによって1つのスティックの高さは 10.671 mm に減少する。従って、図22を再び参照すると、レイアウト602の合計のフィールド高さは 32.033 mm に減少する ($(10.671 \text{ mm} / \text{スティック} \times 3) + (0.08 \text{ mm} / \text{スペース} \times 2 \text{ スペース})$)。M3仮想接地パッドの減少後のサイズは、例えば米国カリフォルニア州サンタクララのアプライド マテリアル社 (Applied Material, Inc.) によって製造されているSEM VisonツールのようなSEM検査ツールを用いて、欠陥位置決め用のM3仮想接地パッドを検査/観察 (view) 20
すべく電子ビームを焦点合わせするには、依然として充分大きい。

【0061】

別の代替構成として、5つのミニパッドch kの中の4つを取り除く (除去する) ことができる。より具体的には、図14を参照すると、a、b、dおよびeが付されたミニパッドch kは取り除かれ、cが付された中央のミニパッドch kだけが残される。従って、高さH2は $9,700 \mu\text{m}$ に減少し、それによって1つのスティックの高さが 9.791 mm に減少する。従って、図22を再び参照すると、レイアウト602の合計のフィールド高さは 29.393 mm に減少する ($(9.791 \text{ mm} / \text{スティック} \times 3) + (0.01 \text{ mm} / \text{スペース} \times 2 \text{ スペース})$)。異なる別のプローブ・カードを用いてこのより短いスティックがテストされることに留意すべきである。 30

【0062】

しかし、上述の種々の寸法は典型例であって、これらの寸法の任意の1つ以上のものは様々に変えてもよいことに留意すべきである。さらに、パッド、テスト構造体、パッド・グループ、スティックおよびレベルの数は様々に変えることができることに留意すべきである。

【0063】

III. 並列電気テスト

上述のように、1つのパッド・グループ内の複数のテスト構造体は、並列電気テストを用いて一緒にテストされる。図23を参照すると、典型例の並列電気テスト2300が示されている。1つの典型例の実施形態では、テスト2300は自動化された抵抗測定および漏洩 (leakage) 電流測定を行う。 40

【0064】

この典型例の実施形態では、テスト2300は、1時間より短い時間でウェハ上のダイ (die) 内の構造体をテストできるように設計されており、これは通常のパラメトリック (parametric) テスト (test: 検定) 法と比較すると10~20倍の高速化となる。また、テスト2300は、次の諸機能 (feature: 特徴) を含んでいる。

- ・同形で、独立で、並列の256個のI/Oチャンネル。各I/Oチャンネルは次の諸機能 (capability): 電圧および抵抗の測定、電源電圧または電源電流、およびプログラム可能なピン終端。

- ・10乃至100M の抵抗測定機能

- ・プローバ（プローブ手段、プローブ器）に対するケーブル・アウト・インタフェース / プローバ・テスト・インタフェース（PTI）（32信号 / ケーブルを有する8つのケーブル）（Cable-out interface to prober/prober tester interface（PTI）（8 cables with 32 signals/cable））

- ・複数のコンパチブル（互換性）ウェハ・プローバに対する（とインタフェースする）標準汎用インタフェース・バス（GPIB）インタフェース

- ・Microsoft Windows（登録商標）（マイクロソフト・ウィンドウズ（登録商標））2000 OS（Operating System）を有するPCベースのコントローラ（制御器）

- ・背面パネル上にEMOデジター・チェーン接続部を有するエマージェンシー・オフ（EMO）（緊急停止）スイッチ

- ・移動を容易にする回転キャスタ

- ・安全なテスト設置（設備）用の水平化足（leveling feet）

- ・クリーン・ルーム・コンパチブル（適合）設計

これらの機能は典型例であって、これらの機能の中の任意の1つ以上のものをテスト2300から省略することができ、または任意の1つ以上の追加の機能をテスト2300に含ませることができる、と認識すべきである。

【0065】

図23および24に示されているように、テスト2300は、モニタ2302、キーボード2304、測定制御（MC）ユニット2306、キャスタ2308およびEMO2310を含んでいる。MCユニット2306は、ピン終端モジュール2314、ファン・ト

【0066】

図25および26を参照すると、典型例のウェハ・テスト・システム2500が示されている。1つの典型例の実施形態では、テスト・システム2500は、並列電気テスト2300、ウェハ・プローバ2502およびウェハ・ローダ（loader：装填機、充填機）2504を含んでいる。図25および26に示されているように、テスト2300は、ケー

【0067】

図27を参照すると、テスト・システム2500のシステム・ブロック図が示されている。図27に示されているように、ウェハ・プローバ2502は、ウェハ・ローダ2504（図25および図26）からテスト・ウェハ2702を受け取るための自動ローダ2704を含んでいる。また、ウェハ・プローバ2502は、テスト・ウェハ2702に電氣的コンタクト（接触）を形成するためのプローブ・カード2706を含んでいる。より具体的には、この典型例の実施形態では、プローブ・カード2706は256個のピンを含んでいる。従って、スティック1402中の212個のパッド（図14）は、プローブ・カード2706を用いて一度に並列に電氣的にテストできる。

【0068】

この典型例の実施形態では、ウェハ・プローバ2502は、GPIBインタフェース2

10

20

30

40

50

708を通してテスト制御モジュール2320によって制御される。より具体的には、テスト制御モジュール2320は、ウェハ・プローバ2502にコマンドを与え、例えば、プローブ・カード2706を配置し、スティックからプローブ・カード2706を持ち上げて離し、新しい位置に移動させ、別のスティックとコンタクトを形成するように下降させるよう命令する各コマンドを与える。

【0069】

図27に示されているように、この典型例の実施形態では、テスト信号は、信号バス2716を通してプローブ・カード2706とピン終端モジュール2314の間で伝送される。この典型例の実施形態では、信号バス2716は8×32の信号バスである。また、テスト信号は、信号バス2716を通して終端モジュール2314とマルチプレクサ(多重化器)モジュール2710の間で伝送される。次いで、テスト信号はマルチプレクサ・モジュール2710からDAQモジュール2318へ伝送される。

【0070】

また、図27に示されているように、MCユニット2306は、デジタル制御信号をデジタルI/O(DIGIO)2712を通してピン終端モジュール2314に送信する。また、MCユニット2306はピン終端モジュール2314用の複数のアナログ電圧源を含んでいる。さらに、MCユニット2306およびテスト制御モジュール2320は、周辺コンポーネント相互接続(PCI)ブリッジ2714を用いて接続される。

【0071】

図28を参照すると、終端モジュール2314(図27)の一部のシステム・ブロック図が示されている。図28に示されているように、終端モジュール2314(図27)は、プローブ・カード2706からテスト信号を受け取る複数のスイッチ・カード2802を含んでいる。この典型例の実施形態では、終端モジュール2314(図27)は8つのスイッチ・カード2802を含んでおり、各スイッチ・カードはプローブ・カード2706からの32個ものピンに接続できる。より具体的には、図28に示されているように、プローブ・カード2706からのピン1~32は第1のスイッチ・カード2802(図28ではPT1と付されている)に接続されており、後続の各グループ(群)の32個のピンは後続の各スイッチ・カード2802に接続されており、次いでピン225~256は第8のスイッチ・カード2802(図28ではPT8と付されている)に接続されている。

【0072】

図28にも示されているように、各スイッチ・カード2802は、DIGIO2712(図27)と、MCユニット2306(図27)における電圧源とに接続されている。より具体的には、各スイッチ・カード2802は16本のDIGIO線および2つの電圧源に接続されている。

【0073】

この典型例の実施形態では、終端モジュール2314(図27)の1つの機能、より具体的にはスイッチ・カード2802は、テスト状態下のデバイス(DUT)における複数の抵抗、選択可能な内臓(on-board)終端抵抗、およびソフトウェア制御されるアナログ電圧源を有する1つの抵抗分割器(resistor divider、抵抗分配器、抵抗分圧器)を形成することである。より具体的には、図29を参照すると、典型例の回路図が示されている。図29に示されているように、抵抗分割器は、DUTにおけるR、終端抵抗 R_T 、およびアナログ電圧源 V_S で形成されている。従って、DUTの抵抗は電圧測定値(尺度、目盛) V_M から決定できる。 DUT 電流 I_{DUT} は V_M / V_T に等しく(V_M / R_T)、 DUT 電圧は $V_S - V_M$ に等しく、 DUT 抵抗 R_{DUT} は V_{DUT} / I_{DUT} に等しいことに留意すべきである。さらに、この典型例の実施形態では、抵抗 R_M は絶対値Rのエラー(誤差)計算にのみ用いられる。

【0074】

図30を参照すると、2端子(点)抵抗測定実装の典型例の回路図が示されている。図30に示されているように、第1の電圧源(V_1)はチャンネルi上に設けられ、第2の電

10

20

30

40

50

圧源 (V2) はチャンネル j 上に設けられている。次いで、DUT 抵抗は、その 2 つの電源電圧および終端抵抗 R_t に基づいて決定できる。

【0075】

図 31 を参照すると、スイッチ・カード 2802 (図 28) の一部のシステム・ブロック図が示されている。図 31 に示されているように、スイッチ・カード 2802 は、複数のピン終端器 (terminator、終端抵抗、終端装置) 回路 3102 を含んでいる。この典型例の実施形態では、各スイッチ・カード 2802 (図 28) は 32 個のピン終端 (抵抗) 回路 3102 を含んでおり、ここで各ピン終端 (抵抗) 回路 3102 はプローブ・カード 2706 からのピンに接続されている。

【0076】

図 31 に示されているように、スイッチ・カード 2802 (図 28) は、複数のデジタル・マルチプレクサ (MUX) 制御手段 3104 を含んでいる。この典型例の実施形態では、各スイッチ・カード 2802 (図 28) は 16 個のデジタル MUX 制御手段 3104 を含んでおり、ここで各デジタル MUX 制御手段 3104 は、2 つのピン終端器 (抵抗) 回路 3102 に接続され、8 つの制御信号を各ピン終端器 (抵抗) 回路 3102 に供給する。

【0077】

図 32 を参照すると、ピン終端器回路 3102 (図 31) の一部の回路図が示されている。図 32 に示されているように、ピン終端器回路 3102 (図 31) は、複数のカッド (quad、4 つ組) スイッチ 3202 を含んでいる。この典型例の実施形態では、各ピン終端器回路 3102 (図 31) は、2 つのカッド・スイッチ 3202 を含んでおり、ここで各カッド・スイッチ 3202 には 1 つの電源電圧および 4 つの制御信号が結合されている。従って、カッド・スイッチ 3202 は、ピン終端器回路 3102 (図 31) に接続されたピンを、それらの電源電圧および制御信号のうちの任意のものに結合する。

【0078】

図 33 を参照すると、MC ユニット 2306 のシステム・ブロック図が示されている。上述のように、MC ユニット 2306 はマルチプレクサ・モジュール 2710 (図 27) を含んでおり、そのマルチプレクサ・モジュール 2710 はプローブ・カード 2706 (図 27) からのテスト信号を受け取る。この典型例の実施形態では、マルチプレクサ・モジュール 2710 (図 27) は、プローブ・カード 2706 (図 27) から受け取ったテスト信号を合成する (combine: 組み合わせる、まとめる、多重化する) 複数のマルチプレクサ・カード 3302 を含んでいる。より具体的には、図 28 に示されているように、各マルチプレクサ・カード 3302 は、プローブ・カード 2706 (図 27) から受け取った 32 個のチャンネルを 1 つの DAQ チャンネルへと合成 (加重化) する 32 対 1 のアナログ・マルチプレクサ・カードである。この典型例の実施形態では、8 個のマルチプレクサ・カード 3302 を用いてその 256 個のテスト信号を 8 つの DAQ チャンネルへと合成し、その 8 つの DAQ チャンネルが 1 つの 8 チャンネル DAQ カード 3304 に伝送され、その 8 チャンネル DAQ カード 3304 がアナログ入力を 16 ビット・デジタル測定値 (尺度) に変換する。この典型例の実施形態では、DAQ カード 3304 は、一度で 8 個の DAQ チャンネルの中の 1 つのみを用いる。

【0079】

図 33 に示されているように、マルチプレクサ・カード 3302 は計装 (instrumentation、インスツルメンテーション) (SCXI) バス 3306 用の信号条件付き延長部 (signal conditional extensions) に接続されている。DAQ カード 3304 は PCI バス 3308 に接続されている。SCXI バス 3306 および PCI バス 3308 はローカル・バス 3310 に接続されている。

【0080】

また、図 33 に示されているように、MC ユニット 2306 は、制御信号をピン終端ユニット 2314 (図 27) に送信するための DIGIO 2712 を有するデジタル I/O カード 3312 を含んでいる。より具体的には、デジタル I/O カード 3312 は、

10

20

30

40

50

ピン終端ユニット 2314 (図 27) を構成するのに用いられるアドレス、データおよび制御信号を発生する。そのアドレスおよびデータは、終端ユニット 2314 (図 27) によって復号されて、プローブ・カード 2706 (図 27) 上の各プローブ・ピンに対して終端抵抗、電圧源、接地または開放状態の回路が選択される。

【0081】

また、MC ユニット 2306 は、PCIブリッジ 2714 および電圧源 3314 を含んでおり、電圧源 3314 は V S X 3316 を用いて 16 個の電圧源をピン終端ユニット 2314 (図 27) に出力する。PCIブリッジ 2714 および電圧源 3314 は共に PCIバス 3308 に接続される。

【0082】

IV. 分析

電氣的テストの結果を分析して、任意の欠陥の位置を識別する (即ち、位置決め) することができる。より具体的には、電氣的テストに失敗したテスト構造体の位置は、電氣的テストの結果に基づいて決定される。また、電氣的テストの結果を分析して、検出された欠陥を、ランダムなまたはシステム上の欠陥として分類することができる。さらに、その結果を分析して、歩留まり (yield) を決定し、モデル化しまたは予測することができる。

【0083】

図 34 を参照すると、欠陥分析の典型例のプロセスが示されている。この典型例の実施形態では、テスト・チップ設計パターン 3402 はレイアウト・ピン (bin、級、区間) (例えば、図 34 に示されたピン 1 ~ 9) にグループ化される。図 34 に示されているように、テスト・チップが作製されて電氣的にテストされる (3404)。次いで、各レイアウト・ピンに対する故障 (障害) 計数値 (カウント) がプロットされる (3406)。

【0084】

図 35 を参照すると、レイアウト・ピン (例えば、V S T K、V N B H、V P、V B D、V L E、V B C および V C) に対する故障率 (レート) の典型例のプロットが示されている。その故障率対レイアウト・ピンのプロットによって、テスト・チップ故障におけるパターン依存性の 1 次の表示 (first order indication) が得られる。図 36 を参照すると、プロセス・マージン・スプリット (process margin split) をそのプロットに加えると、テスト・チップ故障におけるプロセス・マージン依存性の 1 次の表示が得られる。

【0085】

図 37 を参照すると、1 つの典型例の実施形態では、システムの欠陥の識別手段アルゴリズムによって、レイアウト D O E 因子 (ファクタ) (プロセス・マージン変量 (variances)) に対するテスト・データを分析することができ、統計的により高い故障率を有するパターンを自動的に識別することができる。また、図 37 に示されているように、システム上の故障率対ランダムな故障率の要約 (summary) が、システム上の故障を要約の棒状グラフによってユーザに対して強調した棒状グラフのフォーマットで示されている。

【0086】

2002 年 9 月 10 日付で発行された米国特許第 6,449,749 号、発明の名称 “SYSTEM AND METHOD FOR PRODUCT YIELD PREDICTION” (歩留まり予測のシステムおよび方法) には、ランダムなまたはシステム上の欠陥を分類し歩留まりを予測する別の方法が記載されている。ここで、この文献全体を参照により組み込む。しかし、欠陥は分類することができ、歩留まりは種々の方法 (approach) を用いてモデル化することができる。

【特許文献 1】米国特許第 6,449,749 号

【0087】

V. SEM 検査ツール

上述したように、分析の結果を用いて、検査ツールを用いて欠陥を位置決めすることができる。検査ツールが用いられるとき、そのテスト・チップは、検査ツールの諸機能とコンパチブルであるようにテスト構造体のサイズを調整することによって検査ツールとともに用いるように適合化されている。

10

20

30

40

50

【0088】

例えば、1つの典型例の実施形態では、その検査ツールは、米国カリフォルニア州サンタクララのアプライド マテリアル社 (Applied Material, Inc.) によって製造されている SEM Vison G2 ツールである。従って、テスト・チップは SEM Vison G2 ツールとともに用いるように適合化される。より具体的には、テスト・チップ上のテスト構造体は、SEM Vison G2 ツールの視野および解像度 (分解能) とコンパチブルである (適合する) ようにサイズが調整される。

【0089】

典型例の実施形態について説明したが、本発明の精神および/または範囲から逸脱することなく種々の変形を行うことができる。従って、本発明は、図面に示され上述の説明における具体的形態に限定して解釈されるべきでない。

10

【図面の簡単な説明】

【0090】

【図1】図1は、テスト・チップ上の欠陥を位置決めする典型例のプロセスのフロー図である。

【図2】図2は、テスト・チップ上の欠陥を位置決めする別の典型例のプロセスのフロー図である。

【図3】図3は、テスト・チップ上の欠陥を位置決めする別の典型例のプロセスのフロー図である。

【図4】図4は、テスト・チップ上の欠陥を位置決めするための典型例のシステムのブロック図である。

20

【図5】図5は、設計パターンのバリエーションを有する製品チップを示している。

【図6】図6は、テスト・チップの典型例のレイアウトを示している。

【図7】図7は、典型例のパッド・グループを示している。

【図8】図8は、典型例のテスト構造体を示している。

【図9】図9は、典型例のテスト構造体を示している。

【図10】図10は、別の典型例のパッド・グループを示している。

【図11】図11は、典型例のテスト構造体を示している。

【図12】図12 A、12 B および 12 C は、典型例のテスト構造体を示している。

【図13】図13は、別の典型例のパッド・グループを示している。

30

【図14】図14は、別の典型例のレイアウトの部分を示している。

【図15】図15は、別の典型例のレイアウトの部分を示している。

【図16】図16は、別の典型例のレイアウトの部分を示している。

【図17】図17は、別の典型例のレイアウトの部分を示している。

【図18】図18は、別の典型例のレイアウトの部分を示している。

【図19】図19は、別の典型例のレイアウトの部分を示している。

【図20】図20は、別の典型例のレイアウトの部分を示している。

【図21】図21は、別の典型例のレイアウトの部分を示している。

【図22】図22は、典型例のレイアウトを示している。

【図23】図23は、別の典型例の並列テストの正面図である。

40

【図24】図24は、図23に示された典型例の並列テストの側面図である。

【図25】図25は、典型例のウェハ・テスト・システムの上上面図である。

【図26】図26は、図25に示された典型例のウェハ・テスト・システムの斜視図である。

【図27】図27は、図25に示されたウェハ・テスト・システムのシステム・ブロック図である。

【図28】図28は、図25に示されたウェハ・テスト・システムの一部のシステム・ブロック図である。

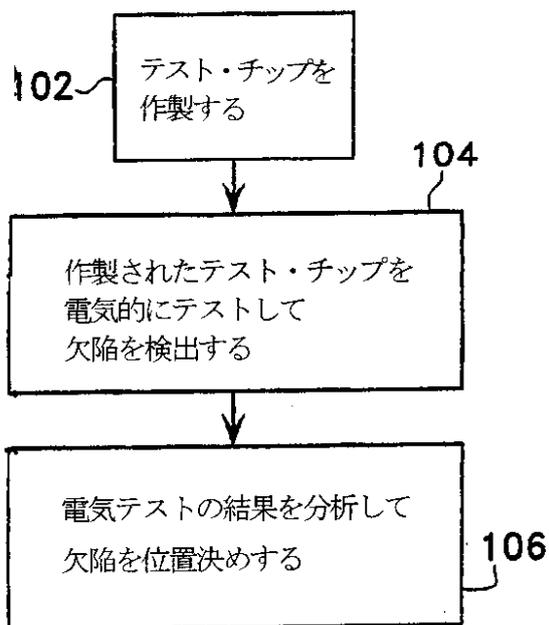
【図29】図29は、抵抗分割器の回路図である。

【図30】図30は、2端子抵抗測定実装の回路図である。

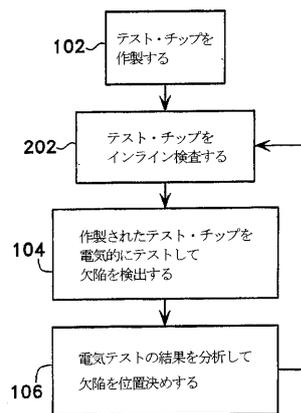
50

- 【図 3 1】図 3 1 は、スイッチ・カードの一部分のシステム・ブロック図である。
- 【図 3 2】図 3 2 は、ピン終端部回路の一部分の回路図である。
- 【図 3 3】図 3 3 は、測定制御 (MC) ユニットのシステム・ブロック図である。
- 【図 3 4】図 3 4 は、欠陥分析の典型例のプロセスを示している。
- 【図 3 5】図 3 5 は、レイアウト・ピンに対する故障率 (故障率対レイアウト・ピン) の典型例のプロットを示している。
- 【図 3 6】図 3 6 は、レイアウト・ピンに対する故障率の典型例のプロットを示している。
- 【図 3 7】図 3 7 は、レイアウト・ピンに対する故障率の典型例のプロットを示している。

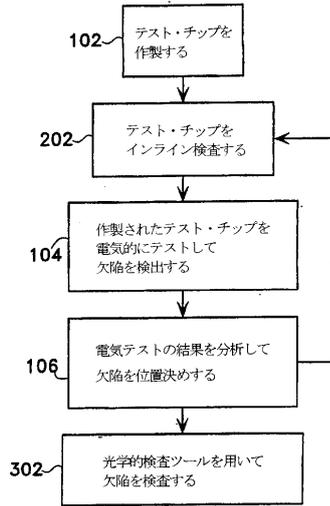
【図 1】



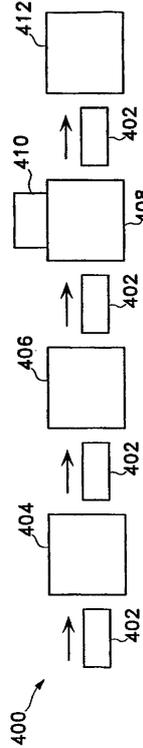
【図 2】



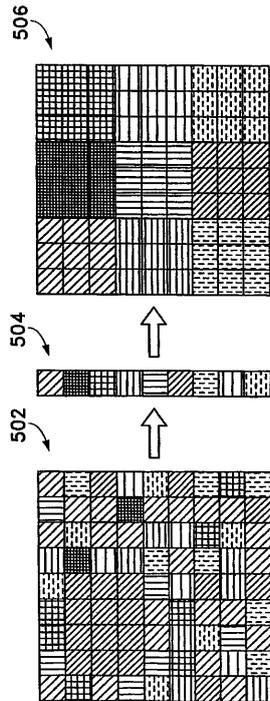
【 図 3 】



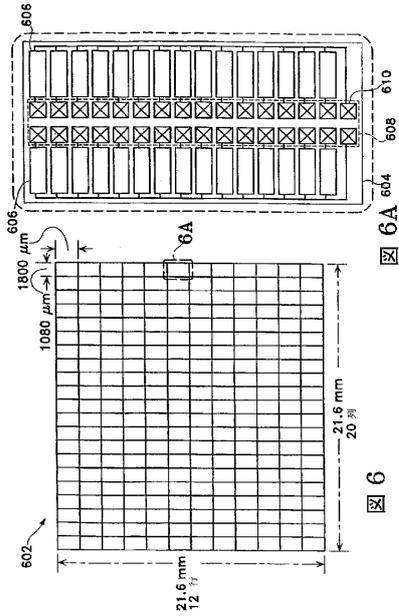
【 図 4 】



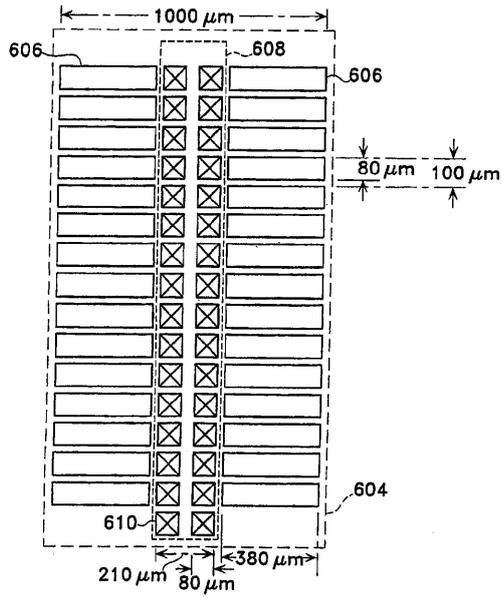
【 図 5 】



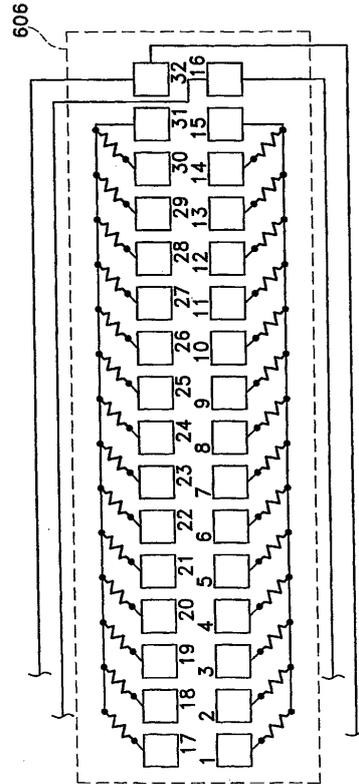
【 図 6 】



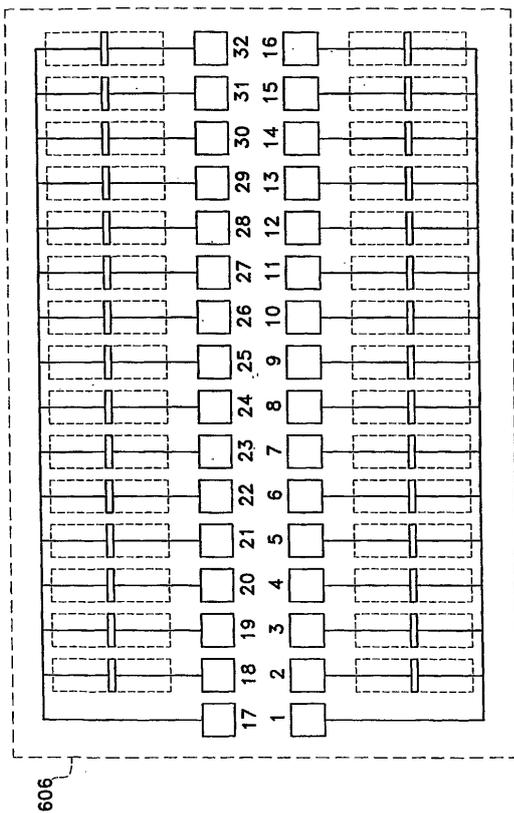
【 図 7 】



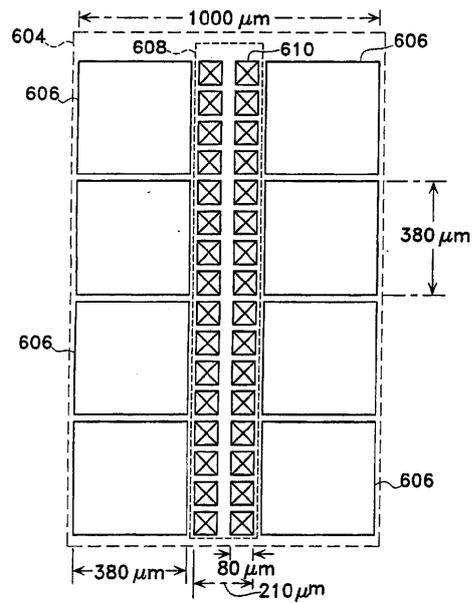
【 図 8 】



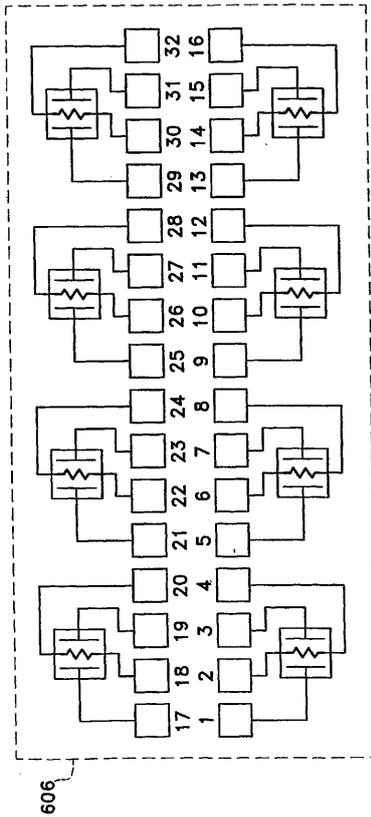
【 図 9 】



【 図 10 】



【 図 1 1 】



【 図 1 2 】

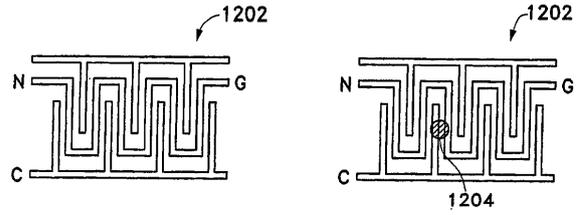


図 12A

図 12B

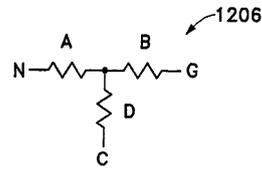
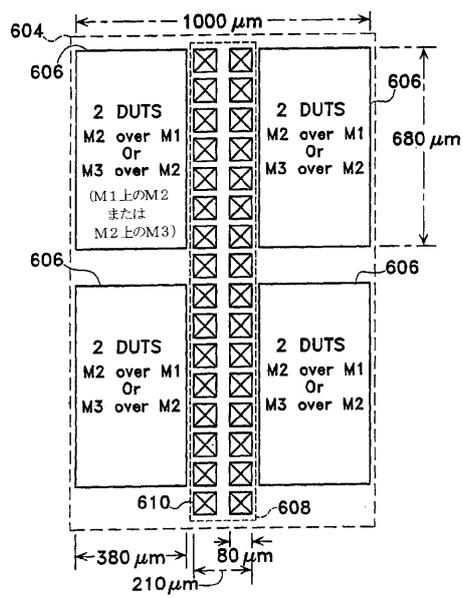
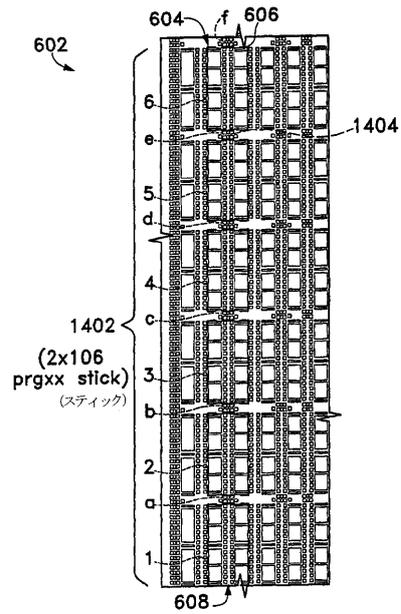


図 12C

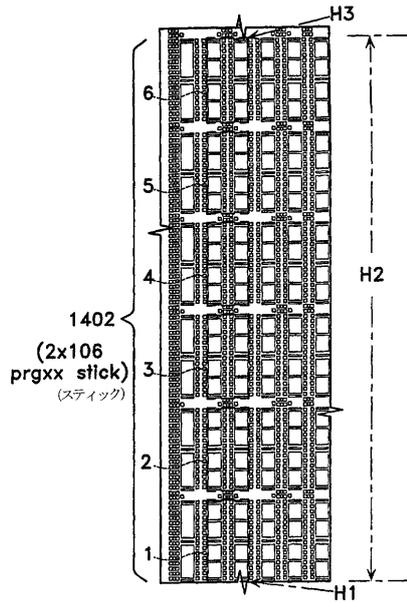
【 図 1 3 】



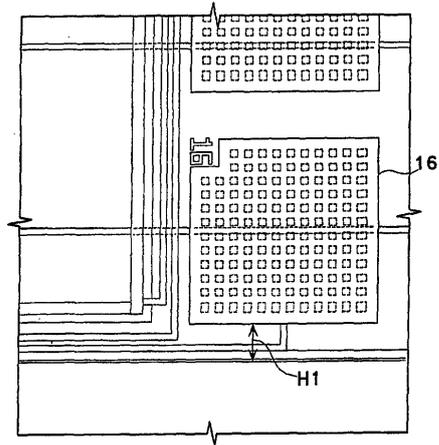
【 図 1 4 】



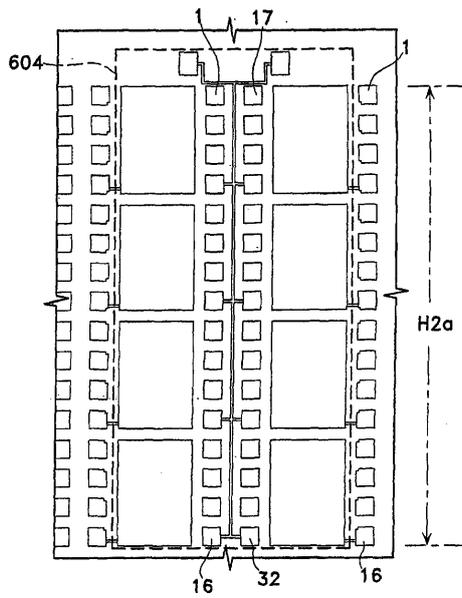
【図15】



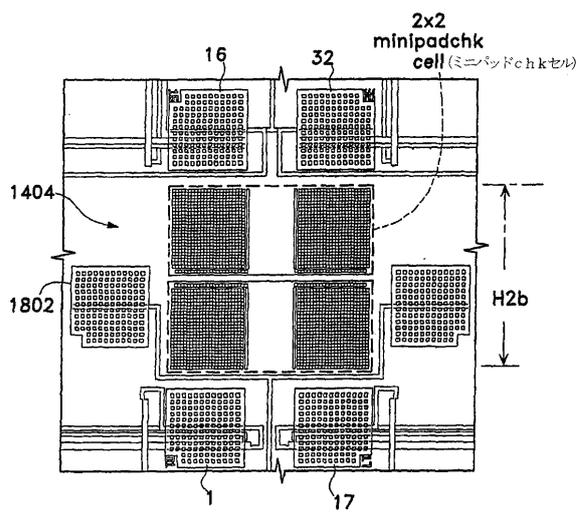
【図16】



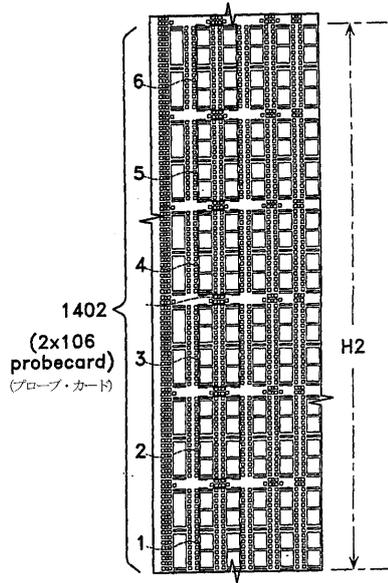
【図17】



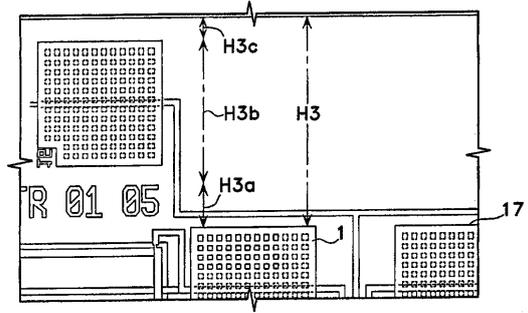
【図18】



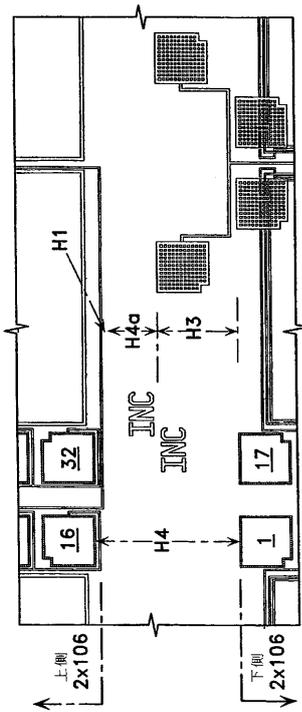
【図 19】



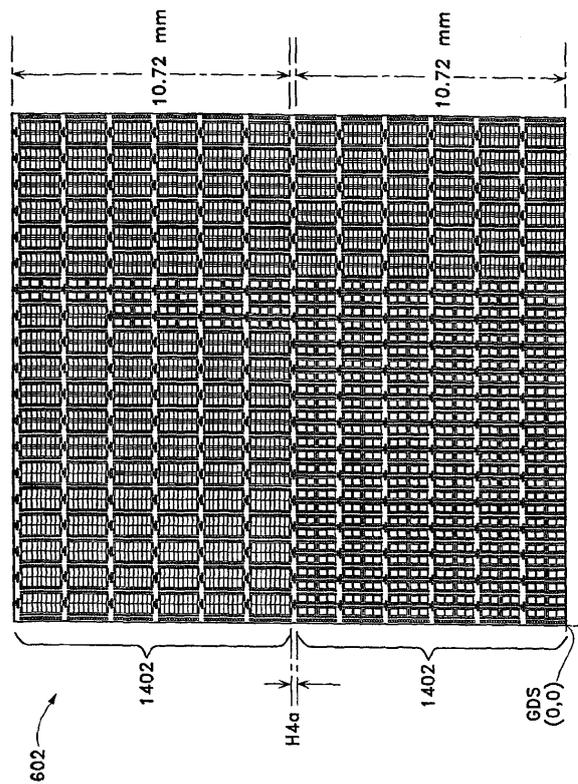
【図 20】



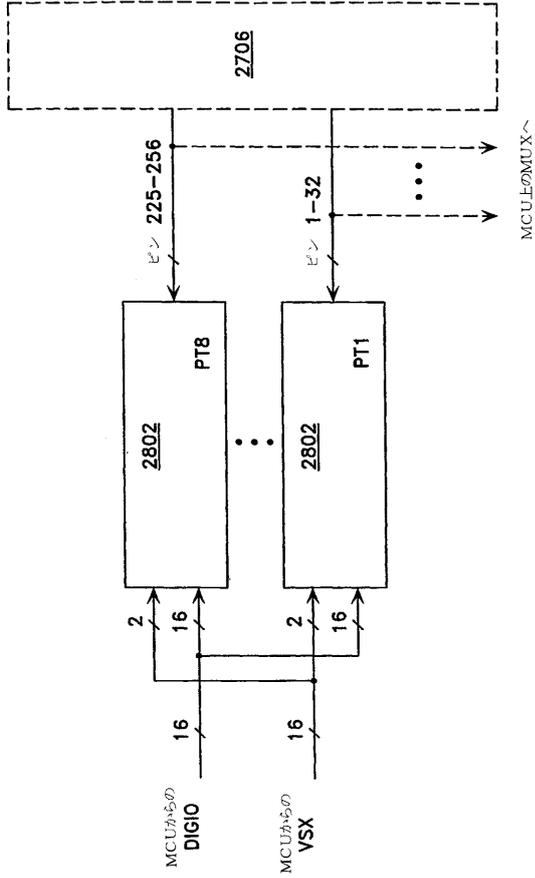
【図 21】



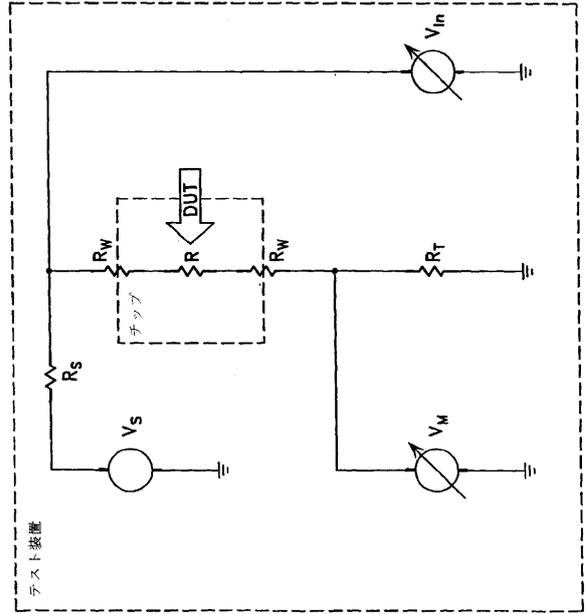
【図 22】



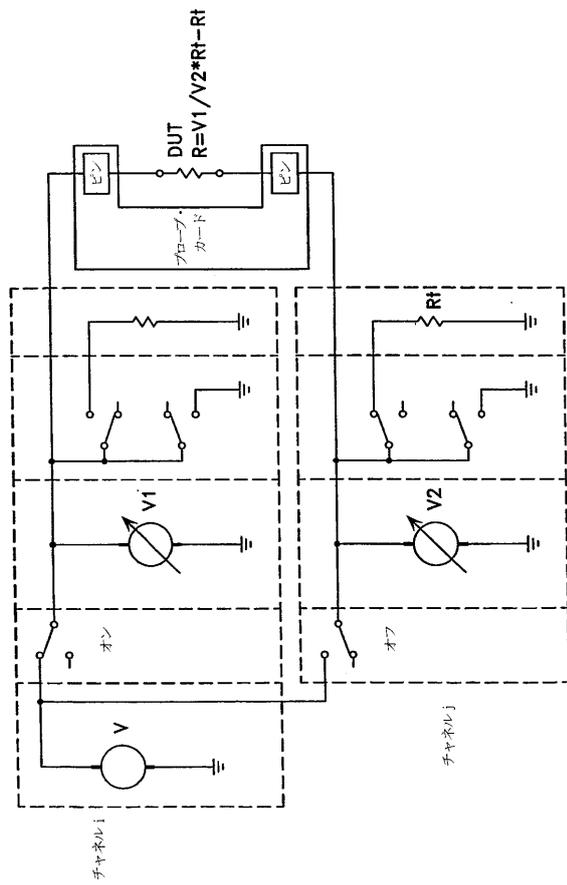
【図 28】



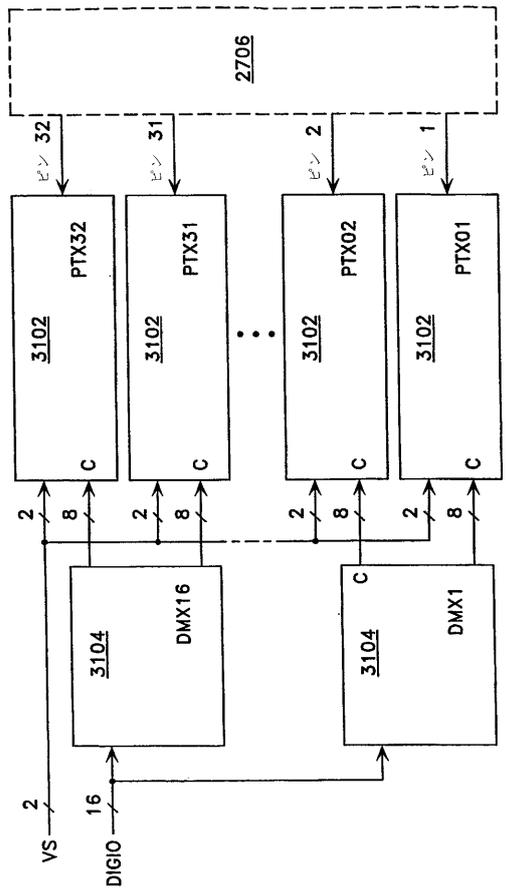
【図 29】



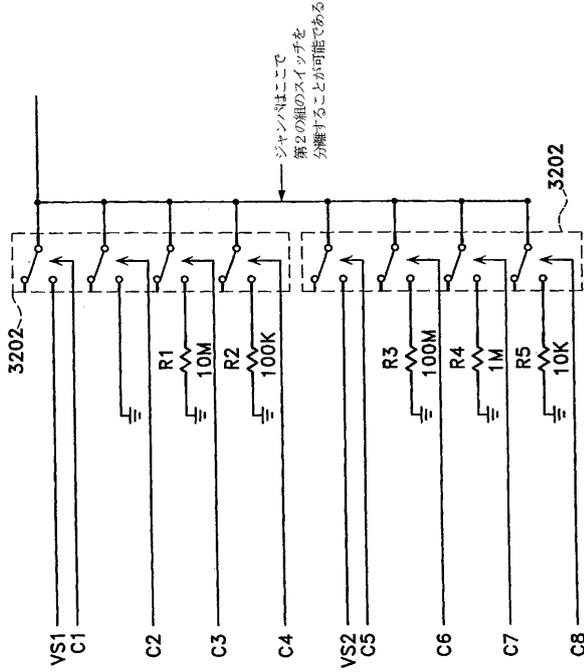
【図 30】



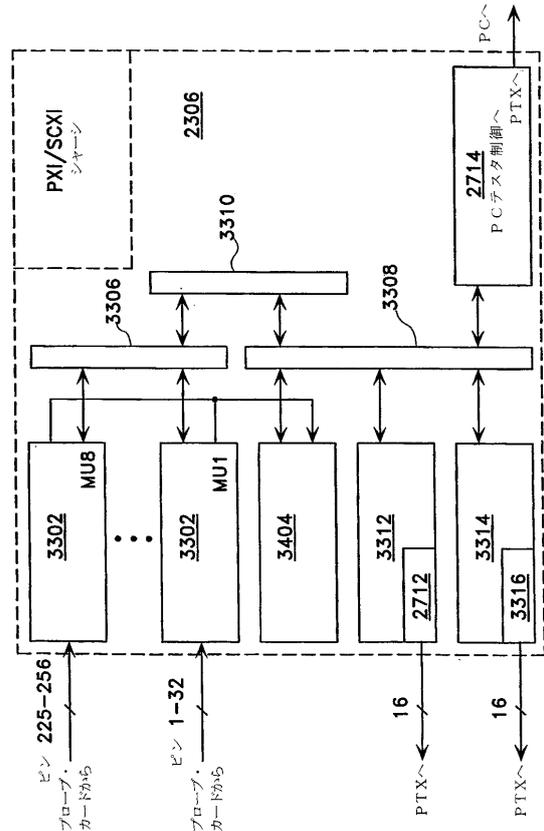
【図 31】



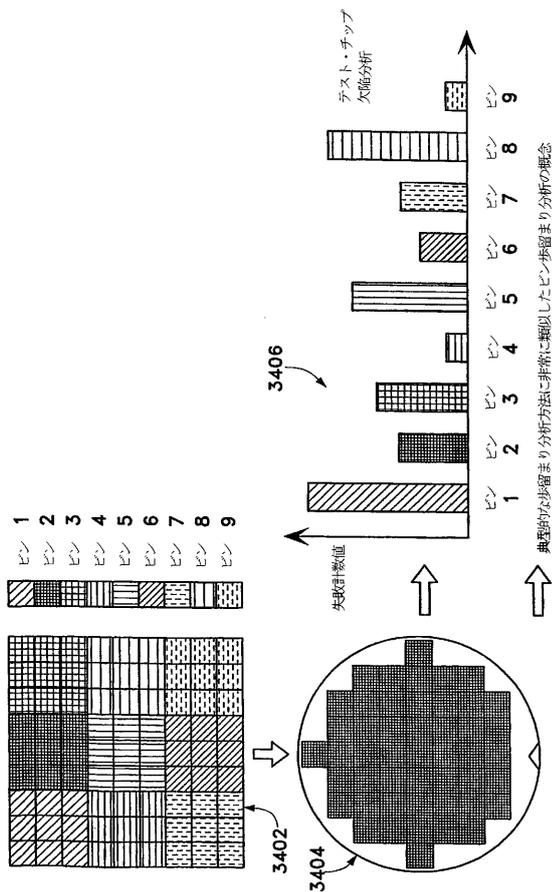
【図 3 2】



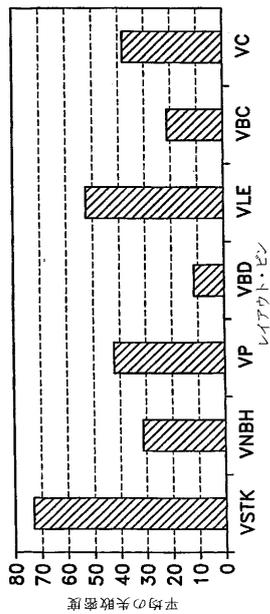
【図 3 3】



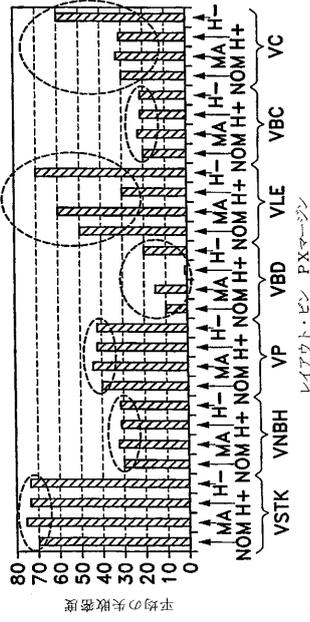
【図 3 4】



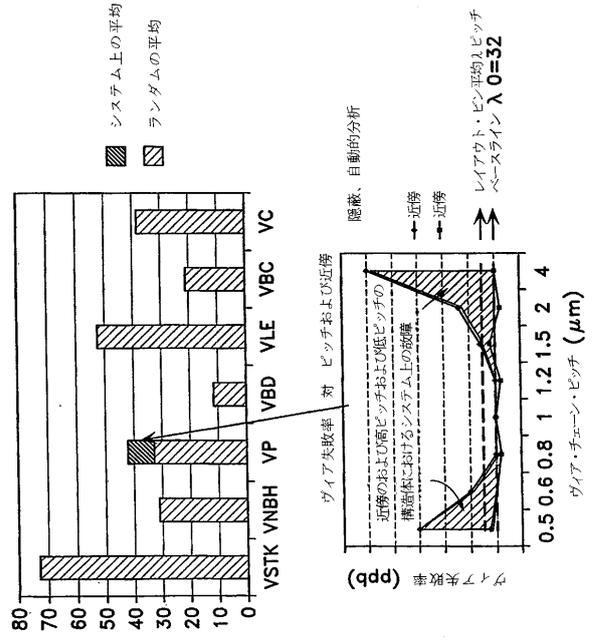
【図 3 5】



【図 36】



【図 37】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/39698
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) : H01L 21/20, 21/44, 21/66; G01R 1/04, 19/00, 31/26, 31/28 US CL : 438/14, 17, 18, 19, 20; 324/158.1, 763, 765; 257/48 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/14, 17, 18, 19, 20; 324/158.1, 763, 765; 257/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6,358,762 B1 (Kohno et al.) 19 March 2002 (19.03.2002), columns 1-14.	1, 5, 12, 16, 19, 29-32, 38
Y	US 4,912,052 (MIYOSHI et al.) 27 March 1990 (27.03.1990), Fig. 5, 7, 9.	27
Y	US 6,475,871 B1 (STINE et al.) 5 November 2002 (05.11.2002), columns 1-10.	1-58
Y	US 5,831,446 (SO et al.) 3 November 1998 (03.11.1998), column 1-8.	1
Y	US 6,291,254 B1 (CHOU et al.) 18 September 2001 (18.09.2001), columns 1-22.	2-6, 30, 31
Y	US 6,137,303 (DECKERT et al.) 24 October 2000 (24.10.2000), columns 1-14.	1-58
Y	US 6,313,652 B1 (MAENG) 6 November 2001 (06.11.2001), columns 1-18.	26-27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 25 May 2004 (25.05.2004)		Date of mailing of the international search report 21.11.2004
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Matthew Smith Telephone No. 571-272-1907

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100062993

弁理士 田中 浩

(72) 発明者 サイプリッカス, デニス

アメリカ合衆国 カリフォルニア州 9 5 1 2 4 サンノゼ シューバート・アベニュー 2 4 4 1

(72) 発明者 ヘス, クリストファー

アメリカ合衆国 カリフォルニア州 9 4 5 8 3 サンラモン サウス・オーバールック・ドライブ 3 2 0

(72) 発明者 リー, シェリー

アメリカ合衆国 カリフォルニア州 9 5 1 2 5 サンノゼ レン・ドライブ 9 3 5

(72) 発明者 ウェイランド, ラーグ, エイチ

アメリカ合衆国 カリフォルニア州 9 4 5 5 1 リバーモア ミュドー・グレン・ドライブ 1 9 0 4

Fターム(参考) 2G132 AA00 AD15 AF13 AL12

4M106 AA01 AA02 AD01 AD11 BA01 BA02 CA01 CA38 DB05 DB21