

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 976 580**

21 Número de solicitud: 202231087

51 Int. Cl.:

H02P 27/06 (2006.01)

H02M 5/458 (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

21.12.2022

43 Fecha de publicación de la solicitud:

05.08.2024

71 Solicitantes:

POWER ELECTRONICS ESPAÑA, S.L. (100.0%)
Pol. Ind. Carrases; Ronda del Camp d'Aviaccio, 4
46160 Liria (Valencia) ES

72 Inventor/es:

SALVO LILLO, David;
SALVO LILLO, Abelardo;
JUAN AGUILAR, Josué;
CAMPS SORIANO, Jose Luis y
ANTÓN PONS, Marcial

74 Agente/Representante:

UNGRÍA LÓPEZ, Javier

54 Título: **VARIADOR DE FRECUENCIA MULTIPARALELO Y MÉTODO DE CONTROL DEL MISMO**

57 Resumen:

La presente invención se refiere a un variador de frecuencia multiparalelo (1) sin conexión de bus DC entre etapas de potencia (3, 4¹...ⁿ) conectadas en paralelo y método de control del mismo, que permite eliminar la pérdida de potencia del variador derivada de aumentar las etapas de potencia. El variador tiene un módulo de control maestro (5) para la etapa de potencia maestra (3) y N-módulos de control esclavos (6¹...ⁿ) para N-etapas de potencia (4¹...ⁿ). El variador adicionalmente comprende líneas de control (8) y sincronización (7) en anillo. El módulo de control maestro está configurado para controlar el motor al que se conecta el variador y mandar las consignas de control (voltaje y corriente) a los módulos de control esclavos de tal forma que todas las etapas de potencia entregan el mismo voltaje y la misma corriente al motor.

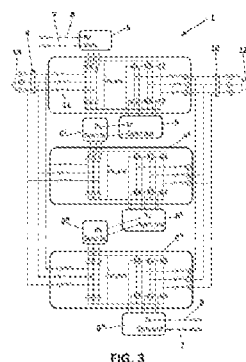


FIG. 3

DESCRIPCIÓN

VARIADOR DE FRECUENCIA MULTIPARALELO Y MÉTODO DE CONTROL DEL MISMO

5 OBJETO DE LA INVENCION

La presente invención trata de resolver los problemas de pérdidas de potencia que sufren los variadores de frecuencia al ir aumentando la potencia como consecuencia de aumentar el número de etapas de potencia en paralelo necesarias para conseguir la potencia del variador deseada.

La solución propuesta consiste en controlar las etapas de potencia comprendidas en los variadores de frecuencia de forma distinta a como se realiza en el estado de la técnica así como modificar la configuración de interconexión de las etapas de potencia del variador de frecuencia.

CAMPO DE LA INVENCION

La presente invención se enmarca en la operativa en los variadores de frecuencia (en inglés VFD - Variable Frequency Drive), también conocidos como convertidores de frecuencia, variadores de velocidad variable, convertidores de velocidad variable o variadores de velocidad.

El campo técnico de la invención se enmarca en el campo de los sistemas para la alimentación de alta potencia y para el control de la velocidad rotacional de un motor de corriente alterna "AC" por medio del control de la frecuencia de alimentación suministrada al motor.

ANTECEDENTES DE LA INVENCION

En el estado de la técnica, los variadores de frecuencia de alta potencia comprenden varias etapas de potencia en paralelo para poder suministrar la potencia requerida por el motor al que se conecta el variador de frecuencia.

Concretamente, para aumentar la potencia de los variadores de frecuencia, se conectan en paralelo varias etapas de potencia como la mostrada en la FIG. 1. Es decir, los variadores de frecuencia incrementan su potencia mediante la replicación de esta etapa de potencia en paralelo, usando las mismas señales de control replicadas para las distintas etapas en paralelo (empleando un único control con un único tren de pulsos PWM) y uniendo sus buses DC, quedando:

40

Talla	Potencia (kW)	Etapas en paralelo
5	220	1
6	400	2
7	560	3
8	800	4

Como se observa, al aumentar el número de etapas en paralelo, es necesario aplicar un coeficiente de reducción de potencia.

- 5 La solución del estado de la técnica para continuar aumentando la potencia es idéntica a la descrita anteriormente. Para seguir aumentando la potencia de los variadores de frecuencia, es necesario seguir poniendo etapas de potencia en paralelo. Todas las etapas de potencia gobernadas por un único módulo de control y conmutadas por un único tren de pulsos PWM convenientemente replicado.

10

La solución hasta el momento era agrupar tres equipos de las tallas actuales, unidos por el bus DC, siendo cada equipo una fase de potencia tanto a red como a motor (RST/UVW).

De esta manera se obtiene:

15

Talla	Potencia (kW)	Tallas en paralelo	Etapas en paralelo
9	1100	3 x Talla 6	3 x 2 = 6
10	1500	3 x Talla 7	3 x 3 = 9
11	1750	3 x Talla 8	3 x 4 = 12

Pero la solución a nivel de control era idéntica a las etapas de menos de 4 paralelos: un gran número de etapas de potencia en paralelo, controladas por un único control, y cuyas señales de control eran las mismas para todos los componentes en paralelo.

20

Es aquí, donde ante las dificultades existentes en la paralelización de tallas grandes, se plantea una solución diferente de la existente.

Los principales inconvenientes de la solución del estado de la técnica son:

- 25
- Necesidad de electrónica específica para replicar las señales de control a todos los componentes.
 - Debido al gran número de componentes, fuente de alimentación sobredimensionada para el consumo de estos.
 - Desbalanceo de corrientes entre etapas de potencia.

- Necesidad de uniones entre los equipos de suficiente sección para el gran flujo de corrientes entre módulos, así como ventilación extra para estas uniones (puntos térmicamente muy desfavorables).
 - Pletinas de gran dimensión para la unión de los componentes en paralelo.
- 5
- Coeficiente de reducción de potencia al paralelizar.
 - Número de paralelos con más de 4 módulos es siempre múltiplo de 3.

El que exista un único control para todas las etapas de potencia cuando el número de etapas de potencia conectadas es grande, tiene grandes inconvenientes como se detalla a continuación.

10

Los inconvenientes provienen de la tolerancia de los componentes que forman las etapas de potencia, ya que pequeñas variaciones en estos componentes pueden generar repartos de corriente desigual y provocar un calentamiento diferente entre etapas de potencia.

15

Mediante simulación se puede observar cómo controlando las dos etapas en paralelo (FIG. 2 – variador de frecuencia con 2 etapas de potencia en paralelo con bus DC conectado) con las mismas señales de control, el reparto de corrientes es equilibrado tanto en la entrada como en la salida, al no haber diferencias en los componentes en paralelo.

20

Si todos los componentes del variador fueran ideales, lo anterior sería así. Pero en la realidad, esto no es así, ya que como se ha comentado antes, siempre hay una pequeña dispersión en la tolerancia de los componentes.

Igualmente, mediante simulación, se puede analizar el impacto de la no-idealidad de los componentes del variador. Por ejemplo, si se supone una diferencia de impedancia en la bobina de entrada del 10%, al estar unidos los buses DC, y tener las mismas señales de control, las corrientes a la salida del variador son idénticas (las corrientes que llegan al motor).

25

Sin embargo, debido a la diferencia de impedancia a la entrada, las corrientes del rectificador en las etapas de potencia son diferentes, lo que genera una diferencia térmica entre las dos ramas en paralelo, que hay que tener en cuenta ya que disminuye la potencia de las etapas de potencia.

30

A su vez, al estar los buses unidos para que el motor al que se conecta la salida del variador de frecuencia no se vea afectado por estas diferencias en la entrada, se produce un flujo de corriente por las uniones de buses, generando un calentamiento extra de las uniones.

35

Adicionalmente, en los equipos paralelos para más de cuatro módulos, y debido a su disposición RST/UVW, aparece un flujo entre buses con la diferencia de frecuencia entre la tensión de entrada y la generada a motor.

- 5 Todos estos flujos de potencia internos en el equipo, obligan a sobredimensionar los puntos de unión entre paralelos y a reducir la potencia conseguida proporcionalmente frente al equipo de 1 módulo, incrementando notablemente el coste por W.

Talla	Potencia (kW)	Tallas en paralelo	Etapas en paralelo
5	220	1	220
6	400	2	200
7	560	3	186,6
8	800	4	200
8	1100	6	183,3
8	1500	9	166,6
8	1750	12	145,8

10

DESCRIPCIÓN DE LA INVENCION

Para evitar los inconvenientes anteriores, la presente invención describe un variador de frecuencia multiparalelo y un método de control del mismo que, mediante la eliminación de las conexiones entre buses DC de las etapas de potencia en paralelo y el control individualizado de las etapas de potencia consigue las siguientes ventajas:

15

- Posibilidad de balancear la potencia entre etapas de potencia;
- Posibilidad de aprovechar la potencia por etapas de potencia;
- Simplificación del HW, eliminación de conexión entre pletinas;
- Posibilidad de incrementar el número de etapas de potencia paralelas de forma escalable;
- Permite una mayor redundancia;
- El número de paralelos con más de 4 módulos puede no ser múltiplo de 3.

20

25

Además de lo indicado anteriormente, la presente invención tiene una ventaja muy importante cuando el variador de frecuencia es alimentado por Transformadores Multipulso. Un caso bastante común de los variadores de frecuencia multiparalelos es el caso de los equipos multipulso, ya que es muy normal que para estas potencias tan altas, los equipos estén alimentados por transformadores multipulso (12,18,24 pulsos), para mejorar el THDi de la instalación.

30

En el caso de los paralelos clásicos, normalmente aparecía una diferencia de impedancias entre los secundarios de los transformadores multipulsos, generando diferencias de tensión entre los distintos secundarios, que provocaban un desequilibrio en la parte rectificadora. Este también es un motivo para la reducción de potencias en los paralelos. Pero que al tener los buses unidos no se refleja en la corriente a motor, apareciendo una corriente de recirculación entre los buses.

Con el nuevo variador de frecuencia de la presente invención, sin los buses DC unidos, se puede llevar a cabo un equilibrado de corrientes, obteniendo una corriente de salida con contenido armónico recirculando entre equipos que no afecta al motor. Y como resultado final, se obtiene una corriente equilibrada en la entrada.

Otra ventaja adicional de la presente invención, frente a la topología y control del estado de la técnica, es que permite una redundancia del variador de frecuencia multiparalelo.

En los variadores de frecuencia paralelos clásicos, que disponían de un único control por un lado, y que las etapas de potencia estaban interconectadas, ante cualquier fallo de algún componente, todo el variador de frecuencia se veía afectado, provocando la parada de este (no se puede detener una fase completa dada la conexión UVW a motor).

Con el nuevo diseño modular sin conexionado de potencia del variador de frecuencia multiparalelo de la presente invención, siempre que el módulo de control este alimentado (por ejemplo con 24V externos), es posible aislar el módulo de control/etapa de potencia averiado o en fallo, y continuar trabajando con el resto de etapas de potencia paralelas del variador de frecuencia.

Todas las ventajas anteriores se obtienen a cambio de replicar la electrónica de control en cada módulo de control, y de cablear las líneas de comunicación/control y de sincronización.

Para obtener las ventajas anteriores, en un primer aspecto de la invención, se divulga un variador de frecuencia multiparalelo. El variador de frecuencia multiparalelo comprende: una entrada conectable a una fuente trifásica AC; una salida conectable a un motor trifásico; una etapa de potencia maestra conectada con la entrada y con la salida; un módulo de control maestro para el control de la etapa de potencia maestra; N-etapas de potencias esclavas conectadas con la entrada y con la salida, donde las N-etapas de potencias esclavas están conectadas en paralelo entre sí y en paralelo con la etapa de potencia maestra; N-módulos de control esclavos correspondientes con las N-etapas de potencia esclavas; una línea de sincronización con topología en anillo que conecta el módulo de control maestro con los N-módulos de control esclavos por la que se transmite una señal de sincronización; y, una línea de control con topología en anillo que conecta el primer módulo de control maestro con los N-

módulos de control esclavos. La etapa de potencia maestra y cada una de las N-etapas de potencias esclavas tienen respectivos buses DC aislados, es decir, sin interconexión entre los buses DC. El módulo de control maestro está configurado, en cada ciclo de control " $T_{control}$ ", para: generar una señal de sincronización y enviar la señal de sincronización a los N-módulos de control esclavos de forma secuencial; medir unas corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) y un voltaje trifásico (V_{d_M} , V_{q_M}) a la salida de la etapa de potencia maestra; calcular un fasor de voltaje a motor maestro (V_M , θ_M) a partir de un ángulo de control ($\theta_{control}$) y del voltaje trifásico (V_{d_M} , V_{q_M}) medido; calcular un fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) a partir de las corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) medidas y de un ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M); enviar el fasor de voltaje a motor maestro (V_M , θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) por la línea de control a los módulos de control esclavos. A su vez, los N-módulos de control esclavos están configurados, en cada ciclo de control " $T_{control}$ ", para: medir unas corrientes trifásicas ($I_{u_Ei, \dots, En}$, $I_{v_Ei, \dots, En}$, $I_{w_Ei, \dots, En}$) a la salida de correspondientes etapas de potencia esclavas; calcular unos fasores de corriente esclavos ($I_{d_Ei, \dots, En}$, $I_{q_Ei, \dots, En}$) a partir de las corrientes trifásicas ($I_{u_Ei, \dots, En}$, $I_{v_Ei, \dots, En}$, $I_{w_Ei, \dots, En}$) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M); y, calcular sendos fasores de voltaje a motor esclavos ($V_{u_Ei_M, \dots, En_M}$, $V_{v_Ei, \dots, En_M}$, $V_{w_Ei_M, \dots, En_M}$) y sendos fasores de corriente a motor esclavos ($I_{u_Ei_M, \dots, En_M}$, $I_{v_Ei_M, \dots, En_M}$, $I_{w_Ei_M, \dots, En_M}$) mediante un control en lazo cerrado, donde cada fasor de corriente a motor esclavo ($I_{u_Ei_M, \dots, En_M}$, $I_{v_Ei_M, \dots, En_M}$, $I_{w_Ei_M, \dots, En_M}$) es calculado como el fasor de corriente esclavo ($I_{d_Ei, \dots, En}$, $I_{q_Ei, \dots, En}$) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}) (cuyas componentes se utilizan como referencias de corriente); y cada fasor de voltaje a motor esclavo ($V_{u_Ei_M, \dots, En_M}$, $V_{v_Ei, \dots, En_M}$, $V_{w_Ei_M, \dots, En_M}$) se calcula a partir del correspondiente fasor de corriente a motor esclavo ($I_{d_Ei_M, \dots, En_M}$, $I_{q_Ei_M, \dots, En_M}$) y del fasor de voltaje a motor maestro (V_M , θ_M). Finalmente, el módulo de control maestro y los N-módulos de control esclavos están configurados, en un ciclo de control siguiente al " $T_{control}$ ", para controlar la etapa de potencia maestra y las etapas de potencia esclavas con el fasor de voltaje a motor maestro (V_M , θ_M) y los "N" fasores de voltaje a motor esclavos ($V_{u_Ei_M, \dots, En_M}$, $V_{v_Ei, \dots, En_M}$, $V_{w_Ei_M, \dots, En_M}$) calculados para el ciclo de control " $T_{control}$ ", respectivamente.

En una realización de la invención, la fuente trifásica AC es un transformador multipulso de 12, 18 o 24 pulsos.

En una realización de la invención, el módulo de control maestro y los N-módulos de control esclavos están alimentados por 24v.

En un segundo aspecto de la invención, se divulga un método de control de un variador de frecuencia multiparalelo, donde el variador de frecuencia multiparalelo comprende: una entrada

conectable a una fuente trifásica AC; una salida conectable a un motor trifásico; una etapa de potencia maestra conectada con la entrada y con la salida; un módulo de control maestro para el control de la etapa de potencia maestra; N-etapas de potencias esclavas conectadas con la entrada y con la salida, estando las N-etapas de potencias esclavas conectadas en paralelo entre sí y en paralelo con la etapa de potencia maestra; N-módulos de control esclavos correspondientes con las N-etapas de potencia esclavas; una línea de sincronización con topología en anillo que conecta el módulo de control maestro con los N-módulos de control esclavos por la que se transmite una señal de sincronización; una línea de control con topología en anillo que conecta el primer módulo de control maestro con los N-módulos de control esclavos; la etapa de potencia maestra y cada una de las N-etapas de potencias esclavas tienen respectivos buses DC aislados (sin interconexión entre los buses DC). El método comprende llevar a cabo, en el módulo de control maestro y en cada ciclo de control “T_{control}”:

- generar una señal de sincronización y enviar la señal de sincronización a los N-módulos de control esclavos de forma secuencial;
- medir unas corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) y un voltaje trifásico (V_{d_M} , V_{q_M}) a la salida de la etapa de potencia maestra;
- calcular un fasor de voltaje a motor maestro (V_M , θ_M) a partir de un ángulo de control ($\theta_{control}$) y del voltaje trifásico (V_{d_M} , V_{q_M}) medido;
- calcular un fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) a partir de las corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) medidas y de un ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M);
- enviar el fasor de voltaje a motor maestro (V_M , θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) por la línea de control a los módulos de control esclavos.

Adicionalmente, el método comprende llevar a cabo, en los N-módulos de control esclavos y en cada ciclo de control “T_{control}”:

- medir unas corrientes trifásicas ($I_{u_Ei, \dots, En}$; $I_{v_Ei, \dots, En}$; $I_{w_Ei, \dots, En}$) a la salida de correspondientes etapas de potencia esclavas;
- calcular unos fasores de corriente esclavos ($I_{d_Ei, \dots, En}$; $I_{q_Ei, \dots, En}$) a partir de las corrientes trifásicas ($I_{u_Ei, \dots, En}$; $I_{v_Ei, \dots, En}$; $I_{w_Ei, \dots, En}$) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M);
- calcular sendos fasores de voltaje a motor esclavos ($V_{u_Ei_M, \dots, En_M}$; $V_{v_Ei, \dots, En_M}$; $V_{w_Ei_M, \dots, En_M}$) y sendos fasores de corriente a motor esclavos ($I_{u_Ei_M, \dots, En_M}$; $I_{v_Ei_M, \dots, En_M}$; $I_{w_Ei_M, \dots, En_M}$) mediante un control en lazo cerrado, donde cada fasor de corriente a motor esclavo ($I_{u_Ei_M, \dots, En_M}$; $I_{v_Ei_M, \dots, En_M}$; $I_{w_Ei_M, \dots, En_M}$) es calculado como el fasor de corriente esclavo ($I_{d_Ei, \dots, En}$; $I_{q_Ei, \dots, En}$) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}); y cada fasor de voltaje a motor esclavo ($V_{u_Ei_M, \dots, En_M}$; $V_{v_Ei, \dots, En_M}$; $V_{w_Ei_M, \dots, En_M}$) se calcula a partir del correspondiente fasor de corriente a motor

esclavo ($I_{d_Ei_M}, \dots, I_{n_M}$; $I_{q_Ei_M}, \dots, I_{n_M}$) y del fasor de voltaje a motor maestro (V_M, θ_M);

Más adicionalmente, el método comprende llevar a cabo en el módulo de control maestro y en los N-módulos de control esclavos, en un ciclo de control siguiente al " $T_{control}$ ", controlar la etapa de potencia maestra y las etapas de potencia esclavas con el fasor de voltaje a motor maestro (V_M, θ_M) y los fasores de voltaje a motor esclavos ($V_{u_Ei_M}, \dots, V_{n_M}$; $V_{v_Ei_M}, \dots, V_{n_M}$; $V_{w_Ei_M}, \dots, V_{n_M}$) calculados para el ciclo de control " $T_{control}$ ", respectivamente.

En una realización de la invención, el método adicionalmente comprende compensar un retraso en la transmisión de la señal de sincronización por cada uno de los N-módulos de control esclavos adelantando el envío de la señal de sincronización un tiempo equivalente al retraso.

BREVE DESCRIPCIÓN DE LAS FIGURAS

FIG. 1 .- Etapa de potencia del estado de la técnica para un variador de frecuencia.

FIG. 2 .- Variador de frecuencia de dos etapas de potencia del estado de la técnica.

FIG. 3 .- Variador de frecuencia de dos etapas de potencia según la presente invención.

FIG. 4 .- Módulo de control maestro y módulos de control esclavos interconectados de la presente invención.

FIG. 5.- Diagramas de sincronización entre el módulo de control maestro y dos módulos de control esclavos.

FIG. 6.- El esquema de control para el módulo de control maestro y para los módulos de control esclavos.

FIG. 7.- Diagramas de sincronización entre el módulo de control maestro y los módulos de control esclavos con compensación de retardo en el medio de comunicación (fibra óptica).

DESCRIPCIÓN DE UNA FORMA DE REALIZACIÓN DE LA INVENCION.

Listado:

1.- variador de frecuencia multiparalelo;

2.- etapa de potencia;

3.- etapa de potencia maestra;

4^{i, ..., n} .- etapas de potencia esclavas;

- 5.- módulo de control maestro;
- 6^{i,...,n}.- módulos de control esclavos;
- 7.- línea de sincronización;
- 8.- línea de control;
- 5 9.- entrada de variador/etapa de potencia;
- 10.- salida de variador/etapa de potencia;
- 11.- bobina de entrada (trifásica);
- 12.- motor;
- 13.- red AC;
- 10 14.- puente rectificador;
- 15.- bus DC;
- 16.- puente inversor;
- 17.- filtro EMC;
- 18.- filtro dv/dt;
- 15 19.- módulo control según estado de la técnica;
- 20.- conexión buses DC según estado de la técnica.

La presente invención consiste en un variador de frecuencia multiparalelo. Es decir, un variador de frecuencia que tiene múltiples etapas de potencia conectadas en paralelo para poder
20 entregar grandes cantidades de potencia al motor al que se conecta el variador de frecuencia.

La etapa de potencia 2 utilizada tanto en los variadores de frecuencia del estado de la técnica como en el variador de frecuencia de la presente invención se muestra en la FIG. 1. La etapa de potencia 2 comprende la entrada 9 de la etapa de potencia que se conecta externamente a
25 la red AC 13 e internamente al filtro EMC 17, el cual se conecta con la bobina de entrada 11. La bobina de entrada 11 se conecta con el puente rectificador 14, el cual se conecta con el bus DC 15 y este a su vez con el puente inversor 16. El puente inversor se puede conectar directamente con la salida 10 de la etapa de potencia 2 o alternatively, se puede conectar el filtro dv/dt 18 entre el puente inversor 16 y la salida 10 de la etapa de potencia. La salida 10
30 se conecta con el motor 12. El filtro es opcional porque ayuda a proteger al motor 12 de picos de voltajes.

El variador de frecuencia del estado de la técnica se muestra en la FIG. 2. Como se puede observar en la FIG.2, el variador de frecuencia del estado de la técnica tiene dos etapas de potencia 2 conectadas entre sí en paralelo y con los buses DC 20 unidos. Adicionalmente, el
35 variador de frecuencia del estado de la técnica tiene el mismo módulo de control 19 para controlar todas las etapas de potencia 2. El módulo de control 19 del estado de la técnica genera las mismas señales de control (disparo de los conmutadores/transistores en el rectificador 14 y el inversor 16) para todas las etapas de potencia 2.

40

Por otro lado, tal y como se muestra en la FIG. 3, el variador de frecuencia multiparalelo 1 de la presente invención tiene una nueva topología para las etapas de potencia 3, 4^{i,...n} en paralelo, donde no hay unión de los buses DC de las etapas de potencia, lo cual evita los inconvenientes anteriormente comentados en el apartado del estado de la técnica. Adicionalmente, en el variador de frecuencia multiparalelo 1 de la presente invención, cada etapa de potencia 3, 4^{i,...n} en paralelo tiene su propio módulo de control 5, 6^{i,...n}, generando cada módulo de control 5, 6^{i,...n} sus propias señales de disparo. Los módulos de control 5, 6^{i,...n} están comunicados entre sí mediante la línea de sincronización 7 y la línea de control 8. Como se muestra en la FIG. 4, tanto la línea de sincronización 7 como la línea de control 8, conectan los módulos de control 5, 6^{i,...n} mediante una topología en anillo.

Dado que el variador de frecuencia 1 tiene que controlar el motor 12, ajustando la frecuencia y el voltaje que requiere el motor 12, el variador de frecuencia multiparalelo 1 de la presente invención tiene un módulo de control principal o "maestro" 5 (ver FIG. 3), el cual es el único que se encarga del control del motor 12 al que se conecta el variador de frecuencia multiparalelo 1. Los módulos de control esclavos 6^{i,...n} reciben del módulo de control maestro 5 las consignas necesarias para que el motor reciba la alimentación que precisa con la frecuencia y voltaje (V_M , θ_M ; $V_{u_Ei_M}, \dots, E_{n_M}$; $V_{v_Ei}, \dots, E_{n_M}$; $V_{w_Ei_M}, \dots, E_{n_M}$) requeridos tal y como se explica a continuación.

Teniendo en cuenta la topología en anillo indicada anteriormente, el módulo de control maestro 5 genera una señal de sincronización 7' que el propio módulo de control maestro 5 envía por la línea de sincronización 7 al primer módulo de control secundario o "esclavo" 6¹ (ver FIG. 5), y este al siguiente (segundo módulo de control 6²) hasta llegar al último módulo de control 6ⁿ, de manera que los módulos de control "esclavos" tienen una referencia de sincronización entre ellos con la señal de sincronización 7' generada por el módulo de control maestro 5 y que replican los módulos de control esclavos 6^{i,...n} por la línea de sincronización 7. Como los módulos de control están conectados en "anillo", el último módulo de control esclavo 6ⁿ está conectado con el módulo de control maestro 5. La señal de sincronización 7' (ver FIG. 5) es enviada cada ciclo de control " $T_{control}$ " para asegurar una perfecta sincronización de los controles de los módulos de control esclavos 6^{i,...n} con el módulo de control maestro 5.

En cada ciclo de control " $T_{control}$ ", el módulo de control maestro 5 mide las corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) y el voltaje trifásico (V_{d_M} , V_{q_M}) a la salida de la etapa de potencia maestra 3. El módulo de control maestro 5 calcula (FIG. 6) el fasor de voltaje a motor maestro (V_M ; θ_M) a partir de un ángulo de control ($\theta_{control}$) y del voltaje trifásico (V_{d_M} , V_{q_M}). El ángulo de control ($\theta_{control}$) es el ángulo necesario para que la etapa de potencia maestra 3 genere el voltaje (V_{u_M} , V_{v_M} , V_{w_M}) que necesita el motor. El módulo de control maestro 5 calcula el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) a partir de las corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) medidas y del ángulo (θ_M) del fasor de voltaje a

motor maestro (V_M , θ_M). El módulo de control maestro 5 envía el fasor de voltaje a motor maestro (V_M ; θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) por la línea de control 8 a los módulos de control esclavos $6^{1\dots n}$. De esta forma, el módulo de control maestro ha calculado el voltaje y la corriente que la etapa de potencia maestra 3 debe proporcionar al motor 12 en el ciclo de control siguiente al " $T_{control}$ ". Además, ese voltaje y esa corriente son los que tienen que generar las etapas de potencia esclavas $4^{1\dots n}$. Para ello, el módulo de control maestro 5 envía, en el mismo ciclo de control " $T_{control}$ ", el fasor de voltaje a motor maestro (V_M ; θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) por la línea de control 8 a los módulos de control esclavos $6^{1\dots n}$, comenzando por el primer módulo de control esclavo 6^1 según la topología en anillo de la línea de control 8 (ver FIG. 5).

En el mismo ciclo de control " $T_{control}$ ", el primer módulo de control esclavo 6^1 mide las corrientes trifásicas (I_{u_E1} , I_{v_E1} , I_{w_E1}) a la salida de la primera etapa de potencia esclava 4^1 y calcula el fasor de corriente (I_{d_E1} , I_{q_E1}) a partir de las corrientes trifásicas (I_{u_E1} , I_{v_E1} , I_{w_E1}) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M ; θ_M). La referencia de control para el voltaje y la corriente para el primer módulo de control esclavo 6^1 es el fasor de voltaje a motor maestro (V_M ; θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}). Por tanto, para igualar los voltajes y las corrientes de las etapas de potencia esclavas a la etapa de potencia maestra, el primer módulo de control esclavo 6^1 calcula el fasor de voltaje a motor esclavo ($V_{u_E1_M}$; $V_{v_E1_M}$; $V_{w_E1_M}$) y el fasor de corriente a motor esclavo ($I_{d_E1_M}$; $I_{q_E1_M}$) mediante un control en lazo cerrado, donde el fasor de corriente a motor esclavo ($I_{d_E1_M}$; $I_{q_E1_M}$) es calculado como el fasor de corriente esclavo (I_{d_E1} , I_{q_E1}) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}); y el fasor de voltaje a motor esclavo ($V_{u_E1_M}$; $V_{v_E1_M}$; V_{w_E1}) se calcula a partir del fasor de corriente a motor esclavo ($I_{d_E1_M}$; $I_{q_E1_M}$) y el fasor de voltaje a motor maestro (V_M , θ_M) (ver FIG. 6). El primer módulo de control esclavo 6^1 envía, en el mismo ciclo de control " $T_{control}$ ", el fasor de voltaje a motor maestro (V_M ; θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) al segundo módulo de control esclavo 6^2 , por la línea de control 8 (ver Fig. 5). Adicionalmente, el primer módulo de control esclavo 6^1 envía, en el mismo ciclo de control " $T_{control}$ ", el fasor de corriente a motor esclavo ($I_{d_E1_M}$; $I_{q_E1_M}$) al segundo módulo de control esclavo 6^2 , por la línea de control 8.

En el mismo ciclo de control " $T_{control}$ ", el segundo módulo de control esclavo 6^2 realiza las mismas mediciones y control que el primer módulo de control esclavo 6^1 . Es decir, el segundo módulo de control esclavo 6^2 mide las corrientes trifásicas (I_{u_E2} , I_{v_E2} , I_{w_E2}) a la salida de la segunda etapa de potencia esclava 4^2 y calcula el fasor de corriente (I_{d_E2} , I_{q_E2}) a partir de las corrientes trifásicas (I_{u_E2} , I_{v_E2} , I_{w_E2}) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M ; θ_M). La referencia de control para el voltaje y la corriente para el segundo módulo de control esclavo 6^2 sigue siendo el fasor de voltaje a motor maestro (V_M ; θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}). Por tanto, para igualar los

voltajes y las corrientes, el segundo módulo de control esclavo 6^2 calcula el fasor de voltaje a motor esclavo ($V_{u_E2_M}$; $V_{v_E2_M}$; $V_{w_E2_M}$) y el fasor de corriente a motor esclavo ($I_{d_E2_M}$; $I_{q_E2_M}$) mediante un control en lazo cerrado, donde el fasor de corriente a motor esclavo ($I_{d_E2_M}$; $I_{q_E2_M}$) es calculado como el fasor de corriente esclavo (I_{d_E2} , I_{q_E2}) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}); y el fasor de voltaje a motor esclavo ($V_{u_E2_M}$; $V_{v_E2_M}$; $V_{w_E2_M}$) se calcula a partir del fasor de corriente a motor esclavo ($I_{d_E2_M}$; $I_{q_E2_M}$) y el fasor de voltaje a motor maestro (V_M , θ_M) (ver FIG. 6). Suponiendo el ejemplo de realización de la Fig. 5 donde hay un módulo de control maestro (5) y dos módulos de control esclavos (6^1 y 6^2), el segundo módulo de control esclavo 6^2 envía, en el mismo ciclo de control " $T_{control}$ ", el fasor de corriente a motor esclavo ($I_{d_E2_M}$; $I_{q_E2_M}$) más el fasor de corriente a motor esclavo ($I_{d_E1_M}$; $I_{q_E1_M}$) del primer módulo de control esclavo 6^1 , más el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}), al módulo de control maestro 5, por la línea de control 8. De esta forma, el módulo de control maestro 5 conoce las corrientes que serán aportadas al motor en el instante de tiempo siguiente al ciclo de control " $T_{control}$ ", con lo que se completa el control que realiza el módulo de control maestro 5.

Al terminar el ciclo de control " $T_{control}$ ", el módulo de control maestro 5, el primer módulo de control esclavo 6^1 y el segundo módulo de control esclavo 6^2 conocen los fasores de corriente y voltaje que tienen que generar la etapa de potencia maestra 3, la primera etapa de potencia esclava 4^1 y la segunda etapa de potencia esclava 4^2 , respectivamente. Dicho de otra manera, todas las etapas de potencia (3, 4^1 , 4^2) generarán los mismos fasores de voltaje y corriente en el siguiente tiempo de control al ciclo de control " $T_{control}$ ", ya que la comunicación y la sincronización entre el módulo de control 5 y los módulos de control esclavos 6^1 y 6^2 ha sido realizada durante el ciclo de control " $T_{control}$ ".

Respecto de la señal de sincronización $7'$, cada módulo de control esclavo la replicará, pero anteriormente habrá compensado (si es necesario) el retraso generado por el medio de comunicación (fibra óptica, por ejemplo), como se muestra a continuación (FIG. 7).

De esta manera, cuando el sistema es ideal, las etapas de potencia esclavas hacen el mismo fasor de tensión que la etapa de potencia maestra, por lo que el resultado es idéntico a la configuración de buses DC unidos del estado de la técnica, ya que las señales de disparo obtenidas en el módulo de control maestro y en los módulos de control esclavos son idénticas, haciendo un reparto de las corrientes entre las distintas etapas de potencia paralelas iguales.

Sin embargo, para una diferencia de impedancia del 10% en la bobina de entrada 11 (misma dispersión en la tolerancia de los componentes de la bobina que se citó en "antecedentes de la invención") y sin activar el equilibrado de corrientes de la presente invención, es decir, generando los mismos pulsos en las etapas de potencia esclavas que en la etapa de potencia maestra, ahora al no tener los buses DC unidos, se genera una diferencia de corriente entre las

etapas de potencia. Y en la salida del variador 10, además aparece una recirculación entre las etapas de potencia (al no estar los buses DC unidos), aumentando del contenido armónico de las corrientes, pero que sin embargo el motor 12 no aprecia. Aplicando el control individualizado de las etapas de potencia mediante los módulos de control individuales pero
5 conectados tal y como se ha explicado anteriormente, se equilibran las corrientes a la salida 10 del variador. Aparece, entonces, una recirculación de corriente armónica entre las etapas de potencia conectadas en paralelo, pero que el motor no recibe. Y a la entrada 9 del variador 1, al equilibrar las corrientes a la salida 10, también se equilibran las corrientes de entrada.

REIVINDICACIONES

1. **VARIADOR DE FRECUENCIA MULTIPARALELO**, donde el variador de frecuencia multiparalelo (1) comprende:

- 5 • una entrada (9) conectable a una fuente trifásica AC (13);
- una salida (10) conectable a un motor trifásico (12);
- una etapa de potencia maestra (3) conectada con la entrada (9) y con la salida (10);
- 10 • un módulo de control maestro (5) para el control de la etapa de potencia maestra (3);
- N-etapas de potencias esclavas ($4^{1,\dots,n}$) conectadas con la entrada (9) y con la salida (10), estando las N-etapas de potencias esclavas ($4^{1,\dots,n}$) conectadas en paralelo entre sí y en paralelo con la etapa de potencia maestra (3);
- 15 • N-módulos de control esclavos ($6^{1,\dots,n}$) correspondientes con las N-etapas de potencia esclavas ($4^{1,\dots,n}$);
- una línea de sincronización (7) con topología en anillo que conecta el módulo de control maestro (5) con los N-módulos de control esclavos ($6^{1,\dots,n}$) por la que se transmite una señal de sincronización (7'); y,
- 20 • una línea de control (8) con topología en anillo que conecta el primer módulo de control maestro (5) con los N-módulos de control esclavos ($6^{1,\dots,n}$);

donde:

- la etapa de potencia maestra (3) y cada una de las N-etapas de potencias esclavas ($4^{1,\dots,n}$) tienen respectivos buses DC aislados;
- el módulo de control maestro (5) está configurado, en cada ciclo de control "T_{control}", para:
 - 25 ○ generar una señal de sincronización (7') y enviar la señal de sincronización (7') a los N-módulos de control esclavos ($6^{1,\dots,n}$) de forma secuencial;
 - medir unas corrientes trifásicas (I_{u_M}, I_{v_M}, I_{w_M}) y un voltaje trifásico (V_{d_M}, V_{q_M}) a la salida de la etapa de potencia maestra (3);
 - 30 ○ calcular un fasor de voltaje a motor maestro (V_M, theta_M) a partir de un ángulo de control (theta_{control}) y del voltaje trifásico (V_{d_M}, V_{q_M}) medido;
 - calcular un fasor de corriente a motor maestro (I_{d_M}, I_{q_M}) a partir de las corrientes trifásicas (I_{u_M}, I_{v_M}, I_{w_M}) medidas y de un ángulo (theta_M) del fasor de voltaje a motor maestro (V_M, theta_M);
 - 35 ○ enviar el fasor de voltaje a motor maestro (V_M, theta_M) y el fasor de corriente a motor maestro (I_{d_M}, I_{q_M}) por la línea de control (8) a los módulos de control esclavos ($6^{1,\dots,n}$);
 - los N-módulos de control esclavos ($6^{1,\dots,n}$) están configurados, en cada ciclo de control "T_{control}", para:
 - 40 ○

- 5 ○ medir unas corrientes trifásicas ($I_{u_Ei}, \dots, I_{n_Ei}$; $I_{v_Ei}, \dots, I_{n_Ei}$; $I_{w_Ei}, \dots, I_{n_Ei}$) a la salida de correspondientes etapas de potencia esclavas ($4^{i, \dots, n}$);
- calcular unos fasores de corriente esclavos ($I_{d_Ei}, \dots, I_{n_Ei}$; $I_{q_Ei}, \dots, I_{n_Ei}$) a partir de las corrientes trifásicas ($I_{u_Ei}, \dots, I_{n_Ei}$; $I_{v_Ei}, \dots, I_{n_Ei}$; $I_{w_Ei}, \dots, I_{n_Ei}$) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M);
- 10 ○ calcular sendos fasores de voltaje a motor esclavos ($V_{u_Ei_M}, \dots, V_{n_M}$; $V_{v_Ei}, \dots, V_{n_M}$; $V_{w_Ei_M}, \dots, V_{n_M}$) y sendos fasores de corriente a motor esclavos ($I_{u_Ei_M}, \dots, I_{n_M}$; $I_{v_Ei_M}, \dots, I_{n_M}$; $I_{w_Ei_M}, \dots, I_{n_M}$) mediante un control en lazo cerrado, donde cada fasor de corriente a motor esclavo ($I_{u_Ei_M}, \dots, I_{n_M}$; $I_{v_Ei_M}, \dots, I_{n_M}$; $I_{w_Ei_M}, \dots, I_{n_M}$) es calculado como el fasor de corriente esclavo ($I_{d_Ei}, \dots, I_{n_Ei}$; $I_{q_Ei}, \dots, I_{n_Ei}$) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}); y cada fasor de voltaje a motor esclavo ($V_{u_Ei_M}, \dots, V_{n_M}$; $V_{v_Ei}, \dots, V_{n_M}$; $V_{w_Ei_M}, \dots, V_{n_M}$) es calculado a partir del correspondiente fasor de corriente a motor esclavo ($I_{d_Ei_M}, \dots, I_{n_M}$; $I_{q_Ei_M}, \dots, I_{n_M}$) y del fasor de voltaje a motor maestro (V_M , θ_M);
- 15 • el módulo de control maestro (5) y los N-módulos de control esclavos ($6^{i, \dots, n}$) están configurados, en un ciclo de control siguiente al " $T_{control}$ ", para controlar la etapa de potencia maestra (3) y las etapas de potencia esclavas ($4^{i, \dots, n}$) con el fasor de voltaje a motor maestro (V_M , θ_M) y los "N" fasores de voltaje a motor esclavos ($V_{u_Ei_M}, \dots, V_{n_M}$; $V_{v_Ei}, \dots, V_{n_M}$; $V_{w_Ei_M}, \dots, V_{n_M}$) calculados para el ciclo de control " $T_{control}$ ", respectivamente.
- 20
- 25 2. **VARIADOR DE FRECUENCIA MULTIPARALELO**, según la reivindicación 1, donde la fuente trifásica AC (13) es un transformador multipulso de 12, 18 o 24 pulsos.
- 30 3. **VARIADOR DE FRECUENCIA MULTIPARALELO**, según la reivindicación 1, donde el módulo de control maestro (5) y los N-módulos de control esclavos ($6^{i, \dots, n}$) están alimentados por 24v.
- 35 4. **MÉTODO DE CONTROL DE UN VARIADOR DE FRECUENCIA MULTIPARALELO**, donde el variador (1) comprende: una entrada (9) conectable a una fuente trifásica AC (13); una salida (10) conectable a un motor trifásico (12); una etapa de potencia maestra (3) conectada con la entrada (9) y con la salida (10); un módulo de control maestro (5) para el control de la etapa de potencia maestra (3); N-etapas de potencias esclavas ($4^{i, \dots, n}$) conectadas con la entrada (9) y con la salida (10), estando las N-etapas de potencias esclavas ($4^{i, \dots, n}$) conectadas en paralelo entre sí y en paralelo con la etapa de potencia maestra (3); N-módulos de control esclavos ($6^{i, \dots, n}$) correspondientes con las N-etapas de potencia esclavas ($4^{i, \dots, n}$); una línea de sincronización (7) con topología
- 40

en anillo que conecta el módulo de control maestro (5) con los N-módulos de control esclavos ($6^{i,\dots,n}$) por la que se transmite una señal de sincronización (7'); una línea de control (8) con topología en anillo que conecta el primer módulo de control maestro (5) con los N-módulos de control esclavos ($6^{i,\dots,n}$); y, donde la etapa de potencia maestra y cada una de las N-etapas de potencias esclavas tienen respectivos buses DC aislados;

donde el método está caracterizado por que comprende llevar a cabo, en el módulo de control maestro y en cada ciclo de control " T_{control} ":

- generar una señal de sincronización (7') y enviar la señal de sincronización (7') a los N-módulos de control esclavos ($6^{i,\dots,n}$) de forma secuencial;
- medir unas corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) y un voltaje trifásico (V_{d_M} , V_{q_M}) a la salida de la etapa de potencia maestra (3);
- calcular un fasor de voltaje a motor maestro (V_M , θ_M) a partir de un ángulo de control (θ_{control}) y del voltaje trifásico (V_{d_M} , V_{q_M}) medido;
- calcular un fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) a partir de las corrientes trifásicas (I_{u_M} , I_{v_M} , I_{w_M}) medidas y de un ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M);
- enviar el fasor de voltaje a motor maestro (V_M , θ_M) y el fasor de corriente a motor maestro (I_{d_M} , I_{q_M}) por la línea de control (8) a los módulos de control esclavos ($6^{i,\dots,n}$);

y, adicionalmente comprende llevar a cabo, en los N-módulos de control esclavos ($6^{i,\dots,n}$) y en cada ciclo de control " T_{control} ":

- medir unas corrientes trifásicas ($I_{u_Ei,\dots,En}$; $I_{v_Ei,\dots,En}$; $I_{w_Ei,\dots,En}$) a la salida de correspondientes etapas de potencia esclavas ($4^{i,\dots,n}$);
- calcular unos fasores de corriente esclavos ($I_{d_Ei,\dots,En}$; $I_{q_Ei,\dots,En}$) a partir de las corrientes trifásicas ($I_{u_Ei,\dots,En}$; $I_{v_Ei,\dots,En}$; $I_{w_Ei,\dots,En}$) medidas y del ángulo (θ_M) del fasor de voltaje a motor maestro (V_M , θ_M);
- calcular sendos fasores de voltaje a motor esclavos ($V_{u_Ei_M,\dots,En_M}$; $V_{v_Ei,\dots,En_M}$; $V_{w_Ei_M,\dots,En_M}$) y sendos fasores de corriente a motor esclavos ($I_{u_Ei_M,\dots,En_M}$; $I_{v_Ei_M,\dots,En_M}$; $I_{w_Ei_M,\dots,En_M}$) mediante un control en lazo cerrado, donde cada fasor de corriente a motor esclavo ($I_{u_Ei_M,\dots,En_M}$; $I_{v_Ei_M,\dots,En_M}$; $I_{w_Ei_M,\dots,En_M}$) es calculado como el fasor de corriente esclavo ($I_{d_Ei,\dots,En}$; $I_{q_Ei,\dots,En}$) modificado con el fasor de corriente a motor (I_{d_M} , I_{q_M}); y cada fasor de voltaje a motor esclavo ($V_{u_Ei_M,\dots,En_M}$; $V_{v_Ei,\dots,En_M}$; $V_{w_Ei_M,\dots,En_M}$) se calcula a partir del correspondiente fasor de corriente a motor esclavo ($I_{d_Ei_M,\dots,En_M}$; $I_{q_Ei_M,\dots,En_M}$) y del fasor de voltaje a motor maestro (V_M , θ_M);

y, adicionalmente comprende llevar a cabo en el módulo de control maestro (5) y en los N-módulos de control esclavos ($6^{i,\dots,n}$), en un ciclo de control siguiente al " T_{control} ", controlar la etapa de potencia maestra (3) y las etapas de potencia esclavas ($4^{i,\dots,n}$) con

el fasor de voltaje a motor maestro (V_M , θ_M) y los fasores de voltaje a motor esclavos ($V_{u_{Ei_M}}, \dots, E_{n_M}$; $V_{v_{Ei_M}}, \dots, E_{n_M}$; $V_{w_{Ei_M}}, \dots, E_{n_M}$) calculados para el ciclo de control " $T_{control}$ ", respectivamente.

- 5 5. **MÉTODO DE CONTROL DE UN VARIADOR DE FRECUENCIA MULTIPARALELO**, según la reivindicación 4, donde el método adicionalmente comprende compensar un retraso en la transmisión de la señal de sincronización por cada uno de los N-módulos de control esclavos adelantando el envío de la señal de sincronización (7') un tiempo equivalente al retraso.

10

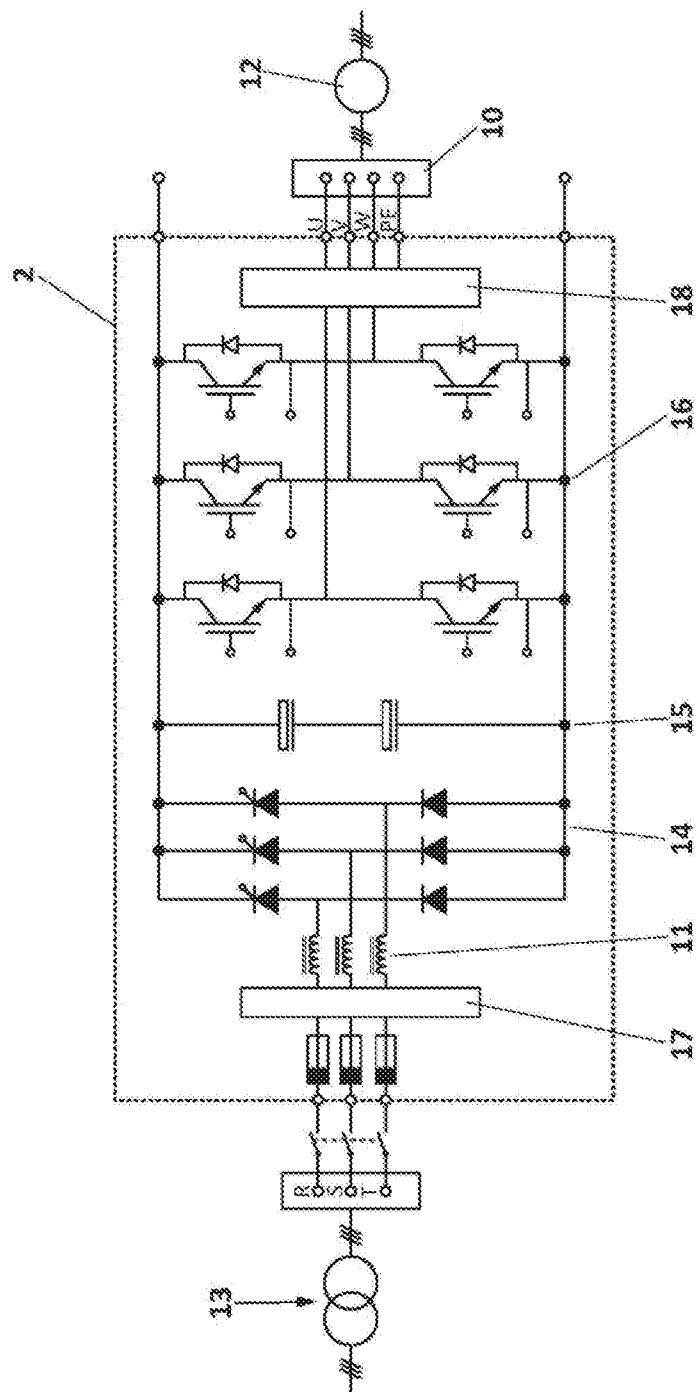
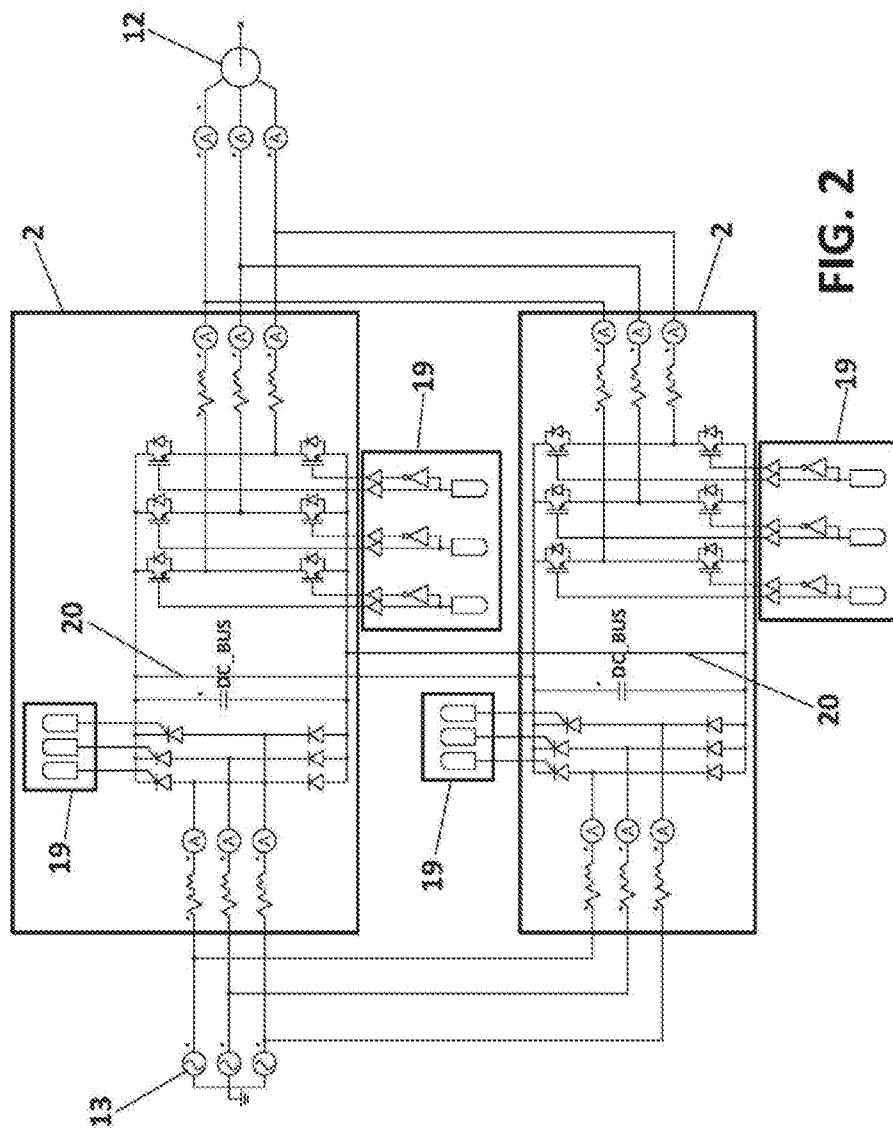


FIG. 1



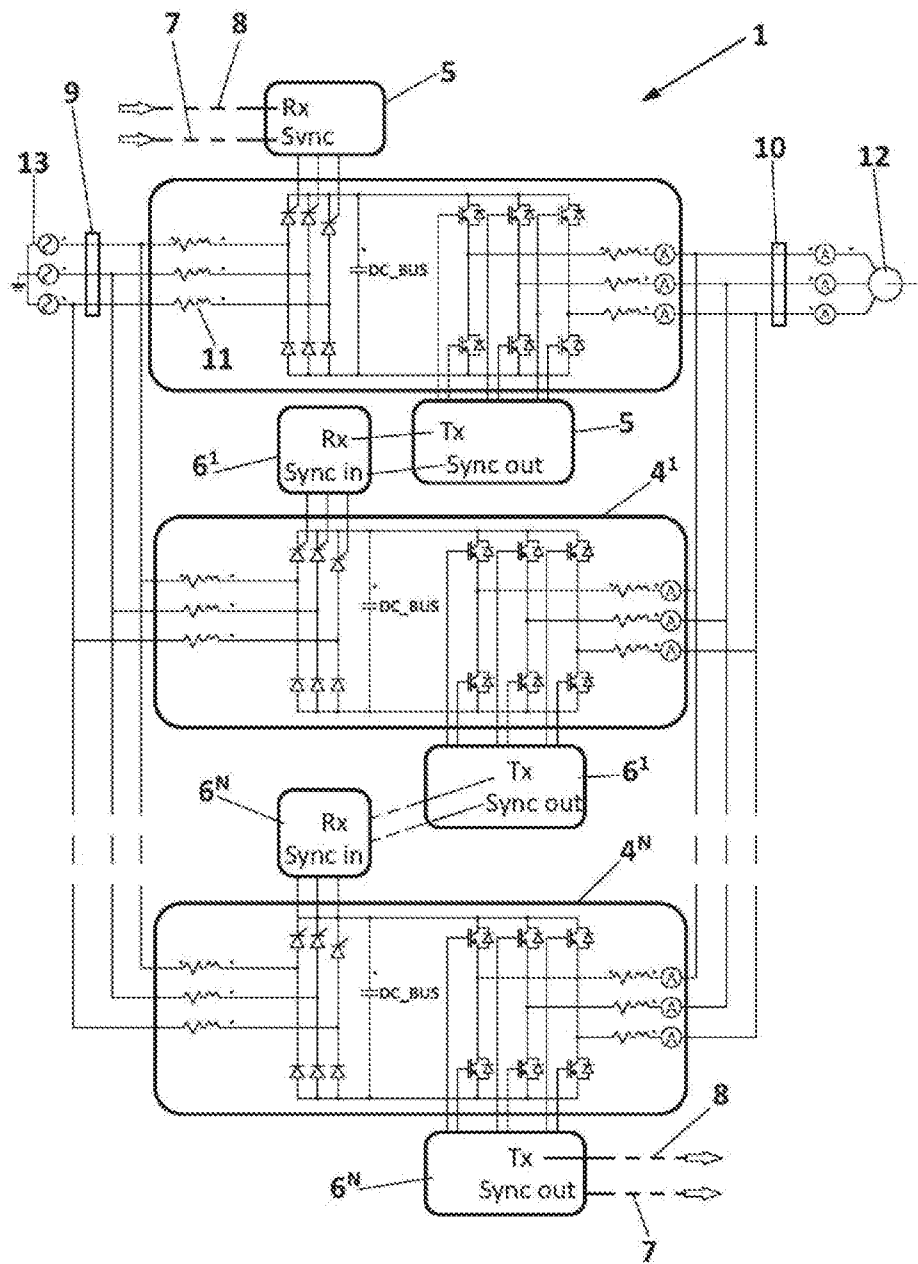


FIG. 3

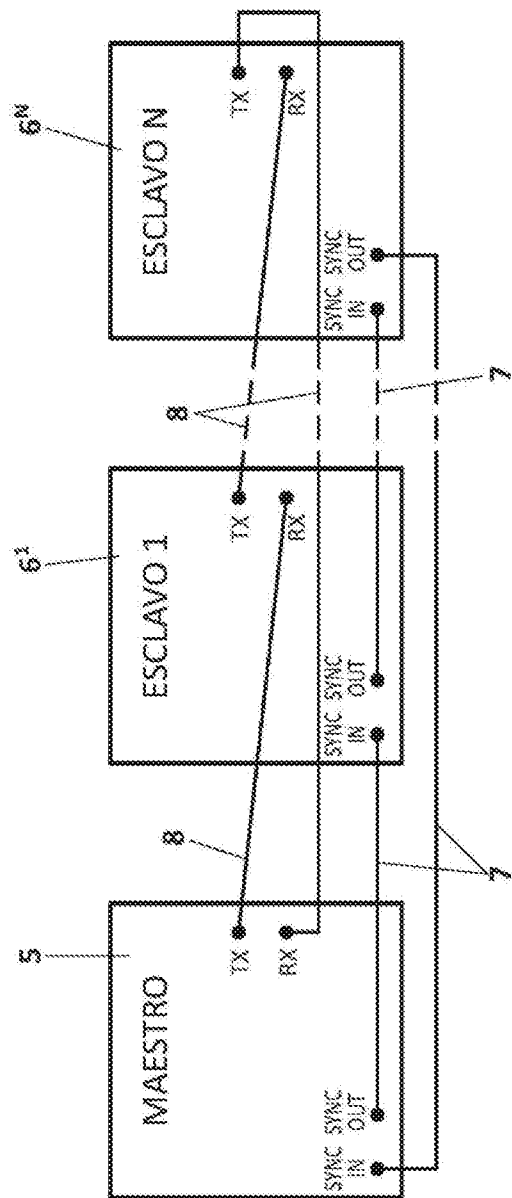


FIG. 4

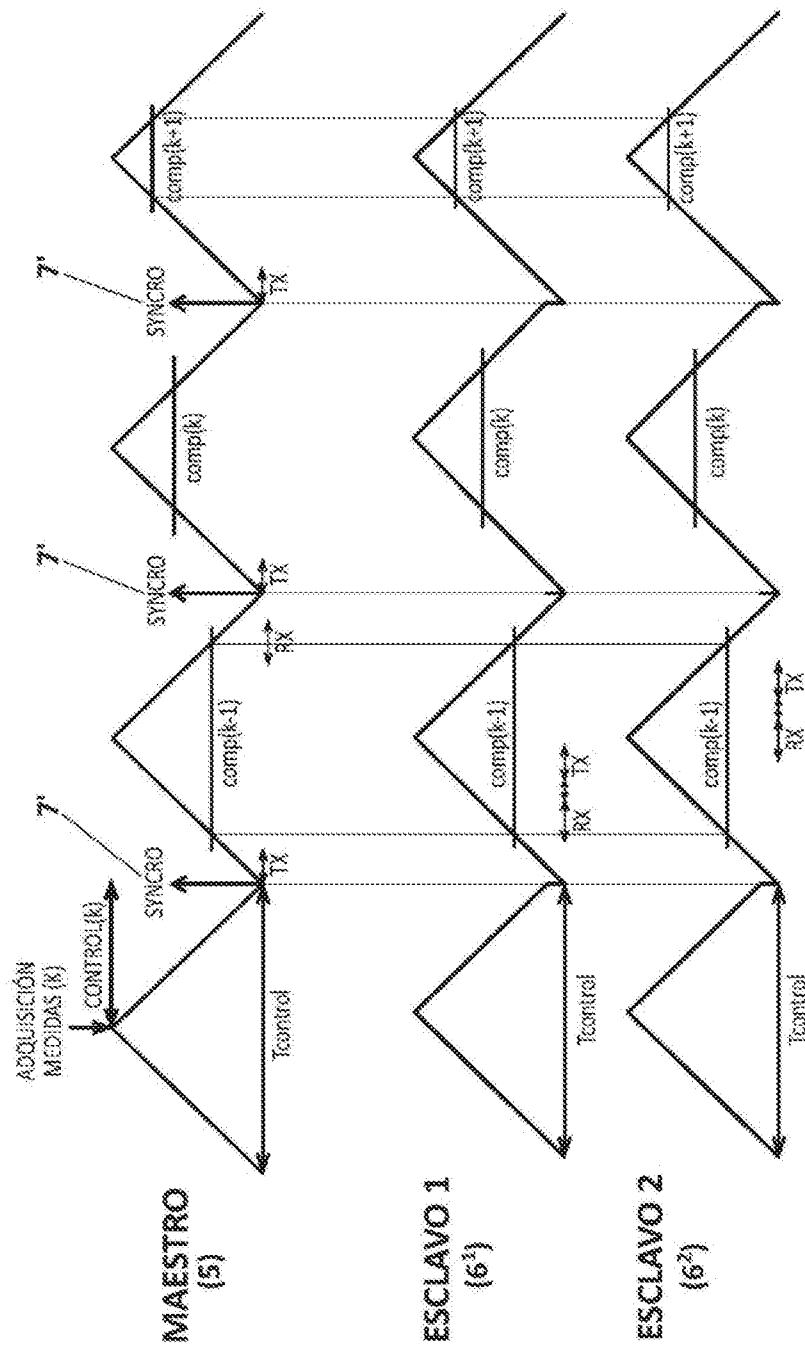
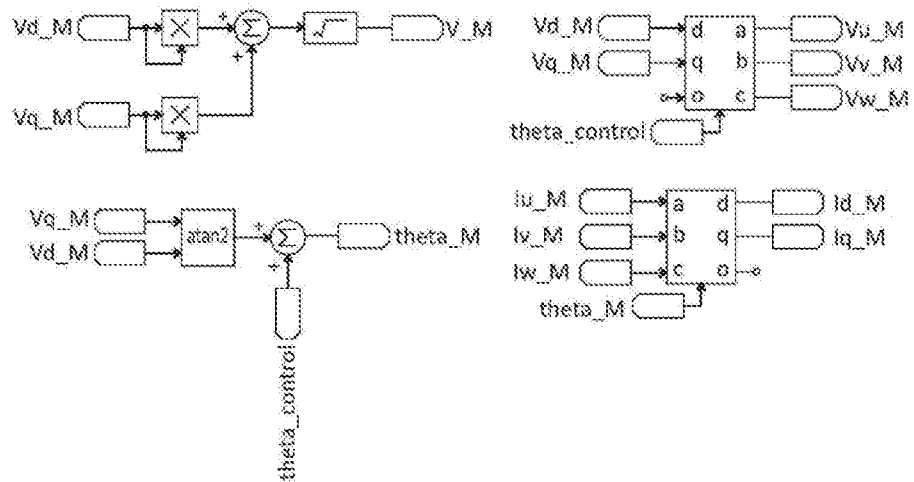


FIG. 5

MAESTRO (5)



ESCLAVOS ($6^1, \dots, 6^N$)

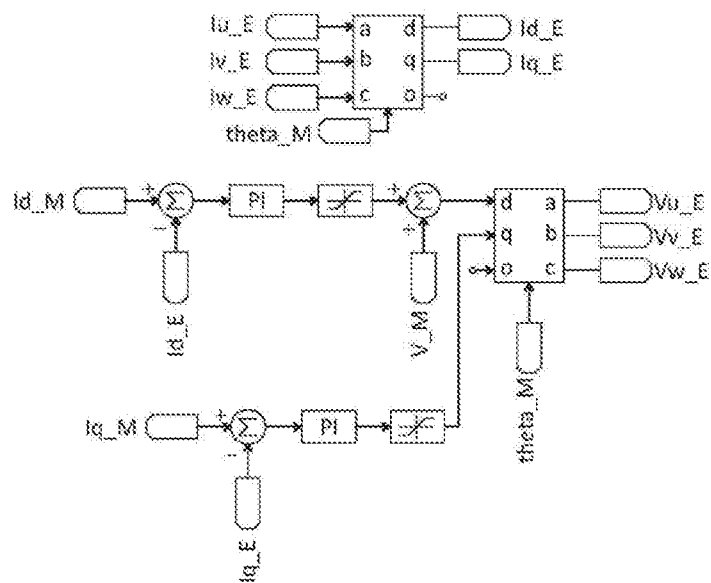


FIG. 6

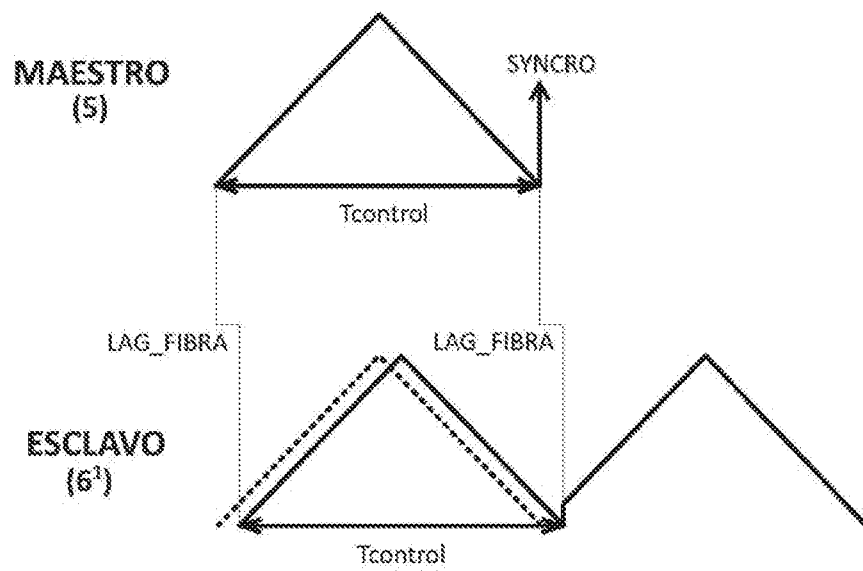


FIG. 7



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 202231087

②② Fecha de presentación de la solicitud: 21.12.2022

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤ Int. cl.: **H02P27/06** (2006.01)
H02M5/458 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	CN 113676069 A (SHANDONG WINDSUN ELECTRONICS SCIENCE & TECH CO LTD) 19/11/2021, Todo el documento.	1-5
A	EP 2897285 A2 (LSIS CO LTD [KR]) 22/07/2015, Párrafos [0019]- [0038]; figuras 1-6.	1-5
A	CN 102355195 A (MINGZHONG QIAO; XIAOFENG ZHANG; YONGQING WEI) 15/02/2012, Recuperado de EPOQUE, base de datos EPODOC Resumen y figuras.	1-5
A	CN 104977859 A (EATON CORP) 14/10/2015, Recuperado de EPOQUE, base de datos EPODOC Resumen y figuras.	1-5
A	CN 103560746 A (UNIV SOUTHEAST) 05/02/2014, Recuperado de EPOQUE, base de datos EPODOC Resumen y figuras.	1-5
A	CN 111030514 A (SHENZHEN INVT ELECTRIC CO LTD) 17/04/2020, Recuperado de EPOQUE, base de datos EPODOC Resumen y figuras.	1-5

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones nº:

Fecha de realización del informe
21.03.2023

Examinador
L. J. García Aparicio

Página
1/2

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H02P, H02M

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, INSPEC, XPESP, XPIEE, XPI3E