

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7614865号
(P7614865)

(45)発行日 令和7年1月16日(2025.1.16)

(24)登録日 令和7年1月7日(2025.1.7)

(51)国際特許分類

F I

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/06 5 5 0 A

G 0 6 F 13/18 (2006.01)

G 0 6 F 12/06 5 4 0 E

G 0 6 F 13/18

請求項の数 4 (全13頁)

(21)出願番号	特願2021-15139(P2021-15139)	(73)特許権者	000001007
(22)出願日	令和3年2月2日(2021.2.2)		キヤノン株式会社
(65)公開番号	特開2022-118548(P2022-118548	(74)代理人	東京都大田区下丸子3丁目30番2号
	A)		110003281
(43)公開日	令和4年8月15日(2022.8.15)		弁理士法人大塚国際特許事務所
審査請求日	令和6年1月26日(2024.1.26)	(72)発明者	白石 大介
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		審査官	田名網 忠雄

最終頁に続く

(54)【発明の名称】 メモリコントローラ及びその制御方法

(57)【特許請求の範囲】

【請求項1】

複数バンクから構成されるメモリにアクセスするメモリコントローラであって、
バスマスタからのリードもしくはライトのアクセス要求を複数保持する保持回路と、
該保持回路に保持されたアクセス要求の1つを選択してリードコマンドもしくはライト
コマンドを発行するリードライト制御回路と、
前記保持回路に保持されたアクセス要求を選択してアクティブコマンドを発行するアク
ティブ制御回路とを備え、
前記アクティブ制御回路は、

前記保持回路に保持されるアクセス要求のうちアクティブコマンドが発行されたアク
セスのリードコマンド数を合計したアクティブ済リードコマンド数とライトコマンド数を
合計したアクティブ済ライトコマンド数を生成する生成回路と、

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数
が第1の閾値未満でなく、前記アクティブ済リードコマンド数が第1の閾値未満である場
合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なリー
ドアクセスそれぞれのリードコマンド数が第3の閾値以上となるリードアクセスのアクテ
ィブコマンドを優先して発行し、

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数
が第1の閾値未満でなく、前記アクティブ済ライトコマンド数が第1の閾値未満である場
合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なライ

10

20

トアクセスそれぞれのライトコマンド数が第 3 の閾値以上となるライトアクセスのアクティブコマンドを優先して発行し、

ト R C D が予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数が第 1 の閾値以上でなく、前記アクティブ済リードコマンド数が第 1 の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なリードアクセスそれぞれのリードコマンド数と前記アクティブ済リードコマンド数を加算した数が第 2 の閾値以上となるリードアクセスのアクティブコマンドを優先して発行し、

ト R C D が予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数が第 1 の閾値以上でなく、前記アクティブ済ライトコマンド数が第 1 の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なライトアクセスそれぞれのライトコマンド数と前記アクティブ済ライトコマンド数を加算した数が第 2 の閾値以上となるライトアクセスのアクティブコマンドを優先して発行し、

アクティブコマンドの発行を優先する複数のアクセス要求が存在している場合、前記保持回路に最も古くから保持されているアクセス要求のアクティブコマンドを優先して発行する選択回路を備える

ことを特徴とするメモリコントローラ。

【請求項 2】

前記第 1 の閾値は、アクティブコマンドから同じバンクへのリードコマンドまたはライトコマンドまでのタイミング制約期間に発行できるリードコマンドまたはライトコマンドの数であり、

前記第 2 の閾値は、アクティブコマンドから同じバンクへのリードコマンドまたはライトコマンドまでのタイミング制約期間と、アクティブコマンドから異なるバンクへのアクティブコマンドまでのタイミング制約期間とを加算した期間に発行できるリードコマンドまたはライトコマンド数であり、

前記第 3 の閾値は、アクティブコマンドから異なるバンクへのアクティブコマンドまでのタイミング制約期間に発行できるリードコマンドまたはライトコマンド数である

ことを特徴とする請求項 1 に記載のメモリコントローラ。

【請求項 3】

前記リードライト制御回路は、

リードコマンドまたはライトコマンドのどちらかを優先して発行するかを示す優先ディレクションに基づいてリードコマンドおよびライトコマンドを発行し、

前記選択回路は、

前記アクティブコマンドを優先して発行するリードアクセス要求およびライトアクセス要求のうち前記優先ディレクションに該当するアクセスのアクティブコマンドを優先して発行する

ことを特徴とする請求項 1 または 2 に記載のメモリコントローラ。

【請求項 4】

バスマスタからのリードもしくはライトのアクセス要求を複数保持する保持回路と、

該保持回路に保持されたアクセス要求の 1 つを選択してリードコマンドもしくはライトコマンドを発行するリードライト制御回路と、

前記保持回路に保持されたアクセス要求を選択してアクティブコマンドを発行するアクティブ制御回路とを有するメモリコントローラの制御方法であって、

前記アクティブ制御回路にて、

前記保持回路に保持されるアクセス要求のうちアクティブコマンドが発行されたアクセスのリードコマンド数を合計したアクティブ済リードコマンド数とライトコマンド数を合計したアクティブ済ライトコマンド数を生成し、

ト R C D が予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数が第 1 の閾値未満でなく、前記アクティブ済リードコマンド数が第 1 の閾値未満である場合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なリードアクセスそれぞれのリードコマンド数が第 3 の閾値以上となるリードアクセスのアクテ

10

20

30

40

50

ィブコマンドを優先して発行し、

　t R C Dが予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数が第1の閾値未満でなく、前記アクティブ済ライトコマンド数が第1の閾値未満である場合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なライトアクセスそれぞれのライトコマンド数が第3の閾値以上となるライトアクセスのアクティブコマンドを優先して発行し、

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数が第1の閾値以上でなく、前記アクティブ済リードコマンド数が第1の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なリードアクセスそれぞれのリードコマンド数と前記アクティブ済リードコマンド数を加算した数が第2の閾値以上となるリードアクセスのアクティブコマンドを優先して発行し、

10

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数が第1の閾値以上でなく、前記アクティブ済ライトコマンド数が第1の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なライトアクセスそれぞれのライトコマンド数と前記アクティブ済ライトコマンド数を加算した数が第2の閾値以上となるライトアクセスのアクティブコマンドを優先して発行する

　アクティブコマンドの発行を優先する複数のアクセス要求が存在している場合、前記保持回路に最も古くから保持されているアクセス要求のアクティブコマンドを優先して発行する

ことを特徴とするメモリコントローラの制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリコントローラ及びその制御方法に関するものである。

【背景技術】

【0002】

コンピュータシステムの主記憶装置として、一般的にD R A Mが使用されている。コンピュータシステムの高機能化、高性能化に伴い、D R A Mに対する性能要求は高まっており、その性能を最大限に引き出すためにメモリコントローラの様々な手法が提案されている。

30

【0003】

D R A Mの異なるバンクへのアクティブコマンドを発行する場合に、アクティブコマンド間にt R R D (R A S to R A S D e l a y) の間隔を空ける必要がある。先行するアクティブコマンドに続くリードライトコマンドが、後続のアクティブコマンドに対するリードコマンドまたはライトコマンドの開始前に完了してしまうと、データバスにt R R Dに起因するギャップが発生してメモリ利用効率が低下する要因となる。

【0004】

特許文献1では、アクティブコマンドが発行されたリードコマンドまたはライトコマンド数を計測し、その数が予め設定された閾値未満になった場合に、リードコマンドまたはライトコマンド数が多いメモリアクセス要求に対するアクティブコマンドの優先度を上げる。

40

【先行技術文献】

【特許文献】

【0005】

【文献】特開2020-109642号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に示される手法によると、アクティブコマンドを発行したリードコマンドまたはライトコマンド数が予め設定された閾値未満になった場合に、リードコマンドまたは

50

ライトコマンド数が多いメモリアクセス要求に対するアクティブコマンドの優先度を上げる。そのため、リードコマンドまたはライトコマンド数が少ないメモリアクセス要求に対するアクティブコマンドの発行が待たされ続けることがある。そのため、所定時間待たされたアクティブコマンドを優先するためにタイムアウトを検出する機能が必要となる。また、タイムアウトしたアクティブコマンドが複数存在した場合、リードコマンドまたはライトコマンド数が最も多いメモリアクセス要求に対するアクティブコマンドを発行する。このため、リードコマンドまたはライトコマンド数が少ないメモリアクセス要求に対するアクティブコマンドの発行が長時間待たされてしまう。

【課題を解決するための手段】

【0007】

10

この課題を解決するため、例えば本発明のメモリコントローラは以下の構成を備える。
すなわち、

複数バンクから構成されるメモリにアクセスするメモリコントローラであって、
バスマスタからのリードもしくはライトのアクセス要求を複数保持する保持回路と、
該保持回路に保持されたアクセス要求の1つを選択してリードコマンドもしくはライトコマンドを発行するリードライト制御回路と、

前記保持回路に保持されたアクセス要求を選択してアクティブコマンドを発行するアクティブ制御回路とを備え、

前記アクティブ制御回路は、

前記保持回路に保持されるアクセス要求のうちアクティブコマンドが発行されたアクセスのリードコマンド数を合計したアクティブ済リードコマンド数とライトコマンド数を合計したアクティブ済ライトコマンド数を生成する生成回路と、

20

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数が第1の閾値未満でなく、前記アクティブ済リードコマンド数が第1の閾値未満である場合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なリードアクセスそれぞれのリードコマンド数が第3の閾値以上となるリードアクセスのアクティブコマンドを優先して発行し、

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数が第1の閾値未満でなく、前記アクティブ済ライトコマンド数が第1の閾値未満である場合、前記保持回路に保持されるアクセス要求のうちアクティブコマンド発行が必要なライトアクセスそれぞれのライトコマンド数が第3の閾値以上となるライトアクセスのアクティブコマンドを優先して発行し、

30

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済ライトコマンド数が第1の閾値以上でなく、前記アクティブ済リードコマンド数が第1の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なリードアクセスそれぞれのリードコマンド数と前記アクティブ済リードコマンド数を加算した数が第2の閾値以上となるリードアクセスのアクティブコマンドを優先して発行し、

t R C Dが予め定められた条件を満たすとともに、前記アクティブ済リードコマンド数が第1の閾値以上でなく、前記アクティブ済ライトコマンド数が第1の閾値以上であった場合、前記保持回路に保持されるアクセスのうちアクティブコマンド発行が必要なライトアクセスそれぞれのライトコマンド数と前記アクティブ済ライトコマンド数を加算した数が第2の閾値以上となるライトアクセスのアクティブコマンドを優先して発行し、

40

アクティブコマンドの発行を優先する複数のアクセス要求が存在している場合、前記保持回路に最も古くから保持されているアクセス要求のアクティブコマンドを優先して発行する選択回路を備える

ことを特徴とする。

【発明の効果】

【0008】

本発明によれば、リードもしくはライトコマンド数が少ないメモリアクセス要求に対するアクティブコマンド発行を長時間待たせることなく、t R R Dに起因するメモリ利用効

50

率低下を抑制することが可能になる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】実施形態におけるメモリコントローラの構成図。

【図 2】実施形態におけるアクセス保持回路エントリの構成図。

【図 3】実施形態におけるアクティブ制御回路の構成図。

【図 4 A】実施形態におけるアクティブコマンド選択回路の選択処理を示すためのフローチャート。

【図 4 B】実施形態におけるアクティブコマンド選択回路の選択処理を示すためのフローチャート。

【図 5】実施形態におけるアクティブコマンド選択の動作例を示す図。

【図 6】従来技術におけるアクティブコマンド選択の動作例を示す図。

【発明を実施するための形態】

【 0 0 1 0 】

以下、添付図面を参照して実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る発明を限定するものでない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

【 0 0 1 1 】

図 1 は、本実施形態におけるメモリコントローラ 1 0 0 の構成図である。メモリコントローラ 1 0 0 は、複数バンクから構成される D R A M 1 1 0 と、バスマスタ 1 2 0 に接続される。バスマスタ 1 2 0 は、アドレス情報とライトデータを含むメモリアクセス要求をメモリコントローラ 1 0 0 に送信する。メモリコントローラ 1 0 0 は、バスマスタ 1 2 0 から受信したメモリアクセス要求を基に D R A M コマンドを生成し、生成した D R A M コマンドを D R A M 1 1 0 に送信する。また、メモリコントローラ 1 0 0 は、送信した D R A M コマンドに基づいて D R A M 1 1 0 とデータ転送を行う。

【 0 0 1 2 】

まず、メモリコントローラ 1 0 0 におけるアクセス保持回路 1 0 1 を説明する。アクセス保持回路 1 0 1 は、バスマスタ 1 2 0 から出力される D R A M 1 1 0 に対するリードアクセス要求、又はライトアクセス要求（以下、これらを単にメモリアクセス要求という）を複数保持するバッファである。アクセス保持回路 1 0 1 は、 m 個（ $m \geq 2$ ）のエントリで構成する。なお、図示では、4 つのエントリ数を示しているが、あくまで例示である。アクセス保持回路 1 0 1 が保持できるエントリ数 m に、特に制限はない。図 2 は、実施形態アクセス保持回路 1 0 1 における 1 つのエントリ 1 0 1 1 の構成図である。従って、アクセス保持回路 1 0 1 には、図 2 に示すエントリ 1 0 1 1 を m 本有することになる。図 2 に示すように、エントリ 1 0 1 1 は、リクエスト種別、対象バンク、対象ページ、対象カラム、残りリードライトコマンド数のフィールドを有している。アクセス保持回路 1 0 1 は、バスマスタ 1 2 0 から受信したメモリアクセスを各フィールドに対応するように変換して保持する。各フィールドに格納する情報は次の通りである。

（ a ）リクエスト種別フィールド

当該エントリに格納したメモリアクセス要求の種別を示す

W R I T E メモリアクセス要求がライト（データの書込み）

R E A D メモリアクセス要求がリード（データの読み込み）

（ b ）対象バンクフィールド

当該エントリに格納したメモリアクセス要求がアクセスするバンクアドレス

（ c ）対象ページフィールド

当該エントリに格納したメモリアクセス要求がアクセスするページアドレス

（ d ）対象カラムフィールド

当該エントリに格納したメモリアクセス要求がアクセスする先頭カラムアドレス

10

20

30

40

50

(e) 残りリードライトコマンド数フィールド

当該エントリに格納したメモリアクセス要求により実行される残り D R A M リードライトコマンドの数

【 0 0 1 3 】

アクセス保持回路 1 0 1 は、バスマスタ 1 2 0 からのメモリアクセス要求を受信すると、格納しているメモリアクセス要求の最後尾に続くエントリに、そのメモリアクセス要求を格納する。アクセス保持回路 1 0 1 からメモリアクセス要求を読み出す場合、任意のエントリから読み出し可能である。

【 0 0 1 4 】

続いて、アクセス保持回路 1 0 1 に入力されるエントリ制御信号について説明する。エントリ制御信号は、エントリ番号フィールド、削除フィールド、更新フィールドで構成される。削除フィールドに 1 がセットされている場合、アクセス保持回路 1 0 1 はエントリ番号フィールドが示すエントリを削除する。更新フィールドに 1 がセットされている場合、アクセス保持回路 1 0 1 は、エントリ番号フィールドが示すエントリのカラムフィールドを、次 D R A M コマンドがアクセスする先頭カラムアドレスに更新する。また、アクセス保持回路 1 0 1 は、残りリードライトコマンド数フィールドを 1 減算した値に更新する。

【 0 0 1 5 】

次に、リードライト制御回路 1 0 2 を説明する。リードライト制御回路 1 0 2 は、アクセス保持回路 1 0 1 が保持するメモリアクセス要求の全てを参照可能である。リードライト制御回路 1 0 2 は、アクセス保持回路 1 0 1 が保持するメモリアクセス要求のうち、アクセスするページがオープンされているメモリアクセス要求から任意のメモリアクセス要求を選択する。メモリアクセス要求がアクセスするページがオープンされているか否かは、アクセス保持回路エントリ 1 0 1 1 の対象バンクフィールドおよび対象ページフィールド、バンク状態管理回路 1 0 3 が生成するバンク状態から判断する。そして、リードライト制御回路 1 0 2 は、選択したメモリアクセス要求からリードコマンドやライトコマンドを生成し、D R A M コマンド選択回路 1 0 5 に出力する。本実施形態のリードライト制御回路 1 0 2 は、リードライトのスイッチングペナルティを抑制するため、リードコマンドとライトコマンドを連続して発行するようにメモリアクセス要求を選択する。そして、リードライト制御回路 1 0 2 は、現在リードアクセスとライトアクセスのどちらを優先して選択しているかを示す優先ディレクションをアクティブ制御回路 1 0 4 に出力する。

【 0 0 1 6 】

続いて、リードライト制御回路 1 0 2 がエントリ制御信号を生成する手順を説明する。メモリアクセス要求により実行される最後のリードコマンドやライトコマンドを発行すると、対応するメモリアクセス要求の処理は完了する。従って、この場合、リードライト制御回路 1 0 2 は、アクセス保持回路 1 0 1 から対応するエントリを削除するようにエントリ制御信号を生成する。一方、最後でないリードコマンドやライトコマンドを発行した場合、リードライト制御回路 1 0 2 は、アクセス保持回路 1 0 1 の対応するエントリを更新するようにエントリ制御信号を生成する。ただし、最後のリードコマンドやライトコマンドを発行した場合は対応するエントリを更新する必要はない。発行したリードコマンドやライトコマンドが最後か否かは、アクセス保持回路エントリ 1 0 1 1 の残りリードライトコマンド数フィールドが 1 であるかで判断する。

【 0 0 1 7 】

次に、バンク状態管理回路 1 0 3 を説明する。バンク状態管理回路 1 0 3 は、D R A M コマンド選択回路 1 0 5 からコマンド発行状態を示す情報を受信し、バンク状態を更新する。コマンド発行状態を示す情報は、D R A M 1 1 0 に発行したコマンド種別、および、コマンドが発行されたバンク、ページから構成される。バンク状態は、D R A M 1 1 0 を構成するバンク毎にページをオープンしているかと、オープンしているページアドレスを含んでいる。

【 0 0 1 8 】

次に、アクティブ制御回路 1 0 4 を説明する。アクティブ制御回路 1 0 4 は、アクセス

10

20

30

40

50

保持回路 101 が保持するメモリアクセス要求の全てを参照可能である。アクティブ制御回路 104 の入力は、アクセス保持回路 101 が格納するメモリアクセス要求、バンク状態管理回路 103 が出力するバンク状態、リードライト制御回路 102 が出力する優先ディレクションである。アクティブ制御回路 104 は、アクセス保持回路 101 が格納するメモリアクセス要求とバンク状態に基づいて、アクティブ済リードコマンド数とアクティブ済ライトコマンド数を生成する。そして、アクティブ制御回路 104 は、生成したアクティブ済リードコマンド数とアクティブ済ライトコマンド数と、アクセス保持回路 101 が格納するメモリアクセス要求、バンク状態、優先ディレクションに基づいてアクティブコマンドを生成し、DRAM コマンド選択回路 105 に出力する。

【0019】

10

図 3 は本実施形態におけるアクティブ制御回路 104 のブロック構成図である。実施形態のアクティブ制御回路 104 は、アクティブ済コマンド数生成回路 1041 とアクティブコマンド選択回路 1042 から構成される。

【0020】

アクティブ済コマンド数生成回路 1041 は、バンク状態に基づいてアクセス保持回路 101 が格納するメモリアクセス要求のそれぞれについて対象バンクが対象ページをオープンしているか否かを判断する。そして、リードとライトそれぞれで対象ページがオープンしていると判断されたメモリアクセス要求のリードライトコマンド数を合計することでアクティブ済リードコマンド数とアクティブ済ライトコマンド数を生成する。

【0021】

20

アクティブコマンド選択回路 1042 は、アクティブ済リードコマンド数とアクティブ済ライトコマンド数、アクセス保持回路 101 が格納するメモリアクセス要求、及び、バンク状態と優先ディレクションに基づいて、次に発行するアクティブコマンドを生成する。アクティブコマンド選択回路 1042 の動作をさらに詳しく説明する。図 4A, 4B は本実施形態のアクティブコマンド選択回路 1042 によるアクティブコマンド選択アルゴリズムのフロー図である。

【0022】

S200 にて、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 内にアクティブコマンド発行が必要なメモリアクセス要求が存在するのを待つ。つまり、アクセス保持回路 101 内にアクティブコマンド発行が必要なメモリアクセス要求が存在しない場合、アクティブコマンド選択回路 1042 はアクティブコマンドを発行しない。また、アクティブコマンド選択回路 1042 は、アクティブコマンド発行が必要なメモリアクセス要求が存在すると判定した場合、S201 に処理を進める。

30

【0023】

S201 にて、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 内に保持されたメモリアクセス要求の中に、優先ディレクションに該当するメモリアクセス要求が存在するかを判定する。アクティブコマンド選択回路 1042 は、優先ディレクションに該当するメモリアクセス要求が存在すると判定した場合は S202 に、存在しないと判定した場合は S208 (図 4B) に処理を進める。

【0024】

40

S202 にて、アクティブコマンド選択回路 1042 は、次の条件 1 が成立するか否かを判定する。

条件 1 : 優先ディレクションに該当するアクティブ済コマンド数 $t_{RCD} \div t_{CCD}$ (少数点以下は切り上げ)

【0025】

S202 にて、アクティブコマンド選択回路 1042 が、上記条件 1 が成立すると判定した場合は S203、成立しないと判定した場合は S206 に処理を進める。

【0026】

S203 にて、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 に保持され、かつ、アクティブコマンド発行が必要、かつ、優先ディレクションに該当するメ

50

モリアクセス要求に次の条件 2 を満たすものがあるか判定する。

条件 2 : 優先ディレクションに該当するアクティブ済コマンド数 + 優先ディレクションに該当するリードコマンドまたはライトコマンド数) $(t_{RCD} + t_{RRD}) \div t_{CCD}$ (少数点以下は切り上げ)

アクティブコマンド選択回路 1042 は、上記条件 2 を満たすモリアクセス要求が存在すると判定した場合は S 204、存在しないと判定した場合は S 205 に処理を進める。

【0027】

S 204 にて、アクティブコマンド選択回路 1042 は、上記条件 2 を満たすモリアクセス要求のうち最も古いモリアクセス要求に対してアクティブコマンドを発行する。

【0028】

また、S 206 にて、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 内の優先ディレクションに該当するモリアクセス要求について次の条件 3 を満たすものがあるか判定する。

条件 3 : 優先ディレクションに該当するリードコマンドまたはライトコマンド数 $t_{RRD} \div t_{CCD}$ (少数点以下は切り上げ)

S 206 にて、アクティブコマンド選択回路 1042 は、上記条件 3 をモリアクセス要求が存在すると判定した場合は S 207、存在しないと判定した場合は S 205 に処理を進める。

【0029】

S 207 にて、アクティブコマンド選択回路 1042 は、条件 3 を満たすモリアクセス要求のうち最も古いモリアクセス要求に対してアクティブコマンドを発行する (S 207)。

【0030】

S 205 (S 203 の条件 2 を満たさない、または S 206 の条件 3 を満たさない場合)、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 の優先ディレクションに該当するモリアクセス要求のうち最も古いモリアクセス要求に対してアクティブコマンドを発行する。

【0031】

S 208 にて、アクティブコマンド選択回路 1042 は、次の条件 4 が成立するか判定する。

条件 4 : 優先ディレクションに該当しないアクティブ済コマンド数 $t_{RCD} \div t_{CCD}$ (少数点以下は切り上げ)

アクティブコマンド選択回路 1042 は、上記条件 4 が成立すると判定した場合は S 209、成立しないと判定した場合は S 212 に処理を進める。

【0032】

S 209 にて、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 に保持され、かつ、アクティブコマンド発行が必要、かつ、優先ディレクションに該当しないモリアクセス要求に、次の条件 5 を満たすものがあるか判定する。

条件 5 : 優先ディレクションに該当しないアクティブ済コマンド数 + メモリアクセス要求の優先ディレクションに該当しないリードコマンドまたはライトコマンド数) $(t_{RCD} + t_{RRD}) \div t_{CCD}$ (少数点以下は切り上げ)

アクティブコマンド選択回路 1042 は、上記条件 5 を満たすモリアクセス要求が存在すると判定した場合は S 210、存在しないと判定した場合は S 211 に処理を進める。

【0033】

S 210 にて、アクティブコマンド選択回路 1042 は、上記条件 5 を満たすモリアクセス要求のうち最も古いモリアクセス要求に対してアクティブコマンドを発行し、処理を S 200 に戻す。

【0034】

S 212 にて 4、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 内の優先ディレクションに該当しないモリアクセス要求について次の条件 6 を満たすもの

10

20

30

40

50

があるか判定する。

条件 6 : メモリアクセス要求の優先ディレクションに該当しないリードコマンドまたはライトコマンド数) $t_{RRD} \div t_{CCD}$ (少数点以下は切り上げ)

アクティブコマンド選択回路 1042 は、上記条件 6 を満たすメモリアクセス要求が存在した場合は S 213 に、存在しないと判定した場合は S 211 に処理を進める。

【0035】

S 213 にて、アクティブコマンド選択回路 1042 は、上記条件 6 を満たすメモリアクセス要求のうち最も古いメモリアクセス要求に対してアクティブコマンドを発行する。

【0036】

S 211 にて (S 209 の条件 5 を満たさない、または S 212 の条件 6 を満たさない場合)、アクティブコマンド選択回路 1042 は、アクセス保持回路 101 の優先ディレクションに該当しないメモリアクセス要求のうち、最も古いメモリアクセス要求に対してアクティブコマンドを発行する。

【0037】

最後に、DRAM コマンド選択回路 105 を説明する。DRAM コマンド選択回路 105 は、リードライト制御回路 102 から出力されるリードコマンドまたはライトコマンド、アクティブ制御回路 104 から出力されるアクティブコマンドから任意の 1 つを選択して DRAM 110 に発行する。本実施形態には記載していないが、プリチャージやリフレッシュ等コマンドも合わせて選択してもよい。

【0038】

図 5 は本実施形態におけるアクティブコマンド選択の動作例を示す図である。本動作例の前提は、優先ディレクションはリードであり、タイミング制約期間やアクセス保持回路 101 に保持されるメモリアクセス要求の状態は図中に示すものとする。また、アクセス保持回路 101 に保持されるメモリアクセス要求それぞれには説明のため、メモリアクセス要求 0 ~ 3 と識別子を付与している。

【0039】

タイミング T 1 において、アクティブ済リードコマンド数は 0 であり、($t_{RCD} \div t_{CCD} = 5$) 未満である。よって、DRAM コマンド選択回路 105 は、アクティブコマンド発行が必要、かつ、残りリードライトコマンド数が ($t_{RRD} \div t_{CCD} = 3$) 以上のメモリアクセス要求のうちで最も古いメモリアクセス要求である、メモリアクセス要求 2 に対するアクティブコマンドを発行する。

【0040】

タイミング T 4 において、アクティブ済リードコマンド数は 3 であり、($t_{RCD} \div t_{CCD} = 5$) 未満である。よって、DRAM コマンド選択回路 105 は、アクティブコマンド発行が必要、かつ、残りリードライトコマンド数が ($t_{RRD} \div t_{CCD} = 3$) 以上のメモリアクセス要求のうちで最も古いメモリアクセス要求である、メモリアクセス要求 3 に対するアクティブコマンドを発行する。

【0041】

タイミング T 7 において、アクティブ済リードコマンド数は 7 であり、($t_{RCD} \div t_{CCD} = 5$) 以上である。よって、DRAM コマンド選択回路 105 は、アクティブ済リードコマンド数 + 残りリードライトコマンド数が ($(t_{RCD} + t_{RRD}) \div t_{CCD} = 8$) 以上のメモリアクセス要求のうちで最も古いメモリアクセス要求である、メモリアクセス要求 0 に対するアクティブコマンドを発行する。

【0042】

タイミング T 10 において、DRAM コマンド選択回路 105 は、アクティブコマンド発行が必要な最後のメモリアクセス要求である、メモリアクセス要求 1 に対するアクティブコマンドを発行する。

【0043】

図 6 は従来技術におけるアクティブコマンド選択の動作例を示す図である。図 5 に示す本実施形態における動作例と前提条件は同じである。従来技術ではリードコマンド数また

10

20

30

40

50

はライトコマンド数が最も少ないメモリアクセス要求 0 に対するアクティブコマンドは、タイミング T 1 0 にて発行される。

【 0 0 4 4 】

以上のように、アクティブコマンドが発行されているリードコマンド数とライトコマンド数と t_{RRD} を考慮した上で、 t_{RRD} に起因するデータバスのギャップを抑制できるメモリアクセス要求のアクティブコマンドを優先して発行する。これにより、リードコマンド数またはライトコマンド数が少ないメモリアクセス要求のアクティブコマンド発行を長時間待たせることなく、 t_{RRD} に起因するメモリ利用効率低下を抑制することが可能になる。

【 0 0 4 5 】

なお、上記実施形態では、バスマスタとして 1 つの例を示したが、複数のバスマスタが存在しても構わない。

【産業上の利用可能性】

【 0 0 4 6 】

本発明は、DRAM に接続されて複数メモリアクセス要求から任意のメモリアクセス要求を選択してコマンドを発行する様々なメモリコントローラに利用できる。

【符号の説明】

【 0 0 4 7 】

1 0 0 ...メモリコントローラ、1 0 1 ...アクセス保持回路、1 0 2 ...リードライト制御回路、1 0 3 ...バンク状態管理回路、1 0 4 ...アクティブ制御回路、1 0 5 ...DRAM コマンド選択回路、1 1 0 ...DRAM、1 2 0 ...バスマスタ、1 0 1 1 ...アクセス保持回路エントリ、1 0 4 1 ...アクティブ済コマンド数生成回路、1 0 4 2 ...アクティブコマンド選択回路

10

20

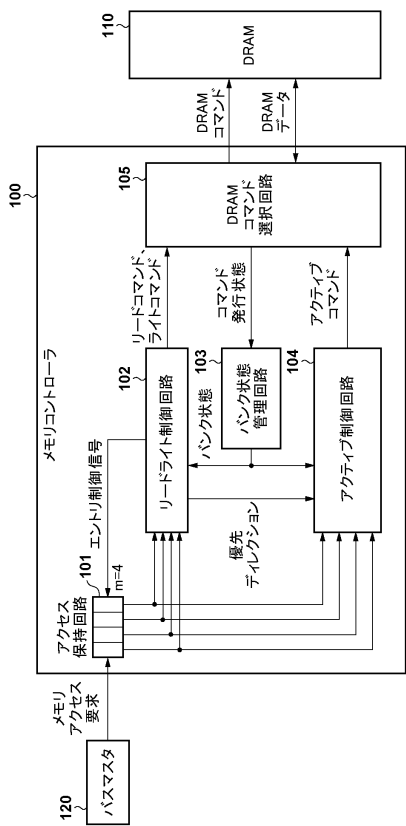
30

40

50

【図面】

【図 1】



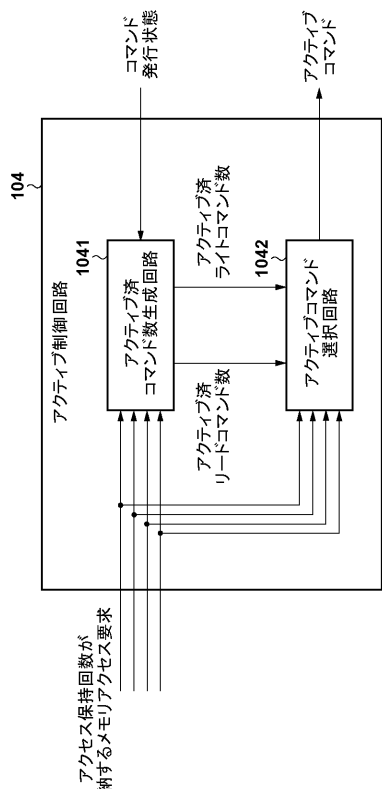
【図 2】

1011				
リクエスト種別	対象バンク	対象ページ	対象カラム	残りリードライトコマンド数

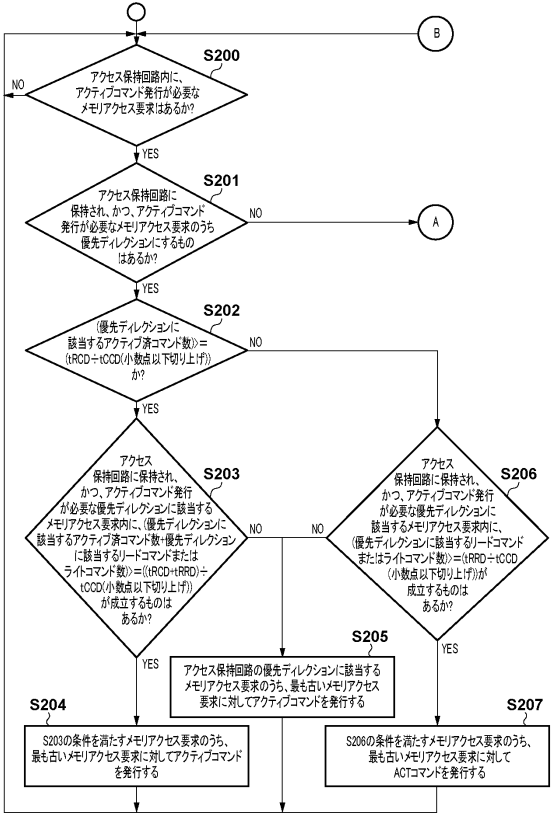
10

20

【図 3】



【図 4 A】

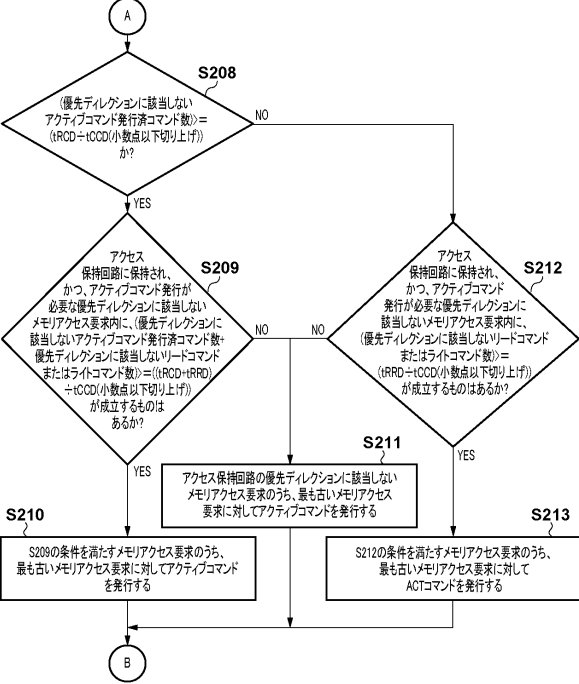


30

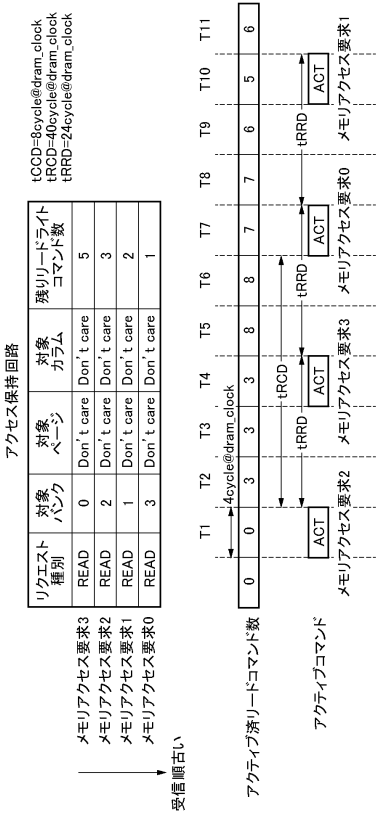
40

50

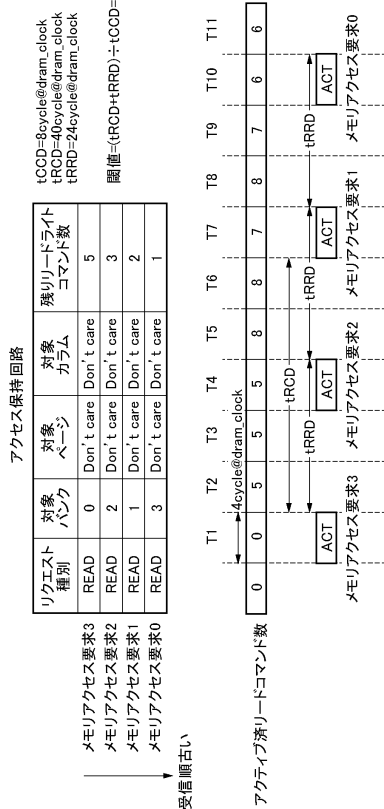
【図 4 B】



【図 5】



【図 6】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 2 0 - 1 0 9 6 4 2 (J P , A)
 特開 2 0 1 8 - 0 8 1 6 4 2 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 2 8 1 3 2 7 (U S , A 1)
- (58)調査した分野 (Int.Cl., D B 名)
- G 0 6 F 1 2 / 0 0
 G 0 6 F 1 2 / 0 6
 G 0 6 F 1 3 / 1 8