

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 12 月 31 日 (31.12.2014)



(10) 国际公布号
WO 2014/206035 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *H01L 29/786* (2006.01)
H01L 27/12 (2006.01) *H01L 21/84* (2006.01)
- (21) 国际申请号: PCT/CN2013/089530
- (22) 国际申请日: 2013 年 12 月 16 日 (16.12.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310269161.6 2013 年 6 月 28 日 (28.06.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

- (72) 发明人: 成军 (CHENG, Jun); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 陈海晶 (CHEN, Haijing); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 姜春生 (JIANG, Chunsheng); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法、显示面板和显示装置

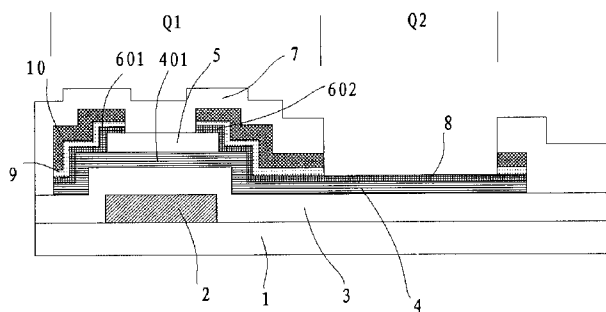


图 2 / Fig.2

(57) Abstract: Provided are an array substrate and a manufacturing method therefor, a display panel and a display device. The array substrate comprises a plurality of pixel units. Each pixel unit comprises a thin-film transistor area (Q1) and a display area (Q2), wherein a thin-film transistor is arranged in the thin-film transistor area (Q1), and the thin-film transistor comprises: a gate electrode (2), a gate insulating layer (3), a source electrode (601), a drain electrode (602) and an active area (401); and a pixel electrode (8) is provided in the display area (Q2). The manufacturing method for an array substrate comprises: forming a pattern which comprises a gate electrode (2) on a substrate (1) by means of a patterning process, and forming a gate insulating layer (3); on the substrate (1), on which the above step is completed, forming a pattern which comprises the active area (401) and an etching blocking area (5) provided on the active area (401) by means of the patterning process; forming a transparent conducting-layer thin film, and forming a pattern which comprises a source electrode (601) and a drain electrode (602) using the transparent conducting-layer thin film by means of the patterning process; and forming a pattern which comprises a pixel electrode (8) using the transparent conducting-layer thin film by means of the patterning process.

(57) 摘要:

[见续页]



WO 2014/206035 A1



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供阵列基板及其制作方法、显示面板和显示装置。阵列基板包括多个像素单元, 每个像素单元包括薄膜晶体管区(Q1)和显示区(Q2), 薄膜晶体管区(Q1)设有薄膜晶体管, 薄膜晶体管包括: 栅极(2)、栅极绝缘层(3)、源极(601)、漏极(602)和有源区(401), 显示区(Q2)设有像素电极(8)。阵列基板的制作方法包括: 在基板(1)上通过构图工艺形成包括栅极(2)的图形, 并形成栅极绝缘层(3); 在完成以上步骤的基板(1)上通过构图工艺形成包括有源区(401)和设于有源区(401)上的刻蚀阻挡区(5)的图形; 形成透明导电层薄膜, 通过构图工艺用透明导电层薄膜形成包括源极(601)、漏极(602)的图形; 通过构图工艺用透明导电层薄膜形成包括像素电极(8)的图形。

阵列基板及其制作方法、显示面板和显示装置

技术领域

本发明属于显示技术领域，具体涉及阵列基板及其制作方法、显示面板和显示装置。

背景技术

近年来，显示技术得到快速的发展，如薄膜晶体管技术由原来的 a-Si（非晶硅）薄膜晶体管发展到现在的 LTPS（低温多晶硅）薄膜晶体管、MILC（金属诱导横向晶化）薄膜晶体管、Oxide（氧化物）薄膜晶体管等。而发光技术也由原来的 LCD（液晶显示器）、PDP（等离子显示屏）发展为现在的 OLED（有机发光二极管）等。

目前，氧化物薄膜晶体管以其诸多优势日益受到重视。使用氧化物半导体作为有源层的薄膜晶体管的迁移率高、均一性好、透明、开关特性更优，可以适用于需要快速响应和较大电流的应用，如高频、高分辨率、大尺寸的显示器以及有机发光显示器等。

但是，现有技术中的氧化物薄膜晶体管阵列基板的制作工艺较为复杂，一般要经过 6 道光刻工艺，图 1 示出了现有氧化物薄膜晶体管阵列基板的典型结构图，该氧化物薄膜晶体管阵列基板包括基板 1、栅极 2、栅极绝缘层 3、氧化物有源层 4、刻蚀阻挡区 5、漏极 602、源极 601、钝化层 7 和像素电极 8。这种结构的氧化物薄膜晶体管阵列基板需要通过 6 道光刻工艺分别形成包括栅极 2、氧化物有源层 4、刻蚀阻挡区 5、源极 601 和漏极 602、钝化层 7 中的过孔、以及像素电极 8 的图案。可见，这种结构的氧化物薄膜晶体管阵列基板的制作工艺复杂，制作成本较高。

发明内容

本发明针对现有的氧化物薄膜晶体管阵列基板的制作工艺复杂、制作成本较高的问题，提供一种制作工艺简单、制作成本低的阵列基板的制作方法。

本发明所采用的技术方案是一种阵列基板的制作方法，所述

阵列基板包括多个像素单元，每个像素单元包括薄膜晶体管区和显示区，所述薄膜晶体管区设有薄膜晶体管，所述薄膜晶体管包括：栅极、栅极绝缘层、有源区、源极和漏极，所述显示区设有像素电极，所述阵列基板的制作方法包括以下步骤：

在基板上通过构图工艺形成包括栅极的图形，并形成栅极绝缘层；

在完成上述步骤的基板上通过构图工艺形成包括有源区和设于有源区上的刻蚀阻挡区的图形；

形成透明导电层薄膜，通过构图工艺用透明导电层薄膜形成包括源极、漏极的图形；

通过构图工艺用透明导电层薄膜形成包括像素电极的图形。

优选的是，所述通过构图工艺形成包括有源区和设于有源区上的刻蚀阻挡区的图形具体包括：

依次形成有源层薄膜和刻蚀阻挡层薄膜，其中，有源层薄膜与所述栅极对应的部分构成有源区，并在刻蚀阻挡层薄膜上涂覆光刻胶层；

对光刻胶层进行曝光、显影，保留刻蚀阻挡区的光刻胶层；

去除无光刻胶遮挡的刻蚀阻挡层薄膜，形成刻蚀阻挡区的图形；

去除剩余的光刻胶层。

优选的是，所述形成透明导电层薄膜，通过构图工艺用透明导电层薄膜形成包括源极、漏极的图形具体包括：

依次形成透明导电层薄膜、过渡层薄膜、金属层薄膜；

通过构图工艺去除与有源区相对应的金属层薄膜、过渡层薄膜和透明导电层薄膜，以及去除各像素单元之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜和有源层薄膜，形成包括源连接层、源过渡层、源极和漏极的图形，

其中，所述源过渡层用于使得所述源连接层与所述源极电连接。

进一步优选的是，所述通过构图工艺用透明导电层薄膜形成像素电极的图形具体包括：

形成钝化层，并在钝化层上涂覆光刻胶层；
对光刻胶层进行曝光、显影，其中显示区无剩余光刻胶层；
通过干法刻蚀去除显示区中无光刻胶层遮挡的钝化层；
通过湿法刻蚀去除显示区中无光刻胶层遮挡的金属层薄膜；
通过干法刻蚀去除显示区中无光刻胶层遮挡的过渡层薄膜，使透明导电层薄膜暴露形成像素电极；
去除剩余的光刻胶层。

本发明的阵列基板的制作方法，通过构图工艺用同一透明导电层薄膜形成包括源极、漏极、像素电极的图形，故其制作工艺简单、制作成本低。

本发明还针对现有的氧化物薄膜晶体管阵列基板的制作工艺复杂、制作成本较高的问题，提供一种制作工艺简单、制作成本低的阵列基板。

本发明所采用的技术方案是一种阵列基板，包括多个像素单元，每个像素单元包括薄膜晶体管区和显示区，所述薄膜晶体管区设有薄膜晶体管，所述薄膜晶体管包括：栅极、栅极绝缘层、有源区、源极和漏极，所述显示区设有像素电极，其中，所述源极、所述漏极和所述像素电极由同一透明导电层形成。

优选的是，所述的阵列基板还包括：位于所述源极上的源过渡层和位于所述源过渡层上的源连接层，其中，所述源过渡层用于使得所述源连接层与所述源极电连接。

进一步优选的是，所述源极、源过渡层、源连接层图案相同。

进一步优选的是，所述源过渡层的材料为重掺杂的非晶硅；所述源连接层为由钼、钼铌合金、铝、铝钽合金、钛、铜中的一种或多种材料形成的单层或多层复合叠层。

优选的是，所述的阵列基板还包括钝化层，所述钝化层覆盖所述薄膜晶体管区。

优选的是，所述有源区的材料为金属氧化物半导体。

优选的是，所述的阵列基板还包括设于有源区上的刻蚀阻挡区。

本发明的阵列基板包括薄膜晶体管区和显示区，所述薄膜晶体管区和显示区还包括透明导电层，因为本发明的阵列基板的源极、漏极和像素电极都是由同一透明导电层形成的，故其制作工艺简单、制作成本低。

本发明还针对现有的包括氧化物薄膜晶体管阵列基板的显示面板的制作工艺复杂、制作成本较高的问题，提供一种制作工艺简单、制作成本低的显示面板。

本发明所采用的技术方案是一种显示面板，其包括：

上述任意一种阵列基板。

本发明的显示面板的阵列基板包括薄膜晶体管区和显示区，所述薄膜晶体管区和显示区还包括透明导电层，因为本发明的阵列基板的源极、漏极和像素电极都是由同一透明导电层形成的，故其制作工艺简单、制作成本低。

本发明还针对现有的包括氧化物薄膜晶体管阵列基板的显示装置的制作工艺复杂、制作成本较高的问题，提供一种制作工艺简单、制作成本低的显示装置。

本发明所采用的技术方案是一种显示装置，其包括：

上述任意一种显示面板。

本发明的显示装置的阵列基板包括薄膜晶体管区和显示区，所述薄膜晶体管区和显示区还包括透明导电层，因为本发明的阵列基板的源极、漏极和像素电极都是由同一透明导电层形成的，故其制作工艺简单、制作成本低。

附图说明

图 1 为现有的氧化物薄膜晶体管阵列基板的结构示意图。

图 2 为本发明的实施例 1 的阵列基板的结构示意图。

图 3 为本发明的实施例 2 的阵列基板形成包括透明导电层薄膜、过渡层薄膜以及金属层薄膜的图形后的结构示意图。

图 4 为本发明的实施例 2 的阵列基板形成源连接层后的结构示意图。

图 5 为本发明的实施例 2 的阵列基板形成源过渡层后的结构示意图。

图 6 为本发明的实施例 2 的阵列基板形成源极和漏极后的结构示意图。

图 7 为本发明的实施例 2 的阵列基板形成源极和漏极后的俯视图。

图 8 为本发明的实施例 2 的阵列基板形成钝化层后的结构示意图。

图 9 为本发明的实施例 2 的阵列基板去除显示区的钝化层后的结构示意图。

图 10 为本发明的实施例 2 的阵列基板去除显示区的过渡层薄膜后的结构示意图。

其中附图标记为：1、基板；2、栅极；3、栅极绝缘层；4、有源层；401、有源区；5、刻蚀阻挡区；601、源极；602、漏极；7、钝化层；8、像素电极；9、源过渡层；10、源连接层；Q1、薄膜晶体管区；Q2、显示区。

具体实施方式

为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。

实施例 1:

如图 2 所示，本实施例提供一种阵列基板，该阵列基板包括薄膜晶体管区 Q1 和显示区 Q2，薄膜晶体管区 Q1 设有薄膜晶体管，所述薄膜晶体管包括：栅极 2、栅极绝缘层 3、有源层 4，其中有源层 4 对应于栅极 2 的部分为有源区 401。其中，所述栅极 2 位于基板 1 上，所述栅极绝缘层 3 覆盖所述栅极 2，所述有源层 4 位于所述栅极绝缘层 3 上。

优选的是，所述有源区 401 的材料（当然也就是有源层 4 的

材料)为金属氧化物半导体。例如其材料可以为氧化铟镓锌、氧化铟锌或氧化铟镓锡,优选为氧化铟镓锌或氧化铟锌;所述有源层4的厚度优选的在10nm至100nm之间。需要说明的是,如图2所示,从简化制备工艺的角度考虑,在显示区Q2也有所述有源层4,即所述有源层4可以延伸到显示区Q2,显然,此时的有源层4应当是透明的,而金属氧化物半导体材料均为透明材料,因此是优选的。

薄膜晶体管区Q1和显示区Q2还包括透明导电层(例如氧化铟锡层),并且,所述透明导电层在薄膜晶体管区Q1构成薄膜晶体管的源极601和漏极602,在显示区Q2构成像素电极8。也就是说,源极601、漏极602和像素电极8都是由同一透明导电层形成的。

现有技术中,薄膜晶体管的源极601和漏极602由一源漏金属层形成,像素电极8是由一透明导电层形成,通常情况下,像素电极8通过在源漏金属层上的钝化层7中形成的过孔与漏极602电连接。而本发明的阵列基板中,源极601、漏极602和像素电极8由同一透明导电层形成,如图2所示,漏极602与像素电极8直接连接,故其制作工艺简单、制作成本低。

优选的是,所述阵列基板还包括源连接层10。

需要说明的是,所述源连接层10是用于与数据线(图中未示出)电连接的。现有技术中,源极601是直接与数据线连接的,本实施例提供的阵列基板中优选地通过源连接层10与数据线的电连接,这是因为本实施例中的源极601是由透明导电层形成的,而数据线通常是由金属材料制成的,故二者连接处的导电能力不佳,会使数据信号在传输到像素电极8的过程中失真较大,因此本实施例提供的阵列基板还优选地包括源连接层10。所述源连接层10优选地为由钼、钼铌合金、铝、铝钎合金、钛、铜中的一种或多种材料形成的单层或多层复合叠层。

优选的是,本实施例提供的阵列基板还包括源过渡层9。

需要说明的是,源过渡层9的作用是使得源连接层10与源极601电连接,因为源连接层10的材料为金属或合金,源极601则

由透明导电层形成，如果直接将源连接层 10 与源极 601 连接而不设置源过渡层 9，仍会存在源连接层 10 与源极 601 的接触不良的问题，导致在将源连接层 10 与数据线相连时，数据信号不能准确地传输到像素电极 8 上，从而影响像素电极 8 的电压的准确性和稳定性，进而影响液晶显示装置的显示效果。因此，本实施例提供的阵列基板上，在源极 601 和源连接层 10 之间还设置了源过渡层 9。所述源过渡层 9 的材料为重掺杂的非晶硅（N+a-Si），这种材料能保证其具有良好的导电性能，也就保证了数据信号能准确地传输到像素电极 8 上。

进一步优选的是，所述源过渡层 9 与所述源连接层 10 图案相同。

如图 2 所示，源连接层 10、源过渡层 9 和源极 601 的图案相同，这主要是为了制作工艺简单（即这些结构可在一次构图工艺中形成），事实上，源连接层 10、源过渡层 9 和源极 601 的图案可以不同，可以根据具体需要具体设定。

需要进一步说明的是，图 2 中，在漏极 602 的上方也有两层，分别为：与源过渡层 9 同层形成的过渡层薄膜和与源连接层 10 同层形成的金属层薄膜。这两层的存在对薄膜晶体管的性能并无影响，故从简化工艺的角度可将其保留，当然它们可以通过一定方式被去除。

本实施例提供的阵列基板还优选地包括：覆盖所述薄膜晶体管区 Q1 和像素单元之间区域的钝化层 7。该钝化层 7 的作用在于保护薄膜晶体管的结构，如图 2 所示，在薄膜晶体管区 Q1 上有钝化层 7，而在显示区 Q2 的像素电极 8 的上方没有钝化层 7，可以理解的是，像素电极 8 要与公共电极形成电场，因此其上方不能设置钝化层 7。

优选的是，所述阵列基板还包括设于有源区 401 上的刻蚀阻挡区 5，不难理解的是，所述刻蚀阻挡区 5 的作用是确保在对透明导电层薄膜刻蚀时，有源区 401 不被刻蚀。

需要说明的是，本实施例提供的阵列基板的薄膜晶体管是以底栅型结构为例进行说明的，事实上，本发明所提及的技术方案

也同样适用于包括顶栅型结构的薄膜晶体管的阵列基板，只要源极 601、漏极 602 与像素电极 8 由同一透明导电层薄膜形成即可。

需要说明的是，本实施例提供的阵列基板是以不包括公共电极（即公共电极设于彩膜基板上）的形式为例的，但若公共电极同样设于阵列基板上（即为 IPS 模式或 ADS 模式的阵列基板），也是可行的，只要其源极 601、漏极 602 与像素电极 8 由同一透明导电层薄膜形成即可。另外，图中没有显示出数据线，但数据线只要与源连接层 10 相连（可使用过孔，也可直接连接等）即可。

本发明的阵列基板包括薄膜晶体管区 Q1 和显示区 Q2，所述薄膜晶体管区 Q1 和显示区 Q2 还包括透明导电层，因为本发明的阵列基板的源极 601、漏极 602 和像素电极 8 都是由同一透明导电层薄膜形成的，故其制作工艺简单、制作成本低。

实施例 2:

本实施例提供一种阵列基板的制作方法，所述阵列基板包括：栅极 2、栅极绝缘层 3、源极 601、漏极 602、像素电极 8 和有源区 401。如图 3 至图 10 所示，本发明的阵列基板的制作方法具体包括以下步骤。

S01、在基板 1 上通过构图工艺形成包括栅极 2 的图形。所述构图工艺通常包括光刻胶涂覆、曝光、显影、刻蚀、光刻胶剥离等工艺。其中，栅极 2 为由钼（Mo）、钼铌合金（MoNb）、铝（Al）、铝钽合金（AlNd）、钛（Ti）、铜（Cu）中的一种或多种材料形成的单层或多层复合叠层，优选为由钼（Mo）、铝（Al）或含钼（Mo）、铝（Al）的合金形成的单层或多层复合膜；优选厚度为 100nm~3000nm。

S02、在完成上述步骤的基板 1 上形成包括栅极绝缘层 3 的图形。其中栅极绝缘层 3 是由硅的氧化物（ SiO_x ）、硅的氮化物（ SiN_x ）、铪的氧化物（ HfO_x ）、硅的氮氧化物（ SiON ）、铝的氧化物（ AlO_x ）等中的一种或两种材料形成的单层或多层复合膜。所述栅极绝缘层 3 优选地用等离子体增强化学气相沉积技术（Plasma Enhanced Chemical Vapor Deposition, PECVD）形成。

上述两步可以根据不同的需要具体设定，例如，其中还可包括形成栅线等步骤（例如与栅极 2 同步形成），本发明对此不做限定。

S03、在完成上述步骤的基板 1 上通过构图工艺形成包括有源区 401 和刻蚀阻挡区 5 的图形。

优选的是，S03 步骤具体包括以下步骤。

S031、依次形成有源层薄膜和刻蚀阻挡层薄膜，同时，在刻蚀阻挡层薄膜上方形成光刻胶层，通常采用沉积、涂敷、溅射等多种方法来形成这些薄膜，其中，有源层薄膜与所述栅极 2 对应的部分为有源区 401，刻蚀阻挡层薄膜与有源区 401 相对应的部分形成刻蚀阻挡区 5。

其中，有源层薄膜为金属氧化物半导体薄膜，如氧化铟镓锌、氧化铟锌、氧化铟镓锡等。

蚀刻阻挡层薄膜可以由硅的氧化物（ SiO_x ）、硅的氮化物（ SiN_x ）、铪的氧化物（ HfO_x ）、铝的氧化物（ AlO_x ）或由其中两种或三种材料形成的多层叠层膜。所述蚀刻阻挡层薄膜含有较低的氢含量。

S032、对光刻胶层进行曝光、显影，同时保留与刻蚀阻挡区相对应的光刻胶层；

S033、去除无光刻胶遮挡的刻蚀阻挡层薄膜，形成包括刻蚀阻挡区 5 的图形；

需要说明的是，本步骤保留显示区 Q2 的有源层 4，以简化工艺，但事实上显示区 Q2 的有源层 4 部分没有实际作用，去除亦可。

S034、去除剩余的光刻胶层。

S04、形成透明导电层薄膜，通过构图工艺用透明导电层薄膜形成包括源极 601、漏极 602 的图形。

如图 3 至图 7 所示，S04 步骤优选的具体包括以下：

S041、依次形成包括透明导电层薄膜、过渡层薄膜以及金属层薄膜的图形；

其中，透明导电层薄膜优选地使用 ITO（氧化铟锡）材料制备。具体地，先用溅射方法制备非晶态的 ITO（氧化铟锡）薄膜，

再通过退火使之晶化，来形成透明导电层薄膜。透明导电层薄膜的厚度优选地为 20~150nm。

所述过渡层薄膜优选地使用重掺杂的非晶硅 (N+a-Si) 制成，具体地，可以采用等离子体增强化学气相沉积技术形成过渡层薄膜，沉积温度在 350℃ 以下，过渡层薄膜的厚度为 100~500Å，优选为 100~200Å。

所述金属层薄膜优选地为由钼 (Mo)、钼铌合金 (MoNb)、铝 (Al)、铝钕合金 (AlNd)、Ti、Cr、Cu 中的一种或多种材料形成的单层或多层复合叠层，优选为由 Mo、Al 或含 Mo、Al 的合金形成的单层或多层复合膜；其厚度优选为 100nm~3000nm。

S042、通过构图工艺去除与有源区相对应的金属层薄膜、过渡层薄膜和透明导电层薄膜，以及去除各像素单元之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜以及有源层薄膜，形成包括源连接层 10、源过渡层 9、源极 601 和漏极 602 的图形。

需要说明的是，如图 4 至图 6 所示，去除有源区 401 和各像素单元之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜和有源层薄膜的步骤是同步进行的，但是因为在有源区 401 上方有刻蚀阻挡区 5，因此在同步去除有源层薄膜时，真正去除的只是各像素单元之间区域的有源层薄膜，有源区的有源层薄膜不被刻蚀。

所述去除与有源区相对应的金属层薄膜、过渡层薄膜和透明导电层薄膜，以及去除各像素单元之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜和有源层薄膜的方法优选包括：

S0421、如图 4 所示，对金属层薄膜进行湿法刻蚀，从而形成了包括源连接层 10 的图形，但此时去除的只是有源区和各像素单元之间区域的金属层薄膜，而对显示区 Q2 的金属层薄膜进行保留；

S0422、如图 5 所示，对过渡层薄膜进行干法刻蚀，去除有源区和各像素单元之间区域的过渡层薄膜，同理，保留其他区域的过渡层薄膜，这是因为其他区域的过渡层薄膜被覆盖在未被刻蚀的金属层薄膜之下，故不会被刻蚀；

S0423、如图 6 所示，对有源区的透明导电层薄膜和各像素单

元之间区域的透明导电层薄膜与有源层薄膜进行湿法刻蚀，也就是说，进行湿法蚀刻之后，在薄膜晶体管区 Q1，所述透明导电层薄膜在有源区 401 处断开，同时形成断开的源极 601 和漏极 602（该漏极 602 与像素电极 8 相连）；在各像素单元之间区域的透明导电层薄膜和有源层薄膜同时被去除，也就是各相邻像素单元之间没有多余的层。

具体地，如图 7 所示，所述阵列基板包括多个像素单元，每个像素单元包括薄膜晶体管区 Q1 和显示区 Q2。需要说明的是，为了清楚地显示结构，图 7 中仅示出了源极 601、漏极 602、栅极 2、像素电极 8 和刻蚀阻挡层 5，并没有示出栅绝缘层 3、源过渡层 9、源连接层 10 等，本领域技术人员应当理解并知晓其他层的结构和位置。可见，S04 步骤后，透明导电层薄膜在有源区处断开，裸露出刻蚀阻挡区 5，并形成了源极 601（实际上源极 601 上方还有源过渡层 9 和源连接层 10，未示出）和漏极 602（图中为了显示出漏极 602 与像素电极 8 直接相连而做出了标示，但实际上漏极 602 上还覆盖有剩余的过渡层薄膜和金属层薄膜）。同时，如图 7 中所示，也去除了各像素之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜和有源层薄膜，使得各相邻像素之间没有多余的层。其中，图 6 为图 7 中所示的根据本发明的阵列基板沿 A-A 方向的剖视图。

S05、通过构图工艺用透明导电层薄膜形成包括像素电极 8 的图形。

如图 8 至图 10 所示，S05 步骤优选地具体包括以下步骤：

S051、如图 8 所示，形成钝化层 7，并在钝化层 7 上涂覆光刻胶层；

其中，所述钝化层 7 优选地为由硅的氧化物（ SiO_x ）、硅的氮化物（ SiN_x ）、铪的氧化物（ HfO_x ）、硅的氮氧化物（ SiON ）、铝的氧化物（ AlO_x ）或由其中两种或更多种材料形成的多层叠层膜，钝化层 7 可以用等离子体增强化学气相沉积技术制备，其特点是膜层含有较低的低氢含量、并且有很好的表面特性。

S052、对光刻胶层进行曝光、显影，其中显示区 Q2 无剩余

光刻胶层;

S053、如图 9 所示,通过干法刻蚀去除显示区 Q2 中无光刻胶层遮挡的钝化层 7;

如图 10 所示,通过湿法刻蚀去除显示区 Q2 中无光刻胶层遮挡的金属层薄膜;

通过干法刻蚀去除显示区 Q2 中无光刻胶遮挡的过渡层薄膜,使透明导电层薄膜暴露形成包括像素电极 8 的图形,即形成图 2 所示的阵列基板;也就是说,在本步骤(S05)的形成包括像素电极 8 的图形的过程中,实际并未对透明导电层薄膜进行刻蚀,只是去除了显示区 Q2 中的钝化层 7、金属层薄膜、过渡层薄膜,从而使显示区 Q2 的透明导电层薄膜暴露形成包括像素电极 8 的图形;

S054、去除剩余的光刻胶层。

需要说明的是,因为过渡层薄膜可以通过干法刻蚀去除,使得位于显示区 Q2 的透明导电层薄膜在去除过渡层薄膜这一步时不会受到不良影响。这是因为对于透明导电层薄膜来说,若位于其上的层需要通过湿法刻蚀去除的话,必然会将透明导电层薄膜去除一部分,而干法刻蚀则不会去除透明导电层薄膜。

需要进一步说明的是,在显示区 Q2 中没有过渡层薄膜和金属层薄膜也是可行的,也就是说,在 S05 步骤之前(S04 步骤)已经去除了透明导电层薄膜上的过渡层薄膜和金属层薄膜,或者本实施例的阵列基板的薄膜晶体管区 Q1 和显示区 Q2 都不包括过渡层薄膜和金属层薄膜(这种情况下,数据线与源极 601 的电连接性能不好,但是也是可行的),即显示区 Q2 中透明导电层薄膜的上方是钝化层 7,在这种情况下,可以直接通过干法刻蚀去除所述钝化层 7 来形成像素电极 8。

本实施例提供的阵列基板的制作方法中,虽然增加了源过渡层 9 和源连接层 10,但是因为这两层是同源极 601 和漏极 602 在一次构图工艺中制作得到的,并没有增加更多的构图工艺步骤,同时,由于本实施的阵列基板上的源极 601、漏极 602 和像素电极 8 是由同一透明导电层薄膜形成的,无需现有技术中通过钝化层 7

上的过孔使得像素电极 8 与漏极 602 连接的步骤，将现有技术中需要通过 6 道光刻工艺分别形成栅极 2、氧化物有源层 4、刻蚀阻挡区 5、源极 601 和漏极 602、钝化层 7 中的过孔、以及像素电极 8 的氧化物薄膜晶体管阵列基板的制作方法简化为只需 4 道光刻工艺的阵列基板的制作方法，故其制作工艺简单、制作成本低。

实施例 3:

本实施例提供了一种显示面板，该显示面板包括实施例 1 中所述的阵列基板。该显示面板可以为液晶显示面板或 OLED 显示面板。

本实施例的显示面板中具有实施例 1 中的阵列基板，故其制作工艺简单、制作成本低。

实施例 4:

本实施例提供了一种显示装置，该显示装置包括实施例 3 中的所述显示面板。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本实施例的显示装置中具有实施例 1 中的阵列基板，故其制作工艺简单、制作成本低。

当然，本实施例的显示装置中还可以包括其他常规结构，如电源单元、显示驱动单元等。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1. 一种阵列基板的制作方法，所述阵列基板包括多个像素单元，每个像素单元包括薄膜晶体管区和显示区，所述薄膜晶体管区设有薄膜晶体管，所述薄膜晶体管包括：栅极、栅极绝缘层、源极、漏极和有源区，所述显示区设有像素电极，其特征在于，所述阵列基板的制作方法包括以下步骤：

在基板上通过构图工艺形成包括栅极的图形，并形成栅极绝缘层；

在完成上述步骤的基板上通过构图工艺形成包括有源区和设于有源区上的刻蚀阻挡区的图形；

形成透明导电层薄膜，通过构图工艺用透明导电层薄膜形成包括源极、漏极的图形；

通过构图工艺用透明导电层薄膜形成包括像素电极的图形。

2. 根据权利要求1所述的阵列基板的制作方法，其特征在于，所述通过构图工艺形成包括有源区和设于有源区上的刻蚀阻挡区的图形具体包括：

依次形成有源层薄膜和刻蚀阻挡层薄膜，其中，有源层薄膜与所述栅极对应的部分构成有源区，并在刻蚀阻挡层薄膜上涂覆光刻胶层；

对光刻胶层进行曝光、显影，保留刻蚀阻挡区的光刻胶层；

去除无光刻胶遮挡的刻蚀阻挡层薄膜，形成刻蚀阻挡区的图形；

去除剩余的光刻胶层。

3. 根据权利要求1或2所述的阵列基板的制作方法，其特征在于，所述形成透明导电层薄膜，通过构图工艺用透明导电层薄膜形成包括源极、漏极的图形具体包括：

依次形成透明导电层薄膜、过渡层薄膜、金属层薄膜；

通过构图工艺去除与有源区相对应的金属层薄膜、过渡层薄

膜和透明导电层薄膜，以及去除各像素单元之间区域的金属层薄膜、过渡层薄膜、透明导电层薄膜和有源层薄膜，形成包括源连接层、源过渡层、源极和漏极的图形，

其中，所述源过渡层用于使得所述源连接层与所述源极电连接。

4. 根据权利要求 3 所述的阵列基板的制作方法，其特征在于，所述通过构图工艺用透明导电层薄膜形成像素电极的图形具体包括：

形成钝化层，并在钝化层上涂覆光刻胶层；

对光刻胶层进行曝光、显影，其中显示区无剩余光刻胶层；

通过干法刻蚀去除显示区中无光刻胶层遮挡的钝化层；

通过湿法刻蚀去除显示区中无光刻胶层遮挡的金属层薄膜；

通过干法刻蚀去除显示区中无光刻胶层遮挡的过渡层薄膜，使透明导电层薄膜暴露形成像素电极；

去除剩余的光刻胶层。

5. 一种阵列基板，包括多个像素单元，每个像素单元包括薄膜晶体管区和显示区，所述薄膜晶体管区设有薄膜晶体管，所述薄膜晶体管包括：栅极、栅极绝缘层、有源区、源极和漏极，所述显示区设有像素电极，其特征在于，

所述源极、所述漏极和所述像素电极由同一透明导电层形成。

6. 根据权利要求 5 所述的阵列基板，其特征在于，还包括：位于所述源极上的源过渡层和位于所述源过渡层上的源连接层，其中，所述源过渡层用于使得源连接层与源极电连接。

7. 根据权利要求 6 所述的阵列基板，其特征在于，所述源极、源过渡层、源连接层图案相同。

8. 根据权利要求 6 所述的阵列基板，其特征在于，所述源过

渡层的材料为重掺杂的非晶硅；所述源连接层为由钼、钼铌合金、铝、铝钽合金、钛、铜中的一种或多种材料形成的单层或多层复合叠层。

9. 根据权利要求 5-8 中任一项所述的阵列基板，其特征在于，还包括钝化层，所述钝化层覆盖所述薄膜晶体管区。

10. 根据权利要求 5-8 中任一项所述的阵列基板，其特征在于，所述有源区的材料为金属氧化物半导体。

11. 根据权利要求 5-8 中任一项所述的阵列基板，其特征在于，还包括设于有源区上的刻蚀阻挡区。

12. 一种显示面板，其特征在于，包括权利要求 5~11 中任意一项的阵列基板。

13. 一种显示装置，其特征在于，包括权利要求 12 的显示面板。

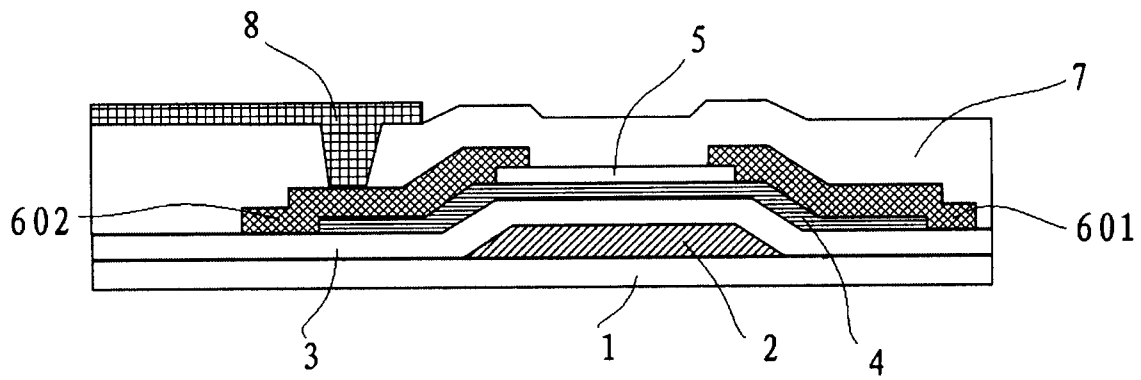


图 1

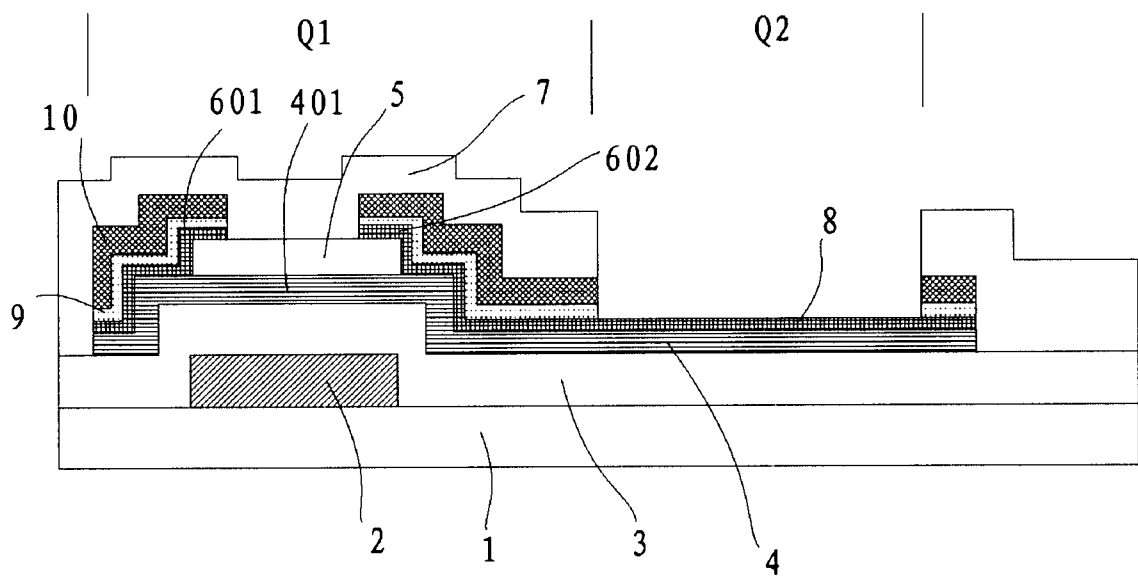


图 2

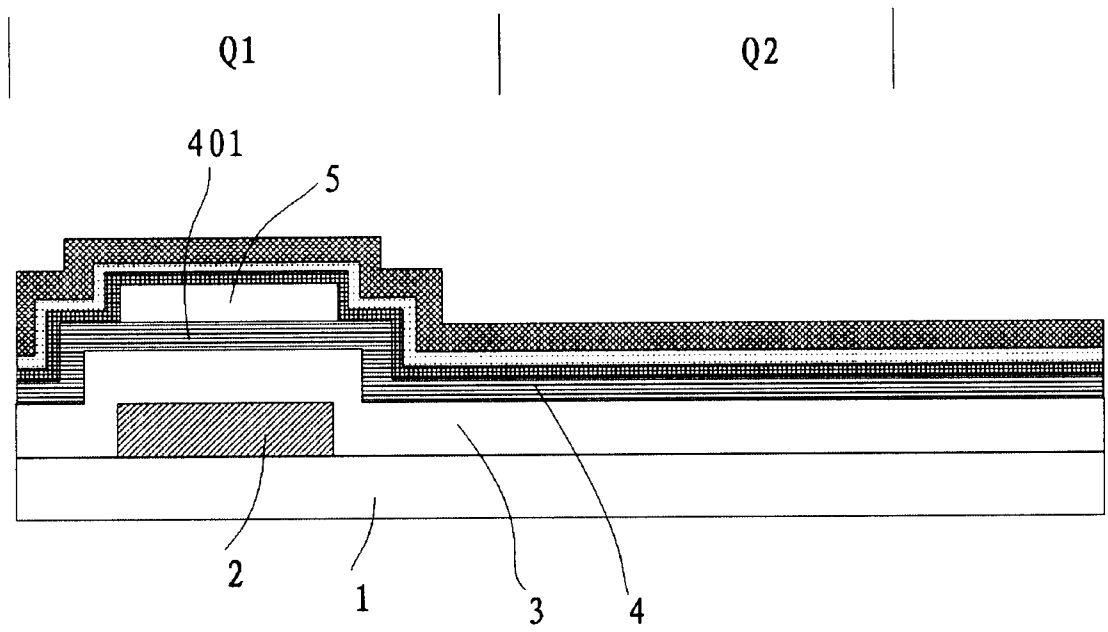


图 3

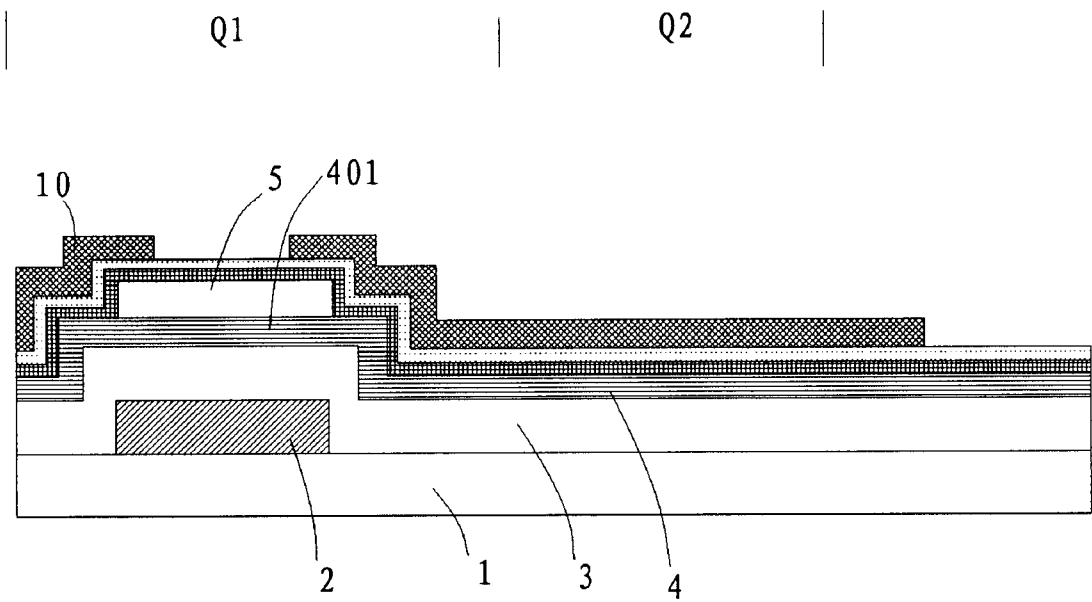


图 4

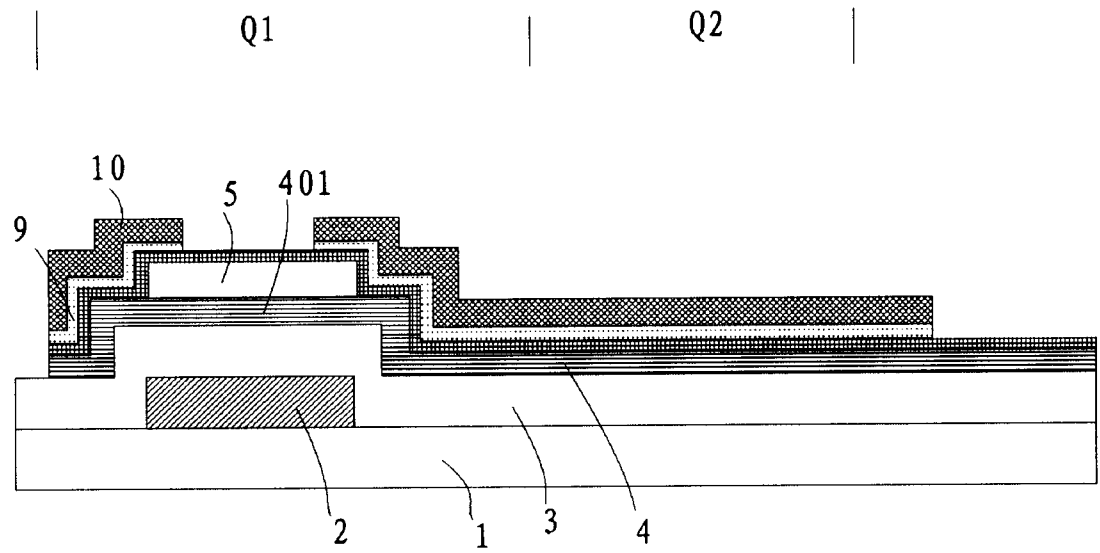


图 5

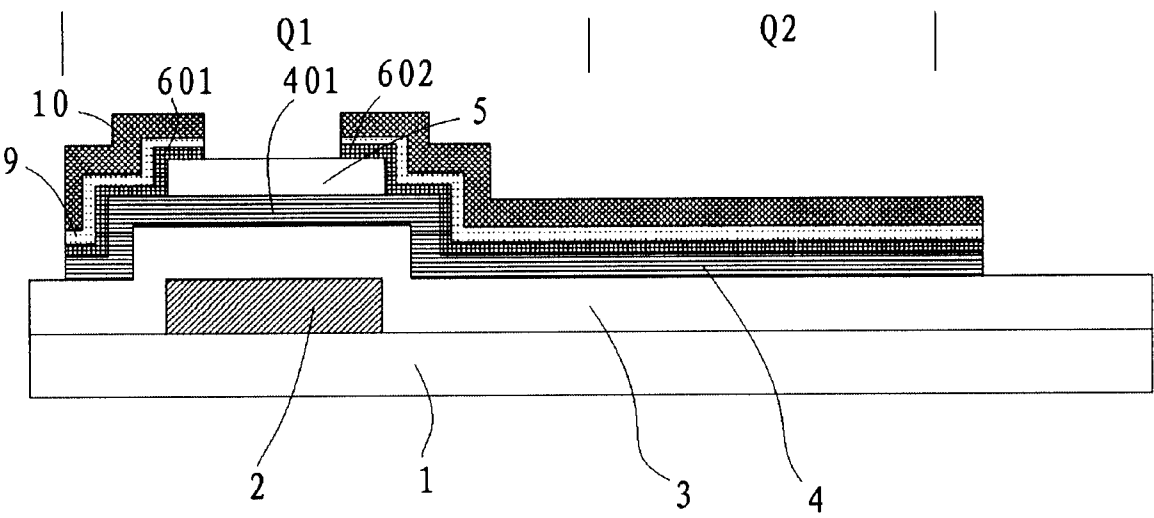


图 6

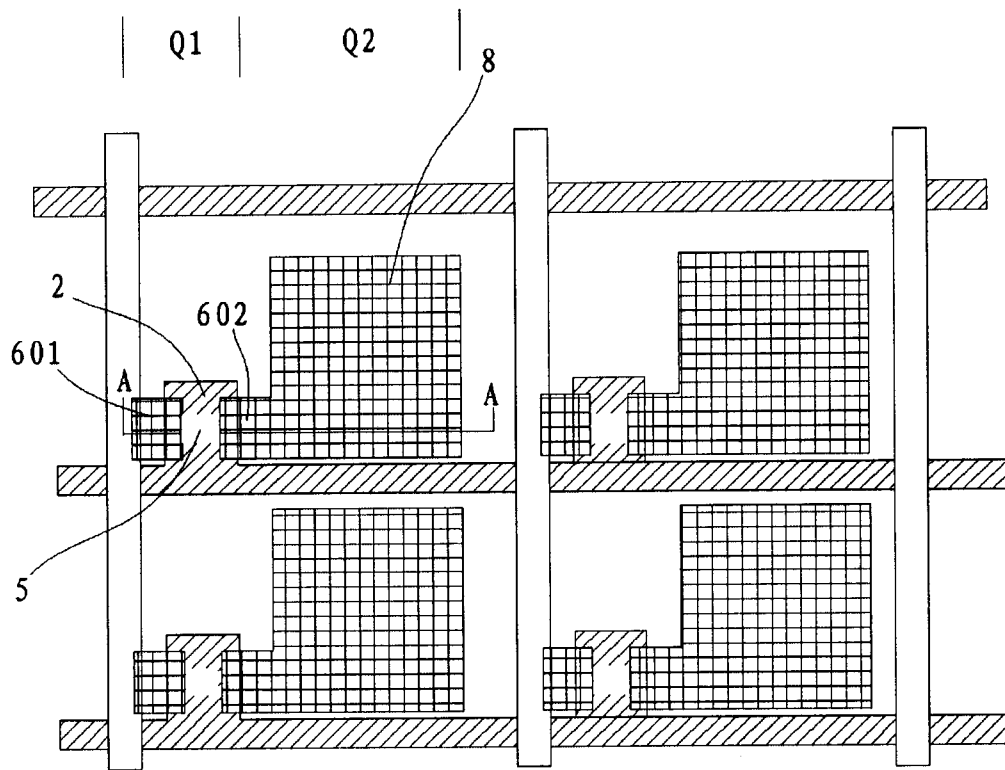


图 7

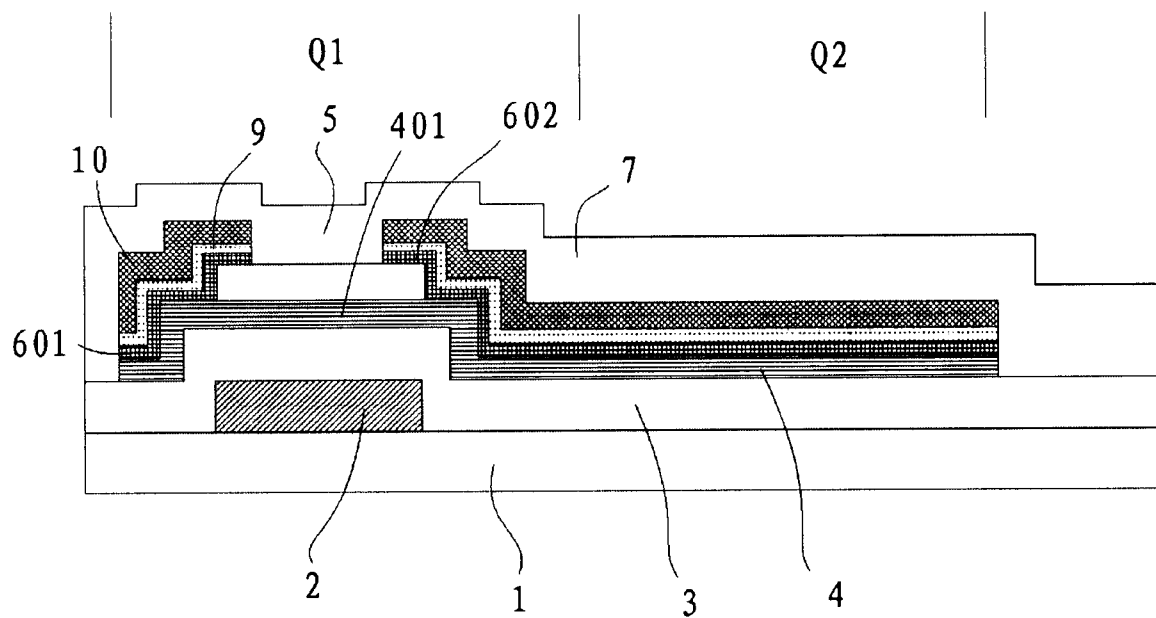


图 8

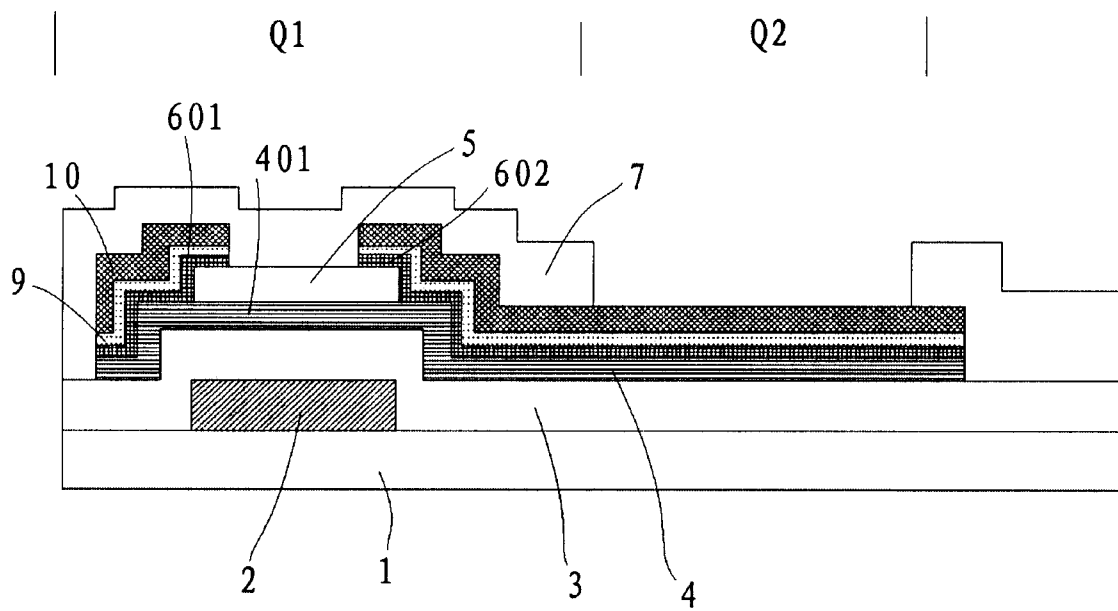


图 9

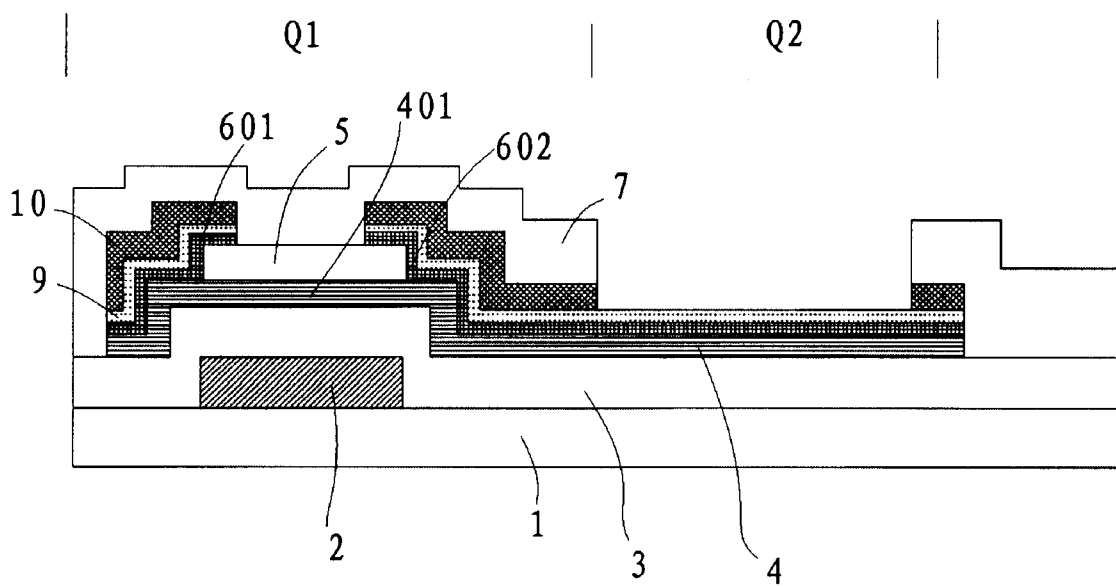


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089530

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: TFT, thin, film, transistor, array, substrate, pixel, active, source, drain, transparent, conduct+, pattern+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101000896 A (CHUNGHWA PICTURE TUBES LTD) 18 July 2007 (18.07.2007) description, page 6, line 17 to page 10, line 8, and figures 2-3N	1-13
PX	CN 103354218 A (BOE TECHNOLOGY GROUP CO LTD) 16 October 2013 (16.10.2013) claims 1-12, description, paragraphs [0053]-[0109], and figures 2-10	1-13
A	US 2006/0285046 A1 (YANG et al.) 21 December 2006 (21.12.2006) see the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	the
“O” document referring to an oral disclosure, use, exhibition or other means	document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 17 February 2014 (17.02.2014)	Date of mailing of the international search report 20 March 2014 (20.03.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Xiaoming Telephone No. (86-10) 62411813

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089530

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101000896 A	18.07.2007	CN 100570863 C	16.12.2009
CN 103354218 A	16.10.2013	None	
US 2006/0285046 A1	21.12.2006	CN 1881051 A	20.12.2006
		US 8294862 B2	23.10.2012
		KR 20060131316 A	20.12.2006
		CN 100464235 C	25.02.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/089530

Continuation: CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

H01L 27/12 (2006.01) i

H01L 29/786 (2006.01) i

H01L 21/84 (2006.01) n

国际检索报告

国际申请号

PCT/CN2013/089530

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CNABS,TWABS,VEN,EPODOC,DWPI,IEEE:阵列, 基板, 薄膜晶体管, 像素, 源极, 漏极, 透明, 导电, 图案化, 构图, TFT, thin,film,transistor,array,substrate,pixel,active,source,drain,transparent,conduct+,pattern+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101000896 A (中华映管股份有限公司) 18.7 月 2007 (18.07.2007) 说明书第 6 页第 17 行至第 10 页第 8 行, 图 2 至图 3N	1-13
PX	CN103354218A (京东方科技集团股份有限公司) 16.10 月 2013 (16.10.2013) 权利要求 1-12, 说明书第 53 段至第 109 段, 图 2 至图 10	1-13
A	US2006/0285046A1 (YANG 等) 21.12 月 2006 (21.12.2006) 全文	1-13



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

17.2 月 2014 (17.02.2014)

国际检索报告邮寄日期

20.3 月 2014 (20.03.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

李晓明

电话号码: (86-10) **62411813**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/089530

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101000896 A	18.07.2007	CN100570863C	16.12.2009
CN103354218A	16.10.2013	无	
US2006/0285046A1	21.12.2006	CN1881051 A	20.12.2006
		US8294862B2	23.10.2012
		KR20060131316A	20.12.2006
		CN100464235C	25.02.2009

续：主题的分类

H01L 21/77 (2006.01)i

H01L 27/12 (2006.01)i

H01L 29/786(2006.01)i

H01L 21/84(2006.01)n