

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3798620号
(P3798620)

(45) 発行日 平成18年7月19日(2006.7.19)

(24) 登録日 平成18年4月28日(2006.4.28)

(51) Int. Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	5 O 1 W	
HO 1 L 21/56	(2006.01)	HO 1 L 21/56	T	
HO 1 L 25/18	(2006.01)	HO 1 L 25/14	Z	
HO 1 L 25/11	(2006.01)			
HO 1 L 25/10	(2006.01)			

請求項の数 1 (全 11 頁)

(21) 出願番号	特願2000-368910 (P2000-368910)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成12年12月4日(2000.12.4)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2002-170906 (P2002-170906A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成14年6月14日(2002.6.14)	(72) 発明者	谷口 文彦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成15年12月19日(2003.12.19)	(72) 発明者	高島 晃 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	坂本 薫昭

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電極パターンを有する基板に半導体素子を配設する素子配設工程と、
前記半導体素子と前記電極パターンとを電氣的に接続する接続工程と、
前記電極パターン上に配線孔を有するマスクを形成し、前記配線孔に導電材を導入して配線を形成する配線形成工程と、

前記マスクを除去した後、前記基板の前記半導体素子と前記配線の形成された面に前記配線の一部が外部に露出するように樹脂形成を行う樹脂形成工程を実施することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、特に複数の半導体装置を積層して三次元構造として実装密度の向上を図るのに最適な半導体装置の製造方法に関する。

【0002】

電子機器の小型化、軽量化、薄型化に伴い、電子機器に使用される半導体装置にも小型化、薄型化が要求されている。このような要求に対処すべく、半導体装置のパッケージは、4方向に端子がガルウィング状に延出した表面実装用のQFPから、パッケージの底面に外部接続端子をエリアレイ状に配置したBGA(ボールグリッドアレイ)型パッケージあるいはCSP(チップサイズパッケージ)へと移行してきている。

10

20

【 0 0 0 3 】

このような半導体パッケージにおいて、半導体チップを配線基板（インターポーザ）に実装し、インターポーザにより半導体チップの周囲に外部接続用端子を配置したいいわゆるファンアウト型のパッケージが多く使用されている。

【 0 0 0 4 】

【従来の技術】

図 1 8 は従来のファンアウト型の半導体装置の断面図である。図 1 8 において、半導体装置 1 は大略すると基板 2、半導体チップ 4、半田ボール 6、及び封止樹脂 8 等により構成されている。ここで、インターポーザは、基板 2、電極パターン 1 0、ボンディングパッド 1 2 により構成され、外部の電極と半導体チップとを電氣的に導通させるために用いられる。

10

【 0 0 0 5 】

基板 2 は、例えばポリイミド樹脂、セラミック樹脂、ガラスエポキシ樹脂等により形成されており、その表面 2 a には半導体チップ 4 が搭載されると共に、電極パターン 1 0 が形成される。半導体チップ 4 は、フェイスアップの状態では DB 材（ボンディング材）5 により基板 2 に固定されている。電極パターン 1 0 は、基板 2 に銅膜を形成した後、エッチング等により所定のパターンに形成したものである。また、電極パターン 1 0 は、図示しない配線パターンにより電氣的に接続されている。

【 0 0 0 6 】

電極パターン 1 0 は、一部をボンディングパッド 1 2 と一体化されている。このボンディングパッド 1 2 と半導体チップ 4 の電極とは、ワイヤ 1 4 により接続されている。これにより、半導体チップ 4 と電極パターン 1 0、ボンディングパッド 1 2 はワイヤ 1 4 及び配線パターンを介して電氣的に接続された構成となっている。また、基板 2 の半導体チップ 4 が接続された面 2 a は、半導体チップ 4、ワイヤ 1 4、ボンディングパッド 5 等を保護するためにエポキシ系樹脂等よりなる封止樹脂 8 により封止されている。

20

【 0 0 0 7 】

更に、また、基板 2 の電極パターン 1 0 と対向する位置には、基板 2 を貫通する孔部 1 6 が形成されている。この孔部 1 6 は、基板 2 に対してレーザ加工、ドリル加工、もしくは金型加工等を実施することにより形成されていた。

【 0 0 0 8 】

一方、基板 2 の裏面 2 b には、半田ボール 6 が配設されている。この半田ボール 6 は、前記した孔部 1 6 の形成位置に配設されており、この孔部 1 6 を介して電極パターン 1 0 に接合された構成とされている。即ち、半田ボール 6 は電極パターンに接合することにより、基板 2 に固定された構成とされている。

30

【 0 0 0 9 】

上記のように、半導体装置 1 にインターポーザを用いたパッケージ構造が主流となってきたが、更に半導体装置の高密度化が進み、半導体チップを含めたパッケージの実装面積が縮小されつつある。よって、半導体装置のパッケージサイズが縮小され、パッケージ構造の二次元的な縮小はほぼ限界に達しているものと考えられる。従って、半導体装置の小型化を実現するためには、三次元的（スタック）に実装することが必要とされる。三次元的な実装方法において、樹脂パッケージの上面に接続用の電極を設けた半導体装置等が提供されている。

40

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、上記のように樹脂パッケージの上面に接続用の電極を設けるためには、樹脂パッケージを回避して配線しなければならず、樹脂パッケージの上面に接続用の電極を引き出すのは困難である。例えば、樹脂パッケージを形成後に、インターポーザに設けられた外部端子と接続した配線を、樹脂パッケージを回避するように半導体装置の外周表面を迂回して上面に配設すると、配線が露出すると共に、配線が切れ易くなり、半導体装置の信頼性に欠ける。また、このような電極の配設では、配線が長くなることによりインピ

50

ーダンスが大きくなり、半導体装置の高速化を妨げてしまう。

【0011】

本発明は上述の課題に鑑みてなされたものであり、半導体装置のパッケージを簡単な構造で形成し、積層して一体化することにより三次元構造の実装密度の向上を図ることのできる半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上述の目的を達成するために、請求項1記載の発明に係る半導体装置の製造方法は、電極パターンを有する基板に半導体素子を配設する素子配設工程と、前記半導体素子と前記電極パターンとを電氣的に接続する接続工程と、前記電極パターン上に配線孔を有するマスクを形成し、前記配線孔に導電材を導入して配線を形成する配線形成工程と、前記マスクを除去した後、前記基板の前記半導体素子と前記配線の形成された面に前記配線の一部が外部に露出するように樹脂形成を行う樹脂形成工程を実施することを特徴とする。

10

【0022】

上記の各手段は、次のように作用する。

【0031】

請求項1記載の発明によれば、電極パターン上に配線孔を有するマスクを形成し、この配線孔に導電材を導入して配線を形成した後に基板の半導体素子と配線の形成された面に樹脂で封止することにより、複数の同型の半導体装置における積層が可能となる。

20

【0033】

【発明の実施の形態】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0034】

図1は本発明の第1実施例による半導体装置の断面図である。図1に示した半導体装置20は、ワイヤボンディング接続されたファンアウト型の半導体装置である。以下に示す図1～17において、図18に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0035】

図1において、半導体装置20は大略すると基板2、半導体チップ4、半田ボール6、及び封止樹脂8、ポスト18等により構成されている。

30

【0036】

ポスト18は、封止樹脂8内に配設され、一端を電極パターン10に接続され、他端を封止樹脂8の外周表面8aから露出するように配設されている。ポスト18の一端は、電極パターン10に接続されることにより、半田ボール6と電氣的に接続される。ポスト18の他端は、封止樹脂8の外周表面8aから露出するように配設されることにより、他の同型の半導体装置の外部端子と接続することが可能となる。即ち、ポスト18により効率的に半導体装置を積層して一体化することができ、三次元構造の実装密度の向上を図ることができる。また、配線を樹脂内に設けることにより、最短の配線を配設することができ、簡単なパッケージ構造の半導体装置を提供することができる。

40

【0037】

一方、ポスト18は、マスク等で形成されたポスト孔部22に、例えば高速Cuメッキ法を用いて形成される。ポスト18が形成された後、封止樹脂8が形成される。上記半導体装置の製造工程について以下に詳述する。

【0038】

図2、図3は、本発明の第1実施例による半導体装置の第1製造工程を説明するための図である。図2に示す半導体装置の基板2において、ポスト孔部22を電極パターン10に接し、封止樹脂8を形成した時と同じ厚さとなるようにマスク23により形成する。ポスト孔部22には、図3に示すように、高速Cuメッキ法等によりポスト18が形成される

50

。ポスト18が形成された後、半導体装置に金型24、25を配設し、封止樹脂8を金型24の上部から充填することにより、図1に示すような半導体装置20が製造される。

【0039】

図4、図5は、本発明の第1実施例による半導体装置の第2製造工程を説明するための図である。図4に示す半導体装置において、基板2の半導体チップ4が設けられた面に金型26及び金型27を配設し、封止樹脂8を金型26の上部から充填する。金型26に設けられたポスト形成部29により、図5に示すように封止樹脂8にポスト孔部22が形成される。ポスト孔部22には、高速Cuメッキ法等によりポスト18が形成され、図1に示すような半導体装置20を製造することができる。

【0040】

尚、ポスト18の形成は、高速Cuメッキ法に限らず、CVD (Chemical Vapor Deposition) 法、スパッタリング法等でも可能である。また、ポスト18は、封止樹脂8でポスト孔部22を形成した後、ポスト孔部22に半田ボール及び半田ペーストを埋めることにより形成することも可能である。

【0041】

図6は、本発明の第2実施例による半導体装置の断面図である。図6に示す半導体装置20aは、上記図2、3及び図4、5で示した製造工程により形成され、形成されたポスト18の封止樹脂8の外周表面に露出する一端に、外部端子として半田ボール6aを配設する。このように、ポスト18に半田ボール6aを設けることにより、半導体装置の実装の信頼性を向上させることができる。

【0042】

図7は、本発明の第3実施例による半導体装置の断面図である。図7に示す半導体装置20bは、ポスト18a、18bが配設されている。ポスト18aは、図2、3に示す第1製造工程で形成され、封止樹脂8の表面8aより低い高さに形成される。ポスト18aが形成された後、図4に示すポスト形成部を有する金型を配設し、封止樹脂8を充填すると、図7のポスト孔部30が形成される。このポスト孔部30へ高速Cuメッキ等を行うことにより、ポスト18bを形成することができる。ポスト18a、18bは、ポスト18a、18bの断面積がそれぞれ異なるように形成される。これにより、両方のポストのインピーダンスが小さくなるように形成することができるため、半導体装置の高速化を図ることができる。また、図7に示すようにポスト18bがポスト18aの断面積より小さく、ポスト18aの形成された後にポスト18bが半田ペースト埋め等で形成される場合、ポスト18bの形成時間を大幅に短縮できる。また、ポスト18aと電極パッド10に接続する断面積を大きくできるため、半導体装置の信頼性を向上させることができる。

【0043】

図8は、本発明の第3実施例の変形例による半導体装置の断面図である。図8に示す半導体装置20cは、図7に示す半導体装置20bのポスト18bに、半田ボール6bを配設したものである。このように、ポスト18bの封止樹脂8の外周表面に露出する一端に、外部端子として半田ボール6bを設けることにより、半導体装置の実装の信頼性を向上させることができる。また、ポスト18aをあらかじめCuメッキ等で形成し、高さを確保しておくことにより、半田ペーストの穴埋めを実施することなくボール搭載工程が半田ボール搭載のみで可能となる。

【0044】

図9は、本発明の第4実施例による半導体装置の断面図である。図9に示す半導体装置20dは、ポスト18cの一端を半導体チップ4の表面の所定位置と接続させ、他端を封止樹脂8の外周表面に露出するように配設する。ポスト18cは、高速Cuメッキ法等により形成する。このように、半導体チップ4の表面にポスト18cを配設することにより、ポスト18cの配設位置の自由度を向上させることができる。尚、ポスト18cと半導体チップ4との接続は、図示しない半導体チップ4に形成された配線により行われる。

【0045】

図10は、本発明の第4実施例の変形例による半導体装置の断面図である。図10に示す

10

20

30

40

50

半導体装置 20 e は、図 9 に示す半導体装置 20 d のポスト 18 c 上に半田ボール 6 c を配設したものである。このように、ポスト 18 c に半田ボール 6 c を設けることにより、半導体装置の実装の信頼性を向上させることができる。なお、図 9、図 10 に示すようなポストの配設方法はファンアウト構造及びファンイン構造のいずれに対しても対応が可能である。

【0046】

図 11 は、本発明の第 5 実施例による半導体装置ユニットの断面図である。図 11 に示す半導体装置ユニット 20 f では、図 1 に示す複数の半導体装置 20 を積層し、ユニット化した構造としている。半導体装置 20 の半田ボール 6 とポスト 18 の接続面 3 2 との接続により、複数の半導体装置 20 を重ねて実装することができる。例えば、DRAM、フラッシュメモリ等のメモリ IC の半導体素子を小さな実装面積で大容量化する場合に有効な方法である。

10

【0047】

図 12 は、本発明の第 6 実施例による半導体装置ユニットの断面図である。図 12 に示す半導体装置ユニット 20 g では、接合部 3 5 により積層型のパッケージとシールド材 3 4 とを接続している。このシールド材 3 4 は半導体装置の bumps 18 c と接続されている。また、bumps 18 c と電氣的に接続される半田ボール 6 d は接地されているため、シールド材 3 4 は外部からのノイズ及び内部から発生するノイズをシールドする。従って、半導体装置ユニット 20 g に影響するノイズを減らすことができ、信頼性を向上させることができる。また、積層型パッケージの半導体装置ではなく、単一パッケージの半導体装置にシールド材を設けることも可能である。

20

【0048】

図 13 は、本発明の第 7 実施例による半導体装置の断面図である。図 13 に示す半導体装置 20 h では、接合部 3 8 によりポスト 18 とアンテナ 3 6 とを接続している。図 14 に示すようにアンテナ 3 6 では、2 つの接合部 3 8 が配線で接続されている。このように、半導体装置 20 h のポスト 18 にアンテナ 3 6 を接続することにより、IC カードや道路交通システム (ITS: Intelligent Transport System) 等における無線信号の送受信を行うことができる。

【0049】

図 15 は、本発明の第 8 実施例による半導体装置の断面図である。図 15 の半導体装置 20 i は、図 1 に示す半導体装置 20 にチップ部品 4 0 を配設している。チップ部品 4 0 は、半導体装置 20 i の封止樹脂 8 から露出するポスト 18 に接続される。このように、チップ部品をポスト 18 に接続することにより、半導体装置の機能性、汎用性を向上させることができる。

30

【0050】

図 16 は、本発明の第 9 実施例による半導体装置の断面図である。図 16 に示す半導体装置 20 j は、半田ボール 6 と電氣的に接続されるポスト 18 と半導体チップ 4 上にポスト 18 c が形成されている。また、この半導体装置では、接合部 4 4 によりポスト 18、18 c とヒートシンク 4 2 とを接続している。このように、ヒートシンク 4 2 を設けることで、半導体装置 20 j で発生した熱を放出することができ、半導体装置の温度上昇を抑えることができる。

40

【0051】

図 17 は、本発明の第 10 実施例による半導体装置の断面図である。図 17 に示す半導体装置 20 k は、半導体チップ 4 上に半田ボール 6 e が形成され、半田ボール 6 e を挟んで半導体チップ 4 a が配設されている。半導体チップ 4 a の背面を封止樹脂 8 から露出するように配設し、この半導体チップ 4 a の背面とヒートシンク 4 2 を接続させる。これにより、半導体装置で発生した熱を効率的に放出することができる。尚、半導体チップ 4 a は必ずしも電氣的に機能させる必要はなく、半導体装置の熱抵抗を低減させるためのダミー素子を搭載してもよい。

【0052】

50

(付記 1) 半導体素子と、
外部と接続する外部端子と、
前記半導体素子を第 1 の面に搭載し、前記第 1 の面と反対側の面に外部端子を設け、前記半導体素子と前記外部端子とを電氣的に接続するインターポーザと、
該インターポーザの第 1 の面を封止する樹脂とを有する半導体装置であって、
前記外部端子と電氣的に接続する第 1 の接続部と、前記樹脂の外周表面に露出する第 2 の接続部とを有し、前記樹脂に内設されている配線を有することを特徴とする半導体装置。

【 0 0 5 3 】

(付記 2) 半導体素子と、
外部と接続する外部端子と、
前記半導体素子を第 1 の面に搭載し、前記第 1 の面と反対側の面に外部端子を設け、前記半導体素子と前記外部端子とを電氣的に接続するインターポーザと、
該インターポーザの第 1 の面を封止する樹脂とを有する半導体装置であって、
前記半導体素子と電氣的に接続する第 1 の接続部と、前記樹脂の外周表面に露出する第 2 の接続部とを有し、前記樹脂に内設されると共に前記半導体素子の表面上に配設された配線を有することを特徴とする半導体装置。

10

【 0 0 5 4 】

(付記 3) 付記 1 又は 2 記載の半導体装置であって、
前記第 1 の接続部と第 2 の接続部との断面積が異なることを特徴とする半導体装置。

【 0 0 5 5 】

(付記 4) 付記 1 乃至 3 いずれか一項記載の半導体装置であって、
前記第 2 の接続部にバンプを形成することを特徴とする半導体装置。

20

【 0 0 5 6 】

(付記 5) 付記 1 乃至 4 いずれか一項記載の半導体装置であって、
複数の前記半導体装置のそれぞれを積層固定することを特徴とする半導体装置。

【 0 0 5 7 】

(付記 6) 付記 1 乃至 5 いずれか一項記載の半導体装置であって、
前記第 2 の接続部にシールド材を載置することを特徴とする半導体装置。

【 0 0 5 8 】

(付記 7) 付記 1 乃至 5 いずれか一項記載の半導体装置であって、
前記第 2 の接続部にアンテナを載置することを特徴とする半導体装置。

30

【 0 0 5 9 】

(付記 8) 付記 1 乃至 5 いずれか一項記載の半導体装置であって、
前記第 2 の接続部に電子部品を載置することを特徴とする半導体装置。

【 0 0 6 0 】

(付記 9) 付記 1 乃至 5 いずれか一項記載の半導体装置であって、
前記第 2 の接続部にヒートシンクを載置することを特徴とする半導体装置。

【 0 0 6 1 】

(付記 10) 付記 1 乃至 3 いずれか一項記載の半導体装置であって、
前記半導体素子に他の半導体素子の第 1 の面を接続させ、前記他の半導体素子の第 2 の面及び第 2 の接続部にヒートシンクを載置することを特徴とする半導体装置。

40

【 0 0 6 2 】

(付記 11) 電極パターンを有する基板に半導体素子を配設する素子配設工程と、
前記半導体素子と前記電極パターンとを電氣的に接続する接続工程と、
前記電極パターン上に配線孔を有するマスクを形成し、前記配線孔に導電材を導入して配線を形成する配線形成工程と、
前記マスクを除去した後、前記基板の前記半導体素子と前記配線の形成された面に前記配線の一部が外部に露出するように樹脂形成を行う樹脂形成工程を実施することを特徴とする半導体装置の製造方法。

【 0 0 6 3 】

50

(付記12) 電極パターンを有する基板に半導体素子を配設する素子配設工程と、前記半導体素子と前記電極パターンとを電氣的に接続する接続工程と、前記電極パターン上に配線が形成されるよう前記基板の前記半導体素子の配設面に樹脂を形成する樹脂形成工程と、前記配線孔に導電材を導入することにより、前記樹脂内に配線を形成する配線形成工程を実施することを特徴とする半導体装置の製造方法。

【0064】

【発明の効果】

以上説明したように、請求項1記載の発明によれば、電極パターン上に配線孔を有するマスクを形成し、この配線孔に導電材を導入して配線を形成した後に基板の半導体素子と配線の形成された面に樹脂で封止することにより、複数の同型の半導体装置における積層が可能となる。

10

【図面の簡単な説明】

【図1】本発明の第1実施例による半導体装置の断面図である。

【図2】本発明の第1実施例による半導体装置の第1製造工程を説明するための図である。

【図3】本発明の第1実施例による半導体装置の第1製造工程を説明するための図である。

【図4】本発明の第1実施例による半導体装置の第2製造工程を説明するための図である。

20

【図5】本発明の第1実施例による半導体装置の第2製造工程を説明するための図である。

【図6】本発明の第2実施例による半導体装置の断面図である。

【図7】本発明の第3実施例による半導体装置の断面図である。

【図8】本発明の第3実施例の変形例による半導体装置の断面図である。

【図9】本発明の第4実施例による半導体装置の断面図である。

【図10】本発明の第4実施例の変形例による半導体装置の断面図である。

【図11】本発明の第5実施例による半導体装置ユニットの断面図である。

【図12】本発明の第6実施例による半導体装置ユニットの断面図である。

【図13】本発明の第7実施例による半導体装置の断面図である。

30

【図14】本発明の第7実施例による半導体装置に配設されたアンテナの断面図である。

【図15】本発明の第8実施例による半導体装置の断面図である。

【図16】本発明の第9実施例による半導体装置の断面図である。

【図17】本発明の第10実施例による半導体装置の断面図である。

【図18】従来のファンアウト型の半導体装置の断面図である。

【符号の説明】

1、20、20a~20e、20h~20k 半導体装置

2 基板

4、4a 半導体チップ

5 DB材

40

6、6a~6e 半田ボール

8 封止樹脂

10 電極パターン

12 ボンディングパッド

14 ワイヤ

16 孔部

18、18a~18c ポスト

20f、20g 半導体装置ユニット

22、30 ポスト孔部

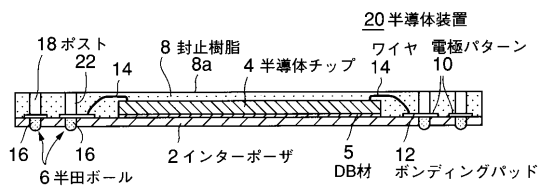
23 マスク

50

- 24、25、26、27 金型
- 29 ポスト形成部
- 32 接続面
- 34 シールド材
- 35、38、44 接続部
- 36 アンテナ
- 40 チップ部品
- 42 ヒートシンク

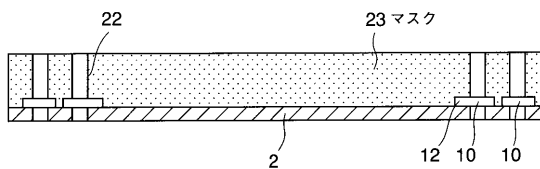
【図1】

本発明の第1実施例による半導体装置の断面図



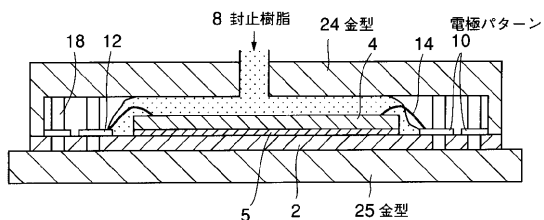
【図2】

本発明の第1実施例による半導体装置の第1製造工程を説明するための図



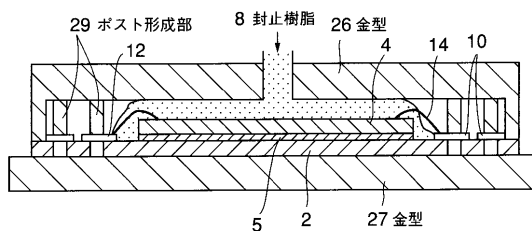
【図3】

本発明の第1実施例による半導体装置の第1製造工程を説明するための図



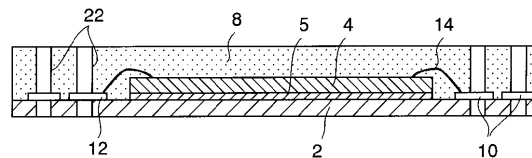
【図4】

本発明の第1実施例による半導体装置の第2製造工程を説明するための図



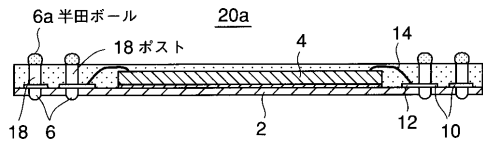
【図5】

本発明の第1実施例による半導体装置の第2製造工程を説明するための図



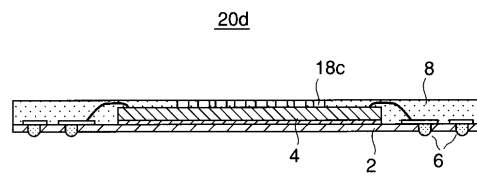
【図6】

本発明の第2実施例による半導体装置の断面図



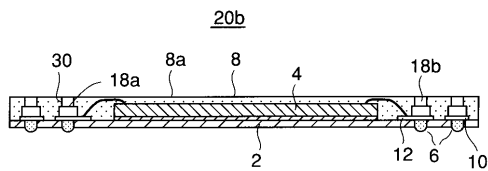
【図9】

本発明の第4実施例による半導体装置の断面図



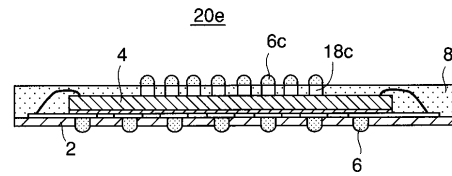
【図7】

本発明の第3実施例による半導体装置の断面図



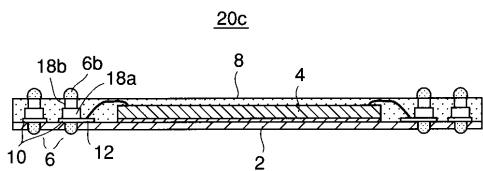
【図10】

本発明の第4実施例の変形例による半導体装置の断面図



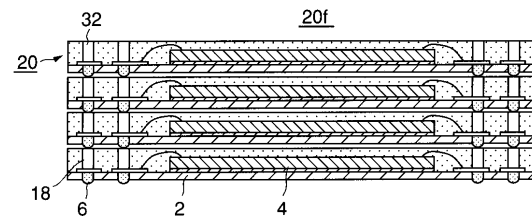
【図8】

本発明の第3実施例の変形例による半導体装置の断面図



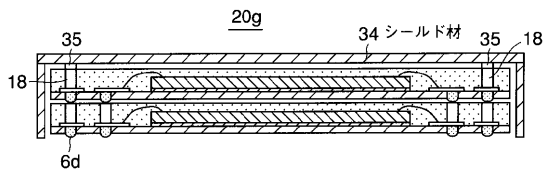
【図11】

本発明の第5実施例による半導体装置ユニットの断面図



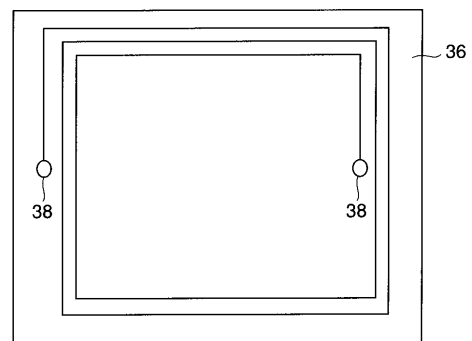
【図12】

本発明の第6実施例による半導体装置ユニットの断面図



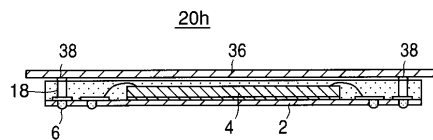
【図14】

本発明の第7実施例による半導体装置に配設されたアンテナの断面図



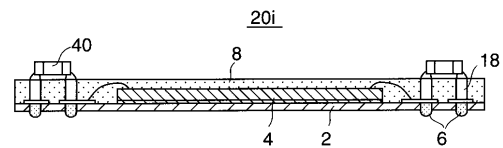
【図13】

本発明の第7実施例による半導体装置の断面図



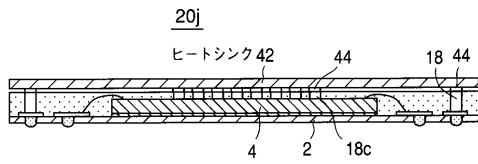
【図15】

本発明の第8実施例による半導体装置の断面図



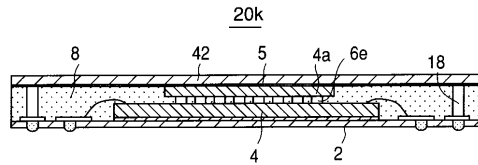
【 図 1 6 】

本発明の第9実施例による半導体装置の断面図



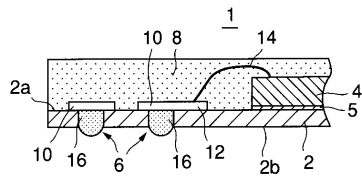
【 図 1 7 】

本発明の第10実施例による半導体装置の断面図



【 図 1 8 】

従来のファンアウト型の半導体装置の断面図



フロントページの続き

(56)参考文献 特開平07 - 335783 (JP, A)
特開平10 - 041427 (JP, A)
特開2002 - 158312 (JP, A)

(58)調査した分野(Int.Cl. , DB名)
H01L 23/12