



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0070988
(43) 공개일자 2009년07월01일

(51) Int. Cl.

C04B 35/46 (2006.01) C04B 35/475 (2006.01)

(21) 출원번호 10-2007-0139169

(22) 출원일자 2007년12월27일

심사청구일자 2007년12월27일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

남산

서울 강남구 대치동 은마아파트 20-1003

최창학

경기 수원시 영통구 영통동 황골마을 주공아파트 102-102

최주영

서울 강동구 둔촌2동 435-8 번지 광남캐스빌 102동 1002호

(74) 대리인

특허법인아주

전체 청구항 수 : 총 13 항

(54) Bi₆Ti₅TeO₂₂ 유전체 조성물 및 이로 형성되는 유전체 박막층을 구비하는 MIM 캐패시터

(57) 요약

본 발명에 따른 유전체 박막층은 상온 내지 300℃에서 50 내지 300nm로 증착이 가능하고 하기 화학식 1의 성분을 포함하는 유전체 조성물로 형성되는 것을 특징으로 한다.

[화학식1]

Bi₆Ti₅TeO₂₂

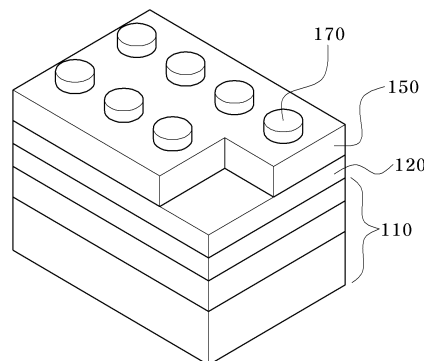
또한 본 발명에 따른 MIM 캐패시터는 하부전극층; 상기 하부전극층 상에 50nm 내지 300nm 두께로 형성되며, 하기 화학식 1 Bi₆Ti₅TeO₂₂의 유전체 조성물로 형성되는 유전체 박막층; 상기 유전체 박막층 상에 형성되며, 상기 하부전극층과 중첩되도록 패터닝된 상부전극층을 포함하며, 50이상의 고유전율, 1%이하의 저유전손실인 것을 특징으로 한다.

따라서 본 발명에 따른 유전체 조성물은 화학식 1의 Bi₆Ti₅TeO₂₂ 조성을 갖으며, 400℃ 이하의 저온 공정에서 형성할 수 있는 유전 박막 재료를 확보하여 기관내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)에 적용 가능한 고유전율(>50), 저손실(<1%), 저온공정온도(<300℃)를 만족하는 유전체 박막층을 확보할 수 있다.

또한, 본 발명에 따른 유전체 조성물 및 이로 형성되는 유전체 박막층을 구비하는 반도체 소자는 고유전율, 저유전손실 및 저온에서 용이한 증착공정으로 성능이 향상될 수 있는 효과가 있다.

대표도 - 도1

10

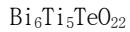


특허청구의 범위

청구항 1

상온 내지 300℃에서 50 내지 300nm로 증착이 가능하고 하기 화학식 1의 성분을 포함하는 유전체 조성물로 형성되는 것을 특징으로 하는 유전체 박막층.

[화학식1]



청구항 2

하부전극층;

상기 하부전극층 상에 50nm 내지 300nm 두께로 형성되며, 하기 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되는 유전체 박막층;

상기 유전체 박막층 상에 형성되며, 상기 하부전극층과 중첩되도록 패터닝된 상부전극층을 포함하며, 50이상의 고유전율, 1%이하의 저유전손실인 것을 특징으로 하는 MIM 캐패시터.

청구항 3

제 2항에 있어서,

상기 유전체 박막층은 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 성분으로 형성되는 1~10nm의 미세결정이 포함된 비정질 상인 것을 특징으로 하는 MIM 캐패시터.

청구항 4

제 2항에 있어서,

상온증착(25℃ 내지 27℃), 90 내지 110KHz에서 상기 유전체 박막층의 유전율은 50 내지 60이고, 상기 유전체 박막층의 유전손실율은 0.010 내지 0.014% 인 것을 특징으로 하는 MIM 캐패시터.

청구항 5

제 2항에 있어서,

증착온도 290℃ 내지 310℃, 90 내지 110KHz에서 상기 유전체 박막층의 유전율은 68 내지 70이고, 상기 유전체 박막층의 유전손실율은 0.010 내지 0.014% 인 것을 특징으로 하는 MIM 캐패시터.

청구항 6

제 2항에 있어서,

상기 유전체 박막층의 누설전류는 상온증착(25℃ 내지 27℃), 1.9 내지 2.1V에서 0.09 내지 0.11 nA/cm^2 인 것을 특징으로 하는 MIM 캐패시터.

청구항 7

제 2항에 있어서,

상기 유전체 박막층의 누설전류는 증착온도 290℃ 내지 310℃, 1.9 내지 2.1V에서 0.2 내지 0.4 nA/cm^2 인 것을 특징으로 하는 MIM 캐패시터.

청구항 8

제 2항에 있어서,

상기 유전체 박막층의 정전용량 온도계수는 90 내지 110 kHz에서 145~205 ppm/℃인 것을 특징으로 하는 MIM 캐

패시터.

청구항 9

화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되는 유전체 박막층을 구비하는 다수의 스위칭소자;

제 2항 내지 제 8항 중 어느 한 항으로 형성되는 다수의 MIM 캐패시터; 및

상기 스위칭소자에 신호를 전달하는 제어부를 포함하는 반도체 소자.

청구항 10

제 9항에 있어서,

상기 스위칭소자는

게이트라인과 일체로 형성된 게이트 전극;

상기 게이트전극 상에 형성되는 상기 유전체 박막층;

상기 유전체 박막층 상에 형성되며, 상기 게이트 전극 영역에 형성되는 반도체층; 및

상기 반도체층 상에 형성되며, 소정 간격 이격되어 형성되는 소스전극과 드레인전극을 구비하는 것을 특징으로 하는 반도체 소자.

청구항 11

(a) 기판 상에 스퍼터링 공정을 이용하여 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물을 포함하는 유전체 박막층을 증착하는 단계;

(b) 상기 유전체 박막층 상에 상부전극층을 형성하는 단계; 및

(c) 상기 상부전극층을 패터닝하는 단계를 포함하는 MIM 캐패시터의 제조방법.

청구항 12

제 11항에 있어서,

상기 (a) 단계의 스퍼터링 공정에서 사용되는 타겟은 고상반응법을 이용하여 제작된 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 타겟인 것을 특징으로 하는 MIM 캐패시터의 제조방법.

청구항 13

제 11항에 있어서,

상기 (a) 단계에서 사용되는 상기 스퍼터링장치 챔버의 내부조건은 250 내지 350℃의 온도, O_2 와 Ar이 2:8로 혼합된 분위기, 전체적으로 7 내지 10mTorr의 내부 압력을 가지며, 90W 내지 110W의 파워를 가지는 것을 특징으로 하는 MIM 캐패시터의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유전체 조성물 및 이로 형성되는 유전체 박막층을 구비하는 MIM 캐패시터에 관한 것으로, 보다 구체적으로는 고유전율(>50), 저손실(<1%), 저온공정온도(<300°C)를 만족시킬 수 있으며, 기판내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)에 적용이 가능한 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 성분을 포함하는 유전체조성물 및 이로 형성되는 유전체 박막층을 구비하는 MIM 캐패시터에 관한 것이다.

배경 기술

- <2> 국내 반도체 업체를 비롯한 세계 반도체 회사들은 고유전율 물질(high-k)에 대한 신뢰성 확보와 기술력 부족으로 아직은 적용하지 못하고 있다. 국제 반도체 기술 로드맵(ITRS)에 따르면 고유전율(high-k) 절연물질의 적용시기가 점점 지연되고 있다.
- <3> 이렇게 high-k 물질의 적용시기가 계속 지연되는 이유 중 하나는 Si과의 열 안정성, 계면특성 등에 대한 신뢰도가 아직 확보되어 있지 않기 때문이다.
- <4> 반도체 시장을 주도적으로 이끌어 가기 위해서는 시급히 high-k 적용에 따르는 이슈들을 해결해야 한다. 대부분 high-k 물질들이 열적 안정성에 있어서 취약성으로 인하여 현재 실리콘에 및 알루미늄에 가장 적합한 물질로 받아들이고 있다.
- <5> 국내 반도체 업계에서도 최근 집적회로(IC)소자의 고집적화 및 박막형 기판내장형 캐패시터를 위하여 정전밀도(capacitance density)를 증가시키고자 고유전상수(k)를 가진 유전체에 대한 연구가 활발히 진행되고 있다.
- <6> MIM 캐패시터(Metal-Insulator-Metal capacitor)란 금속 전극 사이에 유전체(dielectric)가 삽입되어 있는 형태의 캐패시터로서 적용 분야에 따라 기판내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)로 사용될 수 있다.
- <7> 이러한 MIM 캐패시터가 가져야 할 조건으로는 높은 정전 용량 밀도(capacitance density), 낮은 누설전류(leakage current), 낮은 유전손실($\tan \delta$), 낮은 TCC(Temperature coefficient of capacitance)가 요구된다.
- <8> 종래의 MIM 캐패시터의 절연체로서 사용되는 유전물질로는 주로 반도체 공정에서 잘 적용될 수 있는 SiO_2 나 Si_3N_4 등과 같은 물질이 많이 이용되었다.
- <9> 이산화규소 등의 사용은 소자의 특성을 향상시키기 위해 두께가 점점 얇아지면서 누설전류의 증가와 도펀트(dopant)의 투과 등의 문제점이 발생하게 됐다.
- <10> 이러한 문제점을 해결하기 위해 고유전상수를 갖는 물질을 게이트 산화막으로 사용하고자 하는 연구가 활발히 진행되고 있다.
- <11> 트랜지스터에 사용되는 유전체의 두께를 얇게 하는 것은 전기용량을 증가시켜서 트랜지스터에 흐르는 전류를 증가시키기 위한 것인데 유전상수가 큰 물질을 사용하면 두께를 감소시키지 않고도 원하는 양의 전류를 흐르게 할 수 있다.
- <12> 게다가 기존에는 열산화막으로 SiO_2 를 사용하고 있으나 소자가 미세화 됨에 따라 누설전류가 증가하는 문제점을 가지고 있으므로 박막두께를 증가시켜야 하는 문제점을 발생시키게 된다.
- <13> 즉, 이러한 유전물질을 박막화할 경우 정전용량이 약 $2 \text{ fF}/\mu\text{m}^2$ 정도로 낮아서 소자의 고집적화에 어려움이 있었다.
- <14> 한편, 캐패시터에 사용되는 유전물질의 경우는 게이트 산화막에서 요구되는 Si 기판과의 안정성보다는 전극에서의 열적 안정성과 유전상수의 크기에 중점을 두고 있다.
- <15> 게이트 길이에 따라 절연막의 두께도 소정의 두께로 스케일링(scaling)됨으로 인해 도펀트(dopant) 침투에 의한 소자의 문턱전압 변화, 게이트 절연막의 터널링(tunneling)에 의한 허용치 이상의 누설전류 발생 등 여러 가지의 물리적 한계에 직면하게 되었다.
- <16> 따라서 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 등 절연막으로 사용되는 유전박막 물질은 물리적 한계에 직면하게 되어 상기한 문제점을 해결하기 위하여 종래의 최근 Al_2O_3 , Ta_2O_5 , TiO_2 , HfO_2 등과 같은 물질의 박막화에 대한 연구가 많이 진행되고 있다.
- <17> 이중 Al_2O_3 박막은 정전용량 밀도가 높고 누설전류 밀도가 낮지만 2차 정전용량 전압계수가 높으며, Al_2O_3 가 첨가된 Ta_2O_5 박막은 비교적 높은 정전용량 밀도를 가지고 낮은 누설전류밀도를 가지나 품질계수(Q)가 40정도의 낮은 값을 가지는 단점이 있었다.

발명의 내용

해결 하고자하는 과제

- <18> 본 발명은 상기와 같은 문제점을 해결하고자 안출된 것으로, 상온 내지 300°C의 저온에서 증착될 수 있는 고유전율, 저 유전손실을 가지는 유전체 박막층을 형성할 수 있는 유전체 조성물을 제공하는데 그 목적이 있다.
- <19> 또한, 상온 내지 300°C의 온도에서 안정적으로 증착 가능한 유전체 조성물을 통해 고유전율(>50), 저손실(<1%), 저온공정온도(<300°C)를 모두 만족시킬 수 있는 유전체 박막층을 구비하는 MIM 캐패시터를 제공하는 데 그 목적이 있다.
- <20> 또한, 유전체 조성물인 유전 박막 재료를 확보함으로써 기관내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)에 적용 가능한 MIM 캐패시터를 제공하는 데 그 목적이 있다.

과제 해결수단

- <21> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 유전체 박막층은 상온 내지 300°C에서 50 내지 300nm로 증착이 가능하고 하기 화학식 1의 성분을 포함하는 유전체 조성물로 형성되는 것을 특징으로 한다.
- <22> [화학식1]
- <23> $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$
- <24> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 MIM 캐패시터는 하부전극층; 상기 하부전극층 상에 50nm 내지 300nm 두께로 형성되며, 하기 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되는 유전체 박막층; 상기 유전체 박막층 상에 형성되며, 상기 하부전극층과 중첩되도록 패터닝된 상부전극층을 포함하며, 50이상의 고유전율, 1% 이하의 저유전손실인 것을 특징으로 한다.
- <25> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 반도체 소자는 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되는 유전체 박막층을 구비하는 다수의 스위칭소자; 상기 유전체 박막층을 구비하여 형성되는 다수의 MIM 캐패시터; 상기 스위칭소자에 신호를 전달하는 제어부를 포함한다.
- <26> 상기 기술적 과제를 해결하기 위한 수단으로 본 발명에 따른 MIM 캐패시터의 제조방법은 (a) 기판 상에 스퍼터 장치를 이용하여 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물을 포함하는 유전체 박막층을 증착하는 단계; (b) 상기 유전체 박막층 상에 상부전극층을 형성하는 단계; 및 (c) 상기 상부전극층을 패터닝하는 단계를 포함한다.

효과

- <27> 본 발명에 따른 유전체 조성물은 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 조성을 갖으며, 400°C 이하의 저온 공정에서 형성할 수 있는 유전 박막 재료를 확보하여 기관내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)에 적용 가능한 고유전율(>50), 저손실(<1%), 저온공정온도(<300°C)를 만족하는 유전체 박막층을 확보할 수 있다.
- <28> 또한, 본 발명에 따른 유전체 조성물 및 이로 형성되는 유전체 박막층을 구비하는 반도체 소자는 고유전율, 저 유전손실 및 저온에서 용이한 증착공정으로 성능이 향상될 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <29> 이하는 본 발명에 따른 유전체 조성물 및 이로 형성되는 절연막을 구비하는 반도체 소자를 상세히 설명하기로 한다.
- <30> 본 발명에 따른 유전체 조성물은 화학식 1을 포함한다.
- <31> [화학식 1]
- <32> $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$
- <33> 상기 화학식 1의 조성물은 세라믹 공정으로 형성할 수 있다. 여기서 본 발명은 고상반응법으로 형성되는 것을 실시예로 들어 설명하기로 한다.
- <34> 상기 화학식 1은 원재료(Starting material)은 Bi_2O_3 , TiO_2 와 TeO_2 를 마련하고, 믹싱 장치를 통해서 혼합할 수

있다. 여기서 혼합공정은 볼 밀링 장치 등으로 실시할 수 있다.

- <35> 그리고 상기 혼합된 물질을 하소(calcination)를 실시할 수 있다. 상기 하소공정은 상기 혼합된 물질에 포함되어 있는 유기물 등을 태울 수 있으며, 상기 원재료를 혼합하게 된다.
- <36> 그리고 상기 하소공정을 통해서 추후에 실시되는 소결(sintering)공정에서 강열감량(ignition loss)으로 발생할 수 있는 중량감소와 상기 중량감소에 따른 성형물질의 수축으로 인해 크랙이 발생하는 것을 최소화할 수 있다.
- <37> 한편, 상기 하소공정을 마친 혼합 물질을 볼 밀링 등의 믹싱공정을 더 실시할 수 있다. 상기 밀링 공정은 원료를 혼합하기 보다는 하소를 통해서 입자 사이즈가 증가할 수 있기 때문에 상기 하소공정을 마친 물질을 분쇄하여 입자 사이즈 등을 감소시키기 위해 실시할 수 있다.
- <38> 그리고 상기 하소공정을 한 후 상기 혼합된 물질을 성형을 할 수 있다. 상기 성형공정은 바인더 등으로 통해서 점성이 있는 상태로 변경하고 상기 상태에서 소정의 형상으로 성형을 실시할 수 있게 된다.
- <39> 그리고 상기 성형된 물질을 소결(sintering)을 실시한다. 상기 소결공정은 성형된 상태의 물질에 높은 열을 가하여 성형체를 소결체로 형성하게 된다.
- <40> 여기서 상기 소결공정은 높은 열 등으로 인해 물질이동이 발생할 수 있다.
- <41> 여기서 상기 화학식 1을 포함하는 물질은 소결온도 900℃ ~ 1050℃ 에서 형성할 수 있다.
- <42> 그리고 상기 성형체는 추후에 기판 상에 물질을 증착시키기 위해서 타겟으로 사용할 수 있도록 원판형, 펠렛 형상 등으로 형성할 수 있다.
- <43> 이와 같이, 본 발명에 따른 유전체 조성물은 세라믹공정의 고상반응법 등으로 성형체를 형성하고 소결과정을 통해서 소결체를 형성할 수 있다.
- <44> 상기 소결체는 곧, 유전체 박막을 형성할 수 있는 타겟으로 사용할 수 있다.
- <45> 도 1은 본 발명의 제1실시예에 따른 MIM 캐패시터를 도시한 도면이다.
- <46> 도 1을 참조하면, MIM 캐패시터(10)는 하부전극층(120)과, 하부전극층(120) 상에 형성되며 상온 내지 300℃ 이하에서 증착이 가능하고 유전율이 50이상으로 형성되며 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되는 유전체 박막층(150), 유전체 박막층(150) 상에 형성되며, 상기 하부전극층(120)과 중첩되도록 형성되며 패터닝된 상부전극층(170)을 포함한다.
- <47> 하부전극층(120)은 $\text{Ti}/\text{SiO}_2/\text{Si}$ 의 구조를 갖는 기판(110) 상에 형성할 수 있다.
- <48> 기판(110)은 기판의 기본이 되는 베이스층으로써 (100) 방향으로 설정된 Si성분으로 형성되는 실리콘기판을 사용할 수 있다. 상기 실리콘기판 상에는 Si층의 표면을 보호하기 위한 산화실리콘(SiO_2)층을 형성할 수 있다. 상기 산화실리콘층 상에 하부전극(120)으로 사용되는 금속과의 접착력을 향상시키기 위해서 Ti층을 형성할 수 있다.
- <49> 이와 같이 마련된 기판(110) 상에 형성되는 하부전극(120)은 50 내지 100nm의 두께로 형성될 수 있다.
- <50> 하부전극층(120)은 금속물질로 이루어져 있는데, 바람직하게는 Pt/I/Pt, Pt/I/Al, Al/I/Pt의 구조로 해주며, 그 외에 Ag, Au, Zr, Cu, W, Ti 중 선택되는 하나 또는 이들의 조합으로 이루어질 수도 있다.
- <51> 하부전극(120) 상에는 유전체 박막층(150)이 형성된다.
- <52> 유전체 박막층(150)은 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물로 형성할 수 있다.
- <53> 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물로 형성되는 유전체 박막층(150)은 비정질(amorphous) 및 수 nm크기를 가지는 나노결정을 포함하는 구조를 갖는다.
- <54> 여기서 유전체 박막층(150)은 형성되는 과정에서 500℃이상에서 휘발이 일어나는 TeO_2 , Bi_2O_3 가 휘발되어 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 성분으로 존재할 수도 있다.
- <55> 이와 같이, 유전체 박막층(150)은 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물을 가지고 타겟으로 형성하고 상기한 타겟으로 상온 내지 300℃이하의 온도에서 저온증착으로 형성할 수 있다. 이 때 증착두께는 50 내지 300 nm로 형

성할 수 있다.

- <56> 상기와 같이 형성된 유전체 박막층(150)은 유전율 50이상의 고유전율, 1%이하의 저유전손실을 갖는 것을 특징으로 한다. 유전체 박막층(150)의 고유전율, 저유전손실의 특성은 추후 실시예에서 상세히 설명한다.
- <57> 따라서, 유전체 박막층(150)은 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물로 형성됨으로 유전율 50이상의 고유전율, 1%이하의 저유전손실이면서 상온 내지 300°C 이하의 온도에서 저온증착이 가능하기 때문에 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 향상된 박막의 MIM 캐패시터(10)를 형성할 수 있다.
- <58> 그리고, 유전체 박막층(150) 상에는 패턴닝된 상부전극층(170)이 형성되어 있다. 상부전극층(170)은 하부전극층(120)과 같이, 금속물질로 이루어져 있는데, 바람직하게는 Pt/I/Pt, Pt/I/Al, Al/I/Pt의 구조로 해주며, 그 외에 Ag, Au, Zr, Cu, W, Ti 중 선택되는 하나 또는 이들의 조합으로 이루어질 수도 있다.
- <59> 그리고 상부전극층(170)의 두께는 하부전극층(120)의 두께와 같거나 10% 이내의 오차범위를 가지는 정도에서 결정되어 지는 것이 바람직하다.
- <60> 이와 같이, 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 박막의 유전체 박막층(150)을 저온에서 형성함으로써 고유전율, 저유전손실 갖고면서 MIM 캐패시터(10)를 박막으로 형성할 수 있다.
- <61> 따라서, 집적회로에서 요구하는 저온의 공정온도 범위에서 MIM 캐패시터(10)를 형성할 수 있고, 고유전율, 저유전손실 특성을 갖는 유전체 박막층(150)을 얇은 두께로 형성함에 따라 MIM 캐패시터(10)를 박막으로 형성하여 집적도를 높일 수 있는 효과가 있다.
- <62> 도 2는 본 발명의 제2실시예에 따른 유전체 조성물로 형성되는 유전체 박막층을 구비하는 디스플레이소자를 도시한 도면이다.
- <63> 여기서 유전체 박막층(150)은 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 형성되며, 상기 유전체 조성물로 형성되는 유전체 박막층(150)은 도 1을 인용하여 설명한다.
- <64> 도 2를 참조하면, 본 발명에 따른 디스플레이소자(20)는 스위칭소자(23)와 캐패시터(27)를 포함한다.
- <65> 그리고 디스플레이 소자의 특성을 고려하여 이들을 각각의 마련할 수 있다. 여기에서는 용이한 설명을 위해 기판(210) 상에 스위칭소자(23)와 MIM 캐패시터(이하 캐패시터, 27)가 동시에 형성된 디스플레이소자(20)를 실시로써 설명하기로 한다.
- <66> 스위칭소자(23)는 기판(210) 상에 게이트라인과 일체로 되어 있는 게이트전극(220)과, 상기 게이트라인과 게이트전극(220)을 절연하는 유전체 박막층(150)과, 상기 게이트라인과 교차하는 데이터라인과, 게이트전극(220)이 형성된 영역에 형성되는 반도체층(230)을 구비한다.
- <67> 상기 게이트라인 및 게이트전극(220)은 게이트 온(on) 전압을 인가받아 작동하게 된다.
- <68> 유전체 박막층(150)은 본 발명에 따른 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물로 이용하여 상온 내지 300°C 이하로 저온증착으로 형성함에 따라, 유전율 50이상의 고유전율, 1%이하의 저유전손실의 특성을 갖는 절연막으로 형성할 수 있게 된다.
- <69> 즉, 소자가 미세화됨에 따라 종래의 게이트 절연막은 상대적으로 유전율이 낮기 때문에 누설전류가 증가하는 문제점과 상기한 이유로 유전체 박막층의 박막두께를 증가시켜야 하는 문제점을 가지고 있었다.
- <70> 그러나 본 발명에 따른 디스플레이 소자(20)는 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 의 유전체 조성물로 상온 내지 300°C 의 온도에서 즉, 저온으로 유전체 박막층(150)을 50 내지 300 nm로 두께로 형성할 수 있으면서, 유전율 50이상의 고유전율, 1%이하의 저유전손실 특성을 갖도록 형성함으로써 상기한 박막의 두께증가, 누설전류 등의 문제점을 해결할 수 있다.
- <71> 그리고 반도체층(230)은 유전체 박막층(150) 상에 형성되며, 게이트전극(220)에 대응되는 영역에 형성된다. 반도체층(230)은 게이트전극(220)에 인가되는 게이트 온 전압에 의해서 채널을 형성하게 된다.
- <72> 상기 채널은 데이터라인(240)에 인가되는 전압을 통과시키는 역할을 할 수 있다.
- <73> 상기 데이터라인(240)은 소스전극(240a)과 일체로 형성되고, 소스전극(240a)과 소정간격 이격되어 드레인전극

(240b)이 형성된다.

- <74> 그리고 드레인전극(240b)은 화소전극(260)과 연결된다. 여기서 상기 화소전극(260)과 데이터라인(240) 및 소스/드레인전극(240a, 240b) 사이에는 보호막(250)이 형성된다. 상기 보호막(250)은 전극들을 외부의 오염물질 등으로부터 보호한다. 여기서 드레인전극(240b)과 화소전극(260)은 보호막(250)을 관통시켜 연결할 수 있다.
- <75> 이와 같이, 유전체 박막층(150)을 유전율 50이상의 고유전율, 1%이하의 저유전손실이면서 상온 내지 300℃의 저온에서 50 내지 300nm 두께로 증착 형성함으로써 얇은 박형으로 형성하면서, 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 향상된 스위칭 소자(23)를 형성할 수 있다.
- <76> 상기 캐패시터(27)는 중첩되도록 형성된 상/하전극(220a, 260a)과, 상/하전극(220a, 260a) 사이에 배치되는 유전체 박막층(150)을 구비한다.
- <77> 상하전극(220a, 260a)이 중첩되도록 형성됨으로써 상/하전극(220a, 260a) 사이에서는 캐패시턴스(C)가 발생할 수 있다.
- <78> 상부전극(220a)과 하부전극(260a)을 구성하는 금속은 Al, Ag, Au, Cu, W, Pt, Ti 중 선택되는 하나 또는 이들의 조합으로 이루어질 수 있다.
- <79> 이와 같이, 본 발명에 따른 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물(150)로 형성됨으로써 유전율 50이상의 고유전율, 1%이하의 저유전손실이면서 상온 내지 300℃이하의 온도에서 저온증착이 가능하도록 형성함으로써 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 향상된 캐패시터(27)를 형성할 수 있다.
- <80> 따라서, 본 발명에 따른 디스플레이 소자(20)는 유전체 박막층(150)을 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 유전체 조성물(150)을 이용하여 저온공정으로 50 내지 300nm 두께로 형성함으로써 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 향상된 캐패시터(27)와 스위칭소자(27)를 형성할 수 있으며, 얇은 박막형으로 형성할 수 있는 효과가 있다.
- <81> 도 3은 본 발명에 따른 유전체 조성물을 이용하여 MIM 캐패시터를 제조하는 순서를 도시한 순서도이다.
- <82> 여기서 MIM 캐패시터를 제조과정을 용이하게 설명하기 위해서 도 1을 인용하여 설명한다.
- <83> 도 3을 참조하면, MIM 캐패시터를 제조하기 위해서 기판 상에 유전체 박막층(150)을 증착한다. (S310)
- <84> 우선 증착하기 전에 본 발명에 따른 유전체 조성물을 이용하여 고상반응법으로 소결체를 형성한다. 상기 소결체를 형성하는 과정은 유전체 조성물을 제조하는 과정에서 설명하였기 때문에 생략하기로 한다.
- <85> 그리고 상기 소결체를 원판이나 펠렛과 같은 형상으로 형성하여 스퍼팅 장치의 타겟으로 사용하였다.
- <86> 여기서 유전체 박막층(150)의 증착공정은 RF-마크네트론 스퍼터링법, Evaporation법, CVD법, 졸-겔법 등을 이용할 수 있으며, 본 발명의 용이한 설명을 위해서 RF-마크네트론 스퍼터링 장치를 실시예로 설명한다.
- <87> 상기 RF-마크네트론 스퍼터링 장치(100)는 타겟 표면의 전하량 증가 때문에 절연체에서는 사용하지 못하는 단점이 있는 직류 스퍼터링 방법의 단점을 극복한 것으로 고주파 스퍼터링(RF sputtering)으로 거의 모든 물질을 스퍼터링(sputtering)할 수 있는 장점이 있다.
- <88> 상기 RF-마크네트론 스퍼터링 장치(100)의 작동을 개략적으로 살펴보면, 충분히 높은 주파수에서 방전(Discharge) 과정이 일어나서, 음극(cathode)으로 작용하는 전극(electrode)에는 이온(ion)의 축적이 일어나지 않는다. 그리고 주파수는 13.56MHz를 사용한다.
- <89> 이러한 주파수 영역에서 이온(ion)은 무겁기 때문에 포텐셜(potential)의 변화를 따라가지 못하지만 전자는 포텐셜(potential)의 변화에 충분히 대응하게 된다.
- <90> 따라서 전자가 어느 한 쪽으로 물리게 되면 다른 전극에는 이온(ion)으로 생성된 시스(sheath)가 생기게 되며 DC의 경우와 마찬가지로 스퍼터링(sputtering)이 발생하게 된다.
- <91> 여기서 본 발명에 따른 유전체 박막층(150)을 형성하기 위해서 유전체 조성물로 형성된 소결체(타겟)를 스퍼터링 장치 내부에 로딩하고, 증착온도는 상온(25℃) 내지 700℃의 온도에서 산소와 아르곤 ($\text{O}_2:\text{Ar} = 2:8$) 분위기에서 진행하였다.

- <92> 그리고 챔버 내의 총 압력은 6 내지 10 mTorr로 하였다.
- <93> 그리고 스퍼터링 파워는 80 내지 120W, 증착시간은 20분 내지 40분으로 하였다. 바람직하게는 30분간 실시하였다.
- <94> 이와 같이 상기한 조건으로 기판 상에 50~300 nm 의 두께를 가지는 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 조성물로 형성되는 유전체 박막층(150)을 형성할 수 있다.
- <95> 따라서 상기와 같이 형성된 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 을 구비하는 유전체 조성물을 스퍼터링 장치를 통해서 낮은 온도에서도 유전체 박막층(150)을 형성할 수 있게 된다.
- <96> 그리고 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 박막 즉, 유전체 박막층(150) 상에 상부전극층(170)을 형성하는데, 이 때 상부전극층(170)의 형성은 DC-스퍼터링을 이용하여 형성해주는 것이 바람직하다.
- <97> 이 때, 상부전극층(170)을 형성하는 물질은 백금(Pt)전극으로 형성할 수 있다.
- <98> 그 후, 증착된 상기 상부전극을 패터닝 해주는데, 백금(Pt) 전극의 경우에는 화학적 안정성이 매우 우수하므로, 별도의 패터닝 공정을 두지 않고 상기 상부전극층(170) 증착시 패터닝마스크(pattern mask) 즉 둥근(circular) 형태의 천공(puncture) 패턴이 규칙적으로 배열되어 있는 패턴마스크를 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 박막 상에 고정시킨 뒤, 상부전극을 증착하게 되면, 상기 패턴마스크의 천공부에만 백금(Pt)물질이 증착되어, 최종적으로 형성되는 상부전극은 디스크(disk) 형태의 패턴이 규칙적으로 존재하는 형태로 상부전극패턴이 형성된다.
- <99> 이와 같이, 본 발명에 따른 캐패시터(27)는 화학식 1의 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 타겟을 이용하여 상온 내지 700 °C에서 증착함으로써 저온에서 증착공정이 용이한 효과가 있다.

실시예

- <100> 이하에서는 본 발명의 실시예들에 따른 유전체 조성물로 형성되는 MIM 캐패시터에 의한 경우 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 우수하다는 것을 구체적인 실시예 및 실험예를 들어 설명한다.
- <101> 다만, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 그 설명을 생략한다.
- <102> **1. 정전용량, 유전손실 측정 및 결과**
- <103> 도 4a 및 도 4b는 각각 본 발명에 따른 MIM 캐패시터에 대한 정전용량과 유전손실을 측정한 결과를 도시한 도면이다.
- <104> $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성한 타겟을 상온(25°C)에서 700°C까지 증착온도를 변경시켜 기판 상에 유전체 박막층(150)을 형성하였다. 그리고 상기와 같이 제조된 저주파 특성 평가용 MIM 캐패시터($\text{Pt}/\text{Bi}_6\text{Ti}_5\text{TeO}_{22}/\text{Pt}$)에 대한 정전용량과 유전손실은 정밀 LCR meter(Agilent 4285A, USA)를 이용하여 저주파(75~1000 kHz)에서 측정하였다.
- <105> 도 4a를 참조하면, 25°C에서 증착한 경우는 유전체 박막층(150)이 약 130 nm 정도 형성되었으며, 상기한 유전체 박막층을 구비하는 MIM 캐패시터는 약 100 kHz의 주파수에서 유전율 54의 높은 유전율 값을 가지고 있으며, 손실(dissipation factor) 값도 100 kHz의 주파수에서 0.012 정도의 값을 가지는 것으로 측정되었다.
- <106> 도 4b를 참조하면, 300°C에서 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 를 이용하여 유전체박막층(150)을 약 125 nm 정도 형성한 MIM 캐패시터는 약 100 kHz의 주파수에서 유전율 69의 높은 유전율 값을 가지고 있으며, 손실(dissipation factor) 값도 100kHz의 주파수에서 0.011 정도의 값을 가지는 것으로 측정되었다.
- <107> 이와 같이, 본 발명에 따른 화학식1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 유전체 박막층을 구비한 MIM 캐패시터는 저온에서 증착하여 얇은 막임에도 불구하고 50 이상의 고유전율, 1%이하의 저유전손실 특성을 보인다.
- <108> **2. 누설전류 측정 및 결과**
- <109> 도 5는 본 발명에 따른 MIM 캐패시터의 누설전류 값을 측정한 결과를 도시한 도면이다.
- <110> 여기서 누설전류는 Source meter(Keithley 24000, USA)를 이용하여 측정하였다.

<111> 도 5를 참조하면, 본 발명에 따른 25℃에서 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 를 이용하여 유전체 박막층(150)을 약 130 nm 정도 형성한 MIM 캐패시터는 약 2.5V에서 누설전류의 값이 비교적 급격히 증가하는 경향을 보인다.

<112> 그리고 2V에서는 최고 0.1 nA/cm^2 정도의 매우 낮은 값을 나타내고 있음을 알 수 있다.

<113> 또한 300℃에서 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 를 약 125 nm 정도 형성한 MIM 캐패시터는 약 3.2V에서 누설전류의 값이 비교적 급격히 증가하는 경향을 보인다.

<114> 그리고 2V에서는 최고 0.3 nA/cm^2 정도의 매우 낮은 값을 나타내고 있음을 알 수 있다.

<115> 이와 같이, 본 발명에 따른 화학식1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 유전체 박막층을 구비한 MIM 캐패시터는 고유전율(>50), 저손실(<1%), 저온공정온도(<300℃)를 모두 만족시킬 수 있는 MIM 캐패시터로서 기관내장형 캐패시터, RF 및 RF/Analog signal용 MIM 캐패시터, 유기물 박막트랜지스터(TFT)에 적용할 수 있게 된다.

<116> **3. 정전용량 온도계수 측정 및 결과**

<117> 도 6은 본 발명에 따른 MIM 캐패시터의 정전용량 온도계수(TCC) 값을 측정한 결과를 도시한 도면이다.

<118> 여기서 정전용량 온도계수(TCC)를 측정하기 위하여 시편의 온도를 120℃까지 가열한 후 상온까지 냉각하면서 정전용량을 측정하였다.

<119> 도 6을 참조하면, 본 발명에 따른 화학식1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 유전체 박막층을 구비한 MIM 캐패시터는 100 kHz에서 145~205 ppm/℃의 낮은 값을 가지고 있다는 것을 알 수 있다.

<120> 이와 같이, 본 발명에 따른 화학식1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 유전체 박막층을 구비한 MIM 캐패시터는 embedded capacitor로 응용하기에 적당한 정전용량 온도계수(TCC)값을 가지는 것으로 확인되었다.

<121> **4. 미세구조 관찰**

<122> 도 7은 본 발명에 따른 MIM 캐패시터에서 화학식 1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 을 이용하여 300℃에서 증착한 유전체 박막층의 고분해능 투과전자현미경 사진과 전자 회절 패턴을 촬영한 사진이다.

<123> 도 7을 참조하면, 본 발명에 따른 화학식1 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 로 형성되는 유전체 박막층을 구비한 MIM 캐패시터는 비정질 안에 수 nm크기의 미세결정이 존재하는 것을 확인할 수 있다.

<124> 그리고 도면에 포함된 전자회절패턴으로 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 결정의 122 결정면을 확인할 수 있다.

<125> 이와 같이, 300℃이하의 낮은 온도에서 형성한 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 박막의 경우 비정질상과 수 nm의 크기를 가지는 $\text{Bi}_6\text{Ti}_5\text{TeO}_{22}$ 나노 결정을 포함하고 있음을 확인할 수 있었다.

<126> 이상 첨부된 도면 및 표를 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

<127> 도 1은 본 발명에 따른 유전체 조성물을 이용하여 기관 상에 유전체 박막층을 형성시키는 것을 도시한 도면.

<128> 도 2는 본 발명에 따른 유전체 조성물로 형성되는 유전체 박막층을 구비하는 디스플레이소자를 도시한 도면.

<129> 도 3은 본 발명에 따른 유전체 조성물로 형성되는 유전체 박막층의 X-선 회절분석을 도시한 도면.

<130> 도 4a 및 도 4b는 본 발명에 따른 유전체 조성물로 형성되는 유전체 박막층을 촬영한 전자주사현미경(SEM) 사진 및 원자 현미경(AFM: Atomic forces microscopy)으로 촬영한 사진.

<131> 도 5 및 도 6은 본 발명에 따른 유전체 조성물로 형성된 유전체 박막층의 유전율 및 유전손실을 측정한 결과를

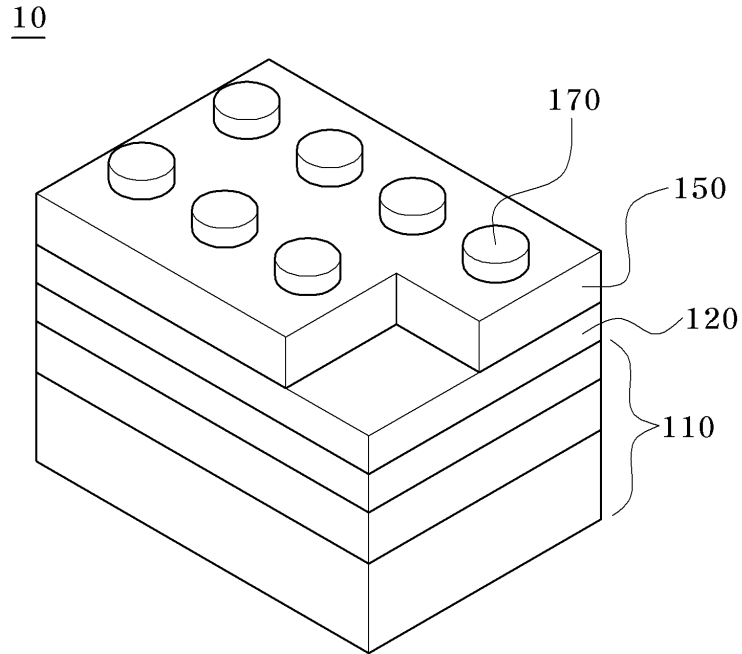
도시한 도면.

<132>

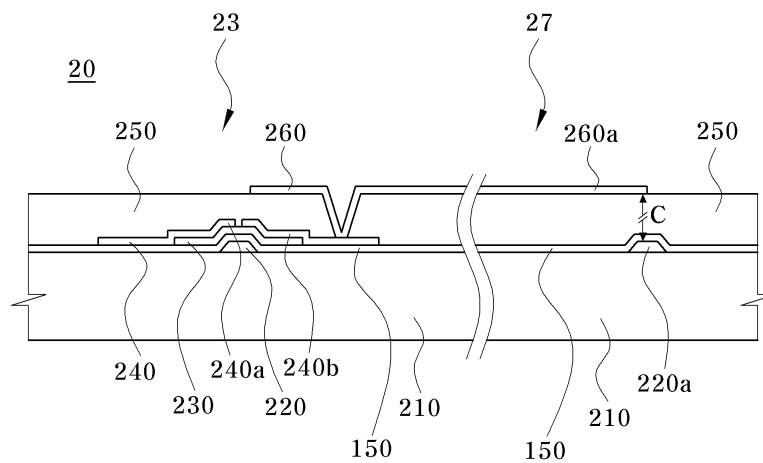
도 7은 본 발명에 따른 유전체 박막층을 구비하는 디스플레이 소자의 누설전류를 측정하는 결과를 도시한 도면.

도면

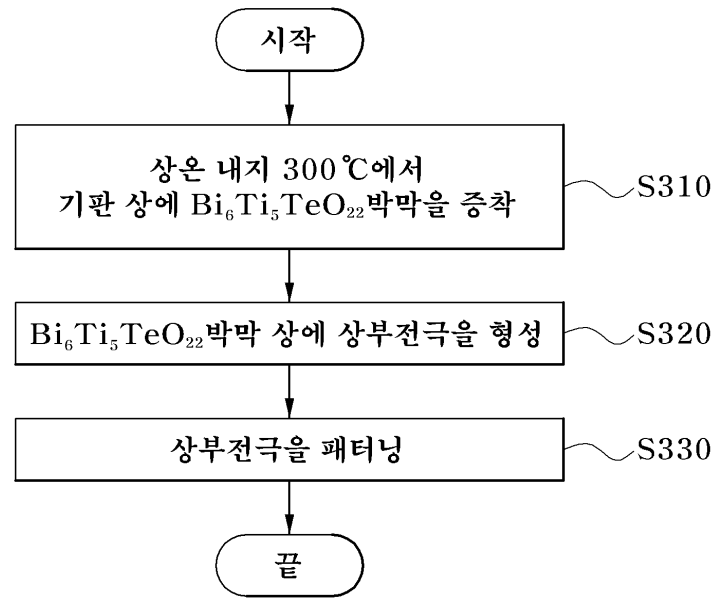
도면1



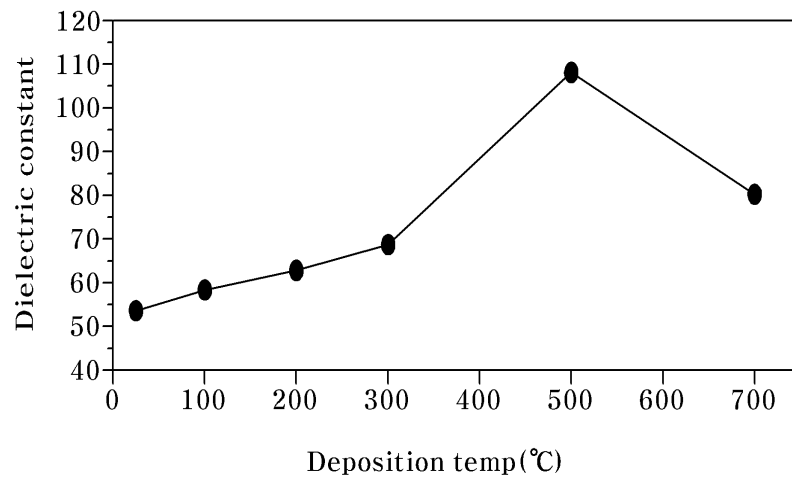
도면2



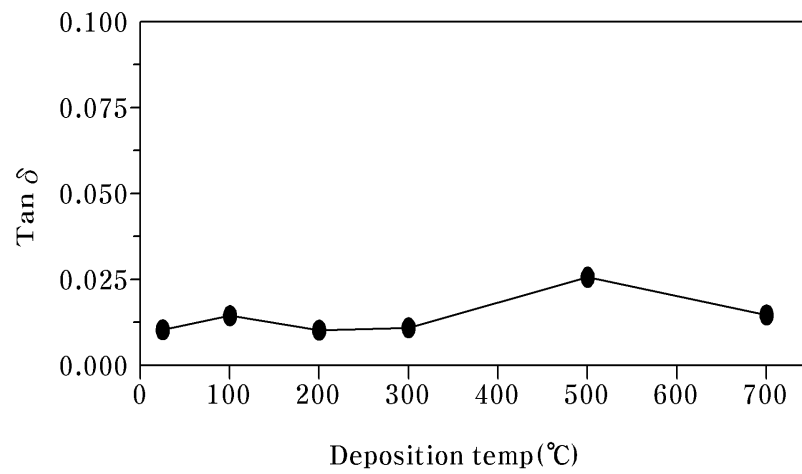
도면3



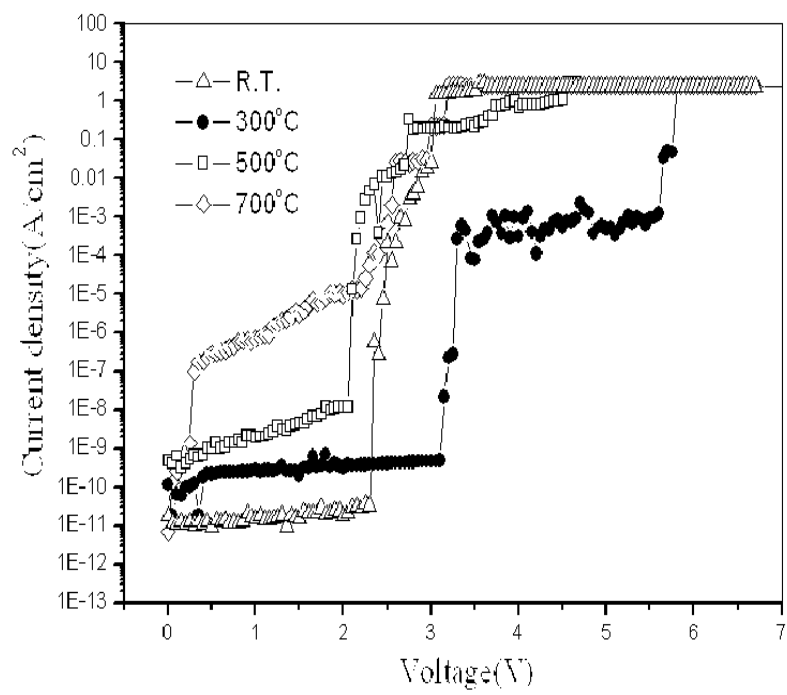
도면4a



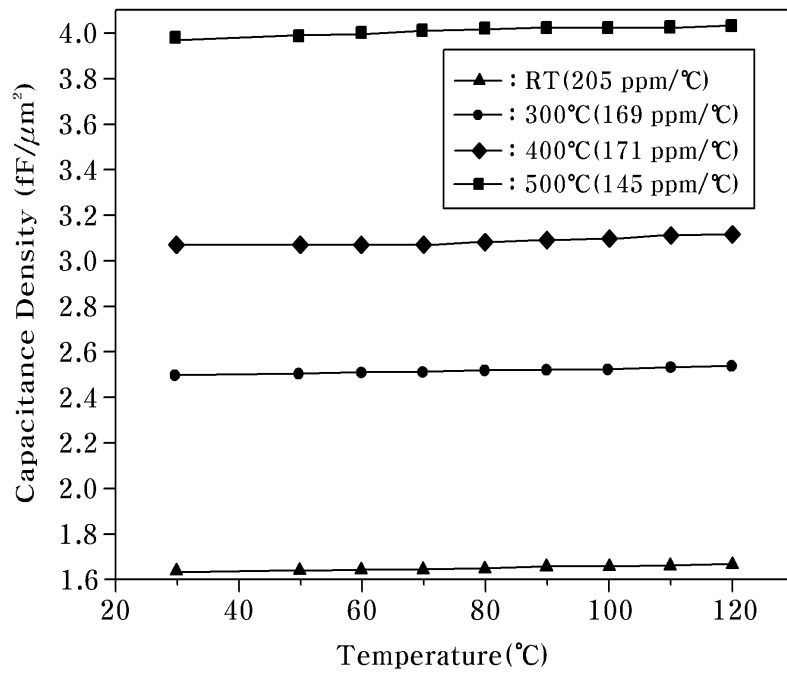
도면4b



도면5



도면6



도면7

