



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217703
(11) (B1)

(51) Int. Cl.³
H 03 K 4/48
H 03 K 25/00

(22) Přihlášeno 02 03 79
(21) (PV 1426-79)

(40) Zveřejněno 28 05 82

(45) Vydáno 15 02 85

(75)

Autor vynálezu

PĚCHOUČEK MIROSLAV ing. CSc., ŠINDELÁŘ BEDŘICH ing., PRAHA

(54) Generátor pulsních sledů

1

Předmětem vynálezu je generátor pulsních sledů s nejméně dvěma čítači.

Polovodičové paměti se obvykle testují pomocí zápisu a opětovného čtení standardních datových posloupností, jako je například „putující 1 nebo 0“, „zaplňující 1 nebo 0“, „střídavé adresace 1 nebo 0“ apod. K testování rychlých polovodičových pamětí v reálném čase musí být i generátor testovacích posloupností dostatečně rychlý a pokud možno jednoduchý. Dalším důležitým požadavkem je univerzálnost generátoru, dovolující rychle a jednoduše testovat paměti s různou kapacitou.

Dosud užívané generátory standardních testovacích posloupností, například „putující 1“, používají dvou čítačů, které spolupracují tak, že zatímco jeden čítač generuje periodickou posloupnost adres, druhý slouží jako registr, v němž je uložena adresa, do níž byla naposledy zapsána jednička. Při dosažení shody mezi generovanou a uloženou adresou se první čítač zablokuje na dobu potřebnou k přepsání jedničky na následující adresu.

Nevýhodou tohoto způsobu je, že shoda adres se detekuje pomocí mnohovstupového ekvivalenčního obvodu, opatřeného navíc řadou obvodů pro hradlování nepoužitých adresových bitů. Takový ekvivalenční obvod

2

představuje jednak značný počet potřebných logických členů a jednak svým zpožděním omezuje pracovní rychlost generátoru testovacích posloupností.

Nevýhody užívaného způsobu odstraňuje zapojení generátoru pulsních sledů podle vynálezu. Jeho podstata spočívá v tom, že přenosová svorka prvního čítače a přenosová svorka druhého čítače jsou připojeny k první a druhé vstupní svorce řídicího obvodu, jehož první a druhá řídicí svorka je připojena k ovládacím svorkám prvního a druhého čítače, přičemž vzájemně propojené hodinové svorky prvního a druhého čítače a řídicího obvodu tvoří hodinovou svorku celého zapojení a povelové svorky řídicího obvodu spolu s výstupními svorkami prvního a druhého čítače tvoří výstupní svorky celého zapojení. Výhodná je též úprava spočívající v tom, že první a druhý čítač jsou nastavitelné, jejich vzájemně si odpovídající vstupní svorky jsou propojeny a jejich nastavovací svorky jsou připojeny k dalším svorkám řídicího obvodu.

Zapojení podle vynálezu je znázorněno na připojeném obr. 1, jeho časový diagram je na obr. 2. Na obr. 3 je znázorněno jedno možné zapojení řídicího obvodu.

Zapojení na obr. 1 sestává z čítačů 1, 2, opatřených hodinovými svorkami 10, 20, o-

vládacími svorkami **12**, **22**, přenosovými svorkami **11**, **21** a nejméně jednou výstupní svorkou **13**, **23**, a z řídicího obvodu **3**, opatřeného vstupními svorkami **31**, **32**, řídicími svorkami **33**, **34** a povelovými svorkami **35**, **36**, **37**, **38**, **39**. Hodinové svorky **10**, **20**, **30** jsou vzájemně spojeny a tvoří hodinovou svorku celého zapojení. Přenosová svorka **11** je připojena k první vstupní svorce **31**, přenosová svorka **21** ke druhé vstupní svorce **32**, první řídicí svorka **33** k ovládací svorce **12**, druhá řídicí svorka **34** k ovládací svorce **22**. Řídicí obvod **3** je synchronní sekvenční obvod realizovaný známým způsobem se zpožďovacích obvodů a hradel tak, aby z impulsů na vstupních svorkách **31**, **32** vytvářel potřebné impulsy na svých povelových a řídicích svorkách **33** až **39**.

Činnost celého zapojení podle vynálezu je ilustrována časovým diagramem na obr. 2. Uvažujeme případ, že oba čítače **1** a **2** pracují s čítacím cyklem **4**, hodinovými svorkami **10** a **20** a ovládacími svorkami **12** a **22**. Jejich přenosovými svorkami **11** a **21** jsou svorky „PŘENOS“, přičemž vzestupnou hranou hodinových impulsů **010** se mění stav čítačů na jejich výstupních svorkách **13** a **23** a sestupnou hranou hodinových impulsů **010** se generuje přenos na jejich svorkách **11** a **21**.

Předpokládejme, že v 1. taktu je čítač **1** ve stavu „0“ a čítač **2** ve stavu „2“. V 2. taktu dosáhne čítač **2** svého stavu „3“ a na přenosové svorce **21** vytvoří záporný impuls napětí **021**. Ve 4. taktu se vytvoří záporný impuls napětí **011** na přenosové svorce **11**, jímž se řídicí obvod **3** uvede do činnosti a na svých řídicích a povelových svorkách **33** až **38** vytvoří různě široké a různě zpožděné impulsy **033** až **038**. Impulsem **033** je čítač **1** zablokován v 5., 6. a 7. taktu a to ve stavu „0“ a impulsem **034** je čítač **2** zablokován v 5. taktu a to ve stavu „1“. Čítač **1** pokračuje v čítání vpřed v 8. taktu, čítač **2** již v 6. taktu a to až do 10. taktu, kdy se celý sled impulsů opakuje. V 16. taktu vznikne přenos současně na svorkách **11** a **21** a řídicí obvod **3** vytvoří na povelové svorce **39** signál **039** a ukončení činnosti.

Je-li výstupní napětí ze svorky **23** použito pro neznázorněnou testovanou paměť jako adresa, napětí **038** jako povel k zápisu, napětí **036** jako její vlastní vstupní data je-li napětí **035** použito pro neznázorněný kontrolní obvod jako očekávaná data, napětí **037** jako povel ke čtení dat z paměti, je tím realizován test „putující 1“. Předpokládejme například, že před 1. taktém je na adrese „1“ již zapsána jednička a na adresách „0“, „2“, „3“ nula. V 1. až 4. taktu se tedy v souladu s časovým diagramem provádí čtení obsahu adres „2“, „3“, „0“, „1“ a jejich kontrola srovnáním s průběhem napětí **035**. V 5. taktu se na adresu „1“ zapíše nula, v 6. taktu se jednička zapíše na následující adresu „2“. V 7. až 10. taktu se provádí opět čtení

a kontrola obsahu paměti a v 11. a 12. taktu se jednička přepíše z adresy „2“ na adresu „3“. Test končí v 16. taktu, kdy nastane současný přenos na svorkách **11** a **21** indikovaný signálem **039** na povelové svorce **39**.

Řídicí obvod **3** lze také navrhnout tak, že po spuštění impulsem **011** se vytvoří stejné průběhy napětí **033**, **034**, **036**, **037**, **039** a průběh napětí **038** s impulsy trvajících pouze jeden takt a průběh napětí **035** s impulsy, jejichž začátek určují impulsy **021** a konec impulsy **011**. V tom případě lze v neznázorněné paměti provést test „zaplňující 1“. Předpokládejme, že před 1. taktém je např. na adresách „0“ a „1“ již zapsána jednička a na adresách „2“ a „3“ nula. Po přechodu a kontrole obsahu adres „2“, „3“, „0“, „1“ v 1. až 4. taktu se v 5. taktu ponechá jednička na adrese „1“ a v 6. taktu se zapíše navíc na adresu „3“. Test opět končí v 16. taktu současným vznikem obou přenosů **011** a **021**.

Řídicí obvod **3** může být navržen také tak, že po spuštění impulsem **011** se vytvoří stejné průběhy napětí **033**, **036**, **037**, **038**, **039**, ale průběh napětí **034** s impulsy trvajících tři takty a průběh napětí **035** shodný s průběhem **010**. Impulsy napětí **036** se čítají ve třetím neznázorněném čítači, jehož výstupní stavy **043** udávají adresu, na níž je v testované paměti právě zapsána jednička. Jsou-li pro adresování testované paměti použity při čtení střídavě stavy **043** a stavy **013** z čítače **1**, lze v paměti provést dynamický test „střídavá adresace 1“. Předpokládejme, že před 1. taktém je například na adrese „1“ zapsána jednička a na adresách „0“, „2“, „3“ nula. Střídáním pak vznikne např. v 1. až 4. taktu adresový sled „1“—„0“, „1“—„1“, „1“—„2“, „1“—„3“. Impulsy napětí **021** z přenosové svorky **21** čítače **2** pak indikují ty dvojice adres, například „1“—„1“, v nichž nedojde při čtení testované paměti ke změně adresy a tím ani k dynamicky testovatelné změně dat z jedničky na nulu nebo naopak. Průběh napětí **021** je proto použit pro neznázorněný kontrolní obvod jako povel k netestování. V 5. a 6. taktu respektive v 11. a 12. taktu se provádí přepsání jedničky z adresy „1“ na adresu „2“ respektive z adresy „2“ na adresu „3“, stejně jako tomu bylo u testu „putující 1“. Jedno možné řešení řídicího obvodu **3**, které realizuje průběhy napětí **033**, **034**, **035**, **036**, **037**, **038**, **039** je znázorněno na obr. 3. Sestává z klopných obvodů **51** až **53** a hradel **54** až **58**, které jsou vzájemně spojeny způsobem vyplývajícím ze známých metod návrhu sekvenčních obvodů. Řešení na obr. 3 prokazuje, že celé zapojení podle vynálezu lze realizovat s výrazně menším počtem logických členů, než je tomu u dosud užívaného způsobu s mnohavstupovým ekvivalenčním obvodem. Dále je zřejmé, že řídicí obvod **3** lze snadno realizovat nejvýše

dvoustupňově, takže nezhoršuje pracovní kmitočet určený vlastním zpožděním čítačů 1 a 2.

Řídicí obvod 3 lze známým způsobem navrhnout také tak, že zablokuje připojené čítače na libovolný počet hodinových taktů, čímž je umožněno generovat i jiné požadované sledy impulsů podle potřeb testované paměti.

Řídicí obvod 3 může být zapojen tak, že impulsem z přenosové svorky 11 se spouští vždy stejný sled řídicích a povelových impulsů nebo se podle logického stavu na jeho jedné či několika výběrových svorkách zvolí jeden z několika možných sledů impulsů. Tím je umožněno zvolit prováděný test.

Čítače 1 a 2 mohou být také opatřeny nastavovací svorkou a vstupními svorkami pro přednastavení obsahu a tím i pro zkracování čítacího cyklu. V tom případě jsou odpovídající si vstupní svorky obou čítačů spojeny a připojeny k neznázorněnému zdroji vstupních dat. Nastavovací svorka každého čítače je připojena k jeho přenosové svorce buď přímo, nebo přes vhodný zpožďovací obvod. Je-li připojena přímo, dojde tím ke zkrácení doby trvání nejvyššího respektive nejnižšího načítaného stavu. To lze odstranit zapojením zmíněného zpožďovacího obvodu, který může být i částí řídicího obvodu 3.

Jako hodinová svorka 10 a 20 může také sloužit vstupní svorka dvoucestné logické

výhybky, jejíž výstupy jsou připojeny ke svorce „ČÍTÁNÍ VPŘED“ a „ČÍTÁNÍ VZAD“. Výběrová svorka výhybky pak slouží jako ovládací svorka 12 a 22. Řídicí obvod 3 pak může na potřebný počet hodinových taktů obrátit směr čítání kteréhokoli z čítačů. Je-li výhybka opatřena i svorkou pro zablokování obou svých výstupů, lze tuto svorku použít jako další ovládací svorku čítače řízenou rovněž z výstupu řídicího obvodu 3. Čítače tím lze dočasně zablokovat i obracet směr jejich čítání a to podle potřeb generovaného sledu impulsů.

Je-li čítač 1 a 2 opatřen čítací svorkou například „ČÍTÁNÍ VPŘED“, lze k ní připojit logické hradlo, jehož jedna vstupní svorka tvoří hodinovou svorku 10 a 20 čítače a jehož druhá vstupní svorka tvoří ovládací svorku 12 a 22.

Generátor pulsních sledů podle vynálezu lze zapojit i s větším počtem čítačů a to tak, že jejich hodinové svorky jsou spojeny a jejich ovládací svorky jsou připojeny k řídicím svorkám řídicího obvodu. Tím je umožněno generovat i jiné složitější sledy impulsů.

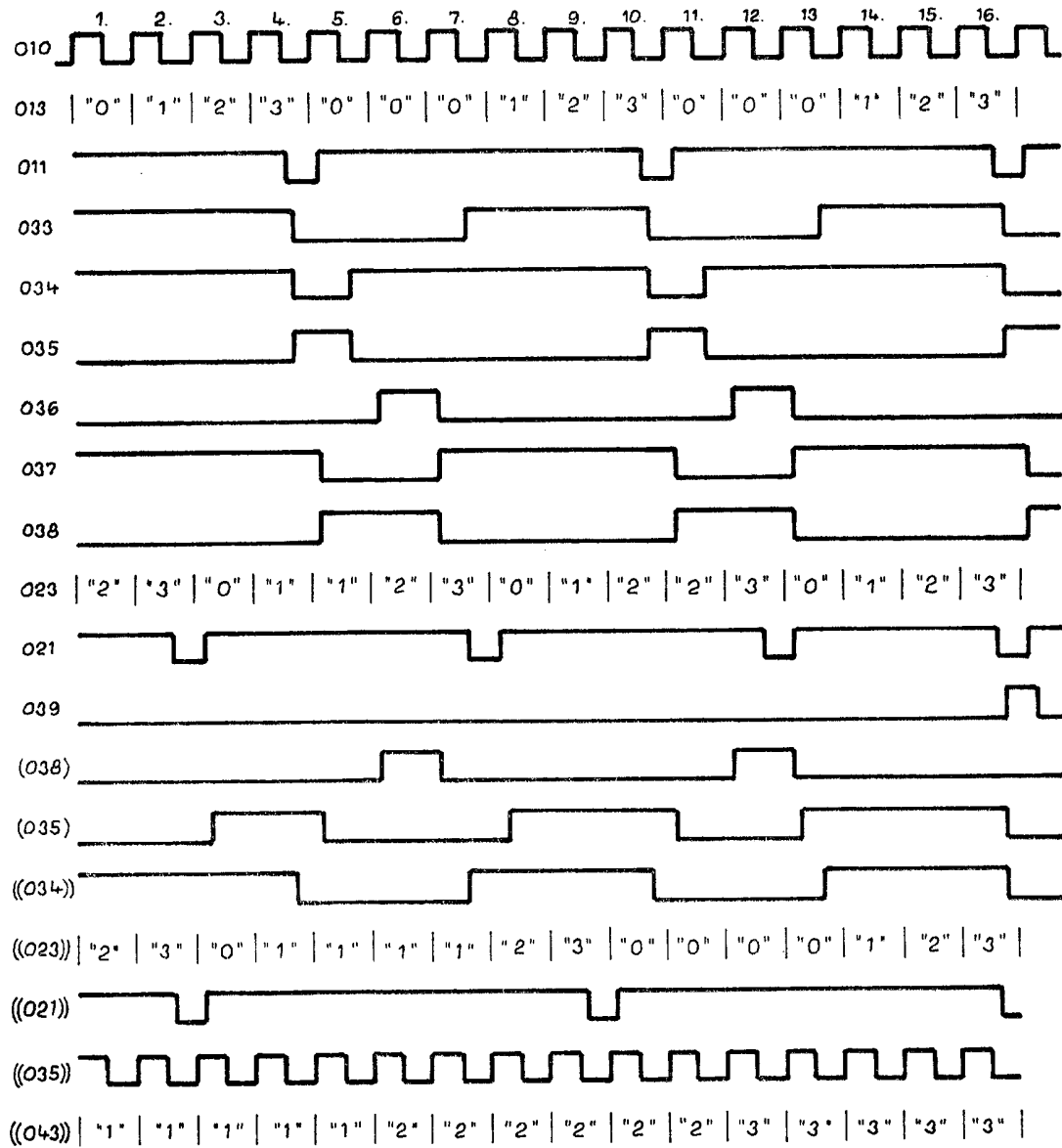
Tím, že zapojení podle vynálezu je jednoduché a rychlé, je jeho použití výhodné nejen pro testování rychlých například polovodičových pamětí v reálném čase, ale i všude tam, kde je v číslicové technice potřeba řídit rozsáhlé a rychlé periodicky se opakující operace.

PŘEDMĚT VYNÁLEZU

1. Generátor pulsních sledů s nejméně dvěma čítači vyznačený tím, že přenosová svorka (11) prvního čítače (1) a přenosová svorka (21) druhého čítače (2) jsou připojeny k první a druhé vstupní svorce (31, 32) řídicího obvodu (3), jehož první a druhá řídicí svorka (33, 34) je připojena k ovládacím svorkám (12, 22) prvního a druhého čítače (1, 2), přičemž vzájemně propojené hodinové svorky (10, 20, 30) prvního a druhého čítače (1, 2) a řídicího obvodu (3) tvoří hodinovou svorku celého za-

pojení a povelové svorky (35, 36, 37, 38, 39) řídicího obvodu (3) spolu s výstupními svorkami (13, 25) prvního a druhého čítače (1, 2) tvoří výstupní svorky celého zapojení.

2. Generátor pulsních sledů s nejméně dvěma čítači podle bodu 1 vyznačený tím, že první a druhý čítač (1, 2) jsou nastavitelné, jejich vzájemně si odpovídající vstupní svorky jsou propojeny a jejich nastavovací svorky jsou připojeny k dalším svorkám řídicího obvodu (3).



Obr. 2