



(12) 发明专利申请

(10) 申请公布号 CN 117693819 A

(43) 申请公布日 2024. 03. 12

(21) 申请号 202280050197.2

(22) 申请日 2022.07.13

(30) 优先权数据

21186114.1 2021.07.16 EP

(85) PCT国际申请进入国家阶段日

2024.01.16

(86) PCT国际申请的申请数据

PCT/EP2022/069647 2022.07.13

(87) PCT国际申请的公布数据

W02023/285557 EN 2023.01.19

(71) 申请人 日立能源有限公司

地址 瑞士苏黎世

(72) 发明人 G·古普塔 L·德-米奇伊里斯

W·A·维塔勒

(74) 专利代理机构 北京市汉坤律师事务所

11602

专利代理师 王其文 张涛

(51) Int.Cl.

H01L 29/10 (2006.01)

H01L 21/336 (2006.01)

H01L 29/739 (2006.01)

H01L 29/78 (2006.01)

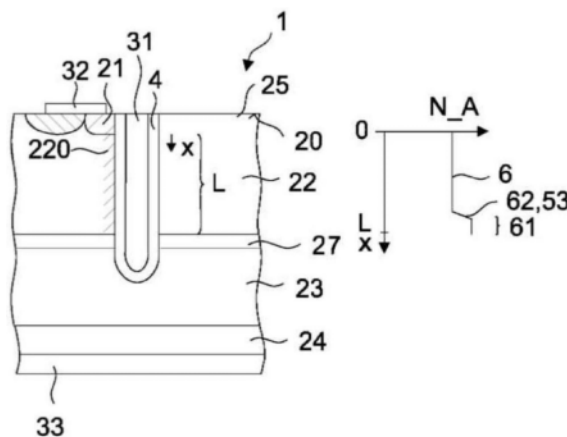
权利要求书3页 说明书12页 附图7页

(54) 发明名称

生产方法和功率半导体器件

(57) 摘要

在至少一个实施例中,功率半导体器件(1)包括:-半导体本体(2),该半导体本体具有第一导电类型的源极区(21)和不同于第一导电类型的第二导电类型的阱区(22),并且阱区(22)包括直接在源极区(21)处的沟道区(220),以及-栅极绝缘体(4),该栅极绝缘体直接在半导体本体(2)与栅极电极(31)之间,其中沟道区(220)沿着栅极绝缘体(4)具有非均匀沟道掺杂分布(6),使得沟道区(220)中的掺杂浓度 N_A 在远离源极区(21)的第一区段(61)中最大。



1. 一种用于生产功率半导体器件 (1) 的方法, 包括:

- 提供半导体衬底,
- 将至少一个半导体层外延生长到所述半导体衬底上, 以及
- 提供栅极绝缘体 (4) 和栅极电极 (31), 所述栅极绝缘体 (4) 直接位于所述至少一个半导体层与所述栅极电极 (31) 之间,

其中,

- 所述半导体衬底和/或所述至少一个半导体层构成半导体本体 (2), 所述半导体本体具有第一导电类型的源极区 (21) 和不同于所述第一导电类型的第二导电类型的阱区 (22), 并且所述阱区 (22) 包括直接在所述源极区 (21) 处的沟道区 (220),

- 所述沟道区 (220) 沿着所述栅极绝缘体 (4) 具有非均匀沟道掺杂分布 (6), 使得所述沟道区 (220) 中的掺杂浓度 N_A 在远离所述源极区 (21) 的第一区段 (61) 中最大, 所述非均匀沟道掺杂分布 (6) 完全或部分地通过至少一个半导体层的外延生长形成。

2. 根据前一权利要求所述的方法,

其中, 所述半导体本体 (2) 进一步包括直接在所述阱区 (22) 远离所述源极区 (21) 的一侧的所述第一导电类型的增强层 (27),

其中, 所述沟道区 (220) 中的所述掺杂浓度 N_A 在距所述半导体本体 (2) 的顶侧 (20) 至少 $0.5\mu\text{m}$ 的深度处最大。

3. 根据前述权利要求中任一项所述的方法,

其中, 所述掺杂浓度 N_A 包括多个阶跃 (53)。

4. 根据权利要求 1 或 2 所述的方法,

其中, 所述掺杂浓度 N_A 从所述源极区 (21) 到漂移区 (23) 线性或近似线性地增大,

其中, 近似线性意味着实际掺杂浓度从所述非均匀沟道掺杂分布 (6) 的线性拟合偏离所述阱区 (22) 内沿着所述栅极绝缘体 (4) 的所述非均匀沟道掺杂分布 (6) 的最大掺杂浓度的至多 0.1。

5. 一种功率半导体器件 (1), 包括:

- 半导体本体 (2), 所述半导体本体具有第一导电类型的源极区 (21) 和不同于所述第一导电类型的第二导电类型的阱区 (22), 并且所述阱区 (22) 包括直接在所述源极区 (21) 处的沟道区 (220), 以及

- 栅极绝缘体 (4), 所述栅极绝缘体直接在所述半导体本体 (2) 与所述栅极电极 (31) 之间,

其中所述沟道区 (220) 沿着所述栅极绝缘体 (4) 具有非均匀沟道掺杂分布 (6), 使得所述沟道区 (220) 中的掺杂浓度 N_A 在远离所述源极区 (21) 的第一区段 (61) 中最大, 并且

其中以下中的一个适用:

- 所述掺杂浓度 N_A 包括多个阶跃 (53), 或者
- 所述掺杂浓度 N_A 从所述源极区 (21) 到漂移区 (23) 线性或近似线性增大。

6. 根据前一权利要求所述的功率半导体器件 (1), 其中:

- 所述源极区 (21) 与所述栅极绝缘体 (4) 和所述沟道区 (220) 直接接触,
- 所述半导体本体 (2) 还包括所述第一导电类型的漂移区 (23), 所述漂移区与所述栅极绝缘体 (4) 直接接触并且直接在所述沟道区 (220) 处, 以及

-所述功率半导体器件(1)是金属-绝缘体-半导体场效应晶体管MISFET、金属-氧化物-半导体场效应晶体管MOSFET、绝缘栅双极晶体管IGBT、或反向传导绝缘栅双极晶体管RC-IGBT。

7.根据前述两项权利要求中任一项所述的功率半导体器件(1),

其中,沿着所述栅极绝缘体(4),所述沟道区(220)中的所述掺杂浓度 N_A 直接在所述漂移区(23)处最高。

8.根据权利要求5至7中任一项所述的功率半导体器件(1),

其中,所述掺杂浓度 N_A 在背离所述源极区(21)的方向上沿着所述栅极绝缘体(4)在所述沟道区(220)中单调或严格单调地增大。

9.根据前一权利要求所述的功率半导体器件(1),

其中,所述掺杂浓度 N_A 线性增大。

10.根据权利要求5至7中任一项所述的功率半导体器件(1),

其中,所述掺杂浓度 N_A 不从所述源极区(21)到漂移区(23)单调增大,使得所述掺杂浓度 N_A 包括在所述沟道区(220)的中间区段(63)中的峰值。

11.根据权利要求5至10中任一项所述的功率半导体器件(1),

其中,所述第一区段(61)的长度是沿着所述栅极绝缘体(4)的所述沟道区(220)的总长度 L 的至少10%并且至多40%。

12.根据权利要求5至11中任一项所述的功率半导体器件(1),

其中,所述非均匀沟道掺杂分布(6)具有沿着所述栅极绝缘体(4)延伸到所述源极区(21)的第二区段(64),其中所述掺杂浓度 N_A 在所述第二区段(64)中沿着所述栅极绝缘体(4)是恒定的。

13.根据权利要求5至12中任一项所述的功率半导体器件(1),

其中,所述掺杂浓度 N_A 沿着所述沟道区(220)变化所述非均匀沟道掺杂分布(6)的最大掺杂浓度的至少50%。

14.根据前一权利要求所述的功率半导体器件(1),

其中以下中的至少一个成立:

-所述非均匀沟道掺杂分布(6)的所述最大掺杂浓度至少为 $5 \times 10^{16} \text{ cm}^{-3}$ 并且至多为 $3 \times 10^{18} \text{ cm}^{-3}$,或者

-所述非均匀沟道掺杂分布(6)的最小掺杂浓度为至多 $2 \times 10^{17} \text{ cm}^{-3}$ 或至多 $1 \times 10^{17} \text{ cm}^{-3}$ 。

15.根据权利要求5至14中任一项所述的功率半导体器件(1),

其中,所述非均匀沟道掺杂分布(6)以阶跃方式被配置为使得沿着栅极绝缘体(4)在所述非均匀沟道掺杂分布(6)中存在至少一个阶跃(53)。

16.根据权利要求5至15中任一项所述的功率半导体器件(1),

其中,所述栅极电极(31)至少部分地布置在形成于所述半导体本体(2)中并穿过所述阱区(22)的沟槽中。

17.根据权利要求5至15中任一项所述的功率半导体器件(1),

其中,所述栅极电极(31)和所述栅极绝缘体(4)布置在所述半导体本体(2)的平面顶侧(20)上。

18.根据权利要求5至17中任一项所述的功率半导体器件(1),

其中,所述阱区(22)具有多层形式,使得所述阱区(22)包括具有不同最大掺杂浓度的至少两个子层(51,52)。

19.根据权利要求5至18中任一项所述的功率半导体器件(1),

其中,在所述沟道区(220)外部并且沿着所述阱区(22)的深度,所述阱区(22)至少在一些地方具有恒定的掺杂浓度。

20.根据权利要求5至19中任一项所述的功率半导体器件(1),

其中,所述栅极绝缘体(4)沿着所述沟道区(220)具有非均匀的厚度,使得沿着所述沟道区(220),所述栅极绝缘体(4)在所述第一区段(61)中最厚。

21.根据权利要求5至20中任一项所述的功率半导体器件(1),

其中,以下中至少一个为真:

-所述沟道区(220)沿着所述栅极绝缘体(4)具有非均匀沟道掺杂分布,使得所述沟道区(220)中的掺杂浓度 N_A 在所述第一区段(61)中最大,或者

-所述栅极绝缘体(4)沿着所述沟道区(220)具有非均匀栅极介电常数分布,使得所述栅极绝缘体(4)的相对介电常数在所述沟道区(220)远离所述源极区(21)的所述第一区段(61)中最低。

生产方法和功率半导体器件

[0001] 提供了一种用于功率半导体器件的生产方法。进一步,提供了一种对应的功率半导体器件。

[0002] 文献US 6 573 561 B1涉及一种具有不对称梯度沟道分布的竖直MOSFET。

[0003] 文献US 6 664 594 B2公开了一种具有不对称沟道结构以获得增强的线性操作能力的功率MOS器件。

[0004] 文献US 8 067 797 B2描述了一种具有偏移发射极触点的可变阈值沟槽IGBT。

[0005] 文献US2016/0064550 A1涉及功率器件。

[0006] 文献US2021/0111279 A1和US2005/0133833 A1涉及电子器件。

[0007] 本公开的实施例涉及一种表现出改善的电气行为的功率半导体器件以及一种对应的生产方法。

[0008] 这个目的尤其通过如独立权利要求中限定的一种生产方法和一种功率半导体器件来实现。示例性进一步的拓展构成从属权利要求的主题。

[0009] 在至少一个实施例中,用于生产功率半导体器件的方法例如以所陈述的顺序包括以下步骤:

[0010] -提供半导体衬底,

[0011] -将至少一个半导体层外延生长到半导体衬底上,以及

[0012] -提供栅极绝缘体和栅极电极,栅极绝缘体 (4) 直接位于至少一个半导体层与栅极电极之间,

[0013] 其中,

[0014] -半导体衬底和/或至少一个半导体层构成半导体本体,该半导体本体具有第一导电类型的源极区和不同于第一导电类型的第二导电类型的阱区,并且阱区包括直接在源极区处的沟道区,以及

[0015] -沟道区沿着栅极绝缘体具有非均匀沟道掺杂分布,使得沟道区中的掺杂浓度 N_A 在远离源极区的第一区段中最大,非均匀沟道掺杂分布完全或部分地通过至少一个半导体层的外延生长形成。

[0016] 附加地提供了一种功率半导体器件。借助于该方法,如结合以下陈述的实施例中的至少一个所指示的那样生产功率半导体模块。因此,对于该方法也公开了功率半导体器件的特征,反之亦然。

[0017] 在至少一个实施例中,功率半导体器件包括:

[0018] -半导体本体,该半导体本体具有第一导电类型的源极区和不同于第一导电类型的第二导电类型的阱区,并且阱区包括直接在源极区处开始的沟道区,

[0019] -至少一个栅极电极,该至少一个栅极电极布置在半导体本体处并分配给至少一个沟道区,以及

[0020] -至少一个栅极绝缘体,该至少一个栅极绝缘体直接位于半导体本体与至少一个所分配的栅极电极之间,

[0021] 其中沟道区沿着栅极绝缘体具有有意非均匀沟道掺杂分布,使得沟道区中的掺杂

浓度在远离源极区的第一区段中最大。

[0022] 栅极电极通过栅极绝缘体与半导体本体绝缘。

[0023] 例如,至少一个源极区与所分配的栅极绝缘体直接接触和/或直接在所分配的沟道区处。第一导电类型例如是n导电的,并且因此至少一个源极区是n掺杂的。

[0024] 至少一个阱区以及因此至少一个沟道区不同于第一导电类型的第二导电类型。第二导电类型例如是p导电的,并且因此至少一个沟道区是p掺杂的。可能的是,至少一个阱区和/或至少一个沟道区的最大掺杂浓度可能小于至少一个源极区的最大掺杂浓度。

[0025] 根据至少一个实施例,半导体本体还包括漂移区,该漂移区也可以具有第一导电类型。例如,漂移区与栅极绝缘体直接接触和/或直接处于沟道区处。漂移区可以位于半导体本体的沟道区与漏极区或集电极区之间,例如在垂直于半导体本体的顶侧的方向上。例如,可选的沟槽可以终止于漂移区。

[0026] 作为选项,半导体本体可以包括增强层。例如,增强层直接位于阱区与漂移区之间,并且可以具有比漂移区更高的最大掺杂浓度。增强层也可以具有第一导电类型。增强层可以作为空穴阻挡层工作,也就是说,它增强了源极侧附近的等离子体浓度,从而导致改善的 V_{ce-sat} ,而没有过多地增大 E_{off} 。附加地,增强层还有助于控制沟道区的长度,并使制造工艺引起的可变性最小化。例如,增强层的厚度至少为 $1\mu m$ 和/或至多为 $5\mu m$ 。

[0027] 根据至少一个实施例,沟道区中的掺杂浓度 N_A 在距半导体本体的顶侧至少 $0.5\mu m$ 或至少 $1.5\mu m$ 的深度处最大。沿着栅极绝缘体看,所述最大掺杂浓度 N_A 也可以在距源极区至少 $0.5\mu m$ 或至少 $1.5\mu m$ 的距离处。所述最大值可以位于阱区内。因此,所述最大值通过外延生长而不是通过离子注入实现。

[0028] 根据至少一个实施例,功率半导体器件是金属-绝缘体-半导体场效应晶体管MISFET、金属-氧化物-半导体场效应晶体管MOSFET、或绝缘栅双极晶体管IGBT、或反向传导绝缘栅双极晶体管RC-IGBT。

[0029] 根据至少一个实施例,阱区从半导体本体的顶侧延伸到漂移区。沟道区是阱区的一部分,并且可以具有相同的掺杂浓度。在操作期间,电子在沟道区中沿着栅极绝缘体从源极区流到漂移区。沟道区具有在垂直于栅极绝缘体与阱区之间的界面的方向上的厚度,例如,在纳米范围内,示例性地为 $1nm$ 至 $50nm$ 。

[0030] 例如,半导体本体由硅(简称Si)制成。然而,半导体本体可以替代性地由宽带隙半导体材料(如SiC、 Ga_2O_3 或GaN)制成。

[0031] 栅极绝缘体由可以是氧化物的任何绝缘材料制成。例如,栅极绝缘体可以由以下材料中的至少一种制成: SiO_2 、 Si_3N_4 、 Al_2O_3 、 Y_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Ta_2O_5 、 TiO_2 。因此,栅极绝缘体也可以被称为栅极氧化物。

[0032] 根据至少一个实施例,功率半导体器件是功率器件。例如,功率半导体器件被配置用于至少 $0.2kV$ 或至少 $0.6kV$ 或至少 $1.2kV$ 的最大电压。

[0033] 例如在混合动力车辆或插电式电动汽车中,功率半导体器件例如是车辆中用于来自电池或燃料电池的直流电转换为用于电动机的交流电的功率模块。此外,功率半导体器件可以是如汽车等车辆中的保险丝。

[0034] 为了简化,在下文中仅提及一个沟道区和所分配的部件。如果存在多个沟道区和所分配的部件,下面描述的特征可以仅应用于沟道区和所分配的部件中的一个、多个或全

部。

[0035] 根据至少一个实施例,在沟道区中,掺杂浓度沿着栅极绝缘体例如朝向漂移区单调或严格单调地增大。单调意味着掺杂浓度恒定或增大,以及严格单调意味着掺杂浓度朝向漂移区连续增大。

[0036] 根据至少一个实施例,沿着栅极绝缘体看,非均匀沟道掺杂分布具有远离源极区并靠近漂移区的第一区段。掺杂浓度在第一区段中最高。

[0037] 否则,掺杂浓度在沟道区的在第一区段与第二区段之间的中间区段中最高,第二区段靠近所分配的源极区并且远离漂移区。

[0038] 如果没有这样的中间区段,那么沟道区可以由具有最高掺杂浓度的第一区段和靠近源极区的第二区段组成。

[0039] 根据至少一个实施例,第一区段的和/或中间区段的长度是沿着栅极绝缘体的沟道区的总长度的至少5%或至少10%或至少15%。替代性地或附加地,所述长度为所述总长度的最多40%或最多30%或最多25%。这同样适用于第二区段,如果存在的话。

[0040] 根据至少一个实施例,掺杂浓度沿着栅极绝缘体在第二区段和/或中间区段中是恒定的。例如,恒定意味着没有掺杂浓度的有意变化,使得可以忽略由于制造公差引起的变化。例如,恒定可以意味着在第二区段中和/或中间区段中没有超过沟道区中存在的最大掺杂浓度的5%或10%或15%的掺杂浓度的变化。

[0041] 根据至少一个实施例,掺杂浓度沿着沟道区变化非均匀沟道掺杂分布的最大掺杂浓度的至少50%或变化至少65%或变化至少80%。例如,第二区段具有第一区段的(或者如果最大掺杂浓度在中间区段中,则具有中间区段的)最大掺杂浓度的至多50%或至多35%或至多20%的最大掺杂浓度。

[0042] 根据至少一个实施例,沟道掺杂分布以阶跃方式被配置为使得在沟道区内沿着栅极绝缘体的沟道掺杂分布中存在一个或多个阶跃。否则,沿着栅极绝缘体的沟道掺杂分布可能以连续、无阶跃的方式变化。

[0043] 根据至少一个实施例,栅极电极部分地或完全地布置在半导体本体中形成的至少一个沟槽中。至少一个沟槽以及因此所分配的栅极电极穿过阱区延伸到漂移区中,例如在背离半导体本体的顶侧的方向上。因此,栅极绝缘体也部分或完全位于所分配的沟槽中。因此,功率半导体器件可以是基于沟槽的器件。

[0044] 否则,栅极电极和栅极绝缘体被施加在半导体本体的顶侧上。因此,顶侧可以是平面。

[0045] 根据至少一个实施例,阱区具有多层形式,使得阱区包括至少两个子层。例如,子层可以外延生长或者可以通过离子注入和/或热处理产生。可能的是,子层可以由相同的材料制成,但是其掺杂浓度不同。因此,在子层之间,可能存在掺杂浓度的明显跳跃,并且在相应的子层内,掺杂浓度可以是恒定的,例如,具有相应层的最大掺杂浓度的至多5%的公差。例如,在平行于顶侧的至少一些平面中,在这种情况下,可能的是,掺杂浓度在整个阱区中是恒定的。换句话说,仅沿着阱区的深度而不是在平行于顶侧的侧向方向上可能存在有意的掺杂梯度。

[0046] 否则,阱区具有单层形式,并且只包括其中建立了掺杂分布的一个层。这种掺杂分布可以具有没有阶跃的连续方式,并且可以例如通过离子注入和/或热处理来产生。

[0047] 如果存在多个子层,子层可以通过施加不同的掺杂剂制成和/或可以在外延生长期间施加相应掺杂浓度的情况下在不同的外延生长步骤中生长。掺杂剂的施加可以在单个步骤中进行,或者通过一个以上的施加步骤进行,例如通过使用不同的注入能量或不同的掺杂剂。对于平面器件,可以使用掩模来施加掺杂剂,以获得非均匀沟道掺杂分布。在施加掺杂剂之后或外延生长之后,可以跟随热处理步骤。

[0048] 根据至少一个实施例,在沟道区外部并且沿着阱区的深度,即垂直于顶侧,阱区至少在一些地方具有恒定的掺杂浓度。因此,沿着至少一些竖直交叉部,在阱区中掺杂浓度可以是恒定的。因此,在阱区中,非均匀沟道掺杂分布可以被限制在靠近栅极绝缘体的区。例如,非均匀沟道掺杂分布限于沟道区,例如具有至多 $0.5\mu\text{m}$ 的公差。

[0049] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀的厚度。例如,沿着沟道区,栅极绝缘体在第一区段中最厚。

[0050] 根据至少一个实施例,栅极电极沿着沟道区具有非均匀栅极电极功函数分布,使得栅极电极的阈值电压在第一区段中最高。因此,远离源极区的第一区段中的栅极电极的功函数 Φ_m 对于具有p型掺杂阱区和对应的p型掺杂沟道区的器件最大,而对于具有n型掺杂阱区和对应的n型掺杂沟道区的器件最小。

[0051] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀栅极绝缘体厚度分布。换句话说,栅极绝缘体的厚度沿着沟道区变化。所述厚度变化可以是连续的或不连续的,即阶跃式的。例如,沿着沟道区,栅极绝缘体在第一区段中最厚,并且因此在第二区段中可能最薄。

[0052] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀栅极介电常数分布,使得栅极绝缘体的相对介电常数在远离源极区的沟道区的第一部分中最低。

[0053] 根据至少一个实施例,存在非均匀厚度分布以及非均匀沟道掺杂分布和/或非均匀栅极电极功函数分布和/或非均匀栅极介电常数分布。也就是说,非均匀沟道掺杂分布可以与非均匀栅极绝缘体厚度、非均匀栅极电极功函数分布或非均匀栅极介电常数分布相结合,或者与非均匀沟道掺杂分布、非均匀栅极电极功函数分布和非均匀栅极介电常数分布中的两个相结合,或者与所有三个其它非均匀分布相结合。

[0054] 根据至少一个实施例,功率半导体器件被配置为使得例如饱和电流和短路电流两者减小,而集电极-发射极饱和电压 V_{ce-sat} 以及因此通态损耗可以保持不受影响。由于非均匀沟道掺杂分布并且与类似设置的但是具有与沿着栅极绝缘体的沟道区的非均匀沟道掺杂分布相同的整体掺杂浓度的均匀掺杂分布的参考半导体器件相比,这可能是真实的。

[0055] 下文参照附图通过示例性实施例更详细地解释功率半导体器件。各个图中相同的元件用相同的附图标记指示。然而,元件之间的关系未按比例示出,而是各个元件可以夸大地示出以帮助理解。

[0056] 在图中:

[0057] 图1是参考半导体器件的示意截面视图,

[0058] 图2是本文中描述的功率半导体器件的示例性实施例的示意性截面视图,

[0059] 图3是图2的功率半导体器件的俯视图,

[0060] 图4至图7是本文描述的功率半导体器件和参考半导体器件的电数据的示意性表示,

- [0061] 图8是本文描述的功率半导体器件和参考半导体器件的掺杂分布的示意性表示,
- [0062] 图9示出了本文描述的功率半导体器件和参考半导体器件的电数据的模拟结果, 以及
- [0063] 图10至16是本文描述的功率半导体器件的示例性实施例的示意性截面视图。
- [0064] 图1图示了参考半导体器件9,除了包括在阱区22中的沟道区220中的沟道掺杂分布6、69之外,该参考半导体器件对应于本文描述的功率半导体器件1的示例性实施例。像功率半导体器件1一样,参考半导体器件9包括例如由Si制成的半导体本体2。
- [0065] 半导体本体2还包括在半导体本体2的顶侧20处的源极区21。沟槽穿过阱区22并且穿过源极区21。源极区21具有第一导电类型,如n型导电,并且阱区22以及因此阱区22所包括的沟道区220具有不同的第二导电类型,如p型导电。在沟槽中,存在通过电绝缘栅极绝缘体4与半导体本体2分离的栅极电极31。沟槽以及因此栅极电极31终止于半导体本体2的漂移区23中。漂移区23也具有第一导电类型。
- [0066] 在参考半导体器件9中,沟道区220以均匀参考掺杂分布69进行掺杂。也就是说,沿着背离源极区21并朝向漂移区23的方向 x ,存在恒定的掺杂浓度 N_A 。例如,靠近栅极绝缘体4在源极区21和沟道区220直接接触的位置, $x=0$ 。例如,靠近栅极绝缘体4在沟道区220和漂移区23直接接触的位置, $x=L$ 。即, L 对应于沟道区220的沟道长度。例如, x 垂直于半导体层本体2的顶侧20延伸。因此,长度 L 可以对应于源极区21与漂移区23之间直接在栅极绝缘体4处的距离。因此,长度 L 可以被限定为第一导电类型的层(即,源极区21和漂移区23)之间的第二导电类型层的长度,其中漂移区23可以包括较低掺杂浓度的层(未图示)。
- [0067] 注意,沟道区220的形状仅非常示意性地绘出,并且为了简化附图,仅沿着栅极电极31的一侧。
- [0068] 根据如图2和图3所示的功率半导体器件1的示例性实施例,阱区包括非均匀沟道掺杂分布6,该非均匀沟道掺杂分布可以存在于整个阱区22中,或者可以限于沟道区220或者限于沟道区220和限于阱区22的相邻区。因此,掺杂浓度 N_A 以阶跃方式变化,使得掺杂分布6具有阶跃53。阶跃53不需要精确地遵循 θ 函数或单位阶跃函数,但是可以存在过渡区段62。与沟道长度 L 相比,过渡区段62的长度很小,并且例如总计为沟道长度 L 的最多2%或最多5%。
- [0069] 因此,在掺杂分布6的第一区段61中,靠近漂移区23掺杂浓度 N_A 最高。第一区段61的长度例如是沟道长度 L 的四分之一或三分之一。例如,第一区段61的长度在沟道长度 L 的20%与40%之间。在图2中仅示意性地图示了阶跃53处掺杂浓度 N_A 的变化量。
- [0070] 例如,第一区段61中的最大掺杂浓度 N_A 超过沟道区220的剩余部分中(即超过第一区段61之外和过渡区段62之外的第二区段64中)的最大掺杂浓度 N_A 至少2倍或至少5倍和/或最多10倍或最多8倍。在第二区段64中,掺杂浓度 N_A 实际上可以是恒定的。源极区21和阱区22两者可以通过位于顶侧20处的至少一个源极电极32电连接。
- [0071] 作为选项,为了电接触沟道区220,在半导体本体2的顶侧20处可以存在至少一个插塞25。插塞25可以具有与阱区22不同的厚度,使得插塞25可以比阱区22更深或更浅地延伸到半导体本体2中。进一步,源极区21和插塞25的厚度可以相同或可以不同。
- [0072] 进一步,在漂移区23与阱区22之间,存在增强层27。增强层27也具有第一导电类型。

[0073] 源极区21和至少一个插塞25两者可以通过位于顶侧20处的至少一个源极电极32电连接。示例性地,插塞25具有比阱区22或沟道区220更高的最大掺杂浓度。插塞的深度可以比阱区/沟道区更低、更深或与其相同。

[0074] 在图2和图3中,源极区21和可选的至少一个插塞25仅沿着栅极电极31的一侧定位。然而,源极区21和可选的至少一个插塞25也可以沿着栅极电极31的两侧布置(例如比较图10)、或者围绕栅极电极31布置。

[0075] 例如,功率半导体器件1是绝缘栅双极晶体管,简称IGBT。因此,在漂移区23远离阱区22的一侧处,存在也具有第二导电类型的集电极区26。在集电极区26处,存在集电极电极34。附加地,作为进一步的选项,在漂移区23与集电极区26之间可以存在第一导电类型的缓冲层。这种缓冲层(未示出)的掺杂浓度可以高于漂移区26的掺杂浓度。

[0076] 在顶侧20的俯视图看,容纳栅极电极31和栅极绝缘体4的沟槽可以具有延伸形式。参见图3,源极区21、至少一个插塞25以及沟道区220可以对称地布置在沟槽的两侧上。

[0077] 例如,源极区21、集电极区26或替代地漏极区24和至少一个插塞25的最大掺杂浓度为至少 $1 \times 10^{18} \text{cm}^{-3}$ 或至少 $5 \times 10^{18} \text{cm}^{-3}$ 或至少 $1 \times 10^{19} \text{cm}^{-3}$ 和/或最多 $5 \times 10^{20} \text{cm}^{-3}$ 或最多 $2 \times 10^{20} \text{cm}^{-3}$ 或最多 $1 \times 10^{20} \text{cm}^{-3}$ 。进一步地,阱区22的以及因此沟道区220的最大掺杂浓度可以是至少 $5 \times 10^{16} \text{cm}^{-3}$ 或至少 $1 \times 10^{17} \text{cm}^{-3}$ 和/或最多 $5 \times 10^{19} \text{cm}^{-3}$ 或最多 $5 \times 10^{18} \text{cm}^{-3}$ 。例如,第一区段61中的最大掺杂浓度为至少 $1.5 \times 10^{17} \text{cm}^{-3}$ 和/或为至多 $3 \times 10^{18} \text{cm}^{-3}$ 。例如,非均匀沟道掺杂分布6中存在的最大掺杂浓度为至少 $5 \times 10^{16} \text{cm}^{-3}$ 且至多 $3 \times 10^{18} \text{cm}^{-3}$,和/或非均匀沟道掺杂分布6中存在的最小掺杂浓度为至多 $2 \times 10^{17} \text{cm}^{-3}$ 或至多为 $1 \times 10^{17} \text{cm}^{-3}$ 。例如,增强层27的最大掺杂浓度为至少 10^{15}cm^{-3} 和/或为至多 10^{18}cm^{-3} 。

[0078] 取决于功率半导体器件1的电压等级,漂移区23的最大掺杂浓度可以是至少 $1 \times 10^{11} \text{cm}^{-3}$ 或至少 $1 \times 10^{12} \text{cm}^{-3}$ 或至少 $1 \times 10^{13} \text{cm}^{-3}$ 和/或最多 $1 \times 10^{17} \text{cm}^{-3}$ 或最多 $5 \times 10^{16} \text{cm}^{-3}$ 或最多 $1 \times 10^{16} \text{cm}^{-3}$ 。

[0079] 例如,半导体本体2至少部分通过外延生长产生。也就是说,半导体本体2的相应层的掺杂浓度可以在生长期间产生,并且可以不在生长之后产生,例如通过离子注入。这例如至少适用于增强层27和阱区22,该增强层和阱区因此可以通过外延生长来掺杂。作为选项,漂移区23可以部分或完全是生长衬底的一部分。这同样适用于所有其他示例。

[0080] 否则,与图1相同的情况也适用于图2和图3。

[0081] 在下文中解释具有非均匀沟道掺杂分布6的沟道区220背后的构思。

[0082] 对于示例性地用于低频应用的功率半导体器件1,可能期望具有尽可能低的通态损耗,以便最小化总电损耗。此外,从器件可靠性的角度来看,具有低短路电流可以是有利的。因此,可能期望具有最小化的通态损耗和改进的短路能力的功率半导体器件1。

[0083] 然而,用于降低通态压降 $V_{\text{ce-sat}}$ 的一些手段(例如通过减小沟道长度 L 或增大沟道宽度 W)通常导致不期望的较高饱和电流 I_{sat} ,如使用输出特性 I_{c} 与 V_{ce} 示意性图示那样,参见图4。更高的 I_{sat} 与更高的短路电流 I_{sc} 直接相关,从而不利地影响功率半导体器件1的短路能力。另一方面,例如通过增大沟道掺杂浓度来提高功率半导体器件1的阈值电压 V_{th} 以降低 I_{sat} 导致更高的 $V_{\text{ce-sat}}$,如图5所示。因此,图4和图5是沿着整个沟道区具有均匀阈值分布的IGBT的典型输出特性的示意图,在图4中是针对相同的 V_{th} 和不同的沟道电阻以及在图5中是针对不同的阈值电压 V_{th} 。

[0084] 比如以下等用于减少短路电流的其他技术:

[0085] a) 增大沟道长度 L ,

[0086] b) 通过降低阳极注入剂量来降低阳极注入效率,

[0087] c) 通过减小沿沟槽的源极覆盖来减小沟道宽度,以及

[0088] d) 通过增大单元间距来减小沟道宽度,

[0089] 也不期望地导致更高的通态损耗。而且,比如d)等技术也可能不利地影响功率半导体器件1的击穿能力。减少栅极偏置以便减少短路电流也可能是不期望的,因为它会导致不稳定的动态行为,并且另外它主要由应用要求来限定。

[0090] 因此,在常规MISFET或IGBT器件中,在最小化通态损耗与降低短路电流之间存在权衡。对于需要改善的短路能力的应用,可能期望能够在不影响 V_{ce-sat} 的情况下降低短路电流 I_{sc} 。

[0091] 利用本文描述的功率半导体器件1,通过在没有不利地影响通态损耗的情况下改善短路电流,改善了通态损耗与短路电流之间的权衡。与其他方法不同,所描述的设计的特征在于沿着靠近栅极绝缘体4的沟道区220的非均匀阈值电压分布,以降低给定 V_{ce-sat} 的饱和电流。通过在沟道区220中实施非均匀沟道掺杂分布6,实现了本文描述的功率半导体器件1中的所提出的非均匀 V_{th} 。所描述的功率半导体器件1不会不利地影响功率半导体器件1的击穿能力,更不会不利地影响其关断损耗。此外,所描述的构思通常适用于任何MOS器件,诸如功率MOSFET或IGBT或反向传导IGBT,并且甚至与平面和沟槽结构兼容。

[0092] 利用本文描述的功率半导体器件1,引入了具有增强的短路能力的改进的MISFET、MOSFET或IGBT或RC-IGBT器件,而没有对通态损耗的有害影响。改进的设计还放宽了IGBT的设计限制,从而实现了独立探索以上提及的其他方法以最小化通态损耗的可能性,这些通态损耗通常受到相应器件的短路能力的限制。

[0093] 在下文中,呈现了本文描述的半导体器件1的思想的一些理论背景。

[0094] 对于参考长沟道MOS器件,已知高 V_{ce} 下的沟道夹断导致输出特性中的电流饱和,这最终决定了短路电流。沟道夹断电压 $V_{pinch-off}$ 由阈值电压 V_{th} 决定。示例性地,当所施加的偏压 V_{ce} 超过夹断电压 $V_{pinch-off} \approx (V_g - V_{th})$ (其中 V_g 是所施加的栅极电压)时,沟道在其漏极端附近在 $x=L$ 处开始夹断,其中 L 是沟道长度。在这种施加的 V_{ce} 下,垂直于沟道的电压降小于 V_{th} ,并且因此沟道在漏极端附近不能再维持。

[0095] 然而,为了更详细地理解该器件,应该认为沟道夹断更多地是局部现象(特别地在沟道的漏极端附近发生)。因此,更准确地说,是局部阈值电压 $V_{th}(x)$ 决定了夹点,并且因此决定饱和电流。这意味着可以通过在沟道端部,即在漂移区23附近的第一区段61中局部增大 $V_{th}(L)$ 来降低 $V_{pinch-off}$ 。

[0096] 进一步,为了保持总沟道电阻,并且从而使 V_{ce-sat} 不受影响,可以在沟道的其余部分中降低 $V_{th}(x)$ 。

[0097] 这在图6中示意性地图示,在该图中参照参考半导体器件9的曲线包括沿着整个沟道的均匀阈值电压 V_{th-1} 分布。另一方面,功率半导体器件1的曲线由沿着沟道的非均匀 V_{th} 分布组成,其中 V_{th} 在沟道端部附近,即在第一区段61中局部升高,使得

[0098] $V_{th-2}(L) > V_{th-1}$,以便降低夹断点,而在沟道的其余部分中 $V_{th-2}' < V_{th-1}$ 以保持总沟道电阻相同。以这样的方式,饱和电流以及由此短路电流可以显著减小,而不影响通态损耗,

如图7中的示意输出所示。因此,局部 V_{th} 变化是MISFET或MOSFET或IGBT器件的改善的短路能力的关键。

[0099] 沟道的 V_{th} 是各种其它MOS单元设计参数的函数,如下式所指示那样:

$$[0100] \quad V_t = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_A 2\epsilon_s 2\Phi_B}}{C_{ox}}$$

[0101] 其中 V_t 是阈值电压, V_{fb} 是平带电压, $V_{fb} = (\phi_m - \phi_s)$ 其中 ϕ_m 和 ϕ_s 分别是栅极金属功函数和半导体功函数。 N_A 是沟道本体掺杂, ϵ_s 是半导体的介电常数, C_{ox} 是栅极绝缘体电容,以及 ϕ_B 是半导体表面电势,并且:

$$[0102] \quad \Phi_B = kt \ln \frac{N_A}{n_i}$$

[0103] 其中 k 是玻尔兹曼常数, T 是温度,以及 n_i 是半导体的本征载流子浓度。

[0104] 因此,在第一区段61中的具有相对较高 V_{th} 的沟道上的所需的非均匀 V_{th} 分布可以通过在以下MOS设计参数中的一个中或任意组合中引入非均匀性来实现:

[0105] 1. 如本文详细描述沟道掺杂分布 $N_A(x)$,

[0106] 2. 栅极氧化物厚度 $T_{ox}(x)$,

[0107] 3. 栅极电介质 $\epsilon_{ox}(y)$,和/或

[0108] 4. 栅极金属功函数 $\phi_m(x)$,因为 $V_{fb} = (\phi_m - \phi_s)$ 。

[0109] 在下文中,关注于沟道掺杂分布变化,但是所述掺杂浓度变化当然可以与变化的栅极绝缘体厚度、变化的栅极电介质和/或变化的栅极金属功函数相结合。

[0110] 上面的图1和图2示出了具有均匀掺杂分布69的参考半导体器件9和如在下面呈现的模拟中实施的具有非均匀沟道掺杂分布6的功率半导体器件1的示意性横截面。研究了三种不同的掺杂分布A、B、C,参见图8。

[0111] 也就是说,非均匀沟道掺杂分布 $N_A(x)$ 已经在技术计算机辅助设计TCAD模拟中实施,以获得局部变化的 V_{th} 分布,其目的是在不影响通态性能的情况下降低饱和电流。在这些设计A、B、C中,沿着沟道区220的硼浓度 $N_A(x)$ 是变化的,使得其峰值位置从沟道区220的顶部($x=0$)移动到底部($x=L$),如图8所示。为了进行比较,也图示了参考半导体器件9的均匀掺杂分布69。然而,对于全部这四种设计A、B、C、69,沿着沟道的总积分掺杂浓度保持相同,以便保持相同的 V_{ce-sat} 。

[0112] 输出特性(参见图9)示出了预期的效果,该效果归因于由非均匀沟道掺杂分布6引起的局部 V_{th} 变化。与在靠近源极区21的第二区段64中具有峰值掺杂浓度的设计C的 I_{sat} 相比,在沟道区220的第一区段61中具有硼峰值的设计,即设计A显示出降低的 I_{sat} 。出于同样的原因(也就是说,由于在沟道区端部处的更高的局部 V_{th}),相比于参考均匀掺杂分布69设计A也更好。进一步,注意,对于其中需要减小短路电流的应用,设计C可能是不期望的。短路问题,即为了减小源极与集电极之间的电流,已经在本文描述的功率半导体器件1中通过引入在沟道端部附近具有较高的掺杂(即,在中间区段63中或靠近漏极区的第一区段61中具有较高的掺杂浓度,如设计B和A中那样)的非均匀沟道掺杂分布6得到解决。

[0113] 通过降低固定 V_{ce-sat} 的沟道的另一部分中的掺杂,总沟道电阻保持相同。在设计B中,与参考半导体器件9相比,第二区段64与第一区段61之间的中间区段63中的峰值掺杂浓

度和 I_{sat} 已经降低。

[0114] 通过具有非均匀沟道掺杂分布6,器件的击穿特性保持不受影响。开关损耗 E_{off} 在很大程度上保持不受具有非均匀沟道掺杂分布6的影响,比较下表,该表总结了具有如图8所示的不同掺杂分布的设计A、B和C的模拟结果。

[0115] 在靠近源极区21的第一区段64中具有掺杂峰值的半导体器件的设计C:

[0116] 150A下的 $-V_{\text{ce-sat}}$:1.667V;

[0117] 10mA下的 $-V_{\text{th}}$:7.12V;

[0118] $-E_{\text{off}}$:13.76mJ;

[0119] $-I_{\text{sc}}$: = 100%。

[0120] 在中间区段63中具有掺杂峰值的示例性功率半导体器件1的设计B:

[0121] 150A下的 $-V_{\text{ce-sat}}$:1.676V;

[0122] 10mA下的 $-V_{\text{th}}$:7.12V;

[0123] $-E_{\text{off}}$:13.58mJ;

[0124] $-I_{\text{sc}}$: = 设计C的 I_{sc} 的大约73%。

[0125] 在第一区段61中具有掺杂峰值的示例性功率半导体器件1的设计A:

[0126] 150A下的 $-V_{\text{ce-sat}}$:1.688V;

[0127] 10mA下的 $-V_{\text{th}}$:7.08V;

[0128] $-E_{\text{off}}$:13.72mJ;

[0129] $-I_{\text{sc}}$: = 设计C的 I_{sc} 的大约62%。

[0130] 例如,沟道的长度L在每种情况下在 $1\mu\text{m}$ 与 $10\mu\text{m}$ 之间或者在 $1\mu\text{m}$ 与 $5\mu\text{m}$ 之间。在示例性器件9、A、B、C中,沟道的长度L在每种情况下为 $2.5\mu\text{m}$,并且设计A中的第一区段61具有 $0.5\mu\text{m}$ 的长度。

[0131] 在图10的功率半导体器件1的示例性实施例中,掺杂分布6再次具有一个阶跃53。因为可选地,沟道区220被生产(例如生长)为具有第一子层51和第二子层52,该第一子层和第二子层可以例如在生长期间被掺杂,所以在这个示例性实施例中实际上没有过渡区。

[0132] 在全部其他示例性实施例中可能的是,当在横截面中看时,也比较图10,容纳栅极电极31的沟槽不需要在漂移区23中具有倒圆端部部分,而是可以具有矩形形状,或者也可以具有其他形状。

[0133] 如在功率半导体器件1的全部其他示例性实施例中可能的那样,栅极绝缘体4的面向半导体本体2的外向侧可以具有平面形式,至少沿着沟道区220。

[0134] 而且,图示了图10的功率半导体器件1不是IGBT,而是MISFET或MOSFET。因此,功率半导体器件1包括漏极区24而不是集电极区26。因此,在漂移区23远离阱区22的一侧处,存在也具有第一导电类型的漏极区24,但是例如具有比漂移区23中更高的最大掺杂浓度。在漏极区24处,存在漏极电极33。

[0135] 当然,IGBT功率半导体器件1的全部栅极绝缘体设计可以应用于MOSFET和MISFET功率半导体器件1,反之亦然。

[0136] 否则,与图2至图9相同的情况也可以适用于图10,反之亦然。

[0137] 根据图11,掺杂分布6包括多个阶跃53,例如阶跃53中的两个。例如,更靠近漂移区23的第二阶跃大于更靠近源极区21的第一阶跃。第一阶跃可以限定第一区段61的开始。

[0138] 作为选项,非均匀沟道掺杂分布6可以与栅极绝缘体4的变化厚度相结合。例如,在沿着端部部分之外的沟道区的第一区段中,栅极绝缘体4的厚度在20nm与80nm之间(包括端点),或者在40nm与80nm之间(包括端点)。

[0139] 如在全部其他示例性实施例中,这两个思想(即具有不对称的、非均匀栅极绝缘体厚度和非均匀沟道掺杂分布6)可以彼此结合。在这种情况下,栅极绝缘体4可以在第一区段61中最厚。栅极绝缘体61的厚度可以以与掺杂浓度 N_A 相同的方式或以不同的方式增大。因此,本文描述的非均匀沟道掺杂分布6的示意性进展也可以应用于非均匀栅极绝缘体厚度,其中非均匀沟道掺杂分布6和非均匀栅极绝缘体厚度的进展可以相同或可以不同。

[0140] 替代性地或附加地,在靠近漂移区23的区段中,并且因此在第一区段61中,所述厚度可以在120nm与250nm之间(包括端点)、或者在120nm与180nm之间(包括端点)。例如,栅极绝缘体4的这两个厚度相差至少1.5倍和/或相差最多5倍。栅极绝缘体厚度跳变的位置J例如在第一区段61内。例如,所述位置J在掺杂分布6中的两个阶跃53之间。

[0141] 否则,与图2至10相同的情况也可以适用于图11,反之亦然。

[0142] 在图12中,图示了掺杂浓度 N_A 不以阶跃方式形成,而是在第一区段61的开始处连续变化。其中掺杂浓度 N_A 变化的过渡区段62总计例如长度L的至少2%和/或至多15%或至多10%或至多5%。类似于图11,可以存在多于一个这样的过渡区段61。

[0143] 否则,与图2至11相同的情况也可以适用于图12,反之亦然。

[0144] 根据图13,掺杂浓度 N_A 不单调增大。因此,在源极区21附近可以存在到较高掺杂浓度 N_A 的较小第一阶跃,以及回到原始掺杂浓度 N_A 的较小第二阶跃,并且在漂移区23附近存在到较高、最终和最大掺杂浓度 N_A 的较大第三阶跃。掺杂浓度 N_A 的次峰值可以位于中间区段63中。

[0145] 否则,与图2至12相同的情况也可以适用于图13,反之亦然。

[0146] 在图14的示例性实施例中,掺杂浓度 N_A 从第二区段64直到第一区段61以线性方式连续增大。因此,在第一区段61与第二区段64之间不需要明确限定的界面或分界线。

[0147] 否则,与图2至图13相同的情况也可以适用于图14,反之亦然。

[0148] 根据图15,功率半导体器件1具有平面设计,而不具有像例如图2和图3的功率半导体器件1的沟槽设计。因此,顶侧20是平面的,并且栅极绝缘体4和栅极电极31被施加到顶侧20上。因此,源极区21与漂移区23之间的长度L平行于顶侧20,而不像在其他示例性实施例中垂直于顶侧20。这同样适用于掺杂浓度 N_A 沿着其变化的方向x。

[0149] 在图15中,阱区22从源极区21在侧向方向上即平行于顶侧20突出,并在栅极绝缘体4下方延伸。源极区21也可以在栅极绝缘体4下面延伸,但是不太远。

[0150] 在MISFET或MOSFET的情况下以及在IGBT的情况下,掺杂分布6的全部以上提及的不同设计可以类似地应用于图15的平面构思。因此,与图2至图13相同的情况也可以适用于图14。

[0151] 而且,在图16中,由于可选地存在构成栅极绝缘体4的至少两种不同材料81、82,图示了不仅存在非均匀沟道掺杂分布,而且存在非均匀栅极绝缘体厚度分布和栅极绝缘体4的非均匀栅极介电常数分布。也就是说,栅极绝缘体4的厚度沿着沟道区220变化。

[0152] 例如,由于至少两种不同的材料81、82沿着沟道区220的相对介电常数的差异至少为2.0或者至少为3.0或者至少为3.5。替代性地或附加地,所述差异最多为50或最多为25。

当比较相应相对介电常数时,可以使用在室温下(即300K)和在至多1kHz的变化电场的频率下各种材料的教科书值。

[0153] 例如,第一区段61中的第一材料81的厚度超过第二区段64中的第二材料82的厚度,反之亦然。例如,第一材料81与第二材料82之间的厚度差是栅极绝缘体4沿着沟道区220的最大厚度的至少20%或至少40%。如果只存在非均匀栅极绝缘体厚度分布和均匀栅极介电常数分布,则栅极绝缘体4可以由单个材料制成。

[0154] 例如,第二区段64中的栅极绝缘体4的厚度在50nm与100nm之间(包括端点),和/或第一区段61中的栅极绝缘体4的厚度在100nm与240nm之间(包括端点)。然而,除了图16中图示的以外,第一区段61中的栅极绝缘体4的厚度可以替代性地小于第二区段64中的厚度,并且最大厚度可以替代地出现在第二区段64中。

[0155] 因此,在第一区段61与第二区段64之间的界面处,在非均匀沟道掺杂分布6中存在阶跃,参见图16中的插图。

[0156] 除了非均匀栅极介电常数分布和/或非均匀栅极绝缘体厚度分布之外或者作为其替代性方案,还可以存在非均匀栅极电极功函数分布72。因此,栅极电极31可以包括靠近源极区21的第一栅极材料84和靠近漏极区23的第二栅极材料85。在栅极绝缘体4的材料81、82改变的位置,栅极材料84、85可以改变。因此,远离源极区21的第一区段61中的栅极电极31的功函数 Φ_m 对于具有p掺杂阱区22的器件1最大,而对于具有n掺杂阱区22的器件1最小。

[0157] 例如,沿着沟道区220的栅极电极的功函数差至少为0.7eV或者至少为1.0eV或者至少为1.1eV。这适用于例如当栅极电极31基于多晶硅时。如果也考虑用于低功函数的金属(如Li、Zn、Hf)或用于高功函数的金属(如Pt、Pd或Au),则功函数差可以是至少1.3eV或至少1.4eV。例如,功函数差至多为2.0eV或至多1.5eV。

[0158] 例如,第二栅极材料85是具有大约5.22eV的功函数 Φ_m 的p⁺掺杂多晶硅。例如,第一栅极材料84是具有大约4.1eV的功函数 Φ_m 的n⁺掺杂多晶硅。虽然基于硅,但是这些第一栅极材料84和第二材料85可以被称为不同的栅极电极金属。

[0159] 非均匀栅极绝缘体厚度分布、非均匀栅极绝缘体介电常数分布和非均匀栅极绝缘体厚度分布中的这种至少一个也可以类似地存在于全部其他示例性实施例中。

[0160] 否则,与图2至图15相同的情况也可以适用于图16,反之亦然。

[0161] 除非另有指示,否则图中示出的部件以特定顺序示例性地一个在另一个之上。图中不接触的部件示例性地彼此间隔开。如果线彼此平行绘制,则对应的表面可以彼此平行取向。同样地,除非另有指示,附图中正确地再现了所绘制的部件相对于彼此的位置。

[0162] 本文中描述的功率半导体器件不受基于示例性实施例的描述的限制。相反,功率半导体器件涵括任何新特征以及特征的任何组合,包括专利权利要求中的特征的任何组合,即使这个特征或这个组合本身没有在专利权利要求或示例性实施例中明确指定。

[0163] 本专利申请要求欧洲专利申请21186114.1的优先权,该欧洲专利申请的公开内容通过援引并入本文。

[0164] 附图标记清单

[0165] 1 功率半导体器件

[0166] 2 半导体本体

[0167] 20 顶侧

[0168]	21	源极区
[0169]	22	阱区
[0170]	220	沟道区
[0171]	23	漂移区
[0172]	24	漏极区
[0173]	25	插塞
[0174]	26	集电极区
[0175]	27	增强层
[0176]	31	栅极电极
[0177]	32	源极电极
[0178]	33	漏极电极
[0179]	34	集电极电极
[0180]	4	栅极绝缘体
[0181]	51	沟道区的第一子层
[0182]	52	沟道区的第二子层
[0183]	53	掺杂浓度的阶跃
[0184]	6	非均匀沟道掺杂分布
[0185]	61	第一区段
[0186]	62	过渡区段
[0187]	63	中间区段
[0188]	64	第二区段
[0189]	69	均匀参考掺杂分布
[0190]	72	非均匀栅极电极功函数分布
[0191]	81	第一材料
[0192]	82	第二材料
[0193]	84	第一栅极材料
[0194]	85	第二栅极材料
[0195]	9	参考半导体器件
[0196]	A	第一示例性功率半导体器件
[0197]	B	第二示例性功率半导体器件
[0198]	C	第三示例性功率半导体器件
[0199]	J	栅极绝缘体厚度跳变的位置
[0200]	I_{sat}	饱和电流
[0201]	L	沿着栅极绝缘体的沟道区的长度
[0202]	N_{A}	掺杂浓度
[0203]	V_{th}	阈值电压
[0204]	x	沿着沟道区的长度

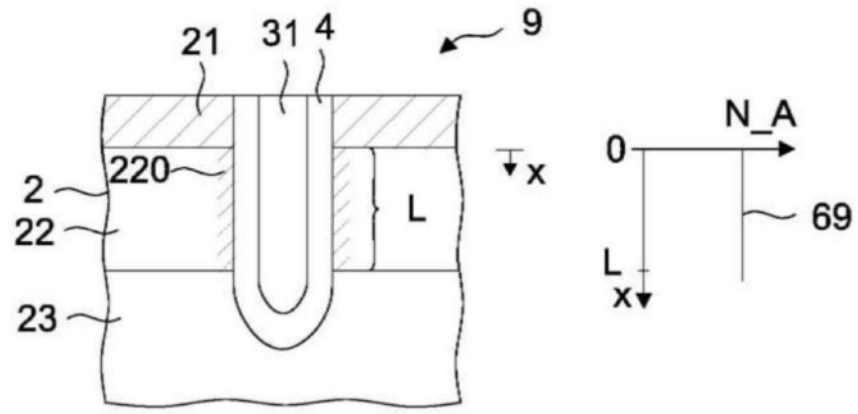


图1

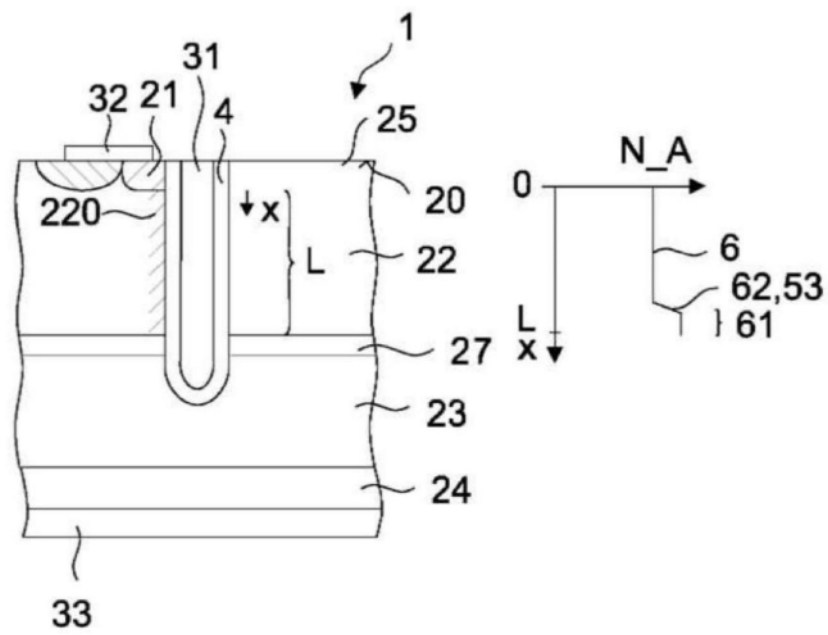


图2

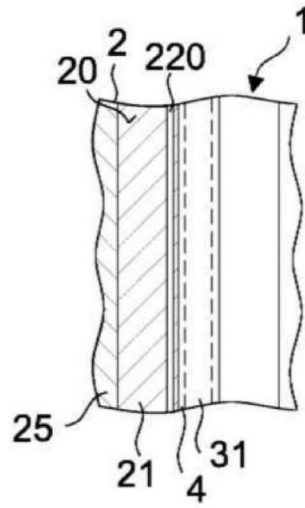


图3

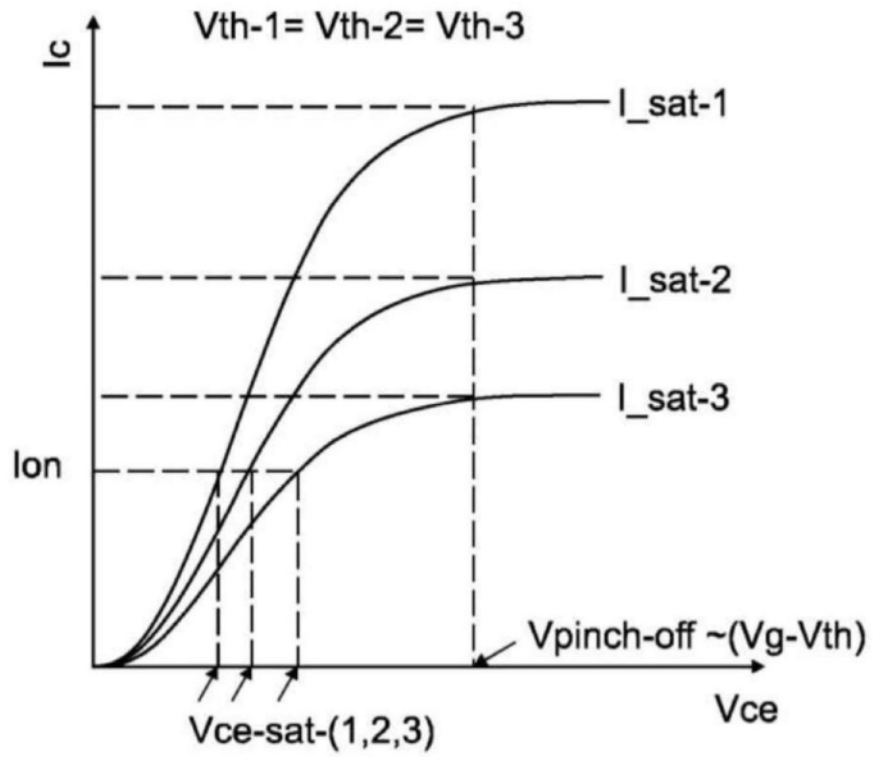


图4

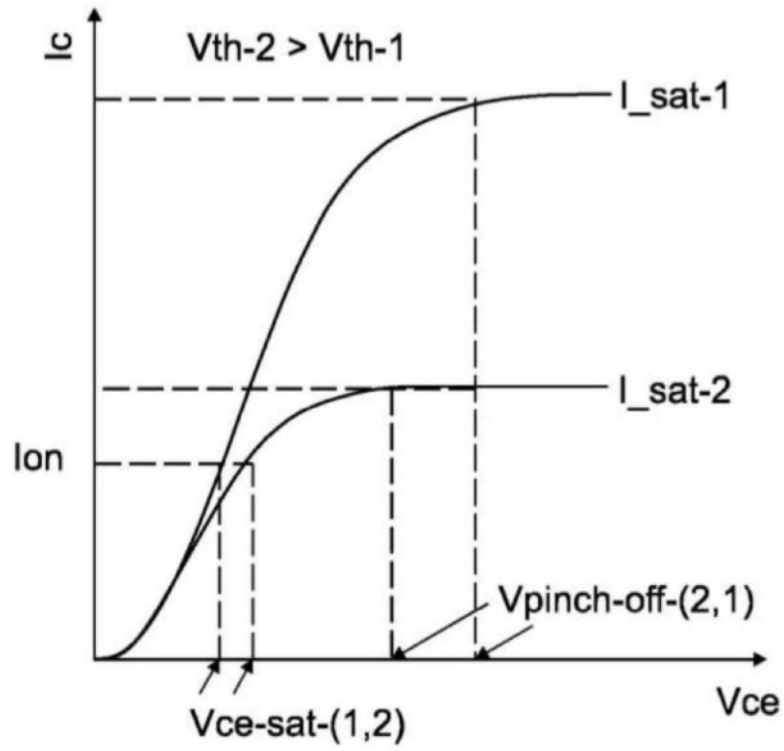


图5

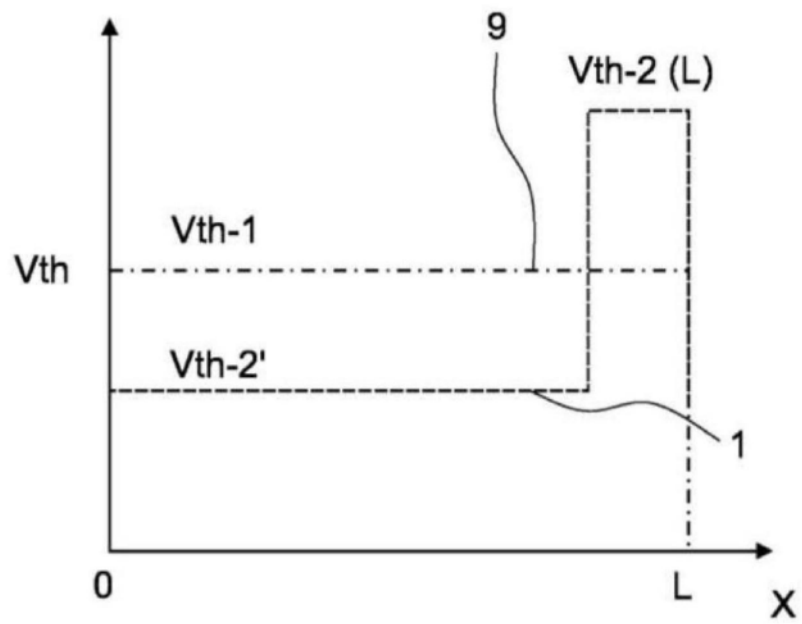


图6

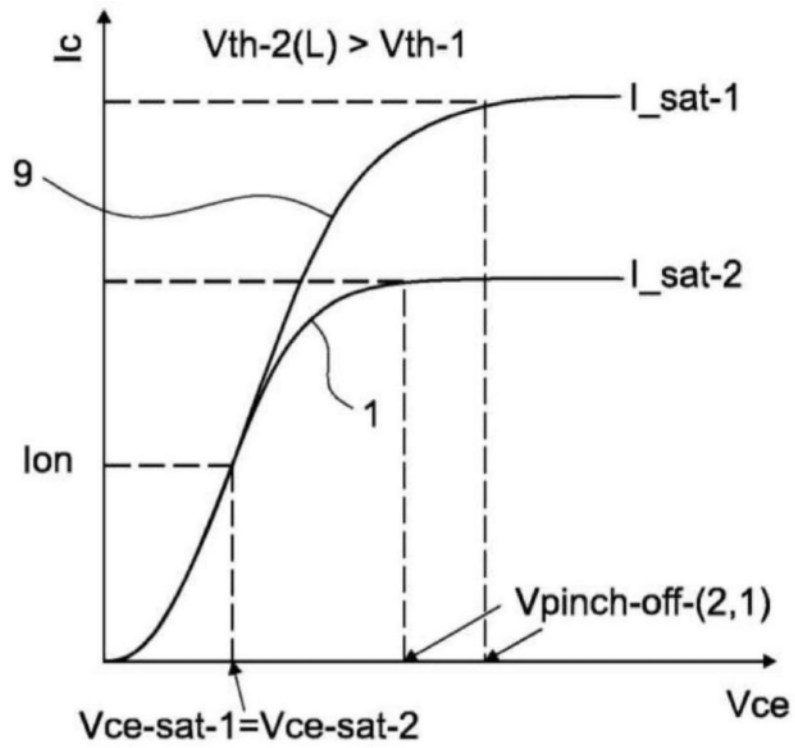


图7

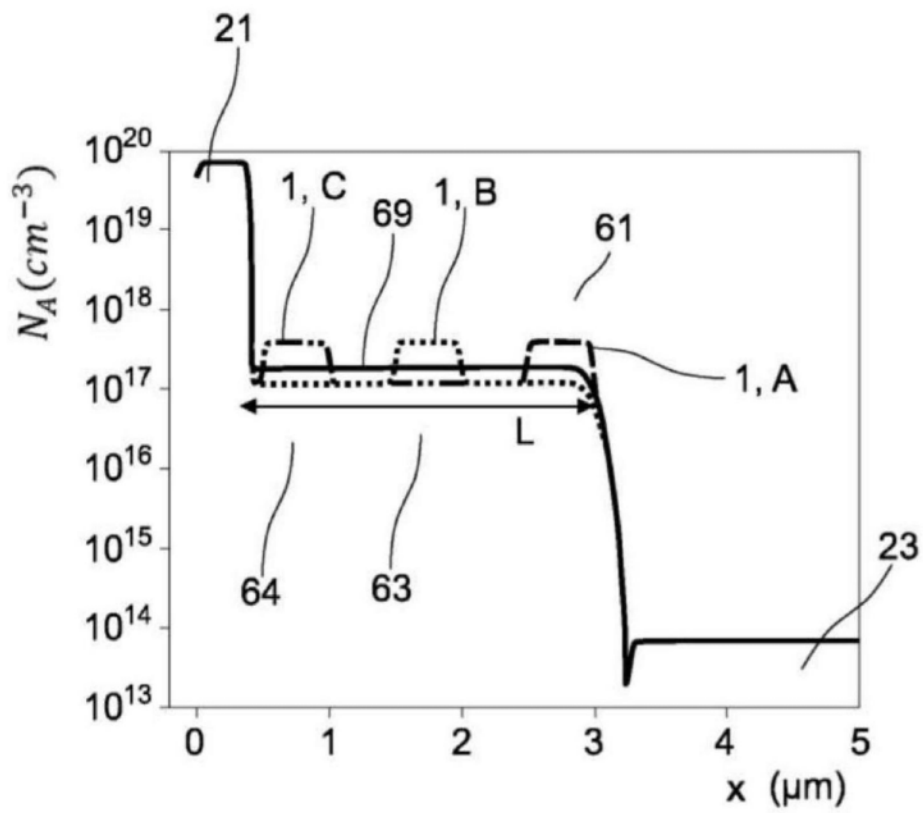


图8

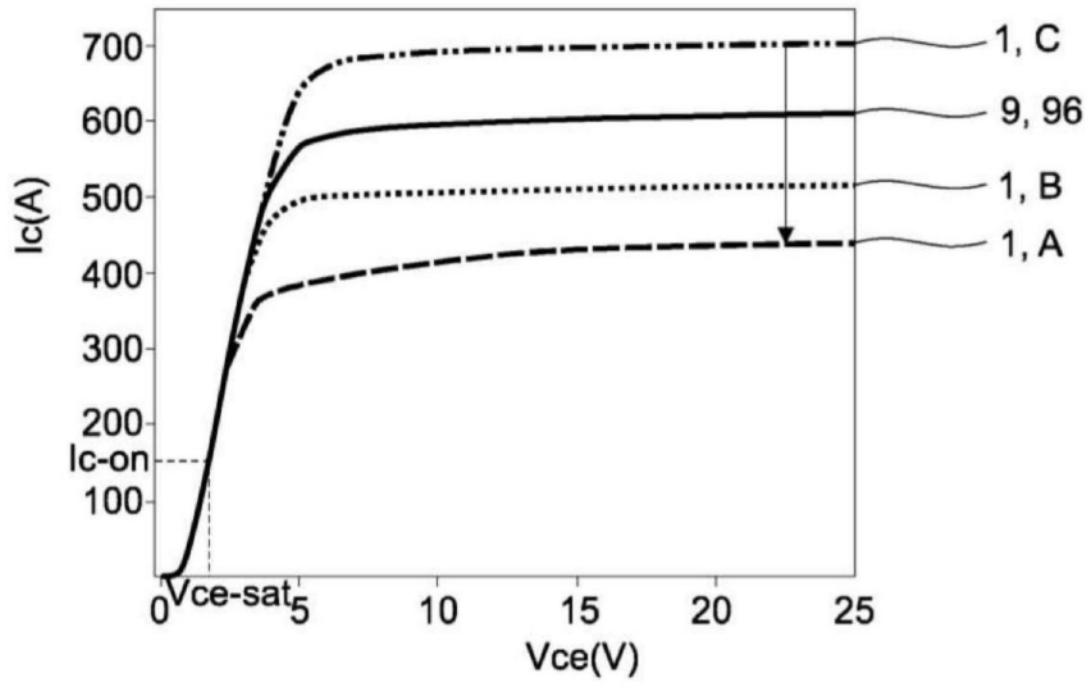


图9

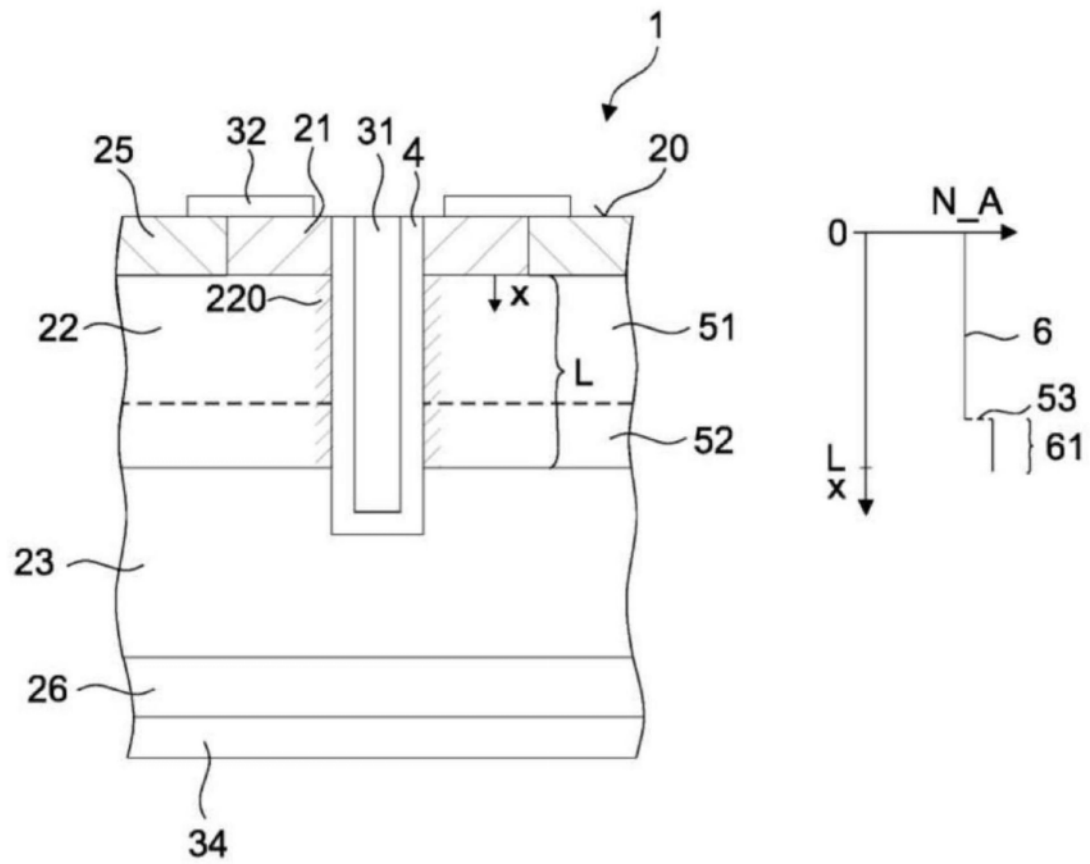


图10

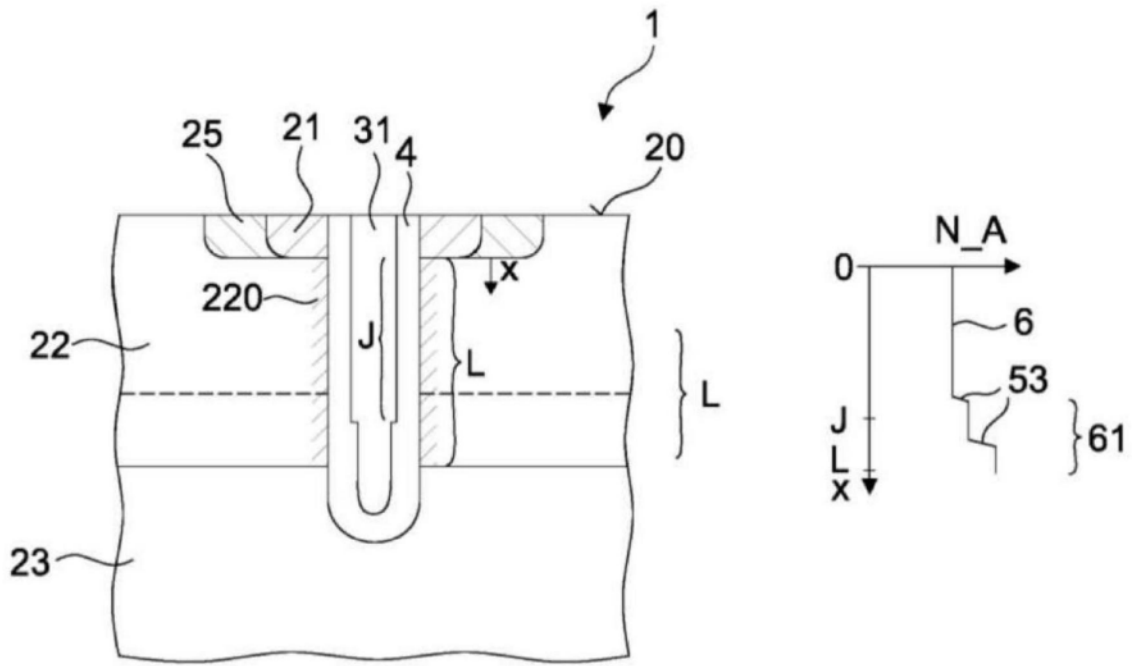


图11

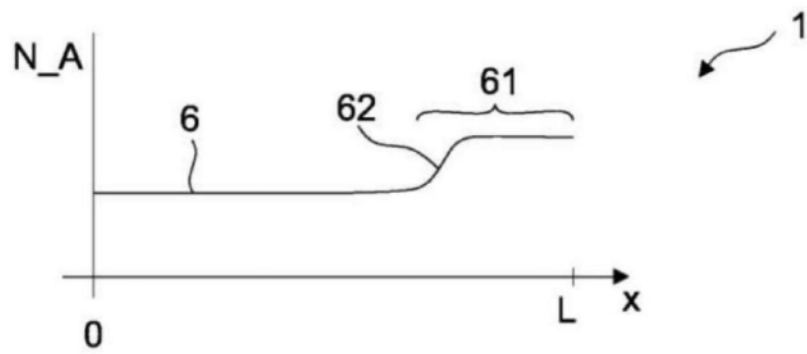


图12

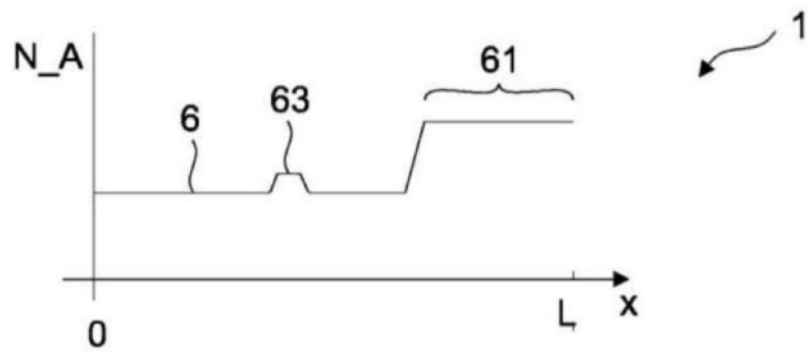


图13

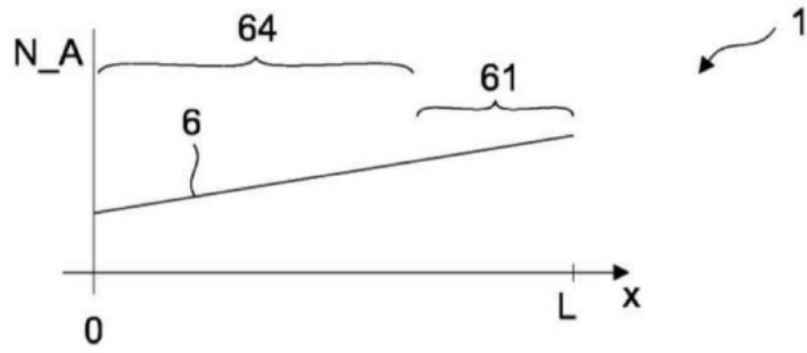


图14

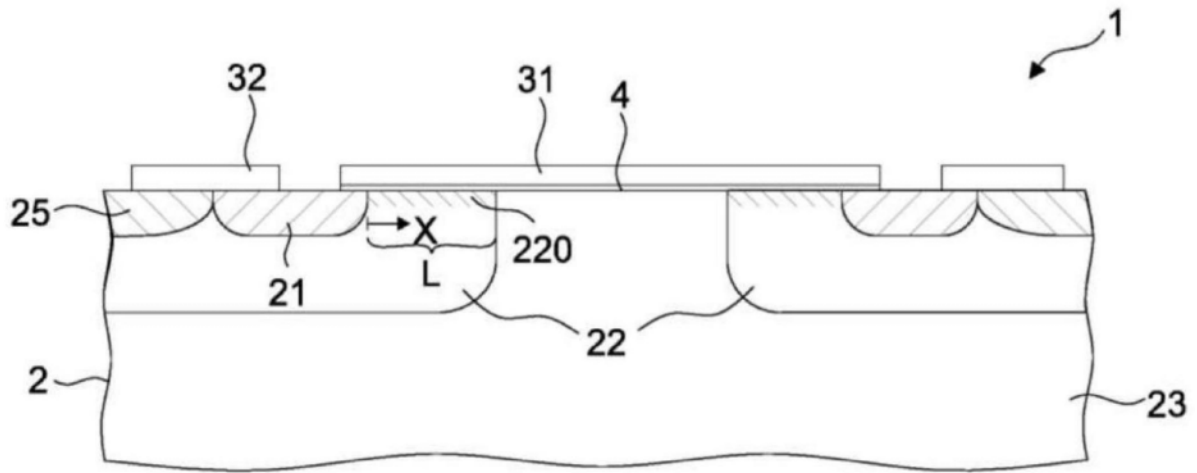


图15

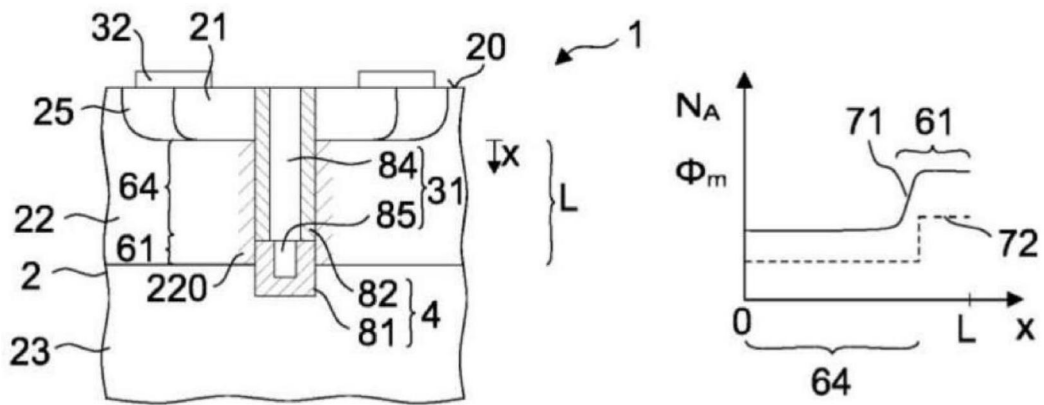


图16