



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I754752 B

(45)公告日：中華民國 111 (2022) 年 02 月 11 日

(21)申請案號：107117305

(22)申請日：中華民國 107 (2018) 年 05 月 22 日

(51)Int. Cl. : G06F9/50 (2006.01)

(30)優先權：2017/09/14 美國 62/558,745

2017/11/28 美國 15/825,047

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72)發明人：馬拉迪 克里希納 T. MALLADI, KRISHNA T. (IN)；鄭宏忠 ZHENG,
HONGZHONG (CN)

(74)代理人：林孟閔；盧佩君；陳怡如

(56)參考文獻：

TW 201612753A

TW 201626207A

TW 201729074A

US 2008/0016374A1

US 2014/0181453A1

US 2014/0380003A1

審查人員：姚乃綺

申請專利範圍項數：17 項 圖式數：7 共 46 頁

(54)名稱

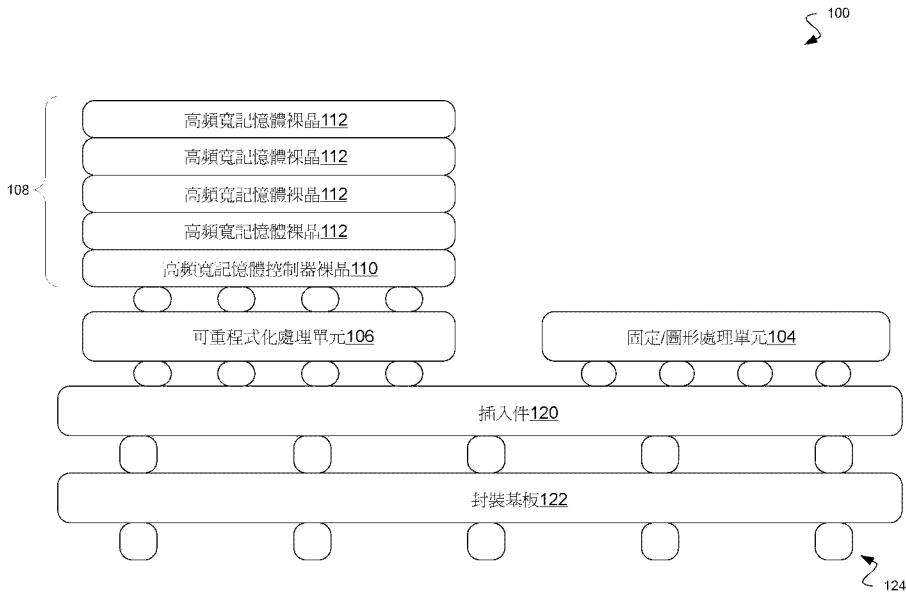
異構計算環境的設備及系統

(57)摘要

本發明提供一種設備，所述設備可包含可至少部分地由任務調度程式控制的異構計算環境，其中異構計算環境可包含：處理單元，具有配置成執行指令的固定邏輯電路；可重程式化處理單元，具有配置成執行指令的可重程式化邏輯電路，所述指令包含用以控制記憶體內處理功能的指令；以及高頻寬記憶體裸晶的堆疊，其中每一堆疊可配置成儲存資料並提供由可重程式化處理單元可控制的記憶體內處理功能，從而使得可重程式化處理單元至少部分地與高頻寬記憶體裸晶一起堆疊。任務調度程式可配置成在處理單元與可重程式化處理單元之間調度計算任務。本發明也提供一種異構計算環境的系統。

An apparatus may include a heterogeneous computing environment that may be controlled, at least in part, by a task scheduler in which the heterogeneous computing environment may include a processing unit having fixed logical circuits configured to execute instructions; a reprogrammable processing unit having reprogrammable logical circuits configured to execute instructions that include instructions to control processing-in-memory functionality; and a stack of high-bandwidth memory dies in which each may be configured to store data and to provide processing-in-memory functionality controllable by the reprogrammable processing unit such that the reprogrammable processing unit is at least partially stacked with the high-bandwidth memory dies. The task scheduler may be configured to schedule computational tasks between the processing unit, and the reprogrammable processing unit. A system for a heterogeneous computing environment is also provided.

指定代表圖：



【圖1】

符號簡單說明：

- 100:系統
- 104:圖形處理單元/固定處理單元/裸晶
- 106:可重程式化處理單元/裸晶
- 108:堆疊/高頻寬記憶體堆疊
- 110:高頻寬記憶體控制器裸晶
- 112:裸晶/高頻寬記憶體裸晶
- 120:插入件/插入件裸晶/裸晶
- 122:封裝基板裸晶/裸晶
- 124:焊接凸塊



I754752

【發明摘要】

【中文發明名稱】異構計算環境的設備及系統

【英文發明名稱】APPARATUS AND SYSTEM FOR

HETEROGENEOUS COMPUTING ENVIRONMENT

【中文】本發明提供一種設備，所述設備可包含可至少部分地由任務調度程式控制的異構計算環境，其中異構計算環境可包含：處理單元，具有配置成執行指令的固定邏輯電路；可重程式化處理單元，具有配置成執行指令的可重程式化邏輯電路，所述指令包含用以控制記憶體內處理功能的指令；以及高頻寬記憶體裸晶的堆疊，其中每一堆疊可配置成儲存資料並提供由可重程式化處理單元可控制的記憶體內處理功能，從而使得可重程式化處理單元至少部分地與高頻寬記憶體裸晶一起堆疊。任務調度程式可配置成在處理單元與可重程式化處理單元之間調度計算任務。本發明也提供一種異構計算環境的系統。

【英文】An apparatus may include a heterogeneous computing environment that may be controlled, at least in part, by a task scheduler in which the heterogeneous computing environment may include a processing unit having fixed logical circuits configured to execute instructions; a reprogrammable processing unit having reprogrammable logical circuits configured to execute instructions

that include instructions to control processing-in-memory functionality; and a stack of high-bandwidth memory dies in which each may be configured to store data and to provide processing-in-memory functionality controllable by the reprogrammable processing unit such that the reprogrammable processing unit is at least partially stacked with the high-bandwidth memory dies. The task scheduler may be configured to schedule computational tasks between the processing unit, and the reprogrammable processing unit. A system for a heterogeneous computing environment is also provided.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：系統

104：圖形處理單元/固定處理單元/裸晶

106：可重程式化處理單元/裸晶

108：堆疊/高頻寬記憶體堆疊

110：高頻寬記憶體控制器裸晶

112：裸晶/高頻寬記憶體裸晶

120：插入件/插入件裸晶/裸晶

122：封裝基板裸晶/裸晶

124：焊接凸塊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】異構計算環境的設備及系統

【英文發明名稱】 APPARATUS AND SYSTEM FOR
HETEROGENEOUS COMPUTING ENVIRONMENT

[相關申請案的交叉引用]

【0001】 本申請請求 2017 年 9 月 14 日提交的標題為“高效學習系統的異構加速器（A HETEROGENEOUS ACCELERATOR FOR HIGHLY EFFICIENT LEARNING SYSTEMS）”的臨時專利申請第 62/558,745 號的優先權。此先前提交的申請的主題特此以引用的方式併入。

【技術領域】

【0002】 本說明書大體上涉及電路。確切地說，本公開涉及一種用於高效學習系統的異構加速器的系統和方法。

【先前技術】

【0003】 如學習系統（例如深度神經網路）的新興應用通常需要大量計算和儲存能力以在不同資料集上訓練並以高精度學習。此外，隨著如高性能計算、圖形操作等應用變為資料密集型及計算密集型，能量效率和低延時變得至關重要。一種稱為“記憶體內處理”的技術具有通過在較低功率技術處理中且還更接近於資料

駐留處在記憶體（例如動態隨機記憶體（dynamic random access memory；DRAM）等）邏輯裸晶上調度複雜操作以提供額外計算能力從而解決這些挑戰的能力。

【0004】 高頻寬記憶體（High Bandwidth Memory；HBM）是用於 3D 堆疊記憶體(例如 DRAM)的高性能隨機存取記憶體(random access memory；RAM) 介面。其通常與高性能圖形加速器以及存取大型資料集的網路裝置結合使用。相比於其它 DRAM 技術（例如雙資料速率第四代同步動態隨機存取記憶體（double data rate fourth-generation synchronous dynamic random-access memory；DDR4）、雙資料速率五型同步圖形隨機存取記憶體（double data rate type five synchronous graphics random-access memory；GDDR5）等），HBM 通常實現更高頻寬，同時在基本上更小形狀參數中使用更少功率。這通常可通過將一數量（例如八個）的記憶體裸晶堆疊在一起來實現。此堆疊常常還包含具有記憶體控制器的任選基礎裸晶。所述裸晶可通過矽穿孔（through-silicon vias；TSV）和微凸塊而互連。

【發明內容】

【0005】 根據一個總和的方面，實例實施例提供一種設備，所述設備可包含可至少部分地由任務調度程式來控制的異構計算環境，其中所述異構計算環境可包含：處理單元，具有配置成執行指令的固定邏輯電路；可重程式化處理單元，具有配置成執行指

令的可重程式化邏輯電路，所述指令包含用以控制記憶體內處理功能的指令；以及高頻寬記憶體裸晶的堆疊，其中每一堆疊可配置成儲存資料並提供可由可重程式化處理單元控制的記憶體內處理功能，從而使得可重程式化處理單元至少部分地與高頻寬記憶體裸晶一起堆疊。任務調度程式可配置成在處理單元與可重程式化處理單元之間調度計算任務。

【0006】 根據另一總的方面，另一實例實施例提供一種設備，所述設備可包含可至少部分地由中央處理單元控制的異構計算環境，其中所述異構計算環境可包含中央處理單元、固定處理單元、可重程式化處理單元、高頻寬記憶體裸晶的堆疊以及中央記憶體。中央處理單元可配置成在固定處理單元與可重程式化處理單元之間分配計算任務。固定處理單元可具有配置成執行指令的固定邏輯電路。可重程式化處理單元可具有配置成執行指令的可重程式化邏輯電路，所述指令包含用以控制記憶體內處理功能的指令。高頻寬記憶體裸晶的每一堆疊可配置成儲存資料並提供可由可重程式化處理單元控制的記憶體內處理功能，從而使得可重程式化處理單元至少部分地與高頻寬記憶體裸晶一起堆疊。中央記憶體可包含為固定處理單元保留的緩衝器部分，以及為可重程式化處理單元保留的緩衝器部分。

【0007】 根據另一總和的方面，又另一實例實施例提供一種系統，所述系統可包含中央處理單元、系統記憶體以及異構加速器。中央處理單元可配置成將計算任務分配到異構計算環境的處理單

元。系統記憶體可配置成儲存資料。異構加速器多晶片模組可包含異構計算環境，其中異構加速器多晶片模組可包含：固定處理單元，具有配置成執行指令的固定邏輯電路；可重程式化處理單元，具有配置成執行指令的可重程式化邏輯電路，所述指令包含用以控制記憶體內處理功能的指令；以及高頻寬記憶體裸晶的堆疊，每一堆疊配置成儲存資料並提供可由可重程式化處理單元控制的記憶體內處理功能，從而使得可重程式化處理單元至少部分地與高頻寬記憶體裸晶一起堆疊。

【0008】 在以下隨附圖式和描述中闡述一或多個實施方案的細節。其它特徵將從描述和圖式且從權利要求書中顯而易見。

【0009】 一種用於高效學習系統的異構加速器的系統和/或方法，基本上如結合圖式中的至少一個所繪示和/或所描述，如在權利要求中更徹底地闡述。

【圖式簡單說明】

【0010】

圖 1 是根據所公開主題的系統的實例實施例的框圖。

圖 2 是根據所公開主題的系統的實例實施例的框圖。

圖 3 是根據所公開主題的系統的實例實施例的框圖。

圖 4 是根據所公開主題的系統的實例實施例的框圖。

圖 5 是根據所公開主題的系統的實例實施例的框圖。

圖 6 是根據所公開主題的系統的實例實施例的框圖。

圖 7 是可包含根據所公開主題的原理形成的裝置的資訊處理系統的示意性框圖。

【0011】 各圖中的相同參考符號指示相同元件。

【實施方式】

【0012】 將在下文中參考隨附圖式更全面地描述各種實例實施例，在隨附圖式中繪示了一些實例實施例。然而，本發明所公開的主題可以許多不同形式實施，並且不應被解釋為限於本文中所闡述的實例實施例。確切地說，提供這些實例實施例以使得本公開將透徹且全面，且將向本領域的技術人員充分地傳達本發明所公開的主題的範圍。在圖式中，為了清楚起見可能誇大層和區域的尺寸以及相對尺寸。

【0013】 將理解，當一元件或層被稱作在另一元件或層“上”、“連接到”另一元件或層或“耦合到”另一元件或層時，這個元件或層可直接在另一元件或層上、直接連接到另一元件或層或耦合到另一元件或層，或可存在介入元件或層。相比之下，當一元件被稱作“直接”在另一元件或層“上”、“直接連接到”或“直接耦合到”另一元件或層時，不存在介入元件或層。相同標號始終指代相同元件。如本文中所使用，術語“和/或”包含相關聯的所列項中的一或多個中的任何一個以及所有組合。

【0014】 將理解，雖然本文中可使用術語第一、第二、第三等來描述各種元件、元件、區域、層和/或區段，但是這些元件、元件、

區域、層和/或區段不應受到這些術語的限制。這些術語僅用以區分一個元件、元件、區域、層或區段與另一區域、層或區段。因此，在不脫離本發明公開的主題的教示的情況下，下文所論述的第一元件、元件、區域、層或區段可稱為第二元件、元件、區域、層或區段。

【0015】 為易於描述，可在本文中使用如“在...下面 (beneath)”、“在...下方 (below)”、“下部的 (lower)”、“在...上方 (above)”、“上部的 (upper)”和其類似物的空間相對術語來描述如圖中所示的一個元件或構件與另一元件或構件的關係。將理解，空間相對術語意圖涵蓋裝置在使用或操作中除圖式中所描繪的取向外的不同取向。舉例來說，如果圖式中的裝置倒過來，那麼描述為“在”其它元件或構件“下方”或“下麵”的元件便將定向成“在”其它元件或構件“上方”。因此，示範性術語“在...下方”可涵蓋上方和下方兩個取向。裝置可以以其它方式取向（旋轉 90 度或處於其它定向），且本文中所使用的空間相對描述符可相應地進行解釋。

【0016】 類似地，為易於描述，可在本文中使用如“高”“低”、“上拉”、“下拉”、“1”、“0”和其類似物的電氣術語來描述相對於其它電壓電平或相對於如圖中所示的另一元件或構件的電壓電平或電流。將理解，電氣相對術語意圖涵蓋裝置在使用或操作中除圖中所描繪的電壓或電流外的不同參考電壓。舉例來說，如果圖中的裝置或信號反向或使用其它參考電

壓、電流或電荷，那麼被描述為“高”或“上拉”的元件與新參考電壓或電流相比隨後將為“低”或“下拉”。因此，示範性術語“高”可涵蓋相對較低或較高電壓或電流。裝置可以其它方式基於參考的不同電氣幀，且本文中所使用的電氣相對描述詞相應地進行解釋。

【0017】 本文中所使用的術語僅出於描述特定實例實施例的目的，且並不意圖限制本所發明公開的主題。如本文中所使用，除非上下文另外明確指示，否則單數形式“一（a、an）”以及“所述”意圖還包含複數形式。將進一步理解，當在本說明書中使用時，術語“包括（comprises）”和/或“包括（comprising）”指定存在所陳述的特徵、整數、步驟、操作、元件和/或元件，但不排除存在或添加一或多個其它特徵、整數、步驟、操作、元件、元件和/或其群組。

【0018】 本文中參考為理想化實例實施例（以及中間結構）的示意性圖解的橫截面圖解來描述實例實施例。如此，應預期到作為例如製造技術和/或公差的結果而與圖示的形狀的差異。因此，實例實施例不應解釋為限於本文中所說明的區域的特定形狀，而是應包含（例如）由製造引起的形狀偏差。舉例來說，圖示為矩形的植入區域典型地將具有圓形或彎曲特徵和/或植入物濃度在其邊緣處的梯度，而不是從植入區域到非植入區域的二元變化。同樣，通過植入形成的埋入區域可在埋入區域與發生植入所在的表面之間的區域中產生一些植入。因此，圖中所示的區域本質上是示意

性的，且其形狀並不意圖說明裝置的區域的實際形狀且並不意圖限制本發明公開主題的範圍。

【0019】 除非另外定義，否則本文中所使用的所有術語（包含技術術語和科學術語）具有本公開主題所屬領域的普通技術人員通常所理解的相同意義。將進一步理解，例如常用詞典中所定義的術語等術語應解釋為具有與其相關技術的上下文中的含義一致的含義，且將不在理想化或過度正式意義上進行解釋，除非本文中明確地如此界定。

【0020】 下文中將參考隨附圖式來詳細解釋實例實施例。

【0021】 圖 1 是根據所公開主題的系統 100 的實例實施例的框圖。在所示實施例中，系統 100 可包含多個積體電路（integrated circuit；IC）裸晶。在此實施例中，IC 可佈置在多晶片模組（multi-chip module；MCM）中。

【0022】 MCM 通常是電子組件（如使用數個導體端子或“接腳”的封裝件），其中多個積體電路（IC 或“晶片”）、半導體裸晶和/或其它離散元件通常集成在統一基板上，從而使得其在使用中如同單個元件（如同較大 IC）一樣處理。應理解，上述僅僅是並未限制所公開主題的一個說明性實例。

【0023】 在所說明實施例中，系統 100 可包含形成為裸晶 112 的高頻寬記憶體（HBM）的堆疊 108。如上文所描述，HBM 可配置成儲存資料並允許記憶體比標準 DRAM 或系統記憶體更快速且有效地存取。在一個實施例中，HBM 裸晶 112 可配置成提供記憶體

內處理功能。在各種實施例中，伴以裸晶 112 之間通過矽穿孔 (TSV)、微凸塊或其它晶片間連通 (圖中未示) 的方式所進行的連通，HBM 裸晶 112 可一個在另一個的頂部上垂直堆疊。

【0024】 在各種實施例中，HBM 112 的堆疊 108 可包含 HBM 控制器裸晶 110。HBM 控制器裸晶 110 可配置成執行標準記憶體存取協調功能 (例如頁表翻譯、位址映射、寫入組合等)。在各種實施例中，HBM 控制器裸晶 110 可包含集中在 HBM 裸晶 112 上的記憶體管理單元 (memory management unit；MMU)。

【0025】 在所說明實施例中，系統 100 可包含可程式化處理單元 (programmable processing unit；PU) 或可重程式化處理單元 (reprogrammable processing unit；RPU) 106。在各種實施例中，RPU 106 可包含可動態程式化以執行各種功能或執行某些指令的邏輯電路。在一個實施例中，RPU 106 可配置成執行包含控制 HBM 裸晶 112 中的記憶體內處理功能的指令。在各種實施例中，RPU 106 可包含如 (但不限於) 現場可程式化邏輯閘陣列 (field-programmable gate array；FPGA)、專用積體電路 (application-specific integrated circuit；ASIC)、查閱資料表 (look-up table；LUT)、可程式化陣列邏輯 (Programmable Array Logic；PAL) 等的裝置。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0026】 在各種實施例中，RPU 106 可與 HBM 裸晶 112 的堆疊 108 一起堆疊或在堆疊 108 下方堆疊。在此實施例中，RPU 106 可

配置成直接與堆疊 108 接合，且為堆疊 108 提供對系統 100 的其它元件（例如固定 GPU 104）的存取。

【0027】 在各種實施例中，RPU 106 可提供粗晶粒功能或指令執行可重配置性。在另一實施例中，RPU 106 可提供細晶粒功能或指令執行可重配置性。在一些實施例中，由 RPU 106 執行的操作可包含控制 HBM 裸晶 112 中的記憶體內處理功能，所述記憶體內處理功能可包含（但不限於）乘法累加操作、資料重排、資料轉置等。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。在各種實施例中，RPU 106 以及其對 HBM 堆疊 108 的接近存取可提供比固定或相對遠處理單元或電路更快的指令執行、任務執行或操作執行。

【0028】 在所示實施例中，系統 100 還可包含不可改變處理單元或固定處理單元（fixed processing unit；FPU）104。在此實施例中，FPU 104 可配置成執行各種指令或執行邏輯操作。FPU 104 可包含不可改變或固定的邏輯電路，且所述邏輯電路在製造 FPU 104 期間靜態地形成；然而，各種配置設置可對固定邏輯電路如何執行進行改變。

【0029】 在各種實施例中，FPU 104 可包含專用處理單元，例如圖形處理單元（graphics processing unit；GPU）、加密處理單元、物理處理單元、機器學習處理單元等。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。在各種實施例中，FPU 104 可佈置在堆疊 108 旁邊以使得其並不直接與堆疊 108 連通。

【0030】 在各種實施例中，系統 100 還可包含插入件裸晶或層 120。在此實施例中，插入件 120 可包含矽或另一基板，且可提供 FPU 104 與 RPU 106（以及堆疊 108）之間連通的通道。在此實施例中，插入件裸晶 120 可與 RPU 106 裸晶和 FPU 104 裸晶耦合且在所述裸晶下方。

【0031】 在所示實施例中，系統 100 可包含封裝基板裸晶 122。封裝基板裸晶 122 可配置成在其它元件或裸晶之間且在系統 100 外部通信。各種裸晶 122、裸晶 120、裸晶 104、裸晶 106 等可通過多個焊接凸塊 124 連接。

【0032】 圖 2 是根據所公開主題的系統 200 的實例實施例的框圖。在所示實施例中，系統 200 可包含多個積體電路（IC）裸晶。在此實施例中，IC 可佈置在多晶片模組（MCM）中。

【0033】 在所示實施例中，如上文所描述，系統 200 可包含 HBM 裸晶 112 與 HBM 控制器裸晶 110 的堆疊 108、RPU 106、FPU 104、插入件 120 以及封裝基板 122。在所示實施例中，繪示數個可能的額外裸晶或元件。在各種實施例中，這些裸晶中的一或多個如下所述可包含在系統 200 中。在另一實施例中，這些裸晶或組件中的一或多個可包含為另一 IC 封裝件的部分或為較大系統的部分（例如中央處理單元和/或系統記憶體可包含為桌上型電腦或筆記本電腦的部分）。

【0034】 在各種實施例中，系統 200 還可包含中央處理單元（central processing unit；CPU）202。在此實施例中，CPU 202 可

包含在裸晶中且可包含微處理器和/或多個處理器核心。CPU 202 可以是處理和管理指令的系統的主要元件。CPU 202 可主要負責執行作業系統和應用程式。在各種實施例中，CPU 202 可包含通用計算架構，如由 ARM 或 Intel 所作出的通用計算架構。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。在所示實施例中，CPU 202 可配置成控制系統 200 的異構計算環境，且在 FPU 104 與 RPU 106 之間分配計算任務。

【0035】 在各種實施例中，系統 200 可包含 CPU 記憶體裸晶 212。在一些實施例中，CPU 記憶體裸晶 212 可堆疊在 CPU 202 上。在此實施例中，CPU 記憶體 212 可配置成儲存資料且可由 CPU 202 直接存取。在一些實施例中，CPU 記憶體 212 可包含系統記憶體。在另一實施例中，系統記憶體（例如 DRAM）可在系統 200 外部。

【0036】 在各種實施例中，系統 200 可包含 FPU 記憶體裸晶 214。在一些實施例中，FPU 記憶體裸晶 214 可堆疊在 FPU 104 上。在此實施例中，FPU 記憶體 214 可配置成儲存資料且可由 FPU 104 直接存取。

【0037】 在各種實施例中，系統 200 的三個處理器（RPU 106、FPU 104 以及 CPU 202）可在其自身中分配各種計算任務、指令或內核的執行。在此上下文中，“內核”定義為分組在一起來執行任務或可定義子任務的一或多個指令。內核的邊界可或可以不符合副程式且不應假定為同義術語。在此上下文中，術語“內核”

更等效於術語“計算內核”，且不應與“內核”的其它定義如“作業系統內核”、“內核方法”、“圖像內核”或數學中所採用的內核的許多定義相混淆。

【0038】 在此實施例中，系統 200 的三個處理器（RPU 106、FPU 104 以及 CPU 202）可分發任務以提高效率，且減少功率使用以及記憶體頻寬消耗。在各種實施例中，這可與 ARM big.LITTLE 異構計算架構相類似（但不相同），在所述 ARM big.LITTLE 異構計算架構中，省電且較慢的處理器核心（LITTLE）與相對較強大且耗電的處理器核心（big）相耦合。在此實施例中，工作負載可在不同類型的內核之間（例如在 big 核心與 LITTLE 核心、RPU 106、FPU 104 以及 CPU 202 等之間）調換。在此實施例中，多核心系統 200 可調整為動態計算需要且使用較低功率（或較快）。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0039】 圖 3 是根據所公開主題的系統 300 的實例實施例的框圖。在各種實施例中，系統 300 可由中圖 1 和/或圖 2 中示出的裸晶或其它 IC 組成。

【0040】 在所示實施例中，系統 300 可包含 CPU、主機處理器或配置成在固定處理單元 304 與可重程式化處理單元 306 之間分配計算任務的任務調度程式 302。在各種實施例中，任務調度程式 302 可配置成至少部分地控制系統 300。在各種實施例中，任務調度程式 302 可包含處理器（例如 CPU），但在另一實施例中，任務調度程式 302 可包含較小通用電路。

【0041】 在所示實施例中，系統 300 可包含固定邏輯處理單元 304（例如 GPU、數位訊號處理器（digital signal processor；DSP）等），如上文所描述。如上文所描述，系統 300 可包含 RPU 306（例如 FPGA 等）。如上文所描述，系統 300 還可包含 HBM 堆疊 308。

【0042】 在所示實施例中，FPU 304 和 RPU 306 可配置成具有集成控制和/或資料路徑。在此實施例中，計算任務（以及其中相關聯的資料）可在兩個處理器 304 和處理器 306 之間傳送或切換。如下文所描述，在各種實施例中，任務和資料切換可以自調節方式進行或可由 CPU 302 來協調。

【0043】 在所示實施例中，FPU 304 可允許程式師或用戶使用已知 FPU（例如 GPU）程式化模型或應用程式化發展介面（application programming interfaces；API），以及與 FPU 相關聯的資料存取協定或模型。然而，RPU 306 的可重程式化性可允許提高效率（例如功率、時間等）的任務專用電路且可動態改變。

【0044】 圖 4 是根據所公開主題的系統 400 的實例實施例的框圖。在各種實施例中，系統 400 的部分可由中圖 1 和/或圖 2 中所說明的裸晶或其它 IC 組成。系統 400 可說明簡要在圖 3 中所示的任務傳送的一個實施例。

【0045】 在所示實施例中，如上文所描述，系統 400 可包含固定邏輯處理單元 304（例如 GPU、數位訊號處理器（DSP）等）。如上文所描述，系統 400 可包含 RPU 306（例如 FPGA 等）。如上文所描述，系統 400 還可包含 HBM 堆疊 308。

【0046】 在所示實施例中，系統 400 還可包含配置成儲存資料且由 CPU 302 直接存取（或在 CPU 302 的控制下）的系統記憶體 412。系統 400 可包含配置成儲存資料且由 FPU 304 直接存取（或在 FPU 304 的控制下）的 FPU 記憶體 414。

【0047】 在所示實施例中，CPU 302 可經由互連匯流排 402 與 FPU 304 以及 RPU 306 相耦合。在各種實施例中，互連匯流排 402 可使用串列協定，例如高速周邊元件連接（Peripheral Component Interconnect Express；PCIe）協議。應理解，上述僅僅是並未限制所公開主題的一個說明性實例。

【0048】 在所示實施例中，CPU（或任務調度程式）302 可向 FPU 304 分配第一任務、第一子任務或任務 490 的第一部分。FPU 304 可開始執行與第一子任務相關聯的指令且可能需要存取與任務 490 相關聯的資料 404。在所示實施例中，資料 404 可儲存在 HBM 堆疊 308 中。

【0049】 在所示實施例中，RPU 306 可包含直接記憶體存取（direct memory access；DMA）或遠端 DMA（RDMA）引擎或電路 464。因為 RPU 306 直接與 HBM 堆疊 308 相耦合，所以 RPU 306 可對 HBM 堆疊 308 進行閘極存取。在各種實施例中，如果 RPU 306 實施 RDMA 引擎 464，那麼其它處理器便可通過 RPU 306 對 HBM 堆疊 308 執行 DMA 調用或請求。RDMA 引擎 464 可隨後服務或執行 DMA 請求。

【0050】 在所示實施例中，FPU 304 可發出 RDMA 存取請求到

RDMA 引擎 464。RDMA 可隨後擷取或讀取來自 HBM 堆疊 308 的資料 404 且將其提供到 FPU 304。在各種實施例中，FPU 304 可包含一或多個存取暫存器 444。在此實施例中，資料 404（或其部分）可在存取暫存器 444 中（例如在 256 百萬位元組部分中）分級或緩存。可隨後將資料 404 拷貝到 FPU 記憶體 414 中。FPU 304 可隨後對資料 404 執行任務 490 的分配部分。

【0051】 在所示實施例中，CPU（或任務調度程式）302 可向 RPU 306 分配第二任務、第二子任務或任務 490 的第二部分。在各種實施例中，RPU 306 可使用使得 RPU 306 上的第二部分有效或以其它期望的方式執行的邏輯電路來程式化。舉例來說，任務 490 分配到 RPU 306 的部分可包含控制 HBM 堆疊 308 的 HBM 裸晶的記憶體內處理功能。一旦 FPU 304 完成任務 490 的其第一部分，FPU 304 便暫停以卸載內核或向 RPU 306 傳送任務 490 的剩餘部分的執行。

【0052】 在所示實施例中，RPU 306 可包含預備旗標 462 或準備好開始處理任務 490 的第二部分的一些其它指示。在一些實施例中，RPU 306 可包含數個預備旗標 462，每一預備旗標與可分別執行任務的各種邏輯電路相關聯。FPU 304 可包含配置成定期檢查或輪詢 RPU 306（例如預備旗標 462）以查看是否到達將任務 490 的處理傳送到 RPU 306 的時刻的輪詢電路 442。在各種實施例中，可採用另一旗標類同步協定。

【0053】 一旦 FPU 304 識別到 RPU 306 準備好，便可將任務 490

或資料 404 的所有權在兩個處理器 304 與處理器 306 之間傳送。RPU 306 可隨後開始執行其所分配的任務 490 的第二部分。在各種實施例中，CPU 302 可配置成對 FPU 304 告知 RPU 306 可能準備好開始執行任務 490 的第二部分。在此實施例中，RPU 306 可將此告知 CPU 302，或 CPU 302 可監測 RPU 306 的狀態(例如 CPU 302 可瞭解 RPU 306 已完成另一任務)。

【0054】 在各種實施例中，可使用上文所描述的 RDMA 協定將資料 404 從 FPU 記憶體 414 傳送到 HBM 堆疊 308。RPU 306 可隨後直接存取儲存在 HBM 堆疊 308 中的資料 404。當 RPU 306 執行任務 490 的第二部分時，FPU 304 可暫停或停止，或可非同步地執行另一任務，以使得 FPU 304 的計算功率並未浪費。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0055】 在一些實施例中，任務執行可以類似方式但反向地從 RPU 306 切換到 FPU 304 (或到 CPU 302)。在此實施例中，FPU 304、RPU 306 以及甚至 CPU 302 之間的資料同步可類似于上文所描述來進行。

【0056】 圖 5 是根據所公開主題的系統 500 的實例實施例的框圖。在各種實施例中，系統 500 的部分可由中圖 1 和/或圖 2 中所示出的裸晶或其它 IC 組成。系統 500 可說明簡要在圖 3 中所示的任務傳送的一個實施例。

【0057】 在所示實施例中，如上文所描述，系統 500 可包含固定邏輯處理單元 304 (例如 GPU、數位訊號處理器(DSP)等)。如上

文所描述，系統 500 可包含 RPU 306（例如 FPGA 等）。如上文所描述，系統 500 還可包含 HBM 堆疊 308。

【0058】 在所示實施例中，系統 500 可包含配置成儲存資料且由 FPU 304 直接存取（或在 FPU 304 的控制下）的 FPU 記憶體 414。系統 500 可包含 FPU 緩衝器或配置成儲存與 FPU 304 相關的資料的記憶體 514。系統 500 可包含 RPU 緩衝器或配置成儲存與 RPU 306 相關的資料的記憶體 516。在此實施例中，FPU 緩衝器 514 和 RPU 緩衝器 516 可由 CPU 302 控制或存取。在各種實施例中，FPU 緩衝器 514 和 RPU 緩衝器 516 可以是系統記憶體的分區或區域（例如圖 4 中所示的分區或區域），或可以是分離記憶體電路。

【0059】 在所示實施例中，CPU 302 可經由互連匯流排 402 與 FPU 304 以及 RPU 306 相耦合。在各種實施例中，互連匯流排 402 可使用串列協定，例如高速周邊元件連接（PCIe）協定。應理解，上述僅僅是並未限制所公開主題的一個說明性實例。

【0060】 如上文所描述，CPU 302（或任務調度程式）可向 FPU 304 和 RPU 306 分發或分配各種任務 590 或任務 590 的部分以用於執行。在各種實施例中，此分配可至少部分地基於哪一處理器可用且更有效執行任務 590。如上文所描述，CPU 302 可向 FPU 304 分配任務 590 的第一部分且向 RPU 306 分配任務 590 的第二部分。舉例來說，各種任務 590 向 RPU 306 分配的部分可包含控制 HBM 堆疊 308 的 HBM 裸晶的記憶體內處理功能。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0061】 在所示實施例中，如上文所描述，FPU 304 可執行所分配的任務。在此實施例中，FPU 304 可使用 FPU 記憶體 414 作為臨時快取記憶體或工作記憶體。當所分配的任務、子任務或任務 590 的部分完成時，FPU 304 可向 FPU 緩衝器 514 寫入資料 504。

【0062】 在此實施例中，這可能涉及使 CPU 302 充當 FPU 304 與 FPU 緩衝器 514 之間的中介，或至少告知正在向 FPU 緩衝器 514 寫入資料 504。在一些實施例中，這可經由記憶體分配功能或程式調用來進行（例如在 GPU 情形下，可調用 `CUDAMalloc()`）。在此實施例中，FPU 304 可將資料拷貝到 CPU 302，且 CPU 302 可轉而將資料拷貝到 FPU 緩衝器 514。

【0063】 在所示實施例中，CPU 302 可隨後將資料 504 從 FPU 緩衝器 514 傳送到 RPU 緩衝器 516。在此實施例中，CPU 302 可控制資料傳送的時序以及 FPU 304 與 RPU 306 之間（至少緩衝器 514 與緩衝器 516 之間）的同步。

【0064】 在所示實施例中，當資料 504 在緩衝器 514 與緩衝器 516 之間的拷貝完成時，CPU 302 可啟動觸發事件 546 以向 RPU 306 指示資料 504 準備好。在各種實施例中，此觸發事件 546 可包含中斷信號、穿過互連匯流排的消息或到 RPU 306 的信號。在所示實施例中，RPU 306 可包含配置成檢測觸發事件 546 並對其做出反應的輪詢電路 542。同樣，在此實施例中，CPU 302 可控制資料傳送的時序。在各種實施例中，輪詢電路 542 可結合 RPU 相關的驅動器或固件來工作。應理解，上述僅僅是並未限制所公開主題

的一個說明性實例。

【0065】 在此實施例中，一旦觸發事件 546 已發生，RPU 306 便可將資料 504 從 RPU 緩衝器 516 拷貝到 HBM 堆疊 308。RPU 306 可隨後執行任務、子任務或任務 590 中其分配到的部分。如早先所描述，任務 590 分配到 RPU 306 的部分可包含控制 HBM 堆疊 308 的 HBM 裸晶的記憶體內處理功能。當 RPU 306 執行任務 590 的第二部分時，FPU 304 可暫停或停止，或可非同步地執行另一任務，以使得 FPU 304 的計算功率並未浪費。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0066】 在一些實施例中，任務執行可以類似方式但反向地從 RPU 306 切換到 FPU 304（或到 PCU 302）。在此實施例中，FPU 304、RPU 306 以及甚至 CPU 302 之間的資料同步可類似于上文所描述來進行。

【0067】 圖 6 是根據所公開主題的系統 600 的實例實施例的框圖。在各種實施例中，系統 600 的部分可由中圖 1 和/或圖 2 中所示出的裸晶或其它 IC 組成。系統 600 可說明簡要在圖 3 中所示的任務傳送的一個實施例。

【0068】 在所示實施例中，如上文所描述，系統 600 可包含固定邏輯處理單元 304（例如 GPU、數位訊號處理器（DSP）等）。如上文所描述，系統 600 可包含 RPU 306（例如 FPGA 等）。如上文所描述，系統 600 還可包含 HBM 堆疊 308。

【0069】 在所示實施例中，系統 600 可包含配置成儲存資料且由

FPU 304 直接存取（或在 FPU 304 的控制下）的 FPU 記憶體 414。
如上文所描述，系統 600 可包含系統記憶體 412。

【0070】 在所示實施例中，CPU 302 可經由互連匯流排 402 與 FPU 304 以及 RPU 306 相耦合。在各種實施例中，互連匯流排 402 可使用串列協定，例如高速周邊元件連接（PCIe）協定。應理解，上述僅僅是並未限制所公開主題的一個說明性實例。

【0071】 如上文所描述，CPU 302（或任務調度程式）可向 FPU 304 和 RPU 306 分發或分配各種任務 690 或任務 690 的部分以用於執行。在各種實施例中，此分配可至少部分地基於哪一處理器可用且更有效執行任務 690。如上文所描述，CPU 302 可向 FPU 304 分配任務 690 的第一部分且向 RPU 306 分配任務 690 的第二部分。舉例來說，任務 690 分配到 RPU 306 的部分可包含控制 HBM 堆疊 308 的 HBM 裸晶的記憶體內處理功能。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0072】 在所示實施例中，如上文所描述，FPU 304 可執行所分配的任務。在此實施例中，FPU 304 可使用 FPU 記憶體 414 作為臨時快取記憶體或工作記憶體。當所分配的任務、子任務或任務 690 的部分完成時，FPU 304 可向系統記憶體 412 寫入資料 604。

【0073】 在所示實施例中，FPU 304 可經由遠端直接記憶體存取（remote direct memory access；RDMA）來存取系統記憶體 412。在各種實施例中，這可實質上繞過 CPU 302，或至少 CPU 302 的有效涉及。箭頭 614 繪示向系統記憶體 412 直接（或使用 CPU 302

的 DMA 引擎) 寫入資料 604 的 FPU 304。

【0074】 在向系統記憶體 412 的資料寫入完成時，可啟動觸發事件 646 (例如中斷等) 以告知 RPU 306 資料 604 準備好使用。在各種實施例中，如上文所描述，觸發事件 646 可由 CPU 302 來建立。在另一實施例中，觸發事件 646 可由 FPU 304 來建立。

【0075】 在所示實施例中，RPU 306 可包含輪詢電路 642 以檢測觸發事件 646 何時發生。在此實施例中，RPU 306 可隨後將資料 604 從系統記憶體 412 拷貝到 HBM 堆疊 308 (由箭頭 616 示出)。在各種實施例中，這可經由 RDMA 來進行。在此實施例中，RPU 306 可包含如圖 4 中所示的 RDMA 引擎。

【0076】 RPU 306 可隨後執行任務、子任務或任務 690 中其分配到的部分，所述分配到的任務可包含控制 HBM 堆疊 308 的 HBM 裸晶的記憶體內處理功能。當 RPU 306 執行任務 690 的第二部分時，FPU 304 可暫停或停止，或可非同步地執行另一任務，以使得 FPU 304 的計算功率並未浪費。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0077】 在一些實施例中，任務執行可以類似方式但反向地從 RPU 306 切換到 FPU 304 (或到 CPU 302)。在此實施例中，FPU 304、RPU 306 以及甚至 CPU 302 之間的資料同步可類似于上文所描述來進行。

【0078】 圖 7 是資訊處理系統 700 的示意性框圖，其可包含根據所公開主題的原理形成的半導體裝置。

【0079】 參考圖 7，資訊處理系統 700 可包含根據所公開主題的原理構建的裝置中的一或多個。在另一實施例中，資訊處理系統 700 可採用或執行根據所公開主題的原理的一種或多種技術。

【0080】 在各種實施例中，資訊處理系統 700 可包含計算裝置，例如膝上型電腦、桌上型電腦、工作站、伺服器、刀片伺服器、個人數位助理、智慧手機、平板電腦以及其它適當的電腦或其虛擬機器或虛擬計算裝置。在各種實施例中，資訊處理系統 700 可由使用者（未示出）使用。

【0081】 根據所公開主題的資訊處理系統 700 可進一步包含中央處理單元(CPU)、邏輯或處理器 710。在一些實施例中，處理器 710 可包含一或多個功能單元塊（functional unit block；FUB）或組合邏輯塊（combinational logic block；CLB）715。在此實施例中，組合邏輯塊可包含各種布林邏輯操作（Boolean logic operation）（例如與非（NAND）、或非（NOR）、非（NOT）、異或（XOR）、穩定邏輯裝置（例如觸發器、鎖存器）、其它邏輯裝置或其組合。這些組合邏輯操作可以簡單或複雜方式配置成處理輸入信號以實現所需結果。應理解，在描述同步組合邏輯操作的幾個說明性實例時，所公開主題不受如此限制且可包含非同步作業或其混合。在一個實施例中，組合邏輯操作可包括多個互補金屬氧化物半導體（complementary metal oxide semiconductor；CMOS）電晶體。在各種實施例中，這些 CMOS 電晶體可佈置到執行邏輯操作的門中；但應理解，可使用其它技術且所述其它技術在所公開主題的範圍

內。

【0082】 根據所公開主題的資訊處理系統 700 可進一步包含揮發性記憶體 720（例如隨機存取記憶體（RAM））。根據所公開主題的資訊處理系統 700 可進一步包含非揮發性記憶體 730（例如硬碟驅動器、光學記憶體、與非型或快閃記憶體記憶體）。在一些實施例中，揮發性記憶體 720、非揮發性記憶體 730 或其組合或部分可被稱作“儲存介質”。在各種實施例中，揮發性記憶體 720 和/或非揮發性記憶體 730 可配置成以半永久或基本上永久的形式儲存資料。

【0083】 在各種實施例中，資訊處理系統 700 可包含一或多個網路介面 740，所述網路介面 740 配置成允許資訊處理系統 700 為通信網路的部分且經由通信網路通信。Wi-Fi 協定的實例可包含（但不限於）電氣和電子工程師學會（Institute of Electrical and Electronics Engineer；IEEE）802.11g, IEEE 802.11n。蜂窩協定的實例可包含（但不限於）：IEEE 802.16m（也稱為無線-MAN（都會區網路））改進、長期演進（Long Term Evolution，LTE）改進、GSM（全球移動通信系統）的增強資料速率演進（EDGE）、演進高速分組接入（Evolved High-Speed Packet Access；HSPA+）。有線協定的實例可包含（但不限於）IEEE 802.3（也稱為乙太網（Ethernet））、光纖通道（Fibre Channel）、電力線通信（Power Line communication）（例如 HomePlug、IEEE 1901）。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0084】 根據所公開主題的資訊處理系統 700 可進一步包含使用者介面單元 750（例如顯示卡、觸覺介面、人機介面裝置）。在各種實施例中，此使用者介面單元 750 可配置成接收來自使用者的輸入和/或向用戶提供輸出。其它類型的裝置也可用以提供與用戶的交互；例如，向用戶提供的回饋可以是任何形式的感覺回饋（例如視覺回饋、聽覺回饋或觸感回饋）；且可以任何形式接收來自用戶的輸入，包含聲音輸入、語音輸入或觸感輸入。

【0085】 在各種實施例中，資訊處理系統 700 可包含一或多個其它裝置或硬體元件 760（例如顯示器或監測器、鍵盤、滑鼠、相機、指紋讀取器、視頻處理器）。應理解，上述僅僅是並未限制所公開主題的幾個說明性實例。

【0086】 根據所公開主題的資訊處理系統 700 可進一步包含一或多個系統匯流排 705。在此實施例中，系統匯流排 705 可配置成以通信方式與處理器 710、揮發性記憶體 720、非揮發性記憶體 730、網路介面 740、使用者介面單元 750 以及一或多個硬體元件 760 耦合。由處理器 710 處理的資料或從非揮發性記憶體 730 外部輸入的資料可儲存在非揮發性記憶體 730 或揮發性記憶體 720 中。

【0087】 在各種實施例中，資訊處理系統 700 可包含或執行一或多個軟體元件 770。在一些實施例中，軟體元件 770 可包含作業系統（operating system；OS）和/或應用程式。在一些實施例中，OS 可配置成向應用程式提供一或多個服務且在資訊處理系統 700 的應用程式與各種硬體元件（例如處理器 710、網路介面 740）之間

管理或充當中介。在此實施例中，資訊處理系統 700 可包含一或多個原生應用程式，所述程式可本地（例如在非揮發性記憶體 730 內）安裝且配置成由處理器 710 直接執行且與 OS 直接交互。在此實施例中，原生應用程式可包含預編譯機器可執行碼。在一些實施例中，原生應用程式可包含腳本解譯器（例如 C shell (csh)、蘋果腳本 (AppleScript)、熱鍵腳本 (AutoHotkey)) 或虛擬執行機 (virtual execution machine; VM) (例如 Java 虛擬機器 (Java Virtual Machine)、微軟公共語言執行時間 (Microsoft Common Language Runtime))，其被配置成將原始程式碼或目標代碼轉譯為隨後由處理器 710 執行的可執行碼。

【0088】 上文所描述的半導體裝置可使用各種封裝技術來包封。舉例來說，根據所公開主題的原理構建的半導體裝置可使用下述技術中的任一種來包封：層疊封裝 (package on package; POP) 技術、球柵陣列 (ball grid array; BGA) 技術、晶片尺寸封裝 (chip scale package; CSP) 技術、塑膠引線晶片載體 (plastic leaded chip carrier; PLCC) 技術、塑膠雙列直插式封裝 (plastic dual in-line package; PDIP) 技術、華夫包裝式裸晶 (die in wafer pack) 技術、晶片式裸晶 (die in wafer form) 技術、板上晶片 (chip on board; COB) 技術、陶瓷雙列直插封裝 (ceramic dual in-line package; CERDIP) 技術、塑膠公制四方扁平封裝 (plastic metric quad flat package; PMQFP) 技術、塑膠四方扁平封裝 (plastic quad flat package; PQFP) 技術、小外形封裝 (small outline package; SOIC)

技術、緊縮小外形封裝（shrink small outline package；SSOP）技術、薄型小外形封裝（薄型小外形封裝；TSOP）技術、薄型四方扁平封裝（thin quad flat package；TQFP）技術、系統級封裝（system in package；SIP）技術、多晶片封裝（multi-chip package；MCP）技術、晶片級構造封裝（wafer-level fabricated package；WFP）技術、晶片級處理堆疊封裝（wafer-level processed stack package；WSP）技術或如本領域的技術人員將已知的其它技術。

【0089】 方法步驟可由執行電腦程式的一或多個可程式化處理器來執行，以通過對輸入資料進行操作並產生輸出來執行功能。方法步驟還可由專用邏輯電路來執行且設備可實施為專用邏輯電路，例如 FPGA（場可程式化邏輯閘陣列）或 ASIC（專用積體電路）。

【0090】 在各種實施例中，電腦可讀介質可包含在執行時使得裝置執行方法步驟中的至少一部分的指令。在一些實施例中，電腦可讀介質可包含在磁性介質、光學介質、其它介質或其組合（例如 CD-ROM、硬碟驅動器、唯讀記憶體、快閃記憶體驅動器）中。在此實施例中，電腦可讀介質可以是有形且非暫時性實施的製品。

【0091】 在已參考實例實施例描述所公開主題的原理時，本領域的技術人員將顯而易見的是可在不脫離這些公開概念的精神和範圍的情況下對其作出各種改變以及修改。因此，應理解，上述實施例並非限制性的，而僅是說明性的。因此，所公開概念的範圍將通過所附權利要求書和其等效物的最廣泛容許的解釋來確定，

並且不應受前文描述的約束或限制。因此，應理解，所附權利要求書意圖覆蓋如屬於實施例範圍內的所有此類修改和改變。

【符號說明】

【0092】

- 100：系統
- 104：圖形處理單元/固定處理單元/裸晶
- 106：可重程式化處理單元/裸晶
- 108：堆疊/高頻寬記憶體堆疊
- 110：高頻寬記憶體控制器裸晶
- 112：裸晶/高頻寬記憶體裸晶
- 120：插入件/插入件裸晶/裸晶
- 122：封裝基板裸晶/裸晶
- 124：焊接凸塊
- 200：系統
- 202：中央處理單元
- 212：中央處理單元記憶體裸晶/中央處理單元記憶體
- 214：固定處理單元記憶體裸晶/固定處理單元記憶體
- 300：系統
- 302：任務調度程式/中央處理單元
- 304：固定處理單元/固定邏輯處理單元/處理器
- 306：可重程式化處理單元/處理器

308：高頻寬記憶體堆疊

400：系統

402：互連匯流排

404：資料

412：系統記憶體

414：固定處理單元記憶體

442：輪詢電路

444：存取暫存器

462：預備旗標

464：直接記憶體存取或遠端直接記憶體存取引擎或電路/遠
端直接記憶體存取引擎

490：任務

500：系統

504：資料

514：記憶體/固定處理單元緩衝器/緩衝器

516：記憶體/可重程式化處理單元緩衝器/緩衝器

542：輪詢電路

546：觸發事件

590：任務

600：系統

604：資料

614、616：箭頭

642：輪詢電路

646：觸發事件

690：任務

700：資訊處理系統

705：系統匯流排

710：處理器

715：組合邏輯塊

720：揮發性記憶體

730：非揮發性記憶體

740：網路介面

750：使用者介面單元

760：硬體元件

770：軟體元件

【發明申請專利範圍】

【第1項】 一種異構計算環境的設備，包括：

異構計算環境，至少部分地由任務調度程式控制，所述異構計算環境包括：

所述任務調度程式；

處理單元，具有配置成執行指令的固定邏輯電路；

可重程式化處理單元，具有可重程式化邏輯電路，所述可重程式化邏輯電路配置成執行用以控制記憶體內處理功能的指令；以及

高頻寬記憶體裸晶的堆疊，每一堆疊配置成儲存資料並提供可由所述可重程式化處理單元控制的記憶體內處理功能，其中所述可重程式化處理單元至少部分地與所述高頻寬記憶體裸晶一起堆疊；

其中所述任務調度程式配置成調度被所述處理單元所執行的計算任務的第一部分及被所述可重程式化處理單元所執行的所述計算任務的第二部分，

其中所述任務調度程式、所述處理單元、所述可重程式化處理單元及所述高頻寬記憶體裸晶的堆疊在插入件裸晶上；以及

其中所述可重程式化處理單元更配置成在將與所述計算任務相關聯的資料從中央記憶體拷貝到所述高頻寬記憶體裸晶之前，確定基於所述計算任務的所述第一部分的完成的觸發事件是否已發生。

【第2項】 如申請專利範圍第1項所述的設備，其中所述處理單元包括圖形處理單元。

【第3項】 如申請專利範圍第1項所述的設備，其中所述處理單元配置成經由遠端直接記憶體存取來存取儲存在所述高頻寬記憶體裸晶中的資料；以及

其中所述可重程式化處理單元包含配置成對來自所述處理單元的遠端直接記憶體存取進行服務的直接記憶體存取電路，其中所述遠端直接記憶體存取針對所述高頻寬記憶體裸晶來進行。

【第4項】 如申請專利範圍第1項所述的設備，其中所述處理單元包括配置成對來自所述高頻寬記憶體裸晶的資料存取進行分級的暫存器記憶體。

【第5項】 如申請專利範圍第1項所述的設備，其中所述處理單元配置成暫停所述計算任務的所述第一部分的執行，且至少部分地基於旗標類同步協議來等待將所述計算任務的所述第二部分的執行卸載到所述可重程式化處理單元。

【第6項】 如申請專利範圍第5項所述的設備，其中所述處理單元配置成輪詢所述可重程式化處理單元以確定所述可重程式化處理單元是否準備好執行所述計算任務的所述第二部分。

【第7項】 如申請專利範圍第5項所述的設備，其中所述任務調度程式配置成告知所述處理單元所述可重程式化處理單元準備好執行所述計算任務的所述第二部分。

【第8項】 一種異構計算環境的設備，包括：

異構計算環境，至少部分地由中央處理單元控制，所述異構計算環境包括：

所述中央處理單元，配置成與分配被固定處理單元所執行的計算任務的第一部分及被可重程式化處理單元所執行的所述計算任務的第二部分；

所述固定處理單元，具有配置成執行指令的固定邏輯電路；

所述可重程式化處理單元，具有可重程式化邏輯電路，所述可重程式化邏輯電路配置成執行用以控制記憶體內處理功能的指令；

高頻寬記憶體裸晶的堆疊，每一堆疊配置成儲存資料並提供由所述可重程式化處理單元可控制的記憶體內處理功能，其中所述可重程式化處理單元至少部分地與所述高頻寬記憶體裸晶一起堆疊；

中央記憶體，包括為所述固定處理單元保留的緩衝器部分，以及為所述可重程式化處理單元保留的緩衝器部分；以及

插入件裸晶，所述中央處理單元、所述固定處理單元、所述可重程式化處理單元、所述高頻寬記憶體裸晶的堆疊及所述中央記憶體位於所述插入件裸晶上；

其中所述可重程式化處理單元配置成在將與所述計算任務相關聯的資料從所述中央記憶體拷貝到所述高頻寬記憶體裸晶之前，根據所述資料執行所述計算任務的所述第二部分，並且

其中所述可重程式化處理單元更配置成在將與所述計算任務相關聯的所述資料從所述中央記憶體拷貝到所述高頻寬記憶體裸晶之前，確定基於所述計算任務的所述第一部分的完成的觸發事件是否已發生。

【第9項】 如申請專利範圍第8項所述的設備，其中所述中央處理單元更配置成向所述固定處理單元分配所述計算任務的所述第一部分以用於執行；

其中所述固定處理單元配置成在所述計算任務的所述第一部分的執行至少部分地完成時，將與所述計算任務相關聯的所述資料拷貝到所述中央處理單元；

其中所述中央處理單元配置成向所述可重程式化處理單元分配所述計算任務的所述第二部分以用於執行且使得所述計算任務的所述資料可用於所述可重程式化處理單元。

【第10項】 如申請專利範圍第9項所述的設備，其中所述中央處理單元更配置成將與所述計算任務相關聯的所述資料從為所述固定處理單元保留的所述緩衝器部分拷貝到為所述可重程式化處理單元保留的所述緩衝器部分。

【第11項】 如申請專利範圍第8項所述的設備，其中所述中央處理單元更配置成至少部分地控制在所述固定處理單元與所述可重程式化處理單元之間傳送的任何資料的時序。

【第12項】 如申請專利範圍第8項所述的設備，其中所述異構計算環境配置成使得所述固定處理單元能夠不直接存取所述高頻寬記憶體裸晶。

【第13項】 一種異構計算環境的系統，包括：

插入件裸晶；

中央處理單元，位於所述插入件裸晶上，所述中央處理單元配置成向異構計算環境的處理單元分配計算任務；以及

系統記憶體，位於所述插入件裸晶上，所述系統記憶體配置成儲存資料；

所述異構計算環境包括：

固定處理單元，位於所述插入件裸晶上，所述固定處理單元具有配置成執行指令的固定邏輯電路，

可重程式化處理單元，位於所述插入件裸晶上，所述可重程式化處理單元具有可重程式化邏輯電路，所述可重程式化邏輯電路配置成執行用以控制記憶體內處理功能的指令；以及

高頻寬記憶體裸晶的堆疊，位於所述插入件裸晶上，每一高頻寬記憶體配置成儲存資料並提供可由所述可重程式化處理單元控制的記憶體內處理功能，其中所述可重程式化處理單元至少部分地與所述高頻寬記憶體裸晶一起堆疊，

所述中央處理單元更被配置成向所述固定處理單元分配計算任務的第一部分及向所述可重程式化處理單元分配所述計算任務的第二部分；

其中所述可重程式化處理單元配置成在將與所述計算任務相關聯的資料從所述系統記憶體拷貝到所述高頻寬記憶體裸晶之前，確定基於所述計算任務的所述第一部分的完成的觸發事件已發生。

【第14項】 如申請專利範圍第13項所述的系統，其中所述固定處理單元配置成在分配給所述固定處理單元所述計算任務的所述第一部分的執行至少部分地完成時，將與所述計算任務相關聯的所述資料拷貝到所述系統記憶體；以及

其中所述可重程式化處理單元配置成在執行需要與所述計算任務相關聯的所述資料的所述可重程式化處理單元所分配的所述計算任務所述第二部分之前，將所述資料從所述系統記憶體拷貝到所述高頻寬記憶體裸晶。

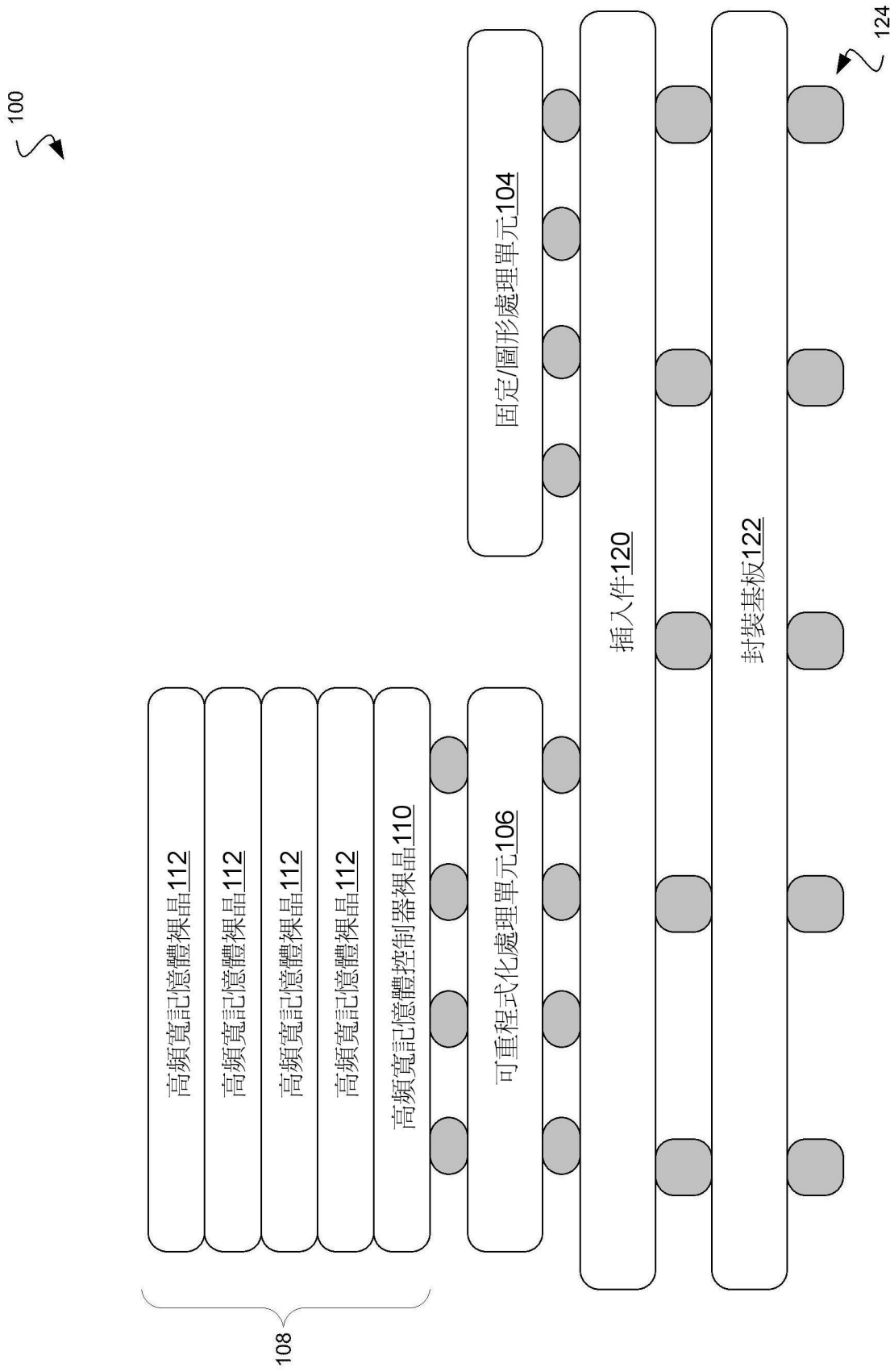
【第15項】 如申請專利範圍第14項所述的系統，其中所述固定處理單元配置成經由遠端直接記憶體存取將與所述計算任務相關聯的所述資料拷貝到所述系統記憶體。

【第16項】 如申請專利範圍第13項所述的系統，其中所述固定處理單元包含圖形處理單元；以及

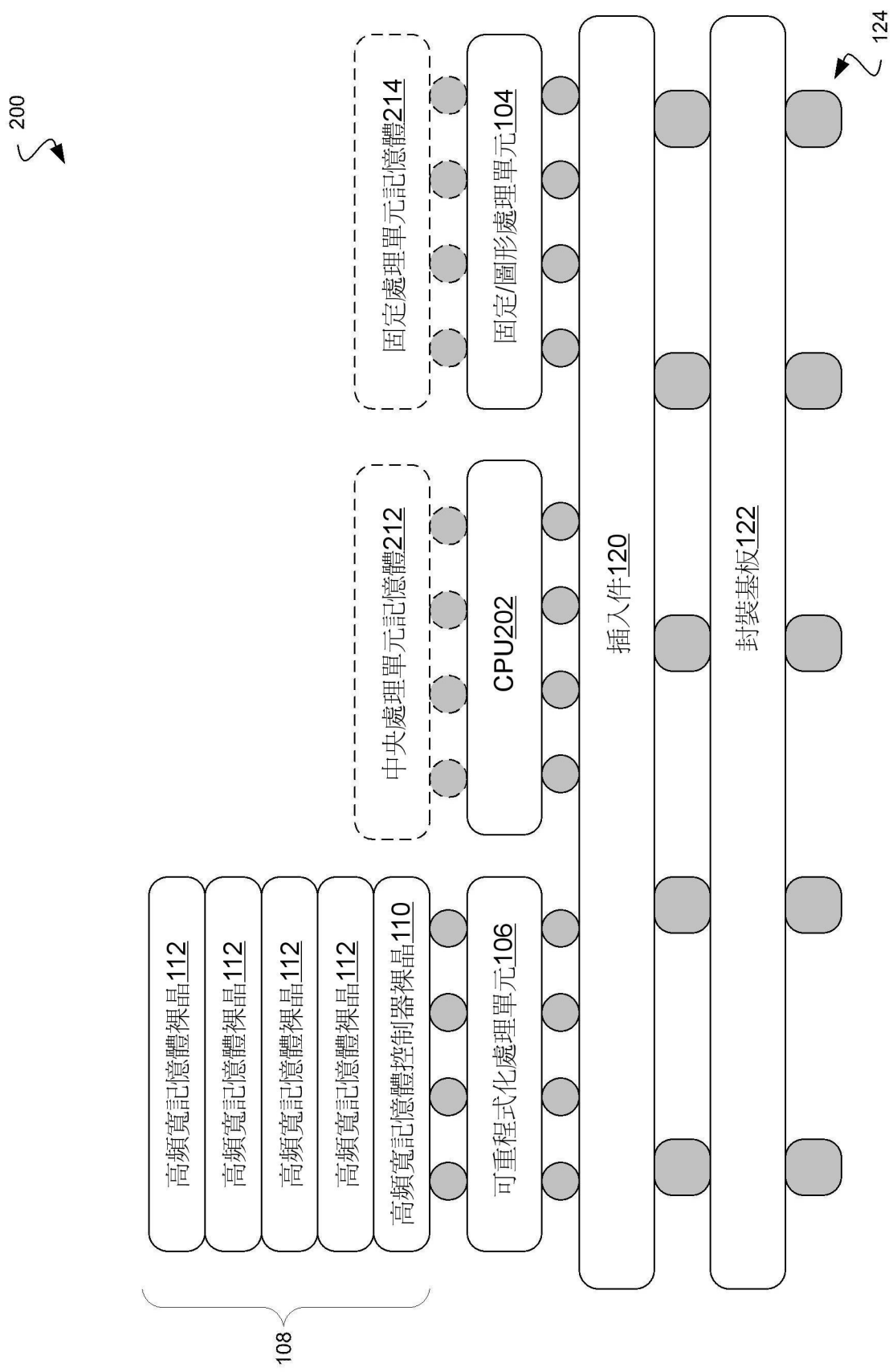
所述可重程式化處理單元包含場可程式化邏輯閘陣列。

【第17項】 如申請專利範圍第13項所述的系統，其中所述固定處理單元配置成在所述計算任務的所述第一部分完成的時間與所述計算任務的所述第二部分完成的時間之間中斷所述計算任務的所述第一部分的執行。

【發明圖式】

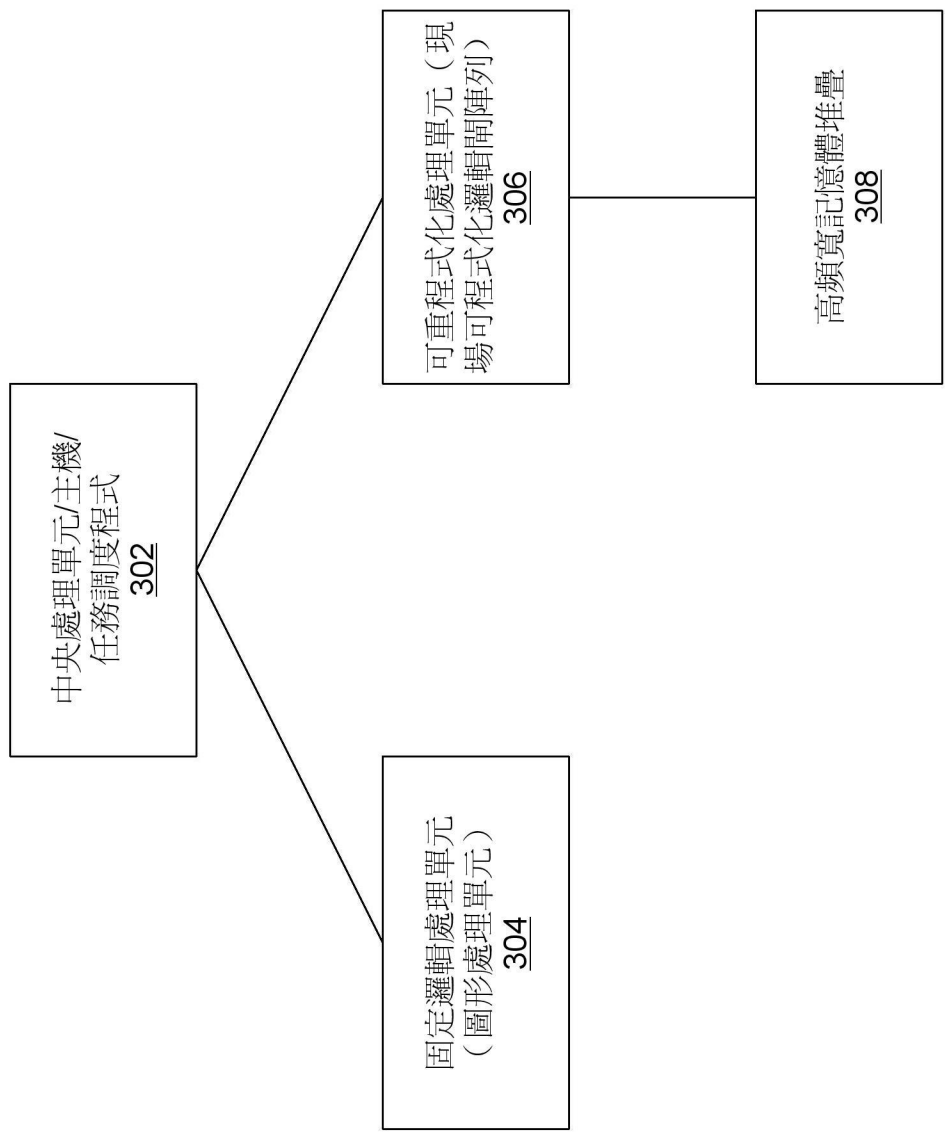


【圖1】

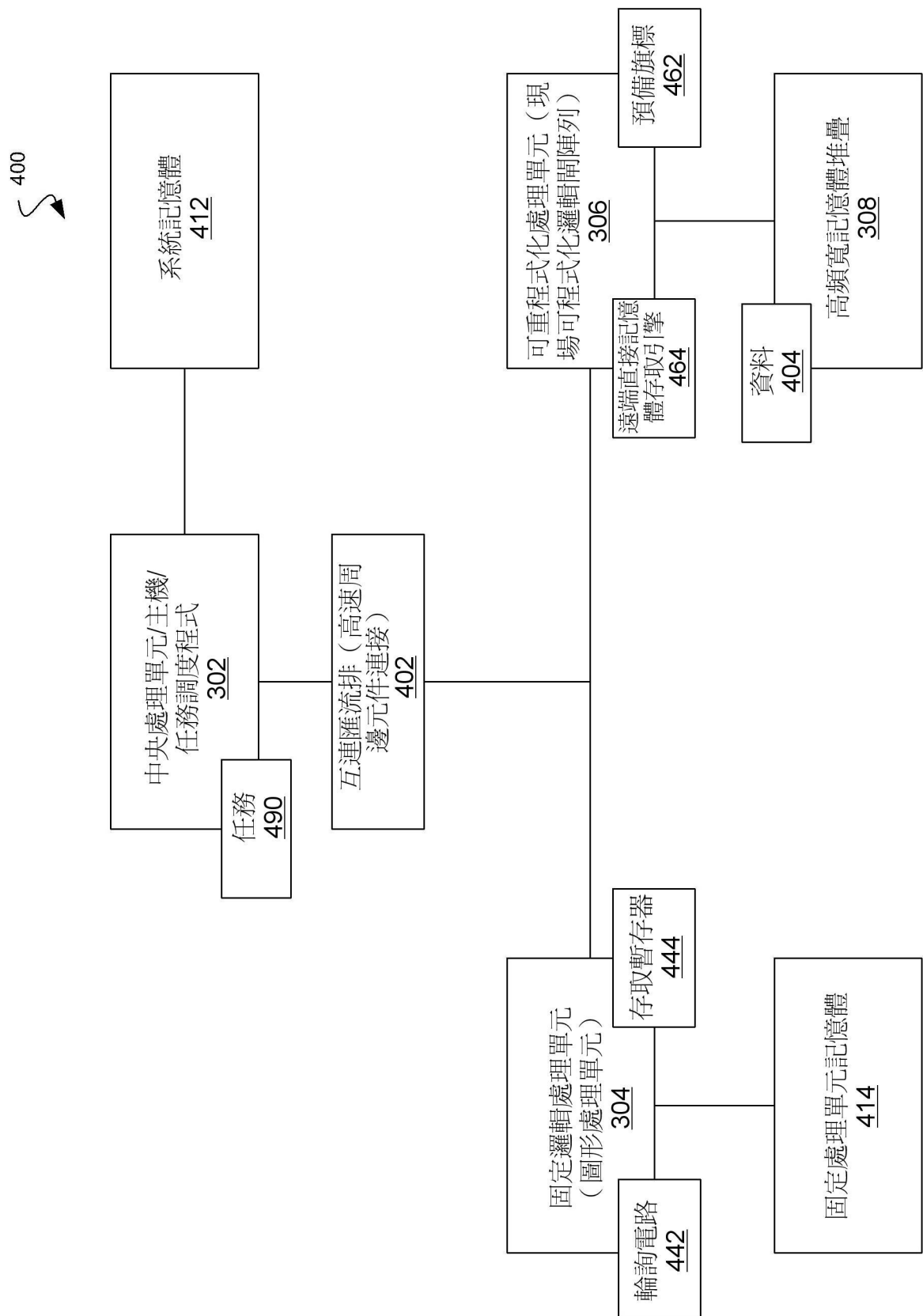


【圖2】

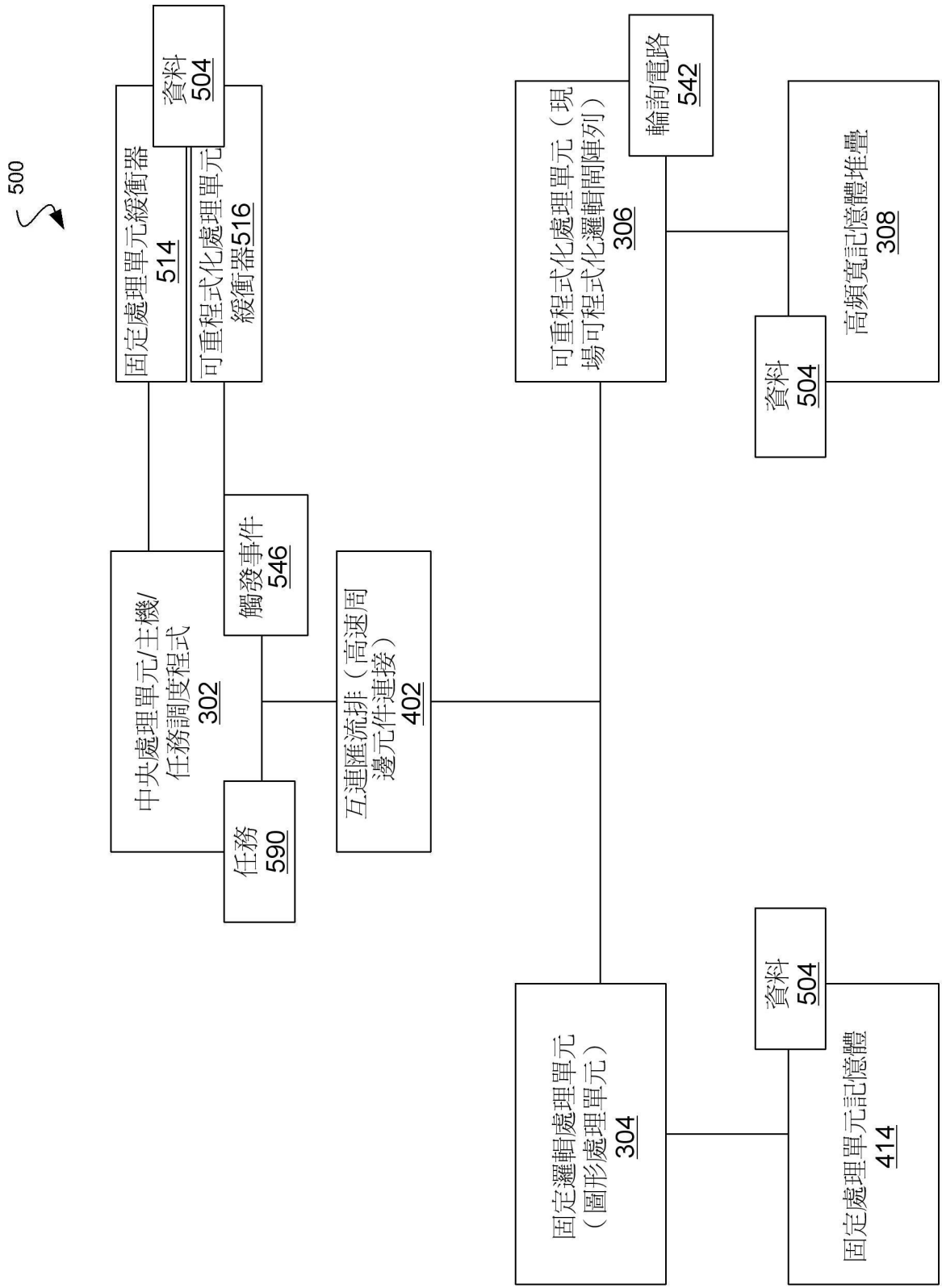
300



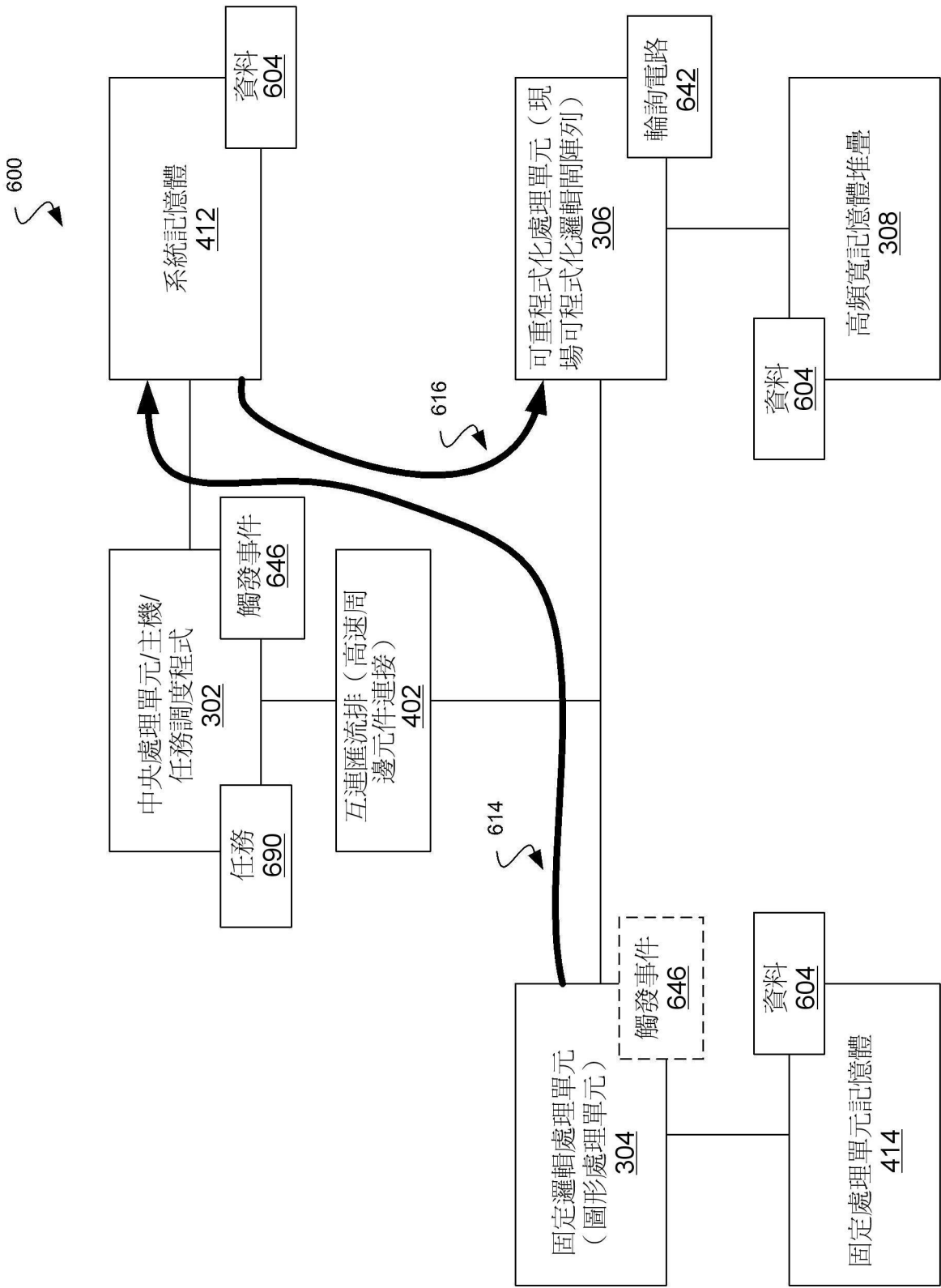
【圖3】



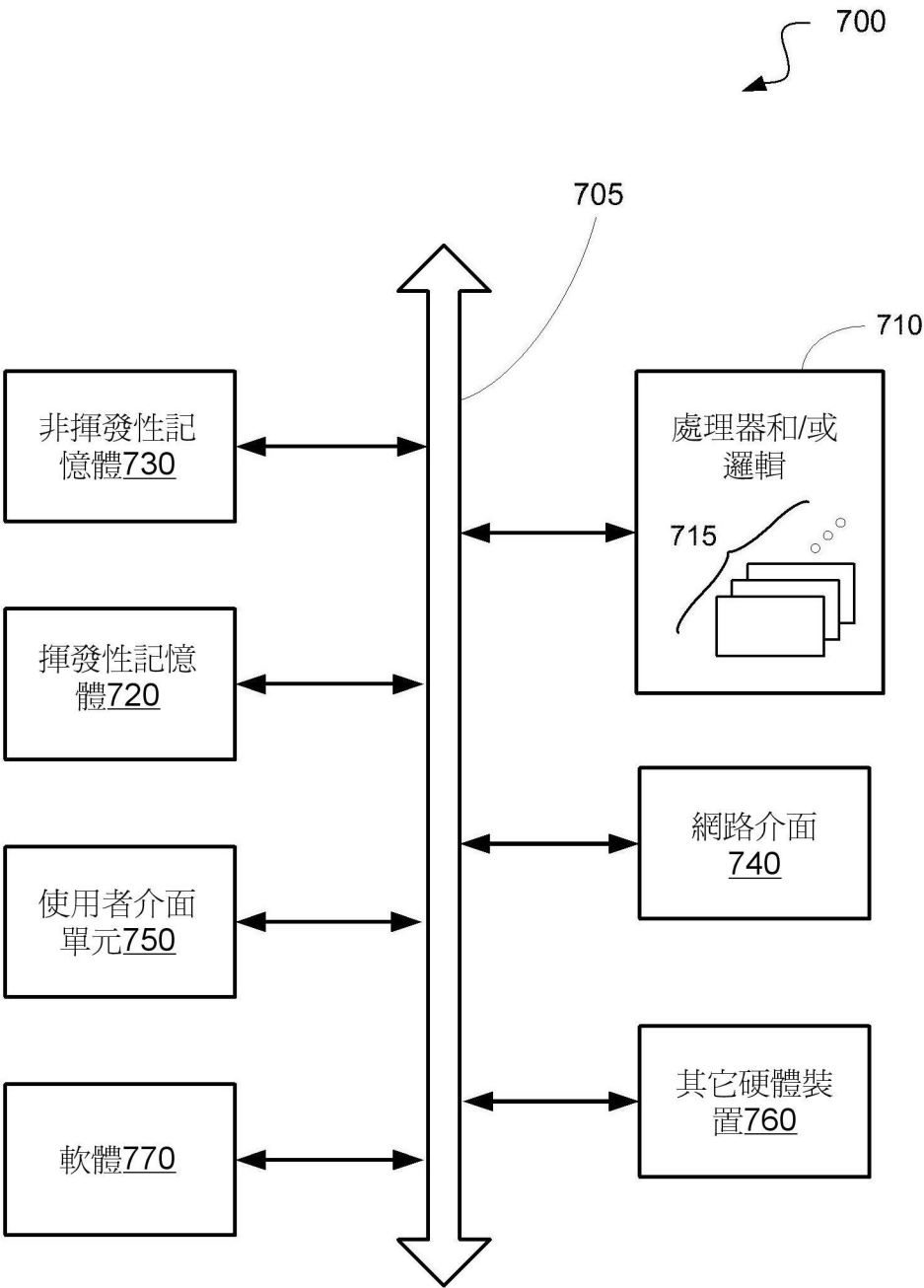
【圖4】



【圖5】



【圖6】



【圖7】