



(51) 国際特許分類6 H02M 3/28	A1	(11) 国際公開番号 WO00/13301 (43) 国際公開日 2000年3月9日(09.03.00)
(21) 国際出願番号 PCT/JP99/04596 (22) 国際出願日 1999年8月26日(26.08.99) (30) 優先権データ 特願平10/243030 1998年8月28日(28.08.98) JP (71) 出願人 (米国を除くすべての指定国について) 長野日本無線株式会社 (NAGANO JAPAN RADIO CO., LTD.)[JP/JP] 〒381-2288 長野県長野市稲里町下氷飽1163番地 Nagano, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 南沢俊孝(MINAMISAWA, Toshitaka)[JP/JP] 松坂厚志(MATSUZAKA, Atsushi)[JP/JP] 〒381-2288 長野県長野市稲里町下氷飽1163番地 長野日本無線株式会社内 Nagano, (JP) (74) 代理人 酒井伸司(SAKAI, Shinji) 〒381-1225 長野県長野市松代町東寺尾3873-1 Nagano, (JP)		(81) 指定国 US, 欧州特許 (DE, FR, GB) 添付公開書類 国際調査報告書
(54)Title: DRIVE CIRCUIT FOR SWITCHING POWER SUPPLY (54)発明の名称 スイッチング電源用ドライブ回路 2 ... CONTROL CIRCUIT 3 ... DRIVE CIRCUIT 25 ... RECTIFYING AND SMOOTHING CIRCUIT (57) Abstract A drive circuit (3) for a switching power supply comprises drive elements (11, 12) for generating a drive signal (SD), and a transformer (15) including a primary winding (15a) to receive the drive signal (SD) through a capacitive element (14) and a secondary winding (15b) to supply the drive signal (SD) to a main switching element (21). To protect the main switching element (21) against damage while expanding the range of switching control, the drive circuit (3) for a switching power supply includes an inductive element (16), which has an inductance value smaller than the excitation inductance of the primary winding (15a) and cooperates with the capacitive element (14) to form a series resonance circuit.		

(57)要約

この発明に係るスイッチング電源用ドライブ回路は、ドライブ信号（SD）を生成するドライブ素子（11、12）と、容量性素子（14）を介して一次巻線（15a）に入力したドライブ信号（SD）を二次巻線（15b）からメインスイッチング素子（21）に対して出力するトランス（15）とを備えているスイッチング電源用ドライブ回路（3）において、スイッチングの制御範囲を拡大しつつ、メインスイッチング素子（21）の破損を防止し得る構成を備える。このスイッチング電源用ドライブ回路（3）は、少なくとも一次巻線（15a）の励磁インダクタンスよりも小さいインダクタンス値であって、容量性素子（14）と直列共振可能な誘導性素子（16）を備えている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア	ML	マリ	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CH	スイス	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CI	コートジボワール	IL	イスラエル	MX	メキシコ	US	米国
CN	中国	IN	インド	NE	ニジェール	UZ	ウズベキスタン
CR	コスタ・リカ	IS	アイスランド	NL	オランダ	VN	ヴェトナム
CU	キューバ	IT	イタリア	NO	ノルウェー	YU	ユーゴスラビア
CY	キプロス	JP	日本	NZ	ニュージーランド	ZA	南アフリカ共和国
CZ	チェコ	KE	ケニア	PL	ポーランド	ZW	ジンバブエ
DE	ドイツ	KG	キルギスタン	PT	ポルトガル		
DK	デンマーク	KP	北朝鮮	RO	ルーマニア		
		KR	韓国				

明細書

スイッチング電源用ドライブ回路

技術分野

この発明は、スイッチング電源用ドライブ回路に関し、詳しくは、ドライブ用のトランスを介してメインスイッチング素子にドライブ信号を供給するスイッチング電源用ドライブ回路に関するものである。

背景技術

この種のドライブ回路を有するスイッチング電源装置として、図6に示す電源装置41が従来から知られている。この電源装置41は、スイッチング信号SSを生成するコントロール回路2と、スイッチング信号SSを電力増幅するドライブ回路42と、ドライブ回路42から出力されるドライブ信号SDに同期してスイッチングを行うことにより直流電圧 V_o を生成するメイン回路4とを備えて構成されている。

ドライブ回路42は、コンプリメンタリ回路を形成する1対のnpn型のトランジスタ11およびpnp型のトランジスタ12と、プルアップ用の抵抗13と、直流カット用のコンデンサ14と、一次巻線15aおよび二次巻線15bが1:1の巻数比で形成されたドライブ用のトランス15とから構成されている。また、メイン回路4は、メインスイッチング素子であるnチャネルMOS型のFET21と、バイアス用の抵抗22、23と、スイッチング用のトランス24と、整流平滑回路25とを備えて構成されている。

この電源装置41では、コントロール回路2が、メイン回路4側から出力されるフィードバック信号SFを入力すると、そのフィードバック信号SFに応じたパルス幅（または周波数）のスイッチング信号SSを出力する。次いで、トランジスタ11、12が、スイッチング信号SSに同期して交互に作動してスイッチング信号SSを電力増幅することによりドライブ信号SDを生成し、そのドライ

ブ信号SD をコンデンサ14を介してトランス15の一次巻線15aに出力する。これにより、トランス15の二次巻線15bに誘起したドライブ信号SD がFET21に供給される。この場合、スイッチング信号SS のデューティ比が50%であるとすれば、FET21のゲートソース間の電圧VGSは、図5に示すように、スイッチング信号SS のオン期間TONでは、 $VCC/2$ の電圧となり、オフ期間TOFF では、 $-VCC/2$ の電圧となる。したがって、FET21は、しきい値電圧 V_{th} を超えるオン期間TONにオン状態に制御され、その際に、同図に示すドレイン電流ID をトランス24の一次巻線24aに出力する。次いで、整流平滑回路25が、トランス24における二次巻線24bの誘起電圧を整流および平滑することにより直流電圧Voを生成する。

発明の開示

発明者は、上述の従来技術を検討した結果、以下のような課題を発見した。すなわち、従来の電源装置41では、コントロール回路2の作動時において、スイッチング信号SS のデューティ比が例えば50%の場合には、FET21のゲートソース間に $\pm VCC/2$ の電圧が供給されている。したがって、トランス15が1:1の巻数比で形成されている結果、コンデンサ14の両端には、 $VCC/2$ の電圧が常時加えられており、これはコンデンサ14がエネルギーを常時蓄積していることを意味する。このため、コントロール回路2の作動停止時には、コンデンサ14の蓄積エネルギーが放出され、この際には、コンデンサ14、一次巻線15a、並びにトランジスタ12のエミッタおよびコレクタから形成される閉回路内において、コンデンサ14の容量と、トランス15における一次巻線15aの励磁インダクタンスとで決定される直列共振現象が発生する。この場合、直列共振現象における直列共振周波数fは、コンデンサ14の容量を値Cとし、一次巻線15aの励磁インダクタンスを値Lとすれば、下記の①式で表される。

$$f = 1 / (2 \cdot \pi \cdot (L \cdot C)^{0.5}) \dots \dots \textcircled{1} \text{式}$$

したがって、この直列共振時には、図 5 に示す電圧波形 W 1 1 の直列共振電圧がトランス 1 5 の二次巻線 1 5 b に誘起され、この電圧波形 W 1 1 が F E T 2 1 のゲートソース間に印加される。この場合、直列共振周波数 f の周期は、一次巻線 1 5 a の励磁インダクタンスが大きいため、スイッチング信号 SS の周期 (T_S) と比較して極めて長い時間である。このため、電圧波形 W 1 1 がしきい値電圧 V_{th} を超える時間 t_{11} ~ 時間 t_{12} 、および時間 t_{13} ~ 時間 t_{14} の期間において、それぞれ電流波形 W 1 2, W 1 3 が示すように、過大なドレイン電流 I_D が F E T 2 1 に流れる。この結果、トランス 2 4 が磁気飽和し、これによって、さらに過大なドレイン電流 I_D が流れるなどの悪循環を引き起こす。このように、従来の電源装置 4 1 には、コントロール回路 2 の作動停止時に発生する直列共振現象に起因して F E T 2 1 やトランス 2 4 が破損するおそれがあるという問題点がある。また、従来の電源装置 4 1 では、上記した悪循環を避けるために、スイッチング信号 SS のデューティ比を 50% 以下の範囲で制御することによりコンデンサ 1 4 の蓄積エネルギーを低減させ、これにより、直列共振時の共振エネルギーを低減させている。このため、従来の電源装置 4 1 には、スイッチング信号 SS のデューティ比を 50% 以上に制御できない結果、スイッチングの制御範囲が狭いという問題点もある。

本発明は、上述のような課題を解決すべくなされたものであり、スイッチングの制御範囲を拡大しつつ、メインスイッチング素子の破損を防止し得るスイッチング電源用ドライブ回路を提供することを主目的とする。

この発明に係るスイッチング電源用ドライブ回路は、メインスイッチング素子をドライブするためのドライブ信号を生成するドライブ素子と、容量性素子を介して一次巻線に入力したドライブ信号を二次巻線からメインスイッチング素子に対して出力するトランスとを備えているスイッチング電源用ドライブ回路において、少なくとも一次巻線の励磁インダクタンスよりも小さいインダクタンス値であって、容量性素子と直列共振可能な誘導性素子を備えて構成されている。

このスイッチング電源用ドライブ回路では、電源生成動作停止時において、容量性素子と誘導性素子とに起因して発生する共振現象の共振周波数がより高い周波数になる。したがって、その直列共振周波数の周期が短くなるため、共振電圧波形がスイッチング素子のしきい値電圧を超える期間が、より短くなる。このため、スイッチング素子がオン状態になりにくく、オン状態になったとしても、流れる電流の最大値がより小さくなる。したがって、メインスイッチング素子に接続されるスイッチング用のトランスの磁気飽和が防止されるため、メインスイッチング素子およびスイッチング用のトランスの破損が防止される。また、容量性素子の容量値を適切な値に規定することで、容量性素子の蓄積エネルギーを極力小さくできる。この場合には、直列共振エネルギー自体が減少するため、スイッチング用のトランスの磁気飽和が確実に防止される。このため、ドライブ信号のデューティ比を大きくすることができ、かかる場合には、スイッチングの制御範囲を拡大することもできる。

また、容量性素子および誘導性素子は、両者による共振の共振周波数がドライブ信号の周波数に対して $1/5$ 倍を超える素子定数をそれぞれ有することが好ましい。このように構成することで、メインスイッチング素子のオン状態時間が、より短縮され、この場合には、スイッチング用のトランスの磁気飽和が確実に防止されるため、メインスイッチング素子およびスイッチング用のトランスの破損が確実に防止される。

さらに、容量性素子および誘導性素子は、共振周波数がドライブ信号の周波数を超える素子定数をそれぞれ有することがさらに好ましい。このように構成することで、メインスイッチング素子のオン状態時間が、さらに短縮され、スイッチング用のトランスの磁気飽和が確実に防止される結果、メインスイッチング素子およびスイッチング用のトランスの破損がより確実に防止される。

また、誘導性素子を一次巻線に並列接続することができる。さらに、誘導性素子とダンパー用抵抗との直列回路を一次巻線に並列接続することができる。この

直列回路を一次巻線に並列接続した場合、容量性素子と誘導性素子とに起因して発生する共振現象時のエネルギーがダンパー用抵抗によって損失される。したがって、その共振現象が素早く抑制されるため、メインスイッチング素子およびスイッチング用のトランスの破損がより確実に防止される。

5

図面の簡単な説明

図 1 は、第 1 実施例に係る電源装置 1 の回路図である。

図 2 は、第 1 実施例に係る電源装置 1 の動作を説明するための図であって、FET 21 のゲートソース間における電圧 VGS の電圧波形図、および FET 21 のドレイン電流 ID の電流波形図である。

10

図 3 は、第 2 の実施例に係る電源装置 31 の回路図である。

図 4 は、第 2 の実施例に係る電源装置 31 の動作を説明するための図であって、FET 21 のゲートソース間における電圧 VGS の電圧波形図、および FET 21 のドレイン電流 ID の電流波形図である。

図 5 は、従来の電源装置 41 の動作を説明するための図であって、FET 21 のゲートソース間における電圧 VGS の電圧波形図、および FET 21 のドレイン電流 ID の電流波形図である。

15

図 6 は、従来の電源装置 41 の回路図である。

20 発明を実施するための最良の形態

以下、添付図面を参照して、本発明に係るスイッチング電源用ドライブ回路をスイッチング電源装置に適用した実施の形態について説明する。

(第 1 実施形態)

最初に、図 1 を参照して電源装置 1 の構成について説明する。電源装置 1 は、同図に示すように、スイッチング信号 SS を生成するコントロール回路 2、ドライブ回路 3 およびメイン回路 4 を備えている。ドライブ回路 3 は、コンプリメン

25

5
 10
 15
 20
 25
 タリ回路を形成する１対のｎｐｎ型のトランジスタ１１およびｐｎｐ型のトランジスタ１２と、プルアップ用の抵抗１３と、本発明における容量性素子に相当し直流をカットするコンデンサ１４と、一次巻線１５ａおよび二次巻線１５ｂが１：１の巻数比で形成されたドライブ用のトランス１５と、トランス１５の一次巻線１５ａに並列接続され本発明における誘導性素子に相当するインダクタ１６とを備えて構成されている。また、メイン回路４は、メインスイッチング素子であるｎチャネルＭＯＳ型のＦＥＴ２１と、バイアス用の抵抗２２，２３と、スイッチング用のトランス２４と、整流平滑回路２５とを備えて構成されている。

この場合、ドライブ回路３におけるコンデンサ１４の容量値Ｃおよびインダク
 10
 15
 20
 25
 タ１６のインダクタンス値Ｌ１６は、以下の条件を満たすように規定されている。すなわち、まず、コンデンサ１４の容量値Ｃについては、コントロール回路２の作動停止時における蓄積エネルギーが極力小さく、かつ本発明におけるメインスイッチング素子に相当するＦＥＴ２１のゲートソース間にしきい値電圧 V_{th} よりも十分に高い電圧 V_{GS} が供給されるように、下記の②式に示す範囲内で規定する。なお、同式における値 C_{iss} は、ＦＥＴ２１の入力容量を意味する。

$$20 \cdot C_{iss} \leq C \leq 100 \cdot C_{iss} \dots\dots\dots \text{②式}$$

一方、インダクタ１６のインダクタンス値Ｌ１６については、コンデンサ１４の容量値Ｃを上記の範囲内で所定値に規定した後、直列共振に起因してのＦＥＴ２１のオン期間 T_{ON} がスイッチング信号 SS の周期 T_S の５０％以下になるように、
 20
 25
 下記の③式に従って規定する。この③式に従って規定されるインダクタンス値Ｌ１６は、トランス１５の一次巻線１５ａの励磁インダクタンス値 L と比較して、十分に小さな値となる。具体的には、例えば、一次巻線１５ａの励磁インダクタンス値 L を１ｍＨとすれば、インダクタ１６のインダクタンス値Ｌ１６は、１０μＨ程度になる。なお、同式における値 f_{SW} は、スイッチング信号 SS の周波数を意味する。

$$2 \cdot \pi \cdot (L16 \cdot C) 0.5 \leq 1 / f_{SW} \dots\dots\dots \text{③式}$$

ただし、発明者の実験によれば、下記の④式に規定される範囲内でインダクタンス値L16を規定すれば、過電流に起因してのFET21およびトランス24の破損が防止されることが実証されており、以下、④式に従って規定した例について説明する。

5 $2 \cdot \pi \cdot (L16 \cdot C) 0.5 \leq 5 / f_{SW} \dots \dots \textcircled{4} \text{式}$

次いで、上記の④式の理論的な根拠を以下に説明する。すなわち、④式は、インダクタ16とコンデンサ14とによる直列共振時の共振周期を、スイッチング信号SSの周期TSの5倍以下に規定する必要があることを意味する。一方、トランス15の磁束密度は、スイッチング信号SSのオン時間（つまり、周期TS）
10 に比例して大きくなる。また、トランス15に用いられるフェライトコアの飽和磁束密度は、一般的には、最大でも5000ガウスである反面、実際の電源装置では、スイッチング信号SSに従っての通常のスイッチング動作時における実働磁束密度を1000ガウス以下に抑えるように規定している。このため、直列共振時の共振周期を、スイッチング信号SSの周期TSの5倍以下に規定すること
15 により、直列共振時におけるトランス15の磁束密度を実働磁束密度の5倍以下に抑えることができる。したがって、直列共振現象が発生している状態下であっても、5000ガウス以下でトランス15を作動させることができる結果、磁気飽和を確実に防止することができる。以上が理論的な根拠である。

次に、電源装置1の動作、特にコントロール回路2の作動停止時における動作
20 を中心にして、図2を参照して説明する。

この電源装置1では、メイン回路4側から出力されるフィードバック信号SFに
25 応じたパルス幅（または周波数）のスイッチング信号SSがコントロール回路2から出力されると、トランジスタ11、12が、スイッチング信号SSに同期して交互に作動してスイッチング信号SSを電力増幅することによりドライブ信号SDを生成する。この場合、ドライブ信号SDは、コンデンサ14を介してトランス15の一次巻線15aに出力されることにより二次巻線15bに誘起し、

この誘起したドライブ信号SD がF E T 2 1のゲートに供給される。この場合にも、スイッチング信号SS のデューティ比が例えば50%であるとすれば、F E T 2 1のゲートソース間の電圧VGSは、図2に示すように、スイッチング信号SS のオン期間TONでは、 $V_{CC}/2$ の電圧となり、オフ期間TOFF では、 $-V_{CC}/2$ の電圧となる。これにより、F E T 2 1は、しきい値電圧 V_{th} を超えるオン期間TONにオン状態に制御され、その際に、同図に示すドレイン電流ID をトランス24の一次巻線24aに出力する。次いで、整流平滑回路25が、トランス24における二次巻線24bの誘起電圧を整流および平滑することにより直流電圧Voを生成する。

一方、コントロール回路2の作動停止時には、コンデンサ14、一次巻線15aおよびインダクタ16の並列回路、並びにトランジスタ12のエミッタおよびコレクタから形成される閉回路内で直列共振現象が発生する。この場合、一次巻線15aの励磁インダクタンス値Lがインダクタ16のインダクタンス値L16と比較して十分に小さく無視できるため、直列共振周波数は、コンデンサ14の容量と、インダクタ16のインダクタンス値L16とで決定され、その直列共振周波数f1は、下記の⑤式で表される。

$$f1 = 1 / (2 \cdot \pi \cdot (L16 \cdot C)^{0.5}) \cdots \text{⑤式}$$

この直列共振時には、図2に示す電圧波形W1の直列共振電圧がトランス15の二次巻線15bに誘起され、この電圧波形W1がF E T 2 1のゲートソース間に印加される。この場合、直列共振周波数f1の周期は、スイッチング信号SSの周期TSの1～5倍の範囲内であるため、電圧波形W1がしきい値電圧 V_{th} を超える時間t1～時間t2、および時間t3～時間t4の期間は、従来の電源装置41における直列共振時の時間t11～時間t12および時間t13～時間t14と比較して、十分に短い期間となる。したがって、時間t1～時間t2、および時間t3～時間t4の期間においてF E T 2 1を流れるドレイン電流IDの最大値は、同図の電流波形W2、W3が示すように、通常のスイッチング時と

比較して若干多めになるだけで、過大なドレイン電流 I_D の導通が防止されている。

以上のように、この電源装置 1 によれば、コントロール回路 2 の作動停止時に発生する直列共振の周期をスイッチング信号 SS の周期と比較して 5 倍以下に

5 (より好ましくは、スイッチング信号 SS の周期よりも短く) 抑えることができるため、過大なドレイン電流 I_D の導通を防止することができる。この結果、トランス 24 の磁気飽和も確実に阻止することができ、これにより、直列共振現象に起因しての FET 21 やトランス 24 の破損を確実に防止することができる。なお、直列共振周波数 f_1 の周期をスイッチング信号 SS の周期 T_S よりも短く
10 規定すれば、共振電圧波形がしきい値電圧 V_{th} を超える期間が、より短くなる。このため、FET 21 がオン状態になりにくく、オン状態になったとしても、流れるドレイン電流 I_D の最大値がより小さくなる。この結果、トランス 24 の磁気飽和をさらに確実に防止することができると共に、直列共振現象に起因しての FET 21 やトランス 24 の破損を確実に防止することができる。

15 また、コンデンサ 14 の容量値 C を適切な値に規定し、コントロール回路 2 の作動停止時におけるコンデンサ 14 の蓄積エネルギーを極力小さくすることにより、直列共振エネルギー自体を減少させることができ、これにより、FET 21 およびトランス 24 の破損を確実に防止することができる。したがって、従来の電源装置 41 とは異なり、スイッチング信号 SS のデューティ比を 50% 以上
20 に制御することができるため、スイッチングの制御範囲を拡大することができる。

(第 2 実施形態)

次に、図 3 を参照して、電源装置 1 の構成を一部変更した電源装置 31 の構成および動作について説明する。なお、電源装置 1 の構成要素と同一のものについては同一の符号を付して重複した機能および動作についての説明を省略する。

25 同図に示すように、電源装置 31 におけるドライブ回路 5 は、電源装置 1 とは異なり、インダクタ 16 と、ダンパー用の抵抗 17 との直列回路がトランス 15

の一次巻線 15 a に並列接続されている。

この電源装置 31 では、コントロール回路 2 の作動停止時には、コンデンサ 14、インダクタ 16 および抵抗 17 の直列回路と一次巻線 15 a との並列回路、並びにトランジスタ 12 のエミッタおよびコレクタから形成される閉回路内で直列共振現象が発生する。この場合、コンデンサ 14 の蓄積エネルギーは、直列共振時において抵抗 17 によって損失する。このため、図 4 に示すように、直列共振時における FET 21 のゲートソース間の電圧 VGS の電圧波形 W4 は、電源装置 1 における電圧波形 W1 と比較して、その周期が同一であるものの、速やかに減衰する特性を有している。このため、電圧波形 W4 がしきい値電圧 V_{th} を超えるのは、時間 t_5 ～時間 t_6 の期間に限られ、また、その期間は、電源装置 1 における直列共振時の時間 t_1 ～時間 t_2 と比較しても短い期間となる。したがって、時間 t_5 ～時間 t_6 の期間においては FET 21 がオン状態になりにくく、また、FET 21 を流れるドレイン電流 I_D の最大値も、同図の電流波形 W5 が示すように、通常のスイッチング時と比較しても同程度または少な目になる。この結果、この電源装置 31 においても、過大なドレイン電流 I_D の導通が確実に防止されている。

このように、この電源装置 31 によれば、インダクタ 16 と抵抗 17 とからなる直列回路を一次巻線 15 a に並列接続したことにより、共振現象を素早く抑制することができるため、直列共振時における FET 21 のドレイン電流 I_D を、より低減でき、これにより、トランス 24 の磁気飽和がより確実に阻止される結果、直列共振現象に起因しての FET 21 やトランス 24 の破損をさらに確実に防止することができる。

なお、本発明は、上記した発明の実施の形態に示した構成に限定されず、適宜変更が可能である。例えば、本発明の実施の形態に係る電源装置 1, 31 では、本発明におけるメインスイッチング素子として FET を使用した例について説明したが、本発明は、これに限定されず、トランジスタなど種々のスイッチング素

- 子を用いることができる。また、本発明における誘導性素子およびダンパー用抵抗の接続位置についても、等価的にトランスの一次巻線に並列接続されていればよい。さらに、本発明におけるドライブ素子は、本発明の実施の形態で示したコンプリメンタリ回路に限定されず、プッシュプル回路やSEPP (Single Ended Push Pull) 回路で構成することもできる。

産業上の利用可能性

- 以上のように、この発明に係るスイッチング電源用ドライブ回路によれば、少なくとも一次巻線の励磁インダクタンスよりも小さいインダクタンス値であって容量性素子と直列共振可能な誘導性素子を備えたことにより、電源生成動作停止時において、容量性素子と誘導性素子とに起因して発生する共振現象の共振周波数が高い周波数になる結果、メインスイッチング素子のオン状態時間を短縮することができ、これにより、メインスイッチング素子およびメインスイッチング素子に接続されるスイッチング用トランスの破損を防止できるスイッチング電源用ドライブ回路が実現される。また、ドライブ信号のデューティ比を大きくすることができるため、スイッチングの制御範囲を拡大できるスイッチング電源用ドライブ回路が実現される。

請求の範囲

1. メインスイッチング素子をドライブするためのドライブ信号を生成するドライブ素子と、容量性素子を介して一次巻線に入力した前記ドライブ信号を二次巻線から前記メインスイッチング素子に対して出力するトランスとを備えているスイッチング電源用ドライブ回路において、
 - 5 少なくとも前記一次巻線の励磁インダクタンスよりも小さいインダクタンス値であって、前記容量性素子と直列共振可能な誘導性素子を備えていることを特徴とするスイッチング電源用ドライブ回路。
2. 前記容量性素子および前記誘導性素子は、当該両者による共振の共振周波数が前記ドライブ信号の周波数に対して $1/5$ 倍を超える素子定数をそれぞれ有していることを特徴とする請求項 1 記載のスイッチング電源用ドライブ回路。
 - 10
3. 前記容量性素子および前記誘導性素子は、前記共振周波数が前記ドライブ信号の周波数を超える素子定数をそれぞれ有していることを特徴とする請求項 1 または 2 記載のスイッチング電源用ドライブ回路。
4. 前記誘導性素子は、前記一次巻線に並列接続されていることを特徴とする請求項 1 から 3 のいずれかに記載のスイッチング電源用ドライブ回路。
 - 15
5. 前記誘導性素子とダンパー用抵抗との直列回路を前記一次巻線に並列接続したことを特徴とする請求項 1 から 3 のいずれかに記載のスイッチング電源用ドライブ回路。

図1

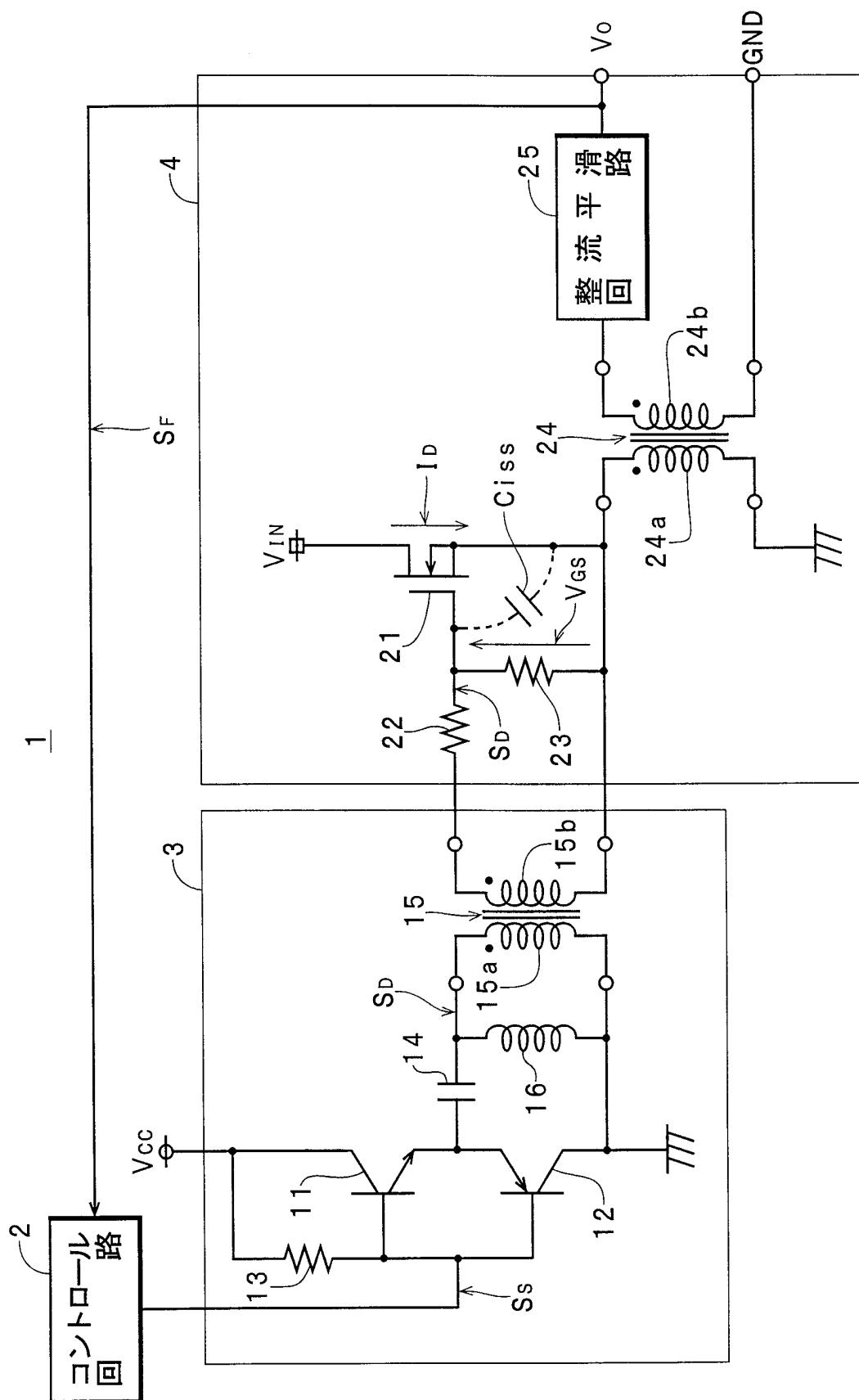


图2

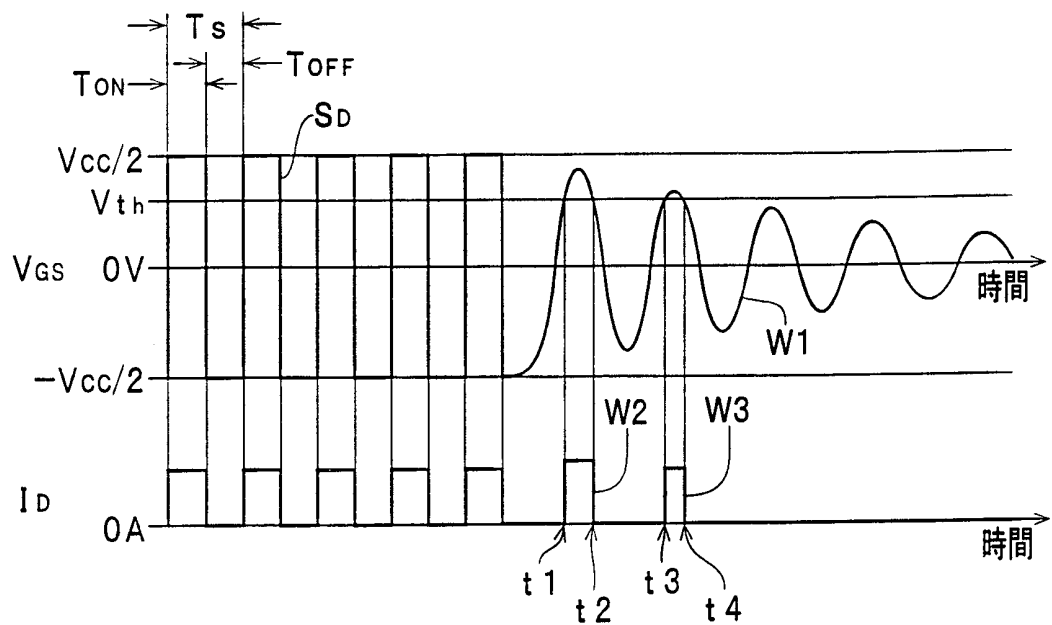


図 3

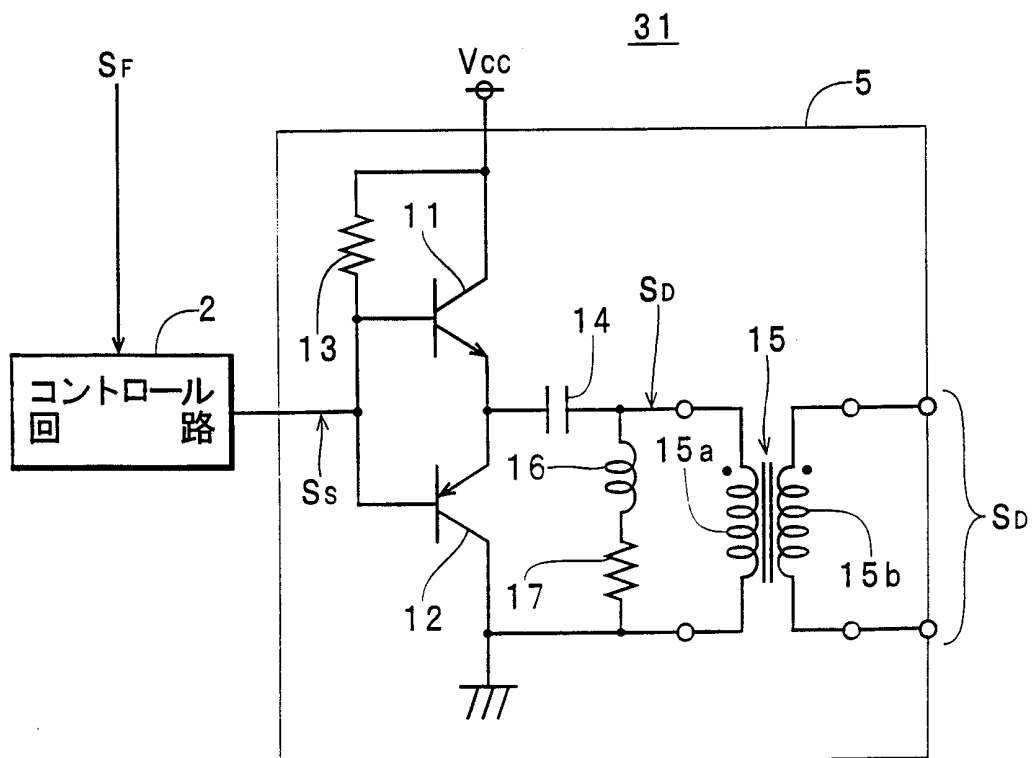


図4

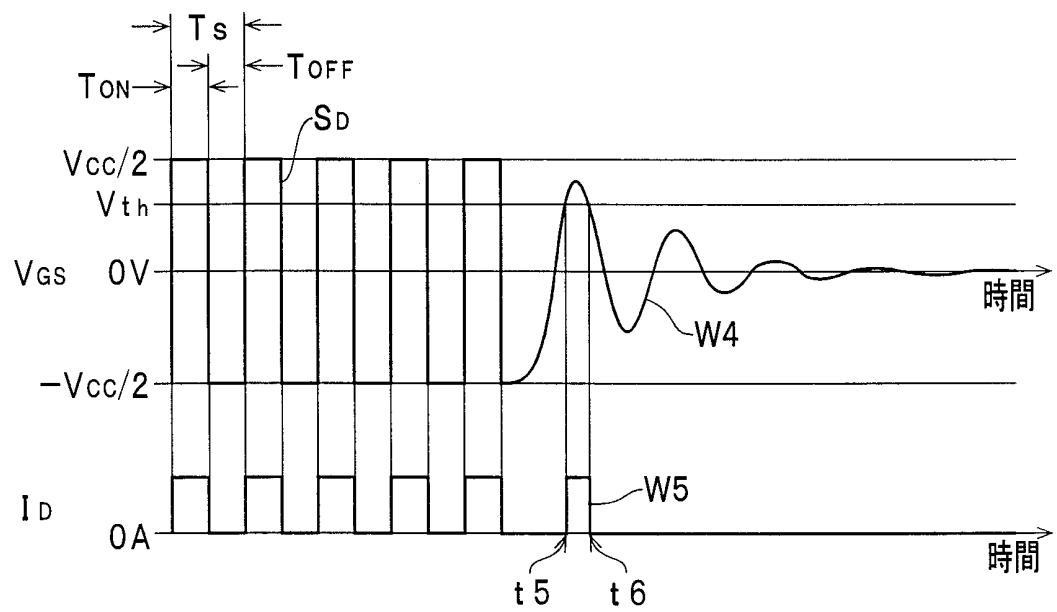


図5

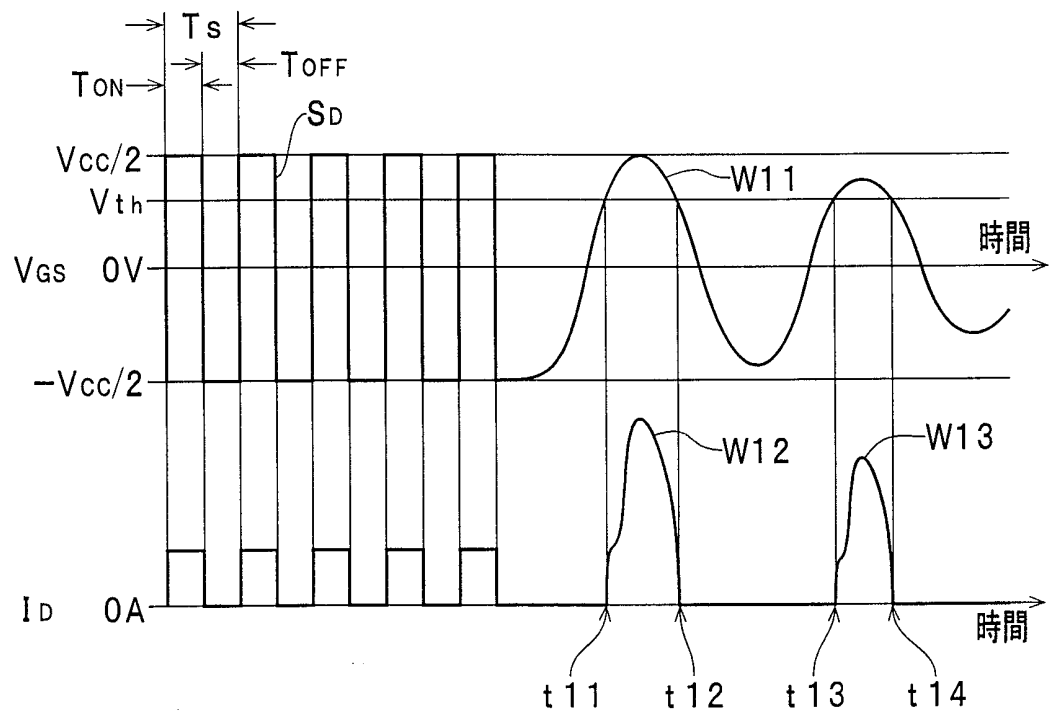
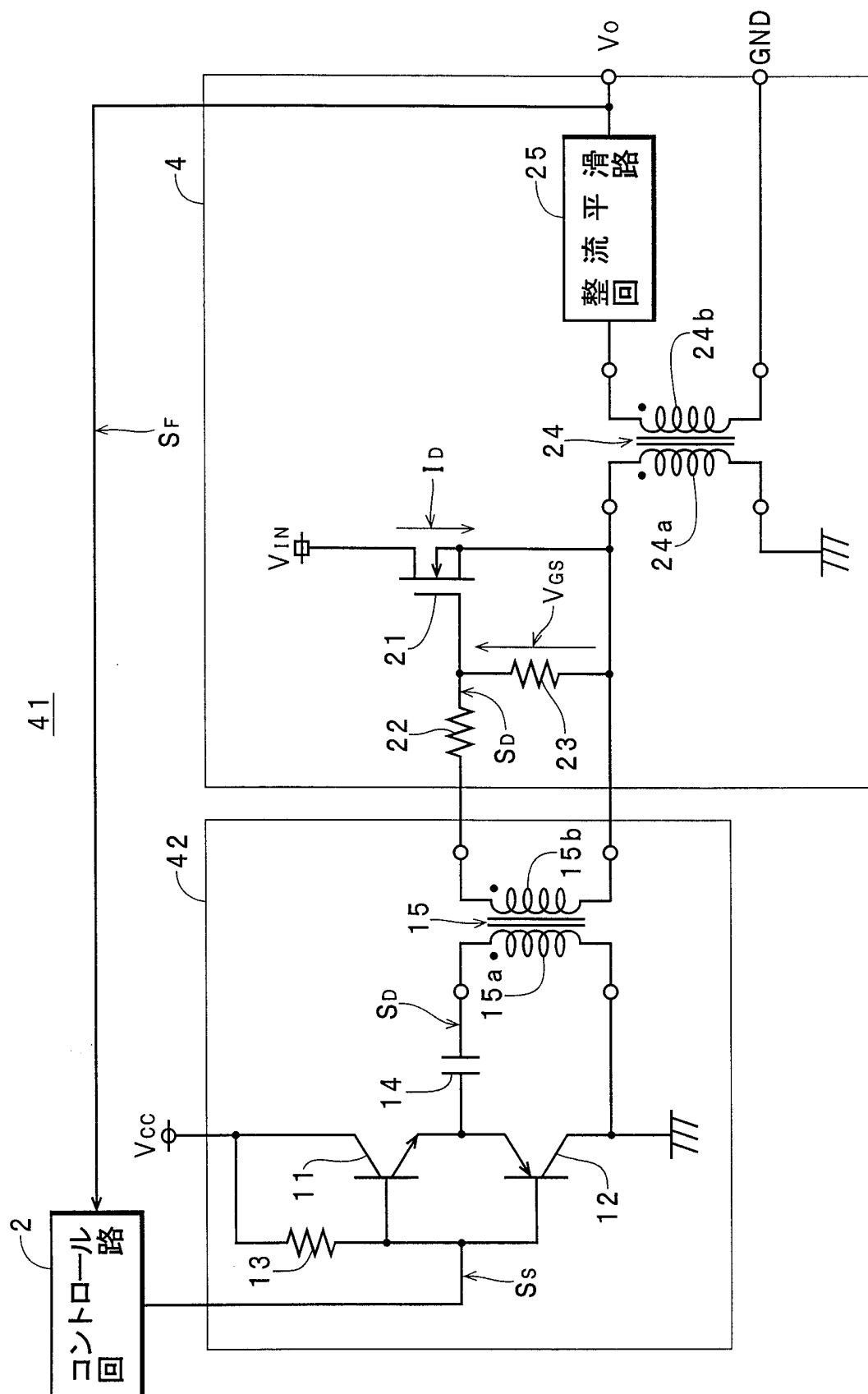


図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04596

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl⁶ H02M3/28, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1995 Jitsuyo Shinan Toroku Koho 1996-1999
Kokai Jitsuyo Shinan Koho 1971-1994 Toroku Jitsuyo Shinan Koho 1994-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-500720, A (United Technologies Corporation), 19 January, 1995 (19.01.95), Claims (Family: none)	1-5
Y	JP, 8-186981, A (Sanken Electric Co., Ltd.), 16 July, 1996 (16.07.96), Claims (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 November, 1999 (18.11.99)	Date of mailing of the international search report 30 November, 1999 (30.11.99)
---	--

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP99/04596

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁶ H02M3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H02M3/28、H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年

日本国公開実用新案公報 1971-1994年

日本国実用新案登録公報 1996-1999年

日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP、7-500720、A (ユナイテッド・テクノロジーズ・コーポレーション)、19. 1月. 1995、(19. 01. 95) 請求の範囲 (ファミリーなし)	1-5
Y	JP、8-186981、A (サンケン電気株式会社)、16. 7月. 1996、(16. 07. 96)、特許請求の範囲 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 11. 99

国際調査報告の発送日

30.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀川一郎

3 V

8 3 2 5

印

電話番号 03-3581-1101 内線 3356