(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0000470
(43) 공개일자 2024년01월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/522 (2006.01) *H01L 21/48* (2006.01)
H01L 23/00 (2006.01) *H01L 23/498* (2006.01)
H10N 97/00 (2023.01)
(52) CPC특허분류
H01L 23/5223 (2013.01)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2023-7034940
(22) 출원일자(국제) 2022년04월08일
심사청구일자 없음
(85) 번역문제출일자 2023년10월12일
(86) 국제출원번호 PCT/US2022/071621
(87) 국제공개번호 WO 2022/226465
국제공개일자 2022년10월27일
(30) 우선권주장
17/237,828 2021년04월22일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
최, 지홍
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
날라파티, 기리다르
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

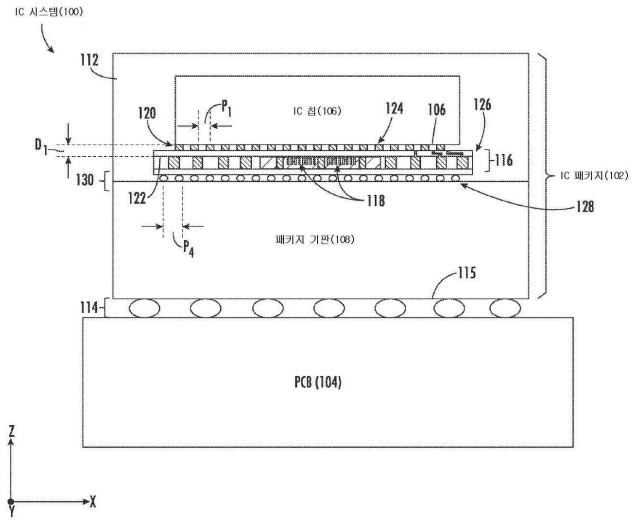
전체 청구항 수 : 총 39 항

(54) 발명의 명칭 **집적 회로(IC) 칩(들)을 패키지 기판에 인터페이싱하기 위한 커패시터 내장형 재배선 층(RDL) 기판을 채용하는 IC 패키지들 및 관련 방법들**

(57) 요 약

커패시터 내장형 재배선 층(RDL) 기판을 채용하는 집적 회로(IC) 패키지들 및 관련 제조 방법들. 내장된 커패시터는 전류-저항(IR) 강하를 감소시키기 위한 디커플링 커패시턴스를 제공하기 위해 전력 분배 네트워크(PDN)에 결합될 수 있다. RDL 기판은 IC 칩(들)과 패키지 기판 사이에 배치되어 내장된 커패시터(들)와 IC 칩(들) 사이의 거리를 최소화하여 PDN에서의 기생 인덕턴스를 감소시키고, 따라서 PDN 노이즈를 감소시킨다. 패키지 기판과 IC 칩(들) 사이에 RDL 기판이 배치된 경우, RDL 기판은 패키지 기판과 IC 칩(들) 사이의 관통-상호 연결부들을 지원해야 한다. 이와 관련하여, RDL 기판은 작은 피치 금속 인터커넥트들을 지원하고 팬아웃 기능(fan-out capability)을 제공하기 위해 IC 칩(들)에 인접한 외부 RDL 층을 포함한다. 이는 고밀도 다이 인터커넥트 IC 칩들로 향상된 연결 호환성을 제공하는 동시에 PDN에서 더 가깝게 위치된 내장된 커패시터를 또한 지원한다.

대 표 도



(52) CPC특허분류
H01L 21/486 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/49822 (2013.01)
H01L 23/49827 (2013.01)
H01L 23/49833 (2013.01)
H01L 24/02 (2022.01)
H01L 28/40 (2013.01)
H01L 2224/02372 (2013.01)
H01L 2224/02379 (2013.01)
(72) 발명자
스톤, 윌리엄
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
쑤, 지안웬
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
김, 종해
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
치담바람, 페리안난
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
시예드, 아메르
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명 세 서

청구범위

청구항 1

집적 회로(IC) 패키지(package)로서,

복수의 패키지 기판 인터커넥트(interconnect)들을 포함하는 패키지 기판;

복수의 다이 인터커넥트(die interconnect)들을 포함하는 IC 칩;

상기 패키지 기판과 상기 IC 칩 사이에 배치된 재배선 층(RDL) 기판 — 상기 RDL 기판은:

상기 복수의 다이 인터커넥트들 중 다이 인터커넥트에 결합된 RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층;

복수의 기판 인터커넥트들을 포함하는 기판 층; 및

상기 RDL 층과 상기 기판 층 사이에 배치된 커패시터(capacitor)를 포함함 —; 및

상기 복수의 다이 인터커넥트들 중 다이 인터커넥트 및 상기 커패시터에 전기적으로 결합된 적어도 하나의 수직 인터커넥트 액세스(vertical interconnect access)(비아(via))를 포함하는, IC 패키지.

청구항 2

제1 항에 있어서,

상기 기판 층은 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 포함하는, IC 패키지.

청구항 3

제2 항에 있어서,

상기 복수의 다이 인터커넥트들 중 다이 인터커넥트 및 상기 기판 층 내의 상기 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 결합된 적어도 하나의 제2 비아를 추가로 포함하는, IC 패키지.

청구항 4

제1 항에 있어서,

상기 커패시터와 상기 RDL 층 사이에 배치된 패시베이션 층(passivation layer)을 추가로 포함하는, IC 패키지.

청구항 5

제1 항에 있어서,

상기 적어도 하나의 비아는, 상기 RDL 기판을 통해 배치되고 상기 복수의 재배선 금속 라인들 중 상기 다이 인터커넥트에 결합된 재배선 금속 라인에 전기적으로 결합되는 적어도 하나의 실리콘-관통-비아(through-silicon-via)(TSV)를 포함하는, IC 패키지.

청구항 6

제5 항에 있어서,

상기 적어도 하나의 TSV의 높이 대 폭의 종횡비는 적어도 2.0 인, IC 패키지.

청구항 7

제1 항에 있어서,

상기 RDL 기판을 통해 배치되고 상기 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 상기 기판 층

내의 상기 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, IC 패키지.

청구항 8

제7 항에 있어서,

상기 복수의 제2 비아들의 높이 대 폭의 종횡비는 적어도 1.0 인, IC 패키지.

청구항 9

제1 항에 있어서,

상기 RDL 층과 상기 기판 층 사이에 배치된 유전체 재료를 포함하는 유전체 층; 및

상기 유전체 층에 내장된(embedded) 커패시터 패키지(capacitor package) - 상기 커패시터 패키지는 상기 커패시터를 포함함 - 를 추가로 포함하는, IC 패키지.

청구항 10

제9 항에 있어서,

상기 적어도 하나의 비아는, 상기 커패시터 패키지를 통해 배치되고 상기 복수의 재배선 금속 라인들 중 상기 다이 인터커넥트에 결합되는 재배선 금속 라인에 전기적으로 결합되는 적어도 하나의 실리콘-관통-비아(TSV)를 포함하는, IC 패키지.

청구항 11

제9 항에 있어서,

상기 RDL 기판을 통해 배치되고 상기 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 상기 기판 층 내의 상기 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하고;

상기 복수의 제2 비아들은 상기 커패시터 패키지 외부에 상기 RDL 기판의 상기 유전체 층을 통해 배치되는, IC 패키지.

청구항 12

제1 항에 있어서,

상기 복수의 재배선 금속 라인들 중 적어도 하나의 재배선 금속 라인은 자신의 개개의 RDL 인터커넥트의 수직 경로 외부로 팬-아웃되는(fanned-out), IC 패키지.

청구항 13

제1 항에 있어서,

상기 복수의 다이 인터커넥트들은 제1 피치(pitch)를 갖고;

상기 기판 층 내의 상기 복수의 기판 인터커넥트들은 상기 제1 피치보다 더 큰 제2 피치를 갖고; 그리고

상기 복수의 패키지 기판 인터커넥트들은 상기 제2 피치를 갖는, IC 패키지.

청구항 14

제13 항에 있어서,

상기 RDL 기판을 통해 배치되고 상기 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 상기 기판 층 내의 상기 복수의 기판 인터커넥트들 중 상기 복수의 패키지 기판 인터커넥트들 중 패키지 기판 인터커넥트에 결합된 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, IC 패키지.

청구항 15

제1 항에 있어서,

상기 패키지 기판은 제1 외부 표면을 추가로 포함하고, 상기 복수의 패키지 기판 인터커넥트들은 상기 제1 외부 표면을 통해 배치되고;

상기 IC 칩은 활성 표면을 추가로 포함하고, 상기 복수의 다이 인터커넥트들은 상기 활성 표면을 통해 배치되고; 그리고

상기 제1 외부 표면과 상기 활성 표면 사이의 거리는 적어도 2 마이크로미터(㎛)인, IC 패키지.

청구항 16

제1 항에 있어서,

상기 IC 패키지는 셋톱 박스(set top box); 엔터테인먼트 유닛(entertainment unit); 내비게이션 디바이스(navigation device); 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system)(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(session initiation protocol)(SIP) 폰; 태블릿; 패블릿(phablet); 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; PDA(personal digital assistant); 모니터; 컴퓨터 모니터; 텔레비전; 튜너(tuner); 라디오; 위성 라디오; 음악 플레이어; 디지털 음악 플레이어; 휴대용 음악 플레이어, 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 부품; 항공 전자 시스템들(avionics systems); 드론(drone); 및 멀티콥터(multicopter)로 구성된 그룹으로부터 선택된 디바이스 내로 통합되는, IC 패키지.

청구항 17

IC 패키지를 제조하는 방법으로서,

복수의 패키지 기판 인터커넥트들을 포함하는 패키지 기판을 형성하는 단계;

상기 패키지 기판 상에 재배선 층(RDL) 기판을 형성하는 단계 - 상기 RDL 기판을 형성하는 단계는:

RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층을 형성하는 단계;

복수의 기판 인터커넥트들을 포함하는 기판 층을 형성하는 단계; 및

상기 RDL 층과 상기 기판 층 사이에 커패시터를 배치하는 단계를 포함함 -;

상기 커패시터에 전기적으로 결합되고 IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트에 전기적으로 결합되도록 구성되는 적어도 하나의 수직 인터커넥트 액세스(비아)를 형성하는 단계; 및

상기 IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트를 상기 복수의 재배선 금속 라인들 중 적어도 하나의 RDL 인터커넥트에 결합하는 단계를 포함하는, IC 패키지를 제조하는 방법.

청구항 18

제17 항에 있어서,

상기 기판 층을 형성하는 단계는 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 형성하는 단계를 포함하고;

상기 방법은:

상기 복수의 패키지 기판 인터커넥트들 중 적어도 하나의 패키지 기판 인터커넥트를 복수의 제2 RDL 인터커넥트들 중 적어도 하나의 제2 RDL 인터커넥트에 결합시키는 단계를 추가로 포함하고; 그리고

상기 RDL 층과 상기 기판 층 사이에 상기 커패시터를 배치하는 단계는 상기 RDL 층과 상기 제2 RDL 층 사이에 상기 커패시터를 배치하는 단계를 포함하는, IC 패키지를 제조하는 방법.

청구항 19

제17 항에 있어서,

상기 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트 및 상기 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 전기적으로 결합된 적어도 하나의 제2 비아를 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 20

제19 항에 있어서,

상기 적어도 하나의 제2 비아를 형성하는 단계는 상기 커패시터의 수직 경로 외부에 상기 적어도 하나의 제2 비아를 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 21

제17 항에 있어서,

상기 기판 층을 형성하는 단계는, 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 상기 패키지 기판 상에 형성하여, 상기 복수의 제2 재배선 금속 라인들 중 제2 RDL 인터커넥트를 상기 제2 RDL 인터커넥트들 중 적어도 하나의 제2 RDL 인터커넥트에 전기적으로 결합시키는 단계를 포함하는, IC 패키지를 제조하는 방법.

청구항 22

제21 항에 있어서,

상기 제2 RDL 층에 인접한 상기 커패시터의 제2 측면 반대편의 상기 커패시터의 제1 측면 위에 패시베이션 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 23

제19 항에 있어서,

상기 적어도 하나의 비아, 상기 적어도 하나의 제2 비아, 및 상기 커패시터 위에 유전체 재료를 포함하는 유전체 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 24

제23 항에 있어서,

상기 유전체 층의 표면을 연삭하여 상기 유전체 층으로부터 상기 적어도 하나의 비아 각각의 상부 표면을 노출시키는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 25

제24 항에 있어서,

상기 복수의 재배선 금속 라인들 중 적어도 하나의 RDL 인터커넥트에 상기 적어도 하나의 비아를 전기적으로 결합시키기 위해 상기 제2 RDL 층 반대편의 상기 유전체 층의 제1 측면 상에서 상기 유전체 층 위에 상기 RDL 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 26

제17 항에 있어서,

캐리어를 제공하는 단계; 및

상기 캐리어 상에 복수의 제2 비아들을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

청구항 27

재배선 층(RDL) 기판으로서,

RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층;

복수의 기판 인터커넥트들을 포함하는 기판 층;

상기 RDL 층과 상기 기판 층 사이에 배치된 유전체 재료를 포함하는 유전체 층;

상기 유전체 층에 내장된 커패시터 패키지 – 상기 커패시터 패키지는 커패시터를 포함함 –; 및

상기 커패시터 패키지를 통해 배치되고 복수의 RDL 인터커넥트들 중 RDL 인터커넥트에 전기적으로 결합되는 복수의 실리콘-관통-수직 인터커넥트 액세스(비아)(TSV)들을 포함하는, RDL 기판.

청구항 28

제27 항에 있어서,

상기 커패시터 패키지는 상기 커패시터에 결합된 적어도 하나의 금속 라인을 포함하는 금속 층을 추가로 포함하고; 그리고

상기 복수의 TSV들 중 적어도 하나의 TSV는 상기 커패시터에 결합된 상기 적어도 하나의 금속 라인에 결합되는, RDL 기판.

청구항 29

제27 항에 있어서,

상기 복수의 TSV들 중 적어도 하나의 TSV는 상기 기판 층 내의 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 결합되는, RDL 기판.

청구항 30

제27 항에 있어서,

상기 기판 층은 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 포함하는, RDL 기판.

청구항 31

제27 항에 있어서,

상기 RDL 층은 외부 표면을 포함하고, 상기 복수의 재배선 금속 라인들의 RDL 인터커넥트들은 상기 외부 표면을 통해 배치되는, RDL 기판.

청구항 32

제27 항에 있어서,

상기 커패시터 패키지와 상기 RDL 층 사이에 배치된 패시베이션 층을 추가로 포함하는, RDL 기판.

청구항 33

제32 항에 있어서,

상기 복수의 TSV들은 상기 패시베이션 층을 통해 연장되는, RDL 기판.

청구항 34

제27 항에 있어서,

상기 복수의 TSV들의 높이 대 폭의 종횡비는 적어도 2 마이크로미터(㎛)인, RDL 기판.

청구항 35

제27 항에 있어서,

상기 유전체 층을 통해 배치되고 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 상기 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 비아들을 추가로 포함하는, RDL 기판.

청구항 36

제27 항에 있어서,

상기 RDL 기판의 유전체 층을 통해 배치되고 상기 RDL 층의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 상기 기판 층 내의 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, RDL 기판.

청구항 37

제36 항에 있어서,

상기 복수의 제2 비아들의 높이 대 폭의 종횡비는 적어도 1.0 인, RDL 기판.

청구항 38

제36 항에 있어서,

상기 복수의 제2 비아들은 상기 커패시터 패키지 외부에 상기 RDL 기판의 유전체 층을 통해 배치되는, RDL 기판.

청구항 39

제27 항에 있어서,

상기 커패시터 패키지는 상기 유전체 재료를 포함하는 유전체 층을 포함하고, 상기 커패시터는 상기 유전체 층에 내장되는, RDL 기판.

발명의 설명

기 술 분 야

[0001] [0001] 본 출원은 2021년 4월 22일에 "INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING A CAPACITOR-EMBEDDED, REDISTRIBUTION LAYER (RDL) SUBSTRATE FOR INTERFACING AN IC CHIP(S) TO A PACKAGE SUBSTRATE, AND RELATED METHODS"라는 명칭으로 출원된 미국 특허 출원 일련 번호 제17/237,828호에 대한 우선권을 주장하며, 그 미국 특허 출원은 그 전체가 인용에 의해 본원에 포함된다.

[0002] [0002] 본 개시 내용의 분야는 집적 회로(integrated circuit)(IC) 패키지(package)들에 관한 것이며, 보다 상세하게는, 전류-저항(IR) 강하 및 전압 강하를 감소시키기 위해 IC 패키지의 전력 분배 네트워크(power distribution network)(PDN)에 디커플링 커패시턴스(decoupling capacitance)를 제공하는 것에 관한 것이다.

배 경 기 술

[0003] [0003] 집적 회로(IC)들은 전자 디바이스들의 초석이다. IC들은 전형적으로 "반도체 패키지" 또는 "칩 패키지"라고도 불리는 IC 패키지 내에 패키징된다. IC 패키지는 패키지 기판과 IC 칩들에 전기적 연결을 제공하기 위해 패키지 기판에 장착된 하나 이상의 IC 칩들 또는 기타 전자 모듈들을 포함한다. 예를 들어, IC 패키지 내의 IC 칩은 시스템-온-어 칩(system-on-a chip)(SoC)일 수 있다. IC 칩들은 패키지 기판의 금속 라인들에 대한 전기적 결합을 통해 다른 IC 칩들 및/또는 IC 패키지의 다른 구성 요소들에 전기적으로 결합된다. IC 칩들은 또한 IC 패키지의 외부 금속 인터커넥트들(예컨대, 솔더 범프(solder bump)들)의 전기적인 연결들을 통해 IC 패키지 외부의 다른 회로들에 전기적으로 결합될 수 있다.

[0004] [0004] IC 패키지들의 고성능 컴퓨팅 칩들은 IC 칩의 회로들 및 기타 구성 요소들에 전력을 효율적으로 분배하기 위한 효과적인 전력 분배 네트워크들(PDN)을 필요로 한다. 예를 들어, IC 패키지는 IC 패키지 내의 다른 IC 칩들에 전압을 분배하도록 구성된 전압 조정기 회로를 포함하는 별도의 전력 관리 칩(PMC: power management chip)을 포함할 수 있다. PDN 내의 직렬 저항과 인덕턴스(inductance)로 인해 PMC와 전원이 공급되는(powered) IC 칩 사이의 전류-저항(IR) 강하로 인해 PDN에서 노이즈가 발생할 수 있다. 전원이 공급되는 IC 칩에서 PDN으로 유입되는 전류의 변화는 PDN에 노이즈를 유발할 수 있다. PDN에서의 노이즈의 크기가 특정 임계값을 초과하면, IC 칩들과 이의 회로들에 전달되는 전압들을 허용 가능한 값들 아래로 변경시키고, 이는 회로들의 오작동을 일으킬 수 있다. PDN이 허용 범위 내에서 IC 칩들에 전압을 공급하더라도, PDN 노이즈는 여전히

다른 문제들을 일으킬 수 있다. 이는 신호 라인들에 혼선(crosstalk)을 일으키거나 혼선으로서 나타날 수 있다. 또한, PDN 인터커넥트들은 전형적으로 더 높은 전류들을 전달하므로, 고주파 PDN 노이즈는 전자기 방사 간섭을 생성하여, 가능하게는 다른 오류들을 일으킬 잠재력을 갖는다.

[0005] [0005] 따라서, PDN에서 노이즈를 제어하는 것이 중요하다. 이와 관련하여, 디커플링 커패시터(decoupling capacitor)들이, PDN에서 PDN 노이즈를 션트(shunt)하여 PDN에 의해 전원이 공급되는 IC 칩들에 미치는 이의 영향을 감소시키기 위해 채용된다. 디커플링 커패시터는 패키지 기판에 장착되거나 IC 패키지의 패키지 기판 내에 내장되어(embedded) 전원과 IC 칩들 사이에 디커플링 커패시턴스를 제공할 수 있다. 그러나, 디커플링 커패시터와 IC 칩들 사이의 전기 경로 연결은 원하지 않는 방식으로 IR 강하 및 PDN 노이즈에 기여할 수 있는 기생 인덕턴스(parasitic inductance)를 갖는다.

발명의 내용

[0006] [0006] 본 명세서에 개시된 양상들은 IC 칩(들)을 패키지 기판에 인터페이싱하기 위해 내장된-커패시터, 재배선 층(RDL: redistribution layer) 기판을 채용하는 집적 회로(IC) 패키지들을 포함한다. RDL 기판은 금속 인터커넥트들의 팬아웃(fan-out)을 지원하는 하나 이상의 금속 재배선 라인들을 포함하는 RDL 층을 포함하는 기판이다. 내장된 커패시터(들)는 예로서 전류 저항(IR) 강하를 감소시키기 위해 IC 패키지의 전력 분배 네트워크(PDN)를 위한 디커플링 커패시턴스를 제공할 수 있다. 관련 제조 방법들도 또한 개시된다. IC 패키지는 패키지 기판과, 패키지 기판에 전기적으로 결합된 하나 이상의 IC 칩들을 포함한다. 패키지 기판은 IC 칩(들)과의 전기 신호 라우팅(routing)을 제공하기 위해 금속 트레이스(trace)들 또는 라인들이 내장된 하나 이상의 기판 층들을 포함한다. 패키지 기판은 작동을 위한 IC 칩(들)에 분배하기 위해 주어진 전압에서 전력 신호들을 전달하는 PDN을 지지한다. 예시적인 양상들에서, 내장된 커패시터를 지지하는 RDL 기판은 내장된 커패시터(들)와 IC 칩(들) 사이의 거리를 최소화하기 위해 IC 칩(들)과 패키지 기판 사이에 배치된다. 이는 내장된 커패시터(들)와 IC 칩(들) 사이의 전력 분배 라인들에서 기생 인덕턴스를 감소시켜서 PDN의 IR 강하를 감소시킬 수 있고, 이는 결국 PDN 노이즈를 감소시킨다. 그러나, 패키지 기판과 IC 칩(들) 사이에 배치된 RDL 기판의 경우, RDL 기판은 패키지 기판과 IC 칩(들) 사이의 전기적 인터페이스를 위한 관통 상호 연결부(through-interconnections)들을 지원할 필요가 있다. IC 칩(들)은 패키지 기판에 전기적으로 결합될 필요가 있는 고밀도의 다이 인터커넥트들을 가질 수 있다. 이와 관련하여, RDL 기판은 IC 칩(들)에 인접하게 제1 외부 RDL 층을 포함하도록 제공된다. RDL 공정으로 형성되는 제1 외부 RDL 층은 제1 외부 RDL 층이 팬아웃 기능을 제공할 뿐만 아니라 작은 피치의 금속 인터커넥트들을 지지하는 것을 허용한다. 이는 RDL 기판이 고밀도 다이 인터커넥트 IC 칩들과의 향상된 연결 호환성을 제공하는 것을 허용하는 동시에 IC 칩에 밀접하게 위치된 내장된 커패시터를 지원하여 IR 강하를 최소화한다.

[0007] [0007] 예시적인 양상에서, RDL 기판은 또한 패키지 기판에 인접한 제2 외부 RDL 층을 포함할 수 있다. 제2 외부 RDL 층의 금속 인터커넥트들은 IC 패키지에 호환 가능한 패키지 기판을 제공하는 데 있어 더 큰 유연성을 위해 제1 외부 RDL 층의 금속 인터커넥트들과 서로 다른 피치로 형성될 수 있다. 예를 들어, IC 칩의 다이 인터커넥트 피치는 패키지 기판의 금속 인터커넥트 피치보다 훨씬 더 촘촘할(즉, 더 작을) 수 있다. 이와 관련하여, RDL 층은 향상된 호환성과 패키지 제조 공정들의 용이성을 위해 서로 다른 피치들의 금속 인터커넥트들을 갖는 패키지 기판과 IC 칩 사이의 전기적 결합을 용이하게 할 수 있다. 이는 또한 예들로서 감소된 비용 및/또는 제조 용이성을 위해 IC 칩(들)과 패키지 기판 사이의 피치 호환성을 달성하기 위해 IC 패키지에 채용되는 패키지 기판들의 선택에 더 큰 유연성을 제공할 수 있다.

[0008] [0008] 다른 예시적인 양상에서, 내장된 커패시터는 RDL 기판에 내장된 커패시터 패키지에 포함될 수 있다. 다른 예시적인 양상에서, 내장된 커패시터의 수직 경로에서 IC 칩(들)과 패키지 기판 사이의 수직 상호 연결 경로 교란을 최소화하기 위해, 실리카-관통-수직 인터커넥트 액세스(through-silica-vertical interconnect access)(비아)(TSV)들이 채용될 수 있다. TSV들은 IC 칩(들)과 패키지 기판 사이 및/또는 내장된 커패시터(들)까지의 전기적 관통-연결들을 제공하기 위해 내장된 커패시터 패키지의 패키징 유전체(packaging dielectric)를 통해 배치된다. 이러한 방식으로, RDL 기판은 내장된 커패시터 패키지의 영역 외부에서만 IC 칩(들)과 패키지 기판 사이의 수직 인터커넥트들을 지원하는 것으로 제한되지 않는다. 다른 예시적인 양상에서, IC 패키지는 또한 내장된 커패시터 패키지 외부의 RDL 기판을 통해 연장되는, 몰드-관통-비아(through-mold-via)(TMV)들와 같은, 관통-인터커넥트들을 포함한다. 이러한 다른 관통-인터커넥트들은 IC 칩(들)과 패키지 기판 사이에 패스-스루 전기 연결들(예컨대, 입력/출력(I/O) 연결들)을 제공한다. RDL 기판은 또한 패키지 기판과 IC 칩(들) 사이에 배치된 RDL 기판으로 인해 그들 사이의 증가된 거리로 인해 필요할 수 있는 더 큰 직경 및

/또는 더 높은 종횡비의 관통-인터커넥트들을 더 쉽게 가능하게 할 수 있다.

[0009] [0009] 이와 관련하여, 하나의 예시적인 양상에서, 집적 회로(IC) 패키지가 제공된다. IC 패키지는 복수의 패키지 기판 인터커넥트들을 포함하는 패키지 기판을 포함한다. IC 패키지는 또한 복수의 다이 인터커넥트들을 포함하는 IC 칩을 포함한다. IC 패키지는 또한 패키지 기판과 IC 칩 사이에 배치된 RDL 기판을 포함한다. RDL 기판은 복수의 다이 인터커넥트들 중 다이 인터커넥트에 결합된 RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층을 포함한다. RDL 기판은 또한 복수의 기판 인터커넥트들을 포함하는 기판 층을 포함한다. RDL 기판은 또한 RDL 층과 기판 층 사이에 배치된 커패시터를 포함한다. IC 패키지는 또한 복수의 다이 인터커넥트들 중 다이 인터커넥트와 커패시터에 전기적으로 결합된 적어도 하나의 비아를 포함한다.

[0010] [0010] 다른 예시적인 양상에서, IC 패키지를 제조하는 방법이 제공된다. 방법은 복수의 패키지 기판 인터커넥트들을 포함하는 패키지 기판을 형성하는 단계를 포함한다. 방법은 또한 패키지 기판 상에 RDL 기판을 형성하는 단계, RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층을 형성하는 단계, 복수의 기판 인터커넥트들을 포함하는 기판 층을 형성하는 단계, 및 RDL 층과 기판 층 사이에 커패시터를 배치하는 단계를 포함한다. 방법은 또한 커패시터에 전기적으로 결합되고 IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트에 전기적으로 결합되도록 구성되는 적어도 하나의 비아를 형성하는 단계를 포함한다. 방법은 또한 IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트를 복수의 재배선 금속 라인들 중 적어도 하나의 RDL 인터커넥트에 결합하는 단계를 포함한다.

[0011] [0011] 다른 예시적인 양상에서, RDL 기판이 제공된다. RDL 기판은 RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층을 포함한다. RDL 기판은 또한 복수의 기판 인터커넥트들을 포함하는 기판 층을 포함한다. RDL 기판은 또한 RDL 층과 기판 층 사이에 배치된 유전체 재료를 포함하는 유전체 층을 포함한다. RDL 기판은 또한 유전체 층에 내장된 커패시터 패키지를 포함하며, 커패시터 패키지는 커패시터를 포함한다. RDL 기판은 또한 커패시터 패키지를 통해 배치되고 복수의 RDL 인터커넥트들 중 RDL 인터커넥트에 전기적으로 결합된 복수의 TSV들을 포함한다.

도면의 간단한 설명

[0012] [0012] 도 1은 인쇄 회로 기판(PCB)에 장착된 IC 패키지를 포함하는 예시적인 집적 회로(IC) 시스템의 측면도이며, 여기서 IC 패키지는 IC 패키지의 전력 분배 네트워크(PDN)를 위한 디커플링 커패시턴스를 제공할 수 있는, IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 재배선 층(RDL) 기판을 포함한다.

[0013] [0013] 도 2는 도 1의 IC 패키지에 채용될 수 있는 예시적인 RDL 기판의 측면도로서, RDL 기판은 커패시터들을 포함하는 내장된 커패시터 패키지를 포함한다.

[0014] [0014] 도 3은 도 2의 또 다른 예시적인 커패시터 내장형 RDL 기판의 또 다른 측면도이다.

[0015] [0015] 도 4는 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정을 예시하는 흐름도이다.

[0016] [0016] 도 5a 내지 도 5g는 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 또 다른 예시적인 공정의 예시적인 제조 스테이지(stage)들을 예시하며, 여기서 RDL 기판의 RDL 층은 커패시터 패키지가 RDL 기판에 내장되기 전에 형성된다.

[0017] [0017] 도 6a 내지 도 6d는 도 5a 내지 도 5g의 예시적인 제조 스테이지들에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정을 예시하는 흐름도이다.

[0018] [0018] 도 7a 내지 도 7c는 도 1 내지 도 3 및 도 5g의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 패키지의 RDL 기판에 내장될 수 있는 내장된 커패시터 패키지를 제조하는 예시적인 공정의 예시적인 제조 스테이지들을 예시한다.

[0019] [0019] 도 8은 도 7a 내지 도 7c의 예시적인 제조 스테이지들에 따라 내장된 커패시터 패키지를 제조하는 예시적인 공정을 예시하는 흐름도이다.

[0020] [0020] 도 9a 내지 도 9h는 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지

않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 또 다른 예시적인 공정의 또 다른 예시적인 제조 스테이지들을 예시하며, 여기서 RDL 기판의 RDL 층은 커패시터 패키지가 RDL 기판에 내장되기 전에 형성된다.

[0021] 도 10a 내지 도 10d는 도 9a 내지 도 9h의 예시적인 제조 스테이지들에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정을 예시하는 흐름도이다.

[0022] 도 11a 내지 도 11l은 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 또 다른 예시적인 공정의 예시적인 제조 스테이지들을 예시하고, 여기서 RDL 기판의 RDL 층은 내장된 커패시터 패키지가 RDL 기판에 내장된 후에 형성된다.

[0023] 도 12a 내지 도 12f는 도 11a 내지 도 11l의 예시적인 제조 스테이지들에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정을 예시하는 흐름도이다.

[0024] 도 13은 도 1 내지 도 3, 도 5g, 도 9h 및 도 11l의 IC 패키지들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 하나 이상의 IC 패키지들로부터 형성된 전기적 구성 요소를 포함하는 예시적인 무선 통신 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0013] [0025] 이제 도면들을 참조하여, 본 개시 내용의 몇몇 예시적인 양상들이 설명된다. 본 명세서에서 "예시적인"이라는 단어는 "예, 사례 또는 예시로 제공되는"이라는 의미로 사용된다. 본 명세서에서 "예시적인"이라고 설명된 임의의 양상은 반드시 다른 양상들에 비해 바람직하거나 유리한 것으로 해석되어서는 안 된다.

[0014] [0026] 본 명세서에 개시된 양상들은 IC 칩(들)을 패키지 기판에 인터페이싱(interfacing)하기 위해 내장된-커패시터의, 재배선 층(RDL) 기판을 채용하는 집적 회로(IC) 패키지들을 포함한다. RDL 기판은 금속 인터커넥트들의 팬아웃을 지원하는 하나 이상의 금속 재배선 라인들을 포함하는 RDL 층을 포함하는 기판이다. 내장된 커패시터(들)는 예로서 전류-저항(IR) 강하를 감소시키기 위해 IC 패키지의 전력 분배 네트워크(PDN)를 위한 디커플링 커패시턴스를 제공할 수 있다. 관련 제조 방법들도 또한 개시된다. IC 패키지는 패키지 기판과, 패키지 기판에 전기적으로 결합된 하나 이상의 IC 칩들을 포함한다. 패키지 기판은 IC 칩(들)과의 전기 신호 라우팅을 제공하기 위해 금속 트레이스들 또는 라인들이 그 내에 내장된 하나 이상의 기판 층들을 포함한다. 패키지 기판은 작동을 위한 IC 칩(들)에 분배하기 위해 주어진 전압에서 전력 신호들을 전달하는 전력 분배 네트워크(PDN)를 지원한다. 예시적인 양상들에서, 내장된 커패시터를 지지하는 RDL 기판은 내장된 커패시터(들)와 IC 칩(들) 사이의 거리를 최소화하기 위해 IC 칩(들)과 패키지 기판 사이에 배치된다. 이는 내장된 커패시터(들)와 IC 칩(들) 사이의 전력 분배 라인들에서 기생 인덕턴스를 감소시켜서 PDN에서의 IR 강하를 감소시킬 수 있고, 이는 결국 PDN 노이즈를 감소시킨다. 그러나, 패키지 기판과 IC 칩(들) 사이에 배치된 RDL 기판의 경우, RDL 기판은 패키지 기판과 IC 칩(들) 사이의 전기적 인터페이스를 위한 관통-상호 연결부들을 지원할 필요가 있다. IC 칩(들)은 패키지 기판에 전기적으로 결합될 필요가 있는 고밀도의 다이 인터커넥트들을 가질 수 있다. 이와 관련하여, RDL 기판은 IC 칩(들)에 인접한 외부 RDL 층을 포함하도록 제공된다. RDL 공정으로부터 형성되는 외부 RDL 층은 외부 RDL 층이 작은 피치의 금속 인터커넥트들을 지원하고 팬아웃 기능을 제공하는 것을 허용할 수 있다. 이는 RDL 기판이 고밀도 다이 인터커넥트 IC 칩들과의 향상된 연결 호환성을 제공하는 것을 허용하는동시에 IC 칩에 밀접하게 위치된 내장된 커패시터를 지원하여 IR 강하를 최소화한다.

[0015] [0027] 이와 관련하여, 도 1은 인쇄 회로 기판(PCB)(104)에 장착된 IC 패키지(102)를 포함하는 예시적인 IC 시스템(100)의 측면도이다. IC 패키지(102)는 패키지 기판(108)에 의해 지지되는 IC 칩(106)을 포함한다. IC 칩(106) 및 패키지 기판(108)은 이 예에서 오버몰딩(over-molding) 재료(112)에 의해 캡슐화된다. IC 칩(106)은 비제한적인 예로서 무선 주파수(RF) 트랜시버(transceiver) 또는 컴퓨터 기반 시스템 온 어 칩(SoC)과 같은 특정 유형의 애플리케이션을 위한 회로를 포함할 수 있다. 패키지 기판(108)은 IC 패키지(102)의 IC 칩(106)을 지지하고, IC 칩(106)과, IC 패키지(102) 외부의 다른 회로 사이의 시그널링을 지원하기 위해 IC 칩(106)과 PCB(104) 사이에 전기 결합 경로들을 제공하는 금속 라인들의 하나 이상의 금속 층들을 포함한다. 패키지 기판(108)은 일 예로서 함께 적층되는 금속 트레이스들이 그 내에 형성된 유기 재료 적층체들의 층들로부터 형성될

수 있다. 패키지 기판(108)은 또한 다른 예로서 전기 연결부들의 팬아웃(fan-out)을 지원하기 위해 RDL 층을 포함할 수 있다. IC 칩(106)은, 패키지 기판(108)의 하부 표면(115) 상에 형성되고 IC 칩(106)에 전기적으로 결합된 그 내의 금속 라인들에 전기적으로 결합되는 "인터커넥트 범프(interconnect bump)들"이라고도 지칭되는 외부 패키지 인터커넥트들(114)을 통해 다른 외부 회로들에 전기적으로 결합된다.

[0016] [0028] 아래에서 더 자세히 논의되는 바와 같이, IC 패키지(102)는 IC 칩(106)과 패키지 기판(108) 사이에 배치되는 커패시터 내장형 RDL 기판(116)(또한 "RDL 기판"으로 지칭됨)을 포함한다. 아래에서 논의되는 바와 같이, RDL 기판(116)은 금속 인터커넥트들의 팬아웃을 지원하는 하나 이상의 금속 재배선 라인들을 포함하는 RDL 층을 포함하는 기판이다. RDL 기판(116)은 하나 이상의 커패시터들(118)을 포함한다. 커패시터(들)(118)는 예로서 IR 강하를 감소시키기 위해 IC 패키지(102)의 PDN을 위한 디커플링 커패시턴스를 제공할 수 있다. 예를 들어, IC 칩(106)의 접지 전력 도전체는 이의 다이 인터커넥트들(120) 중 하나를 통해 RDL 기판(116)을 통해 커패시터(들)(118)에 결합되어 전력 신호(예컨대, 전압 신호)에 대한 디커플링 커패시턴스를 그라운드(ground)에 제공할 수 있다. RDL 기판(116)은 내장된 커패시터(들)(118)와 IC 칩(106) 사이의 거리(D_1)를 최소화하기 위해 IC 칩(106)과 패키지 기판(108) 사이에 배치되도록 내장된 커패시터(들)(118)를 지지한다. 거리(D_1)는 패키지 기판(108)의 외부 표면(122)과 IC 칩(106)의 활성 표면(124) 사이의 거리로서 도 1에 도시되어 있다. 예를 들어, 거리(D_1)는 적어도 2 마이크로미터(㎛)일 수 있다. 이는 내장된 커패시터(들)(118)와 IC 칩(106) 사이의 PDN의 전력 분배 라인들에서 기생 인덕턴스를 감소시켜서 PDN에서의 IR 강하를 감소시킬 수 있고, 이는 결국 PDN 노이즈를 감소시킨다.

[0017] [0029] 그러나, 패키지 기판(108)과 IC 칩(106) 사이에 RDL 기판(116)이 배치되는 경우, RDL 기판(116)은 패키지 기판(108)과 IC 칩(106) 사이의 전기 인터페이스를 위한 관통-상호 연결부들을 지원할 필요가 있다. IC 칩(106)은 패키지 기판(108)에 전기적으로 결합될 필요가 있는 고밀도의 다이 인터커넥트들(120)을 가질 수 있다. 이와 관련하여, 도 1의 RDL 기판(116)의 보다 상세한 측면도를 예시하는 도 2에 도시된 바와 같이, RDL 기판(116)은 외부 RDL 층(126)을 포함하도록 제공된다. 도 1에 도시된 바와 같이, 외부 RDL 층(126)은 IC 칩(106)의 활성 표면(124)에 인접해 있다. 일 예에서 RDL 공정으로 형성되는 외부 RDL 층(126)은 IC 칩(106)이 RDL 기판(116) 상에 배치될 때 IC 칩(106)의 다이 인터커넥트(120)에 결합될 수 있는 개개의 RDL 인터커넥트(202)를 각각 포함하는 복수의 재배선 금속 라인들(200)을 포함한다. 솔더 범프가 형성되어 예로서 다이 인터커넥트(120)에 결합될 RDL 인터커넥트(220)에 결합될 수 있다. 이러한 방식으로, RDL 기판(116)의 외부 RDL 층(126)은 IC 칩(106)의 소형, 고밀도 피치 다이 인터커넥트들(120)을 지원할 수 있을 뿐만 아니라 다이 인터커넥트들(120)과 RDL 기판(116) 사이에 팬아웃 기능을 제공할 수 있다. 이는 결과적으로 RDL 기판(116)이 IC 칩(106)과 같은 고밀도 다이 인터커넥트 IC 칩들과의 향상된 연결 호환성을 제공하는 것을 허용하는 동시에, 커패시터들(118)과 같은 내장된 커패시터를 IC 칩(106)에 더 가깝게 위치되게 지지하여, IC 패키지(102)의 PDN에 결합될 때 IR 강하를 최소화한다.

[0018] [0030] 도 2를 참조하면, RDL 기판(116)은, IC 칩(106)(도 1에 도시됨)의 개개의 다이 인터커넥트(120)에 결합될 수 있는 개개의 RDL 인터커넥트(202)를 포함할 수 있는 재배선 금속 라인들(200)을 포함하는 외부 RDL 층(126)(도 2에서 Z축 방향의 상부 층으로 도시됨)을 포함한다. 도 1을 다시 참조하면, 패키지 기판(108)은 RDL 기판(116)을 통해 패키지 기판(108)과 IC 칩(106) 사이에 전기적 인터페이스를 제공하기 위해 RDL 기판(116)에 전기적으로 결합될 수 있는 패키지 기판 층(130) 내에 복수의 패키지 기판 인터커넥트들(128)을 포함한다. 도 2를 다시 참조하면, RDL 기판(116)은 또한 RDL 층(126) 아래에 위치된 하부 층인 기판 층(204)을 포함한다. 기판 층(204)은 도 1에 도시된 바와 같이 패키지 기판(108)의 상부의, 인접한 패키지 기판 층(130)의 개개의 패키지 기판 인터커넥트들(128)에 결합되도록 구성되는 기판 인터커넥트들(206)을 포함한다. 이는 패키지 기판(108)과 RDL 기판(116) 사이에 전기적 인터페이스를 제공한다. RDL 층(126)과 기판 층(204) 사이의 유전체 층(210)을 통해 연장되는 개개의 비아들(208)을 통해 RDL 층(126)의 RDL 인터커넥트들(202)과 기판 층(204)의 기판 인터커넥트들(206) 사이의 전기적 결합에 의해 RDL 기판(116)에 전기적 인터페이스가 제공된다. 이와 관련하여, 비아들(208)은 유전체 층(210)을 통해 연장되는 몰드-관통 비아들(TMVs)로 간주될 수 있다. 예를 들어, 비아들(208)은 구리 기둥(copper pillar)들일 수 있다. 비아들(208)은 커패시터 패키지(212)의 영역 외부에서 RDL 기판(116)의 유전체 층(210)을 통해 연장된다. 기판 인터커넥트(206)는 도 1에 도시된 바와 같이 패키지 기판(108)의 개개의 패키지 기판 인터커넥트(128)에 결합될 수 있다. 외부 패키지 인터커넥트들(114)은 패키지 기판(108)의 패키지 기판 층(130)의 패키지 기판 인터커넥트들(128)에 전기적으로 결합될 수 있다.

[0019] [0031] 이러한 방식으로, 도 1의 IC 패키지(102)에서 IC 칩(106)에 대한 전기적 인터페이스가 제공된다. 전기

적 인터페이스는 외부 패키지 인터커넥트들(114)과 패키지 기판 인터커넥트들(128), RDL 기판(116)의 기판 인터커넥트들(206), RDL 기판(116)의 비아들(208) 및 RDL 인터커넥트들(202), 및 IC 칩(106)의 다이 인터커넥트들(120)에 대한 전기적 결합을 포함한다(도 1).

[0020] [0032] 도 2의 RDL 기판(116)의 이러한 예에서, 커패시터들(118)은 커패시터 패키지(212)에 포함된다. 커패시터 패키지(212)는 RDL 층(126)과 기판 층(204) 사이에 배치된 유전체 재료를 포함하는 유전체 층(214)을 포함한다. 커패시터들(118)은 커패시터 패키지(212)의 유전체 층(214)에 내장된다. 커패시터 패키지(212)는 RDL 기판(116)의 유전체 층(210)에 내장된다. 커패시터 패키지(212)는, 아래에서 더 자세히 설명되는 바와 같이, 칩렛(chiplet)과 같은 별도의 패키지로 형성될 수 있다. 도 2의 이 예시적인 RDL 기판(116)에서, IC 칩(106)과 커패시터 패키지(212)의 커패시터들(118) 사이에 전기적 인터페이스를 제공하기 위해, 패키지 기판(108)의 RDL 층(126)은 또한 IC 칩(106)의 개개의 다이 인터커넥트(120)에 결합될 수 있는 개개의 RDL 인터커넥트들(218)을 포함할 수 있는 재배선 금속 라인들(216)을 포함한다(도 1 참조). 그러나, 이 예에서, RDL 인터커넥트들(218)은 비아들(220)을 통해 커패시터들(118)에 결합된다. 예를 들어, 비아들(220)은 커패시터 패키지(212)의 유전체 층(214)을 통해 연장되는 실리콘-관통-비아들(TSVs)(222)일 수 있다. 이러한 방식으로, RDL 기판(116)의 RDL 층(126)의 재배선 금속 라인들(216) 및 개개의 RDL 인터커넥트들(218)은 커패시터들(118)과 IC 칩(106) 사이의 인터페이스를 제공하여, 예를 들어 IC 칩(106)의 PDN에 디커플링 커패시턴스를 제공한다. 예를 들어, 커패시터들(118)은 RDL 인터커넥트들(218)에 결합된 다이 인터커넥트(120)에 결합된 IC 칩(106)의 PDN의 그라운드 노드(ground node)에 결합될 수 있다(또한 도 1 참조).

[0021] [0033] 또한, 도 2와 관련하여, 도 2의 RDL 기판(116)의 기판 층(204)이 제2 RDL 층(224)으로서 제공될 수 있다는 점에 주목하라. 제2 RDL 층(224)은 일 예로서 RDL 공정으로부터 형성될 수 있다. 제2 RDL 층(224)은 RDL 기판(116)이 패키지 기판(108) 상에 배치될 때 패키지 기판(108)의 패키지 기판 인터커넥트(128)에 결합될 수 있는 개개의 RDL 인터커넥트(228)를 각각 포함하는 복수의 재배선 금속 라인들(226)을 포함할 수 있다. 비아들(208, 220)은 일 예로서 RDL 증착 및 언더 범프 금속화(under bump metallization)(UBM) 형성을 통해 제2 RDL 층(224)의 제2 RDL 인터커넥트(228)에 결합될 수 있다. 대응하는 비아(208, 220)를 제2 RDL 층(224)의 제2 RDL 인터커넥트(228)에 결합하기 위해 솔더 범프가 형성되어 제2 RDL 인터커넥트(228)에 결합될 수 있다. 비아들(208, 220)은 또한 다른 대안으로서 제2 RDL 층(228)과 직접 접촉하여 형성되는 구리 기둥들일 수 있다. 이는 RDL 기판(116)의 제2 RDL 층(224)이 패키지 기판(108)의 패키지 기판 인터커넥트(128)에 대한 팬아웃 연결들을 지원하는 것을 허용한다. 이는 RDL 기판(116)이 서로 다른 패키지 기판들(108)과 더욱 강화된 연결 호환성을 제공하는 것을 허용하는 동시에, IC 칩(106)에 더 가깝게 위치하는 커패시터들(118)과 같은 내장된 커패시터를 지원하여 IC 패키지(102)의 PDN에 결합될 때 IR 강하를 최소화한다. 예를 들어, 제조 비용이 덜 드는 패키지 기판들은 더 큰 피치를 갖는 기판 인터커넥트들만을 지원할 수 있다. 대안으로서, 도 2의 RDL 기판(116)의 기판 층(204)은 또한 RDL들을 포함하지 않는 유기 재료의 라미네이트 층(laminate layer)을 포함하는 라미네이트 기판으로서 제공될 수 있다는 점에 주목하라.

[0022] [0034] 도 3은 도 1 및 도 2의 IC 패키지(102)에서 RDL 기판(116)으로서 제공될 수 있는 다른 RDL 기판(316)의 측면도이다. RDL 기판(316)은 이제 논의될 추가적인 예시적인 특징들을 포함한다. 도 3의 RDL 기판(316)과 도 1 및 2의 RDL 기판(116) 사이의 공통 요소들은 공통 요소 번호들로 도시된다.

[0023] [0035] 도 3에 도시된 바와 같이, 패시베이션 층(302)이 RDL 기판(316)에 제공될 수 있고 커패시터 패키지(212)와 RDL 기판(316)의 RDL 층(126) 사이에 배치될 수 있다. 유전체 재료의 패시베이션 층(302)을 제공하는 것을 TSV들(222)의 상부 표면들(304)과 재배선 금속 라인들(216) 사이의 향상된 정렬을 제공하여 감소된 저항 및 그에 따른 커패시터들(118)을 통한 감소된 IR 강하를 제공할 수 있다. 패시베이션 층(302)은 패터닝되고 개방되어 TSV들(222)과 재배선 금속 라인들(216) 사이의 향상된 정렬을 위해 개구부들에 재배선 금속 라인들(216)이 형성되는 것을 허용할 수 있고, 이는 나중에 더 자세히 설명될 것이다. 이 예에서, TSV들(222)은 RDL 층(126)의 재배선 금속 라인들(216)과 접촉하도록 패시베이션 층(302)을 통해 연장된다.

[0024] [0036] 계속해서 도 3과 관련하여, 비아들(220)은 커패시터 패키지(212)의 커패시터들(118) 및 RDL 층(126)의 RDL 인터커넥트들(218)에 대한 연결을 제공하기 위해 채용될 수 있다는 점에 주목하라. 또한, 비아들(220)은 또한 도 1의 패키지 기판(108)에 대한 결합을 제공하기 위해 기판 인터커넥트(206)에 결합되는 관통-비아들로서 커패시터 패키지(212) 및 그 유전체 층(214)을 통과하도록 제조될 수도 있다는 점에 주목하라. 이와 관련하여, 비아들(220)은 커패시터 패키지(212)를 통해 연장되는 이전에 논의된 바와 같은 TSV들(222)로서 제공될 수 있다. 이는 커패시터 패키지(212)의 경로에서 Z축 방향의 수직 경로 공간을 허용하여 RDL 층(126)과 기판 층(204) 사이의 연결을 허용하여 RDL 기판(116)에서 커패시터 패키지(212)의 수직 경로 상호 연결 교란을 최소화

한다. TSV들(222)로서 비아들(220)을 제공하는 것은 RDL 기판(316)이 IC 칩(106), RDL 기판(316) 및 패키지 기판(108) 사이의 연결성을 제공하기 위해 더 큰 밀도의 비아들(220)을 지원하는 것을 허용하도록 더 큰 높이(H_1) 대 폭(W_1) 종횡비를 허용할 수 있다. 이는 특히 RDL 기판(316)에는 RDL 인터커넥트들(202, 218)의 팬아웃을 지원하기 위해 RDL 층(126)이 제공되고, 이는 결국 더 높은 밀도의 다이 인터커넥트들(120)을 갖는 IC 칩(106)과의 상호 연결 호환성을 지원할 수 있기 때문에 유리할 수 있다. 또한, 커패시터 패키지(212) 및 내장된 커패시터들(118)을 지지하기 위한 RDL 기판(316)의 전체 높이 폭(H_2)은 RDL 기판(316)에 제공된 상호 연결부들의 밀도를 지원하도록 TSV들(222)의 특정 원하는 높이(H_1) 대 폭(W_1) 종횡비를 요구할 수 있다. 예를 들어, TSV들(222)의 높이(H_1)와 폭(W_1)의 종횡비는 적어도 2.0 일 수 있다. 또한, 비아들(208)은 또한 TSV들로서 제공될 수 있고, TSV들(222)에 대해 위에서 논의한 것과 동일한 이유들로 적어도 1.0 의 더 높은 H_1 대 폭(W_2) 종횡비를 포함할 수도 있다.

[0025] [0037] 위에서 논의된 바와 같이, RDL 기판(116, 316)에 RDL 층(126)을 제공하는 것은 재배선 금속 라인들(200, 216)의 팬아웃을 허용하여 그것의 개개의 RDL 인터커넥트들(202, 218)의 더 높은 밀도를 지원한다. 예를 들어, RDL 기판들(116, 316)에서 도 2 및 도 3에 도시된 바와 같이, 재배선 금속 라인들(200)은 자신의 개개의 RDL 인터커넥트들(202)의 수직 경로(V_1) 외부로 팬아웃된다. 유사하게, RDL 기판들(116, 316)에서 도 2 및 도 3에 도시된 바와 같이, 재배선 금속 라인들(216)은 자신의 개개의 RDL 인터커넥트(218)의 수직 경로(V_2) 외부로 팬아웃된다. 이는 도 1의 IC 칩(106)의 다이 인터커넥트들(120)이 기판 층(204)의 기판 인터커넥트들(206)의 피치(P_2)보다 더 조밀한(즉, 더 작은) 피치(P_1)를 갖는 것을 허용한다. RDL 기판들(116, 316)의 RDL 층(126)의 RDL 인터커넥트들(202)의 피치(P_3)는 패키지 기판(108)의 패키지 기판 인터커넥트들(128)의 피치(P_4)와 동일할 수 있다. RDL 기판들(116, 316)의 기판 층(204)의 기판 인터커넥트들(206)의 피치(P_2)는 이전에 논의된 바와 같이 패키지 기판(108)의 패키지 기판 인터커넥트들(128)의 피치(P_4)와 호환되도록 구성될 수 있다. RDL 기판들(116, 316)의 기판 층(204)의 기판 인터커넥트들(206)의 피치(P_2)는 패키지 기판(108)의 패키지 기판 인터커넥트들(128)의 피치(P_4)와 동일할 수 있다.

[0026] [0038] 또한, RDL 기판들(116, 316)은 도 2의 IC 패키지(102)와 같이, IC 패키지에 제공되는, IC 칩(106)과 같은, 2개 이상의 IC 칩들 사이에서 인터포저(interposer)로서 역할을 하도록 구성될 수도 있다는 점에 주목하라. 위에서 설명된 IC 칩(106)과 같은 구성 요소들을 포함하는 추가적인 IC 칩들이 IC 패키지(102)에 제공될 수 있다. RDL 기판(116, 316)은 패키지 기판(108)과 추가적인 IC 칩(들) 사이에 배치될 것이다. RDL 기판들(116, 316)은 추가적인 IC 칩(들)의 다이 인터커넥트에 결합된 추가적인, 제2 RDL 인터커넥트들을 각각 포함하는 추가적인 제2 재배선 금속 라인들을 추가로 포함할 수 있다. 추가적인 제2 재배선 금속 라인들 중 하나 이상이 RDL 기판(116)의 재배선 금속 라인들(200) 중 하나 이상에 결합되어 IC 칩(106)을 다른 IC 칩(들)에 전기적으로 결합할 수 있다.

[0027] [0039] 도 4는, 도 1의 IC 패키지(102)와 도 1 내지 도 3의 RDL 기판을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정(400)을 예시하는 흐름도이다. 예시적인 공정(400)은 도 2의 IC 패키지(102)와 도 2 및 도 3의 RDL 기판들(116, 316)을 참조하여 도 2에서 참조될 것이다.

[0028] [0040] 이와 관련하여, IC 패키지(102)를 제조하기 위한 제조 공정(400)의 제1 단계는 복수의 패키지 기판 인터커넥트들(128)을 포함하는 패키지 기판(108)을 형성하는 것일 수 있다(도 4의 블록 402). IC 패키지(102)를 제조하기 위한 제조 공정(400)의 다음 단계는 패키지 기판(108) 상에 RDL 기판(116, 316)을 형성하는 것일 수 있다(도 4의 블록 404). RDL 기판(116, 316)을 형성하는 공정은 RDL 인터커넥트(202, 218)를 각각 포함하는 복수의 재배선 금속 라인들(200, 216)을 포함하는 RDL 층(126)을 형성하는 것을 포함할 수 있다(도 4의 블록 406). RDL 기판(116, 316)을 형성하는 공정은 또한 복수의 기판 인터커넥트들(206)을 포함하는 기판 층(204)을 형성하는 것을 포함할 수 있다(도 4의 블록 408). RDL 기판(116, 316)을 형성하는 공정은 또한 RDL 층(126)과 기판 층(204) 사이에 커패시터(118)를 배치하는 것을 포함할 수 있다(도 4의 블록 410). IC 패키지(102)를 제조하기 위한 제조 공정(400)의 다음 단계는 커패시터(118)에 전기적으로 결합되고 IC 칩(106)의 복수의 다이 인터커넥트들(120) 중 적어도 하나의 다이 인터커넥트(120)에 전기적으로 결합되도록 구성되는 적어도 하나의 비아(220, 222)를 형성하는 것일 수 있다(도 4의 블록 412). IC 패키지(102)를 제조하기 위한 제조 공정(400)의 다음 단계는 IC 칩(106)의 복수의 다이 인터커넥트들(120) 중 적어도 하나의 다이 인터커넥트(120)를 복수의 재

배선 금속 라인들(200, 216) 중 적어도 하나의 RDL 인터커넥트(202, 218)에 결합하는 것일 수 있다(도 4의 블록 414).

[0029] [0041] 도 1의 IC 패키지(102) 및 도 1 내지 도 3의 RDL 기판을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지는 다른 제조 공정들로 제조될 수 있다. 예를 들어, 도 5a 내지 도 5g는, 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 도 6a 내지 도 6d의 또 다른 예시적인 공정(600)의 예시적인 제조 스테이지들(500A 내지 500G)을 예시한다. 도 6a 내지 도 6d는 도 5a 내지 도 5g의 예시적인 제조 스테이지들(500A 내지 500G)에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정(600)을 예시하는 흐름도이다. 도 6a 내지 도 6d의 예시적인 공정(600)에서 그리고 도 5a 내지 도 5g의 예시적인 제조 스테이지들(500A 내지 500G)에 따르면, 아래에서 논의되는 바와 같이, IC 패키지의 RDL 기판의 RDL 층은 커패시터 패키지가 RDL 기판에 내장되기 전에 형성된다. 도 6a 내지 도 6d의 예시적인 공정(600)은 도 5a 내지 도 5g의 제조 스테이지들(500A 내지 500G)을 참조하여 아래에서 논의된다. 도 6a 내지 도 6d의 예시적인 공정(600)은 또한 예들로서 도 1의 IC 패키지(102)와 도 2 및 도 3의 RDL 기판들(116, 316)을 참조하여 논의된다.

[0030] [0042] 이와 관련하여, 도 5a는 도 1의 IC 패키지(102)의 제1 제조 스테이지(500A)를 예시한다. 이 제조 스테이지(500A)에서는, 캐리어(502)가 제공된다. RDL 층(224)은 최종적으로 형성된 RDL 기판(116, 316)에 제공되도록 캐리어(502) 상에 형성된다(도 6a의 블록 602). 캐리어(502)는 커패시터 패키지(212)가 RDL 기판(116, 316)에 내장되기 전에 IC 패키지(102)의 RDL 층(224) 및 RDL 기판(116, 316)이 형성되는 것을 허용하는 데 사용된다. 도 5b는 도 1의 IC 패키지(102)의 다음 제조 스테이지(500B)를 예시한다. 도 5b의 다음 제조 스테이지(500B)에 도시된 바와 같이, TMV들일 수 있고 커패시터 패키지(212)가 배치될 영역(504) 외부에 있는 비아들(208)은 RDL 층(224) 상에 형성되고 RDL 층(224)의 재배선 금속 라인들(226)과 전기적으로 접촉한다(도 6a의 블록 604).

[0031] [0043] 도 5c의 다음 제조 스테이지(500C)에 도시된 바와 같이, 커패시터 패키지(212)는 RDL 층(224)을 포함하는 최종적으로 형성된 RDL 기판(116, 316)에 내장될 커패시터 패키지(212)를 준비하기 위해 RDL 층(224) 상에 배치된다(도 6b의 블록 606). TSV들(222)은 아래의 도 7a 내지 도 8을 참조하여 설명되는 커패시터 패키지(212)를 제조하기 위해 별도의 공정을 통해 패시베이션 층(302)을 통해 노출된다는 점에 주목하라. 도 5d의 다음 제조 스테이지(500D)에 도시된 바와 같이, 유전체 층(210)은 그 다음 RDL 기판을 형성하는 일부로서 비아들(208), 커패시터 패키지(212) 및 노출된 TSV들(222) 위에 배치된다(도 6b의 블록 608). 도 5e의 다음 제조 스테이지(500E)에 도시된 바와 같이, 유전체 층(210)은 비아들(208) 및 TSV들(222)의 상부 표면들(506, 508)을 노출시키기 위해 상부 표면(505)까지 연삭(grinding)되어 RDL 기판(116, 316)을 위해 형성될 RDL 층(126)에의 연결을 위해 이들 비아들(208) 및 TSV들(222)을 준비한다(도 6c의 블록 610). 도 5f의 다음 제조 스테이지(500F)에 도시된 바와 같이, RDL 층(126)은 RDL 기판(116, 316)을 형성하기 위해 연삭된 유전체 층(210)의 상부 표면(505) 상에 형성된다. 재배선 금속 라인들(200, 216)은 RDL 층(126)을 형성하는 일부로서 비아들(208) 및 TSV들(222)의 개개의 상부 표면들(506, 508)에 전기적으로 결합된다(도 6c의 블록 612). 도 5g의 다음 제조 스테이지(500G)에 도시된 바와 같이, IC 칩(106)은 그 다음 RDL 기판(116, 316)의 RDL 층(126)에 결합되어 IC 패키지(102)를 형성한다(도 6d의 블록 614).

[0032] [0044] 도 7a 내지 도 7c는 도 1 내지 도 3 및 도 5g의 IC 패키지(102) 및 RDL 기판들(116, 316)을 포함하는(그러나, 이에 제한되지 않음) IC 패키지의 RDL 기판에 내장될 수 있는 커패시터 패키지(212)를 제조하는 예시적인 공정의 예시적인 제조 스테이지들(700A 내지 700C)을 예시한다. 도 8은 도 7a 내지 도 7c의 예시적인 제조 스테이지들(700A 내지 700C)에 따라 커패시터 패키지(212)를 제조하는 예시적인 공정(800)을 예시하는 흐름도이다. 도 7a 내지 도 7c 및 도 8이 함께 논의될 것이다.

[0033] [0045] 이와 관련하여, 도 7a의 제조 스테이지(700A)에 도시된 바와 같이, 커패시터들(118) 및 TSV들(222)은 유전체 층(214)이 커패시터들(118) 및 TSV들(222) 위에 배치된 상태로 형성된다(도 8의 블록 802). 도 7b의 다음 제조 스테이지(700B)에 도시된 바와 같이, 유전체 층(214)은 TSV들(222)의 상부 표면들(704)을 노출시키기 위해 상부 표면(702)까지 연삭된다. 그 다음, 패시베이션 층(302)이 유전체 층(214)의 상부 표면(702) 및 TSV들(222) 위에 배치된다(도 8의 블록 804). 도 7c의 다음 제조 스테이지(700C)에 도시된 바와 같이, 패시베이션 층(302)은 RDL 기판(116, 316)의 RDL 층(126)의 재배선 금속 라인들(216)에 대한 전기적 연결을 위해 이들을 준

비시키기 위해 TSV들(222)의 상부 표면들(704)을 노출시키도록 에칭된다(도 8의 블록 806).

[0034] [0046] 도 9a 내지 도 9h는, 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 도 10a 내지 도 10d의 또 다른 예시적인 공정(1000)의 예시적인 제조 스테이지들(900A-900H)을 예시한다. 도 10a 내지 도 10d는 도 9a 내지 도9h의 예시적인 제조 스테이지들(900A 내지 900H)에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정(1000)을 예시하는 흐름도이다. 도 10a 내지 도 10d의 예시적인 공정(1000)에서 그리고 도 9a 내지 도 9h의 예시적인 제조 스테이지들(900A 내지 900H)에 따르면, 아래에 논의되는 바와 같이, IC 패키지의 RDL 기판의 RDL 층은 위에서 논의된 도 8a 내지 도 8d의 공정(800)에서와 같이 커패시터 패키지가 RDL 기판에 내장되기 전에 형성된다. 그러나, 패시베이션 층(302)은 도 10a 내지 도 10d의 공정(1000)에서 커패시터 패키지(312)에 포함되지 않는다. 도 10a 내지 도 10d의 예시적인 공정(1000)은 도 9a 내지 도 9h의 제조 스테이지들(900A 내지 900H)을 참조하여 아래에서 논의된다. 도 10a 내지 도 10d의 예시적인 공정(1000)은 또한 예들로서 도 1의 IC 패키지(102) 및 도 2 및 도 3의 RDL 기판들(116, 316)을 참조하여 논의된다.

[0035] [0047] 이와 관련하여, 도 9a는 대안적인 제조 공정에 따른 도 1의 IC 패키지(102)의 제1 제조 스테이지(900A)를 예시한다. 이 제조 스테이지(900A)에서는, 캐리어(902)가 제공된다. RDL 층(224)은 최종적으로 형성된 RDL 기판(116, 316)에 제공되도록 캐리어(902) 상에 형성된다(도 10a의 블록 1002). 캐리어(902)는 커패시터 패키지(212)가 RDL 기판(116, 316)에 내장되기 전에 IC 패키지(102)의 RDL 층(224) 및 RDL 기판(116, 316)이 형성되는 것을 허용하는 데 사용된다. 도 9b는 도 1의 IC 패키지(102)의 다음 제조 스테이지(900B)를 예시한다. 도 9b의 다음 제조 스테이지(900B)에 도시된 바와 같이, TMV들일 수 있고 커패시터 패키지(212)가 배치될 영역(904) 외부에 있는 비아들(208)은 RDL 층(224) 상에 형성되고 RDL 층(224)의 재배선 금속 라인들(226)과 전기적으로 접촉한다(도 10a의 블록 1004). 도 9c의 다음 제조 스테이지(900C)에 도시된 바와 같이, 커패시터 패키지(212)는 RDL 층(224)을 포함하는 최종적으로 형성된 RDL 기판(116, 316)에 내장될 커패시터 패키지(212)를 준비하기 위해 RDL 층(224) 상에 배치된다(도 10a의 블록 1006). 도 5a 내지 도 8의 위 공정에서 설명된 것처럼 커패시터 패키지(212)에 포함된 패시베이션 층(302)이 없다는 점에 주목하라.

[0036] [0048] 도 9d의 다음 제조 스테이지(900D)에 도시된 바와 같이, 유전체 층(210)은 그 다음 RDL 기판을 형성하는 일부로서 비아들(208) 및 커패시터 패키지(212) 위에 배치된다(도 10b의 블록 1008). 도 9e의 다음 제조 스테이지(900E)에 도시된 바와 같이, 유전체 층(210)은 비아들(208) 및 TSV들(222)의 상부 표면들(908, 910)을 노출시키기 위해 상부 표면(906)까지 연삭되어 RDL 기판(116, 316)을 위해 형성될 RDL 층(126)에의 연결을 위해 이들 비아들(208) 및 TSV들(222)을 준비한다(도 10b의 블록 1010). 도 9f의 다음 제조 스테이지(900F)에 도시된 바와 같이, RDL 층(126)은 RDL 기판(116, 316)을 형성하기 위해 연삭된 유전체 층(210)의 상부 표면(906) 상에 형성된다. 재배선 금속 라인들(200, 216)은 RDL 층(126)을 형성하는 일부로서 비아들(208) 및 TSV들(222)의 개개의 상부 표면들(908, 910)에 전기적으로 결합된다(도 10c의 블록 1012).

[0037] [0049] 도 9g의 다음 제조 스테이지(900G)에 도시된 바와 같이, 캐리어(902) 상에 배치된 RDL 기판(116, 316)은 제거될 캐리어(902)를 준비하기 위해 플립된다(flipped)(도 10d의 블록 1014). 도 9h의 다음 제조 스테이지(900H)에 도시된 바와 같이, IC 칩(106)은 그 다음 RDL 기판(116, 316)의 RDL 층(126)에 결합되어 IC 패키지(102)를 형성한다(도 10d의 블록 1016).

[0038] [0050] 도 11a 내지 도 11l은, 도 1 내지 도 3의 IC 패키지들 및 RDL 기판들을 포함하는(그러나, 이에 제한되지 않음) IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 도 12a 내지 도 12f의 또 다른 예시적인 공정(1200)의 예시적인 제조 스테이지들(1100A 내지 1100L)을 예시한다. 도 12a 내지 도 12f는 도 11a 내지 도 11l의 예시적인 제조 스테이지들(1100A 내지 1100L)에 따라 IC 칩(들)과 패키지 기판 사이에 배치된 커패시터 내장형 RDL 기판을 포함하는 IC 패키지를 제조하는 예시적인 공정(1200)을 예시하는 흐름도이다. 도 12a 내지 도 12f의 예시적인 공정(1200)에서 그리고 도 11a 내지 도 11l의 예시적인 제조 스테이지들(1100A 내지 1100L)에 따르면, 아래에 설명된 바와 같이, IC 패키지의 RDL 기판의 RDL 층은 커패시터 패키지가 RDL 기판에 내장된 후에 형성된다. 도 12a 내지 도 12f의 예시적인 공정(1200)은 도 11a 내지 도 11l의 제조 스테이지들(1100A 내지 1100L)을 참조하여 아래에서 논의된다. 도 12a 내지 도 12f의 예시적인 공정(1200)은 또한 예들로서 도 1의 IC 패키지(102) 및 도 2 및 도 3의 RDL 기판들(116, 316)을 참조하여 논의된다.

[0039] [0051] 도 11a의 제조 스테이지(1100A)에 도시된 바와 같이, 캐리어(1102)의 패키지 기판(108)이 준비되기 시

작한다. 라미네이트 기판과 같은 캐리어(1102)가 제공되고, 코팅이 광열 변환(light-to-heat conversion)(LTHC) 방출 층(1104)을 통해 캐리어(1002) 상에 배치된다(도 12a의 블록 1202). 도 11b의 다음 제조 스테이지(1100B)에 도시된 바와 같이, 적층된 폴리이미드 층(1106)이 LTHC 방출 층(1104) 상에 배치된다(도 12a의 블록 1204). 도 11c의 다음 제조 스테이지(1100C)에 도시된 바와 같이, 시드 층(seed layer)(1108)(예컨대, TiCu 층)이 적층된 폴리이미드 층(1106) 상에 배치되어 비아들(208)을 형성하기 위한 준비를 한다(도 12a의 블록 1206). 도 11d의 다음 제조 스테이지(1100D)에 도시된 바와 같이, 포토레지스트 층(photoresist layer)(1110)이 시드 층(1108) 상에 배치되어 포토레지스트 층(1110)이 비아들(208)을 형성하기 위해 도시된 바와 같이 개구부들(1112)을 형성하도록 패턴화되도록 준비된다(도 12b의 블록 1208). 도 11e의 다음 제조 스테이지(1100E)에 도시된 바와 같이, 비아들(208)은 개구부들(1112)에 형성된다(도 12b의 블록 1210). 예를 들어, 비아들(208)은 구리 기둥들일 수 있다.

[0040] [0052] 도 11f의 다음 제조 스테이지(1100F)에 도시된 바와 같이, 커패시터 패키지(212)는 그 다음 제조된 RDL 기판(116, 316)의 부분이 최종적으로 되는 비아들(208) 사이의 영역(1114)에 배치된다(도 12c의 블록 1212). 도 11g의 다음 제조 스테이지(1100G)에 도시된 바와 같이, 유전체 층(210)은 비아들(208) 및 커패시터 패키지(212) 상에 배치된다(도 12d의 블록 1214). 도 11h의 다음 제조 스테이지(1100H)에 도시된 바와 같이, 유전체 층(210)은 커패시터 패키지(212)의 비아들(208) 및 TSV들(222)의 상부 표면들(1118, 1120)을 노출시키기 위해 상부 표면(1116)까지 연삭된다(도 12d의 블록 1216). 도 11i의 다음 제조 스테이지(1100I)에 도시된 바와 같이, RDL 층(126)은 RDL 기판(116, 316)의 일부를 형성하기 위해 유전체 층(210)의 상부 표면(1116) 상에 형성된다(도 12e의 블록 1218). 도 11j의 다음 제조 스테이지(1100J)에 도시된 바와 같이, 캐리어(1102)는 플립(flip)되고, 내장된 커패시터 패키지(212)를 갖는 유전체 층(210) 및 RDL 층(126)이 분리된 상태에서 제거되어 RDL 기판(116, 316)의 제2 RDL 층(224)을 형성할 준비를 한다(도 12e의 블록 1220).

[0041] [0053] 도 11k의 다음 제조 스테이지(1100K)에 도시된 바와 같이, RDL 기판(116, 316)의 제2 RDL 층(224)이 형성되어 RDL 기판(116, 316)을 형성한다(도 12e의 블록 1222). 도 11l의 다음 제조 스테이지(11L)에 도시된 바와 같이, IC 칩(106)은 그 다음 RDL 기판(116, 316)의 RDL 층(126)에 결합되어 IC 패키지(102)를 형성한다(도 12f의 블록 1224).

[0042] [0054] 본 명세서에 사용된 "상부", "위", "하부", 아래" 라는 용어들은 상대적인 용어들이며 엄격한 배향을 제한하거나 암시하려는 의도가 아니라는 점이 이해되어야 한다. "상부" 참조 요소는 항상 지면(ground)을 기준으로 "하부" 참조 요소 위에 있도록 배향되지는 않으며, 그 반대의 경우도 마찬가지이다. "상부" 또는 "하부"로 참조되는 요소는 오직 그 예 및 특정 예시된 예에 대해서 상부 또는 하부에 있을 수 있다. 다른 요소의 "위" 또는 "아래"로 참조되는 요소는 지면과 관련될 필요가 없으며 그 반대의 경우도 마찬가지이다. "위" 또는 "아래"로 참조된 요소는 오직 그 예 및 특정 예시된 예와 관련하여 위 또는 아래에 및 이러한 다른 참조된 요소에 대해 위 또는 아래에 있을 수 있다.

[0043] [0055] 도 1 내지 도 3, 도 5g, 도 9h 및 도 11l의 IC 패키지를 포함하고(그러나, 이에 제한되지 않음) 그리고 본 명세서에 개시된 임의의 양상들에 따른, IC 칩(들)과 패키지 기판 사이에 배치된 내장된 커패시터(들)를 갖는 RDL 기판을 포함하는 IC 패키지는 임의의 프로세서 기반 디바이스에 제공되거나 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스(set top box), 엔터테인먼트 유닛(entertainment unit), 내비게이션 디바이스(navigation device), 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(global positioning system)(GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(session initiation protocol)(SIP) 폰, 태블릿, 패블릿(phablet), 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(wearable computing device)(예컨대, 스마트 워치, 헬스 또는 피트니스 트랙커(health or fitness tracker), 아이웨어(eyewear) 등), 데스크톱 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 부품, 항공 전자 시스템들(avionics systems), 드론, 및 멀티콥터(multicopter)를 포함한다.

[0044] [0056] 도 13은 하나 이상의 IC들(1302)로 형성된 전기 구성 요소들을 포함하는 예시적인 무선 통신 디바이스(1300)를 예시하며, 여기서 IC들(1302) 중 임의의 IC가 IC 패키지(1303)에 포함될 수 있다. IC 패키지(1303)는 도 1 내지 도 3, 도 5g, 도 9h 및 도 11l의 IC 패키지들을 포함하고(그러나, 이에 제한되지 않음) 그리고 본 명세서에 개시된 임의의 양상들에 따른, IC 칩(들)과 패키지 기판 사이에 배치된 내장된 커패시터(들)를 갖는

RDL 기판을 포함하는 IC 패키지들을 포함할 수 있다.

[0045] [0057] 무선 통신 디바이스(1300)는 예들로서 위에서 참조된 디바이스들 중 임의의 디바이스를 포함하거나 거기에 제공될 수 있다. 도 13에 도시된 바와 같이, 무선 통신 디바이스(1300)는 트랜시버(1304) 및 데이터 프로세서(1306)를 포함한다. 데이터 프로세서(1306)는 데이터 및 프로그램 코드(program code)들을 저장하는 메모리를 포함할 수 있다. 트랜시버(1304)는 양방향 통신을 지원하는 송신기(1308) 및 수신기(1310)를 포함한다. 일반적으로, 무선 통신 디바이스(1300)는 임의의 수의 통신 시스템들 및 주파수 밴드들을 위한 임의의 수의 송신기들(1308) 및/또는 수신기들(1310)을 포함할 수 있다. 트랜시버(1304)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RF IC들(RFIC들), 혼합 신호 IC들 등에서 구현될 수 있다.

[0046] [0058] 송신기(1308) 또는 수신기(1310)는 슈퍼 헤테로다인 아키텍처(super-heterodyne architecture) 또는 직접 변환 아키텍처(direct-conversion architecture)로 구현될 수 있다. 슈퍼 헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 베이스밴드(baseband) 사이에서 주파수 변환되고, 예컨대 하나의 스테이지에서는 RF에서 중간 주파수(IF)로, 그 다음 수신기(1310)를 위한 다른 스테이지에서는 IF에서 베이스밴드로 변환된다. 직접 변환 아키텍처에서, 신호가 하나의 스테이지에서 RF와 베이스밴드 사이에서 주파수 변환된다. 슈퍼 헤테로다인 및 직접 변환 아키텍처들은 서로 다른 회로 블록들을 사용하고 그리고/또는 서로 다른 요구 사항들을 가질 수 있다. 도 13의 무선 통신 디바이스(1300)에서, 송신기(1308) 및 수신기(1310)는 직접 변환 아키텍처로 구현된다.

[0047] [0059] 송신 경로에서, 데이터 프로세서(1306)는 송신될 데이터를 처리하고 I 및 Q 아날로그 출력 신호들을 송신기(1308)에 제공한다. 예시적인 무선 통신 디바이스(1300)에서, 데이터 프로세서(1306)는 추가적인 처리를 위해 데이터 프로세서(1306)에 의해 생성된 디지털 신호들을 I 및 Q 아날로그 출력 신호들, 예컨대 I 및 Q 출력 전류들로 변환하기 위한 디지털-아날로그 변환기(digital-to-analog converter)(DAC)들(1312(1), 1312(2))을 포함한다.

[0048] [0060] 송신기(1308) 내에서, 저역 통과 필터들(1314(1), 1314(2))은 I 및 Q 아날로그 출력 신호들을 각각 필터링하여 이전의 디지털-아날로그 변환에 의해 발생된 원하지 않는 신호들을 제거한다. 증폭기들(AMPs)(1316(1), 1316(2))은 저역 통과 필터들(1314(1), 1314(2))로부터의 신호들을 각각 증폭하고 I 및 Q 베이스밴드 신호들을 제공한다. 업컨버터(upconverter)(1318)는 TX LO 신호 생성기(1322)로부터 믹서(1320(1), 1320(2))를 통해 I 및 Q 송신(TX) 국부 발진기(LO) 신호들로 I 및 Q 베이스밴드 신호들을 업컨버팅하여 업컨버팅된 신호(1324)를 제공한다. 필터(1326)는 업컨버팅된 신호(1324)를 필터링하여 주파수 업컨버전(upconversion)으로 인해 발생하는 원하지 않는 신호들과 수신 주파수 밴드의 노이즈를 제거한다. 전력 증폭기(PA)(1328)는 원하는 출력 전력 레벨을 얻기 위해 필터(1326)로부터 업컨버팅된 신호(1324)를 증폭하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서(duplexer) 또는 스위치(1330)를 통해 라우팅되고 안테나(1332)를 통해 전송된다.

[0049] [0061] 수신 경로에서, 안테나(1332)는 기지국들에 의해 전송된 신호들을 수신하고 수신된 RF 신호를 제공하며, 이는 듀플렉서 또는 스위치(1330)를 통해 라우팅되고 저잡음 증폭기(LNA)(1334)에 제공된다. 듀플렉서 또는 스위치(1330)는 RX 신호들이 TX 신호들로부터 격리되도록 특정 수신(RX)-TX 듀플렉서 주파수 분리로 작동하도록 설계된다. 수신된 RF 신호는 LNA(1334)에 의해 증폭되고 필터(1336)에 의해 필터링되어 원하는 RF 입력 신호를 획득한다. 다운컨버전 믹서들(1338(1), 1338(2))은 필터(1336)의 출력을 RX LO 신호 생성기(1340)로부터의 I 및 Q RX LO 신호들(즉, LO_I 및 LO_Q)과 혼합하여 I 및 Q 베이스밴드 신호들을 생성한다. I 및 Q 베이스밴드 신호들은 AMP들(1342(1), 1342(2))에 의해 증폭되고 저역 통과 필터들(1344(1), 1344(2))에 의해 추가로 필터링되어 데이터 프로세서(1306)에 제공되는 I 및 Q 아날로그 입력 신호들을 획득한다. 이 예에서, 데이터 프로세서(1306)는 아날로그 입력 신호들을 데이터 프로세서(1306)에 의해 추가로 처리될 디지털 신호들로 변환하기 위한 아날로그-디지털 변환기들(ADC들)(1346(1), 1346(2))을 포함한다.

[0050] [0062] 도 13의 무선 통신 디바이스(1300)에서, TX LO 신호 생성기(1322)는 주파수 업컨버전을 위해 사용되는 I 및 Q TX LO 신호들을 생성하는 반면, RX LO 신호 생성기(1340)는 주파수 다운컨버전을 위해 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적인 신호이다. TX 위상 고정 루프(phase-locked loop)(PLL) 회로(1348)는 데이터 프로세서(1306)로부터 타이밍 정보를 수신하고 TX LO 신호 생성기(1322)로부터 TX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다. 마찬가지로, RX PLL 회로(1350)는 데이터 프로세서(1306)로부터 타이밍 정보를 수신하고 RX LO 신호 생성기(1340)로부터 RX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다.

[0051] [0063] 해당 기술 분야의 숙련자는 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터 판독 가능 매체에 저장되고 프로세서나 다른 처리 디바이스 또는 둘의 조합에 의해 실행될 수 있는 명령들로서 구현될 수 있다는 것을 추가로 이해할 것이다. 본 명세서에 설명된 마스터(master) 및 슬레이브(slave) 디바이스들은, 예들로서, 임의의 회로, 하드웨어 구성 요소, IC 또는 IC 칩에 채용될 수 있다. 본 명세서에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있으며 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호 교환성을 명확하게 예시하기 위해, 다양한 예시적인 구성 요소들, 블록들, 모듈들, 회로들 및 단계들이 일반적으로 그들의 기능성의 측면에서 위에서 설명되었다. 이러한 기능성이 구현되는 방법은 특정 애플리케이션, 설계 선택들 및/또는 전체 시스템에 부과되는 설계 제약 조건들에 따라 달라진다. 숙련된 기술자는 각각의 특정 애플리케이션에 대해 다양한 방식들로 설명된 기능을 구현할 수 있지만, 그러한 구현 결정들이 본 개시 내용의 범위로부터 벗어남을 유발하는 것으로 해석되어서는 안 된다.

[0052] [0064] 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들 및 회로들은 프로세서, 디지털 신호 프로세서(Digital Signal Processor)(DSP), 주문형 집적 회로(Application Specific Integrated Circuit)(ASIC), 필드 프로그래밍 가능 게이트 어레이(Field Programmable Gate Array)(FPGA) 또는 다른 프로그래밍 가능 논리 디바이스, 개별 게이트(discrete gate) 또는 트랜지스터 로직(transistor logic), 개별 하드웨어 구성 요소들 또는 본 명세서에 설명된 기능을 수행하도록 설계된 이들의 임의의 조합으로 구현되거나 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로 프로세서는 임의의 기존 프로세서, 컨트롤러, 마이크로컨트롤러 또는 상태 머신(state machine)일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성)으로 구현될 수도 있다.

[0053] [0065] 본 명세서에 개시된 양상들은 하드웨어 및 하드웨어에 저장되는 명령들로 실시될 수 있으며, 예를 들어 랜덤 액세스 메모리(Random Access Memory)(RAM), 플래시 메모리, 읽기 전용 메모리(Read Only Memory)(ROM), 전기적으로 프로그램 가능한 ROM(Electrically Programmable ROM)(EPROM), 전기적으로 삭제 가능한 프로그램 가능한 ROM(Electrically Erasable Programmable ROM)(EEPROM), 레지스터(register)들, 하드 디스크, 이동식 디스크, CD-ROM 또는 해당 기술 분야에 알려진 임의의 다른 형태의 컴퓨터 판독 가능 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 읽고, 저장 매체에 정보를 기록할 수 있도록 프로세서에 결합된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서와 저장 매체는 ASIC에 상주할 수 있다. ASIC은 원격국(remote station)에 있을 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격국, 기지국 또는 서버에 개별 구성 요소들로 상주할 수 있다.

[0054] [0066] 또한, 본 명세서의 예시적인 양상들 중 임의의 양상에 설명된 작업 단계들은 예들과 논의를 제공하기 위해 설명된다는 점에 유의해야 한다. 설명된 작업들은 예시된 순서들 외에도 수많은 서로 다른 순서들로 수행될 수 있다. 더욱이, 단일 작업 단계에서 설명된 작업들은 실제로 수많은 서로 다른 단계들로 수행될 수 있다. 추가적으로, 예시적인 양상들에서 논의된 하나 이상의 작업 단계들은 조합될 수 있다. 흐름도에 예시된 작업 단계들은 기술 분야의 숙련자에게 쉽게 명백한 바와 같이 수많은 서로 다른 수정들이 있을 수 있다는 것이 이해되어야 한다. 기술 분야의 숙련자는 또한 정보와 신호들이 다양한 서로 다른 기술들과 기법들 중 임의의 하나를 사용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 명령어들, 정보들, 신호들, 비트(bit)들, 기호들, 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학장들 또는 광학 입자들, 또는 이들의 임의의 조합으로 표현될 수 있다.

[0055] [0067] 본 개시 내용의 이전의 설명은 기술 분야의 숙련자가 본 개시 내용을 실시하거나 사용하는 것을 가능하게 하도록 제공된다. 본 개시 내용에 대한 다양한 수정들은 기술 분야의 숙련자에게 쉽게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 변형들에 적용될 수 있다. 따라서, 본 개시 내용은 본 명세서에 설명된 예들 및 설계들에 제한되도록 의도되지 않고, 본 명세서에 개시된 원리들 및 신규 특징들과 일치하는 가장 넓은 범위에 부합되도록 의도된다.

[0056] [0068] 구현 예들이 또한 후속하는 번호가 매겨진 조항들에 설명되어 있다:

[0057] 1. 집적 회로(IC) 패키지로서,

[0058] 복수의 패키지 기판 인터커넥트들을 포함하는 패키지 기판;

[0059] 복수의 다이 인터커넥트들을 포함하는 IC 칩;

[0060] 패키지 기판과 IC 칩 사이에 배치된 재배선 층(RDL) 기판 – RDL 기판은:

[0061] 복수의 다이 인터커넥트들 중 다이 인터커넥트에 결합된 RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층;

[0062] 복수의 기판 인터커넥트들을 포함하는 기판 층; 및

[0063] RDL 층과 기판 층 사이에 배치된 커패시터를 포함함 –; 및

[0064] 복수의 다이 인터커넥트들 중 다이 인터커넥트 및 커패시터에 전기적으로 결합된 적어도 하나의 수직 인터커넥트 액세스(비아)를 포함하는, IC 패키지.

[0065] 2. 조항 1에 있어서, 기판 층은 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 포함하는, IC 패키지.

[0066] 3. 조항 2에 있어서, 복수의 다이 인터커넥트들 중 다이 인터커넥트 및 기판 층 내의 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 결합된 적어도 하나의 제2 비아를 추가로 포함하는, IC 패키지.

[0067] 4. 조항 1 내지 조항 3 중 어느 한 조항에 있어서, 커패시터와 RDL 층 사이에 배치된 패시베이션 층을 추가로 포함하는, IC 패키지.

[0068] 5. 조항 1 내지 조항 4 중 어느 한 조항에 있어서, 적어도 하나의 비아는 RDL 기판을 통해 배치되고 복수의 재배선 금속 라인들 중 다이 인터커넥트에 결합된 재배선 금속 라인에 전기적으로 결합되는 적어도 하나의 실리콘-관통-비아(through-silicon-via)(TSV)를 포함하는, IC 패키지.

[0069] 6. 조항 5에 있어서, 적어도 하나의 TSV의 높이 대 폭의 종횡비는 적어도 2.0 인, IC 패키지.

[0070] 7. 조항 1 내지 조항 6 중 어느 한 조항에 있어서, RDL 기판을 통해 배치되고 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 기판 층 내의 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, IC 패키지.

[0071] 8. 조항 7에 있어서, 복수의 제2 비아들의 높이 대 폭의 종횡비는 적어도 1.0 인, IC 패키지.

[0072] 9. 조항 1 내지 조항 8 중 어느 한 조항에 있어서,

[0073] RDL 층과 기판 층 사이에 배치된 유전체 재료를 포함하는 유전체 층; 및

[0074] 유전체 층에 내장된 커패시터 패키지 – 커패시터 패키지는 커패시터를 포함함 – 를 추가로 포함하는, IC 패키지.

[0075] 10. 조항 9에 있어서, 적어도 하나의 비아는, 커패시터 패키지를 통해 배치되고 복수의 재배선 금속 라인들 중 다이 인터커넥트에 결합되는 재배선 금속 라인에 전기적으로 결합되는 적어도 하나의 실리콘-관통-비아(TSV)를 포함하는, IC 패키지.

[0076] 11. 조항 9에 있어서, RDL 기판을 통해 배치되고 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 기판 층 내의 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하고;

[0077] 복수의 제2 비아들은 커패시터 패키지 외부에 RDL 기판의 유전체 층을 통해 배치되는, IC 패키지.

[0078] 12. 조항 1 내지 조항 11 중 어느 한 조항에 있어서, 복수의 재배선 금속 라인들 중 적어도 하나의 재배선 금속 라인은 자신의 개개의 RDL 인터커넥트의 수직 경로 외부로 팬-아웃되는(fanned-out), IC 패키지.

[0079] 13. 조항 1 내지 조항 12 중 어느 한 조항에 있어서,

[0080] 복수의 다이 인터커넥트들은 제1 피치를 갖고;

[0081] 기판 층 내의 복수의 기판 인터커넥트들은 제1 피치보다 더 큰 제2 피치를 갖고; 그리고

[0082] 복수의 패키지 기판 인터커넥트들은 제2 피치를 갖는, IC 패키지.

[0083] 14. 조항 13에 있어서, RDL 기판을 통해 배치되고 RDL 층 내의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 기판 층 내의 복수의 기판 인터커넥트들 중 복수의 패키지 기판 인터커넥트들 중 패키지 기판 인터커넥트에 결합된 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, IC 패키지.

[0084] 15. 조항 1 내지 조항 14 중 어느 한 조항에 있어서,

[0085] 패키지 기판은 제1 외부 표면을 추가로 포함하고, 복수의 패키지 기판 인터커넥트들은 제1 외부 표면을 통해 배치되고;

[0086] IC 칩은 활성 표면을 추가로 포함하고, 복수의 다이 인터커넥트들은 활성 표면을 통해 배치되고; 그리고

[0087] 제1 외부 표면과 활성 표면 사이의 거리는 적어도 2 마이크로미터(㎛)인, IC 패키지.

[0088] 16. 조항 1 내지 조항 15 중 어느 한 조항에 있어서, IC 패키지는 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system)(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(SIP: session initiation protocol) 폰; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; PDA(personal digital assistant); 모니터; 컴퓨터 모니터; 텔레비전; 튜너(tuner); 라디오; 위성 라디오; 음악 플레이어; 디지털 음악 플레이어; 휴대용 음악 플레이어, 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 부품; 항공 전자 시스템들(avionics systems); 드론; 및 멀티콥터(multicopter)로 구성된 그룹으로부터 선택된 디바이스 내로 통합되는, IC 패키지.

[0089] 17. IC 패키지를 제조하는 방법으로서,

[0090] 복수의 패키지 기판 인터커넥트들을 포함하는 패키지 기판을 형성하는 단계;

[0091] 패키지 기판 상에 재배선 층(RDL) 기판을 형성하는 단계 - RDL 기판을 형성하는 단계는:

[0092] RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층을 형성하는 단계;

[0093] 복수의 기판 인터커넥트들을 포함하는 기판 층을 형성하는 단계; 및

[0094] RDL 층과 기판 층 사이에 커패시터를 배치하는 단계를 포함함 -;

[0095] 커패시터에 전기적으로 결합되고 IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트에 전기적으로 결합되도록 구성되는 적어도 하나의 수직 인터커넥트 액세스(비아)를 형성하는 단계; 및

[0096] IC 칩의 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트를 복수의 재배선 금속 라인들 중 적어도 하나의 RDL 인터커넥트에 결합하는 단계를 포함하는, IC 패키지를 제조하는 방법.

[0097] 18. 조항 17에 있어서, 기판 층을 형성하는 단계는 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 형성하는 단계를 포함하고;

[0098] 방법은:

[0099] 복수의 패키지 기판 인터커넥트들 중 적어도 하나의 패키지 기판 인터커넥트를 복수의 제2 RDL 인터커넥트들 중 적어도 하나의 제2 RDL 인터커넥트에 결합시키는 단계를 더 포함하고; 그리고

[0100] RDL 층과 기판 층 사이에 커패시터를 배치하는 단계는 RDL 층과 제2 RDL 층 사이에 커패시터를 배치하는 단계를 포함하는, IC 패키지를 제조하는 방법.

[0101] 19. 조항 17 또는 조항 18에 있어서, 복수의 다이 인터커넥트들 중 적어도 하나의 다이 인터커넥트 및 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 전기적으로 결합된 적어도 하나의 제2 비아를 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0102] 20. 조항 19에 있어서, 적어도 하나의 제2 비아를 형성하는 단계는 커패시터의 수직 경로 외부에 적어도 하나의 제2 비아를 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0103] 21. 조항 17, 조항 19 또는 조항 20 중 어느 한 조항에 있어서, 기판 층을 형성하는 단계는, 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 패키지 기판 상에 형성하여, 복수의 제2 재배선 금속 라인들 중 제2 RDL 인터커넥트를 제2 RDL 인터커넥트들 중 적어도 하나의 제2 RDL 인터커넥트에 전기적으로 결합시키는 단계를 포함하는, IC 패키지를 제조하는 방법.

[0104] 22. 조항 21에 있어서, 제2 RDL 층에 인접한 커패시터의 제2 측면 반대편의 커패시터의 제1 측면 위에 패시베이션 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0105] 23. 조항 19 내지 조항 22 중 어느 한 조항에 있어서, 적어도 하나의 비아, 적어도 하나의 제2 비아, 및 커패시터 위에 유전체 재료를 포함하는 유전체 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0106] 24. 조항 23에 있어서, 유전체 층의 표면을 연삭하여 유전체 층으로부터 적어도 하나의 비아 각각의 상부 표면을 노출시키는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0107] 25. 조항 24에 있어서, 복수의 재배선 금속 라인들 중 적어도 하나의 RDL 인터커넥트에 적어도 하나의 비아를 전기적으로 결합시키기 위해 제2 RDL 층 반대편의 유전체 층의 제1 측면 상에서 유전체 층 위에 RDL 층을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0108] 26. 조항 17 내지 조항 25 중 어느 한 조항에 있어서,

[0109] 캐리어를 제공하는 단계; 및

[0110] 캐리어 상에 복수의 제2 비아들을 형성하는 단계를 추가로 포함하는, IC 패키지를 제조하는 방법.

[0111] 27. 재배선 층(RDL) 기판으로서,

[0112] RDL 인터커넥트를 각각 포함하는 복수의 재배선 금속 라인들을 포함하는 RDL 층;

[0113] 복수의 기판 인터커넥트들을 포함하는 기판 층;

[0114] RDL 층과 기판 층 사이에 배치된 유전체 재료를 포함하는 유전체 층;

[0115] 유전체 층에 내장된 커패시터 패키지-커패시터 패키지는 커패시터를 포함함-; 및

[0116] 커패시터 패키지를 통해 배치되고 복수의 RDL 인터커넥트들 중 RDL 인터커넥트에 전기적으로 결합되는 복수의 실리콘-관통-수직 인터커넥트 액세스(비아)(TSV)들을 포함하는, RDL 기판.

[0117] 28. 조항 27에 있어서,

[0118] 커패시터 패키지는 커패시터에 결합된 적어도 하나의 금속 라인을 포함하는 금속 층을 추가로 포함하고; 및

[0119] 복수의 TSV들 중 적어도 하나의 TSV는 커패시터에 결합된 적어도 하나의 금속 라인에 결합되는, RDL 기판.

[0120] 29. 조항 27에 있어서, 복수의 TSV들 중 적어도 하나의 TSV는 기판 층 내의 복수의 기판 인터커넥트들 중 적어도 하나의 기판 인터커넥트에 결합되는, RDL 기판.

[0121] 30. 조항 27 내지 조항 29 중 어느 한 조항에 있어서, 기판 층은 제2 RDL 인터커넥트를 각각 포함하는 복수의 제2 재배선 금속 라인들을 포함하는 제2 RDL 층을 포함하는, RDL 기판.

[0122] 31. 조항 27 내지 조항 30 중 어느 한 조항에 있어서, RDL 층은 외부 표면을 포함하고, 복수의 재배선 금속 라인들의 RDL 인터커넥트들은 외부 표면을 통해 배치되는, RDL 기판.

[0123] 32. 조항 27 내지 조항 31 중 어느 한 조항에 있어서, 커패시터 패키지와 RDL 층 사이에 배치된 패시베이션 층을 추가로 포함하는, RDL 기판.

[0124] 33. 조항 32에 있어서, 복수의 TSV들은 패시베이션 층을 통해 연장되는, RDL 기판.

[0125] 34. 조항 27 내지 조항 33 중 어느 한 조항에 있어서, 복수의 TSV들의 높이 대 폭의 종횡비는 적어도 2 마이크로미터(㎛)인, RDL 기판.

[0126] 35. 조항 27 내지 조항 34 중 어느 한 조항에 있어서, 유전체 층을 통해 배치되고 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 비아들을 추가로 포함하는, RDL 기판.

[0127] 36. 조항 27 내지 조항 35 중 어느 한 조항에 있어서, RDL 기판의 유전체 층을 통해 배치되고 RDL 층의 복수의 RDL 인터커넥트들 중 RDL 인터커넥트 및 기판 층 내의 복수의 기판 인터커넥트들 중 기판 인터커넥트에 전기적으로 결합되는 복수의 제2 비아들을 추가로 포함하는, RDL 기판.

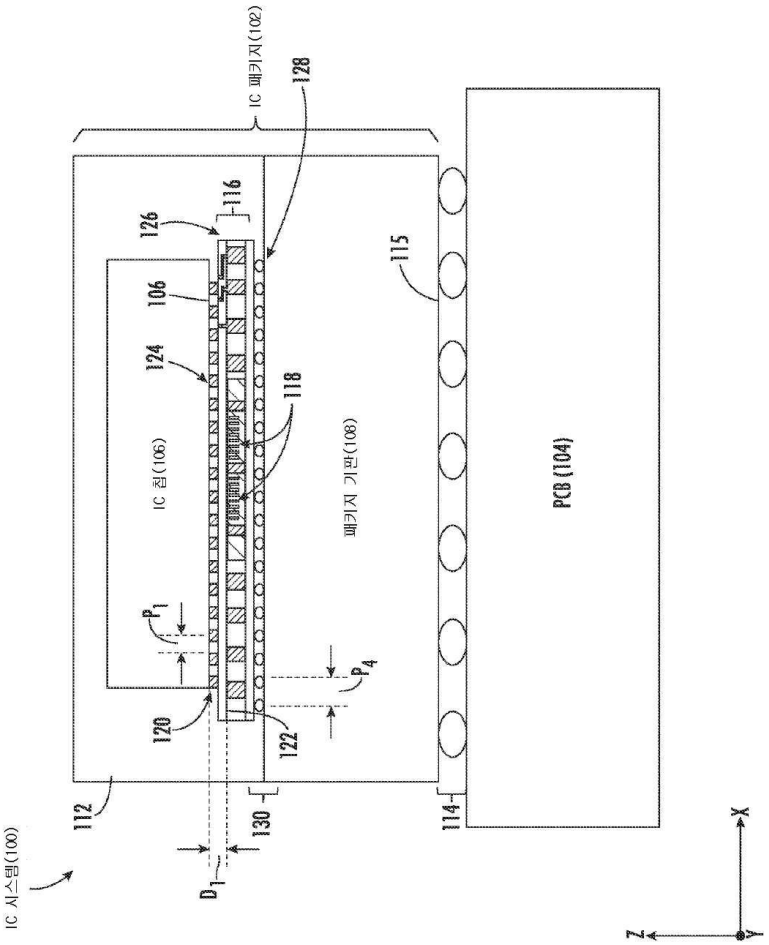
[0128] 37. 조항 36에 있어서, 복수의 제2 비아들의 높이 대 폭의 종횡비가 적어도 1.0 인, RDL 기판.

[0129] 38. 조항 36 또는 조항 37에 있어서, 복수의 제2 비아들은 커패시터 패키지 외부에 RDL 기판의 유전체 층을 통해 배치되는, RDL 기판.

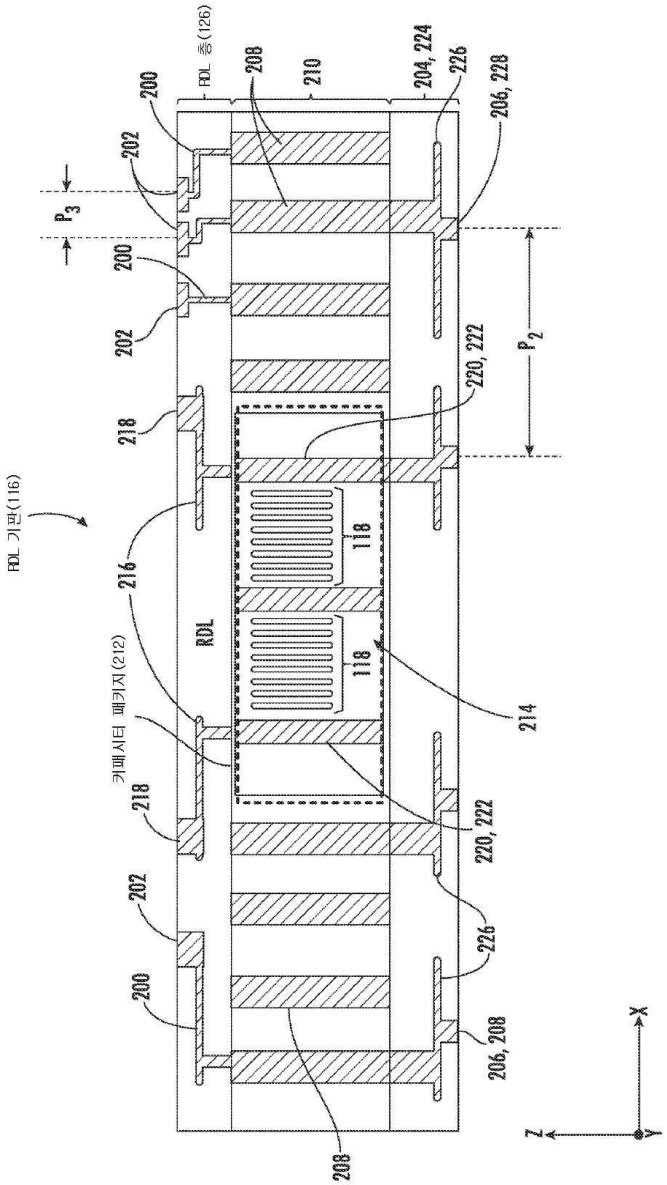
[0130] 39. 조항 27 내지 조항 38 중 어느 한 조항에 있어서, 커패시터 패키지는 유전체 재료를 포함하는 유전체 층을 포함하고, 커패시터는 유전체 층에 내장되는, RDL 기판.

도면

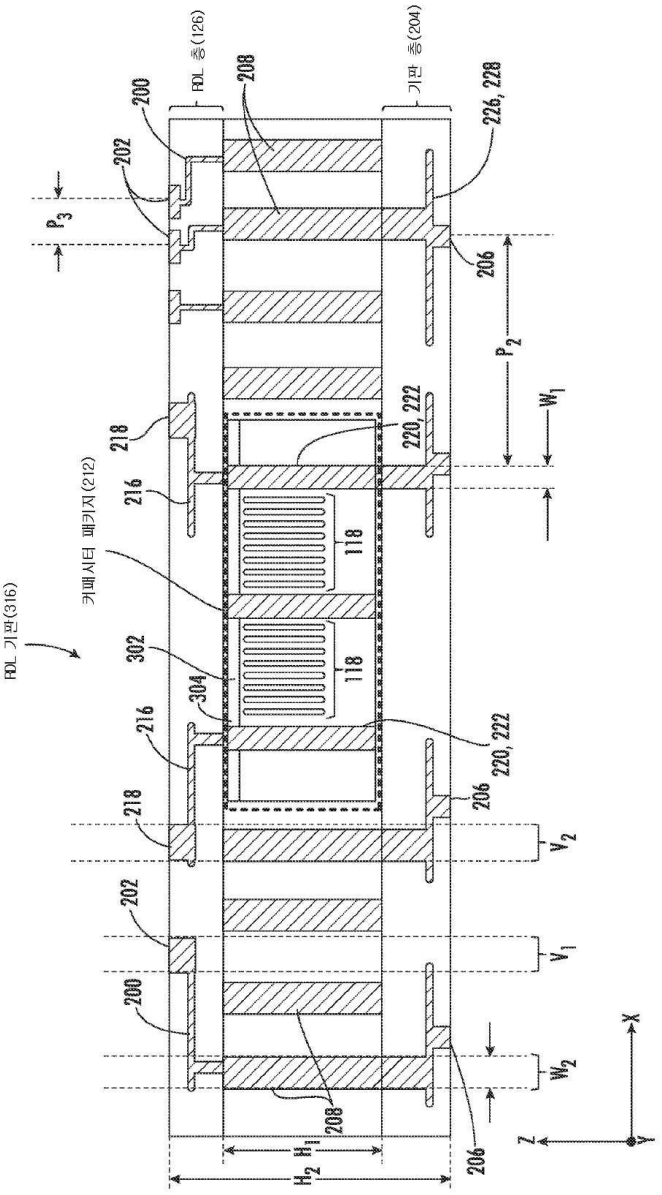
도면1



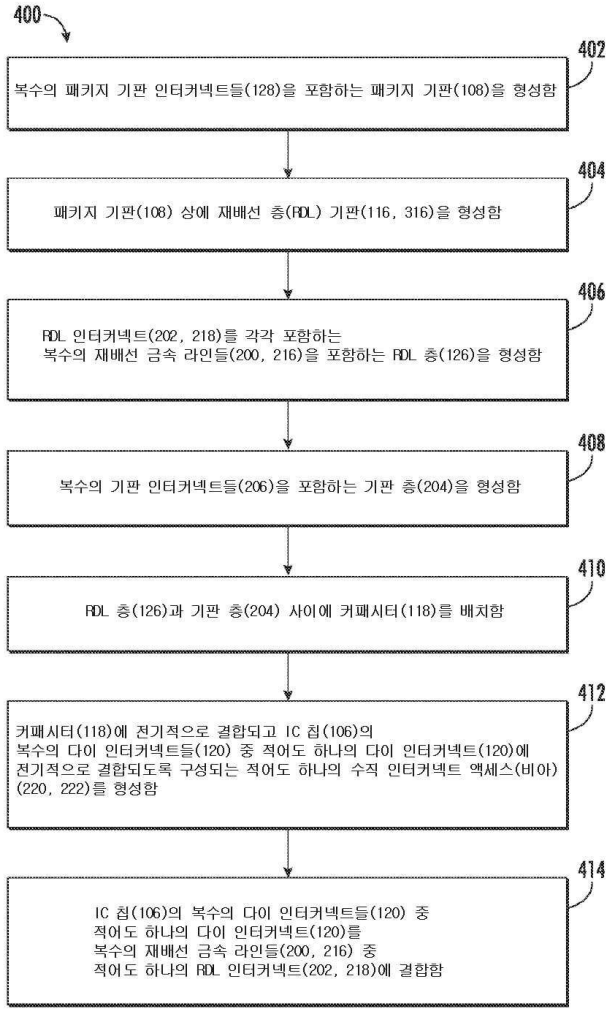
도면2


RDL 기판(116)
RDL 층(126)
208
210
204, 224
226
206, 228
200
202
P_3
P_2
220, 222
218
216
118
RDL
214
커패시터 패키지(212)
206, 208
X
Y
Z

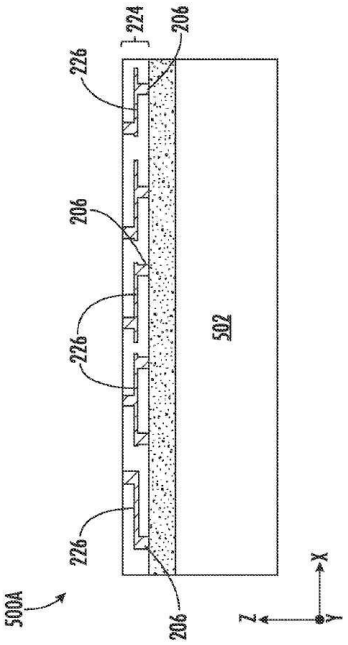
도면3


RDL 층(126)
기판 층(204)
RDL 기판(316)
커패시터 패키지(212)
200
202
208
226, 228
206
218
216
220, 222
118
302
304
P_3
P_2
W_1
V_2
V_1
W_2
H_1
H_2
X
Y
Z

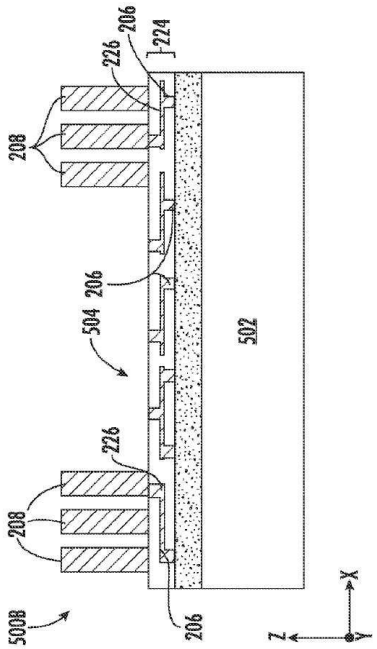
도면4


400
402
복수의 패키지 기판 인터커넥트들(128)을 포함하는 패키지 기판(108)을 형성함
404
패키지 기판(108) 상에 재배선 층(RDL) 기판(116, 316)을 형성함
406
RDL 인터커넥트(202, 218)를 각각 포함하는
복수의 재배선 금속 라인들(200, 216)을 포함하는 RDL 층(126)을 형성함
408
복수의 기판 인터커넥트들(206)을 포함하는 기판 층(204)을 형성함
410
RDL 층(126)과 기판 층(204) 사이에 커패시터(118)를 배치함
412
커패시터(118)에 전기적으로 결합되고 IC 칩(106)의
복수의 다이 인터커넥트들(120) 중 적어도 하나의 다이 인터커넥트(120)에
전기적으로 결합되도록 구성되는 적어도 하나의 수직 인터커넥트 액세스(비아)
(220, 222)를 형성함
414
IC 칩(106)의 복수의 다이 인터커넥트들(120) 중
적어도 하나의 다이 인터커넥트(120)를
복수의 재배선 금속 라인들(200, 216) 중
적어도 하나의 RDL 인터커넥트(202, 218)에 결합함

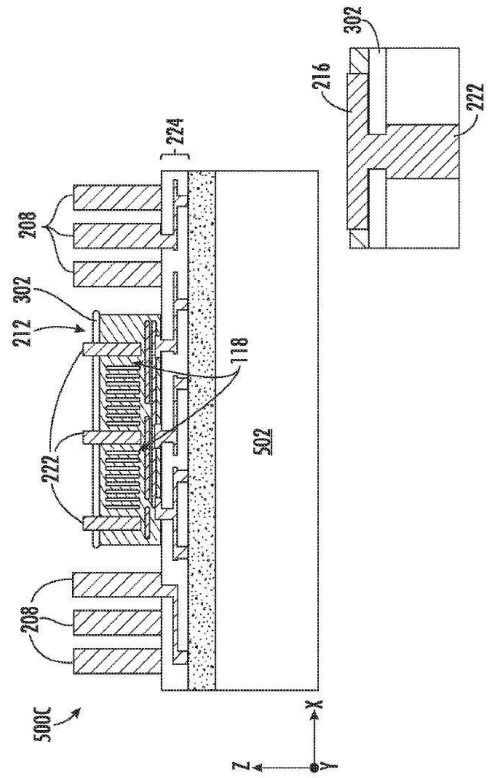
도면5a


224
206
226
206
226
502
226
206
500A
Z
X

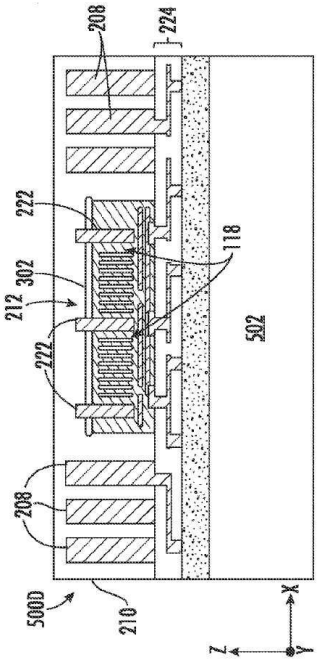
도면5b


206
224
226
208
206
504
502
226
208
500B
206
Z
X
Y

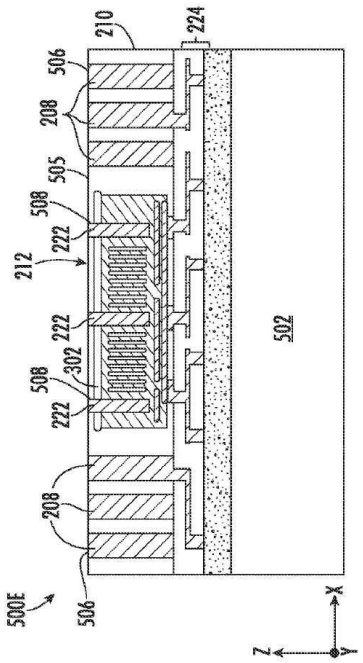
도면5c


302
216
222
224
208
302
212
118
222
502
208
500C
Z
X
Y

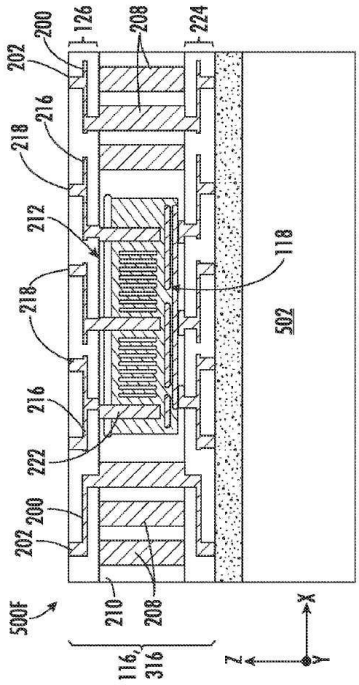
도면5d


208
224
222
118
212
302
222
502
208
500D
210
X
Y
Z

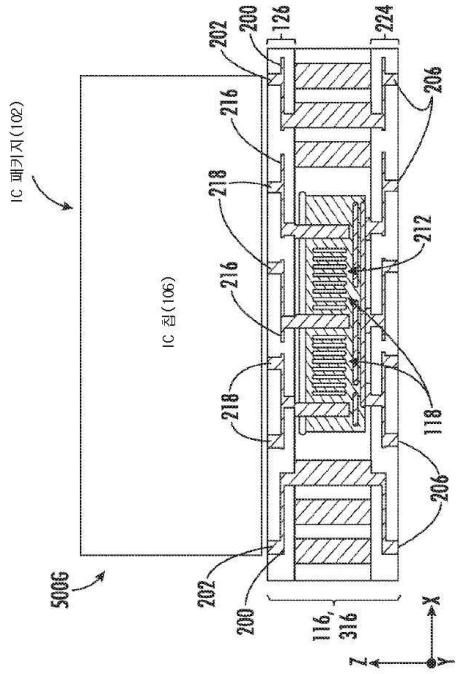
도면5e


210
224
506
208
505
508
222
212
222
302
508
222
502
208
500E
506
X
Y
Z

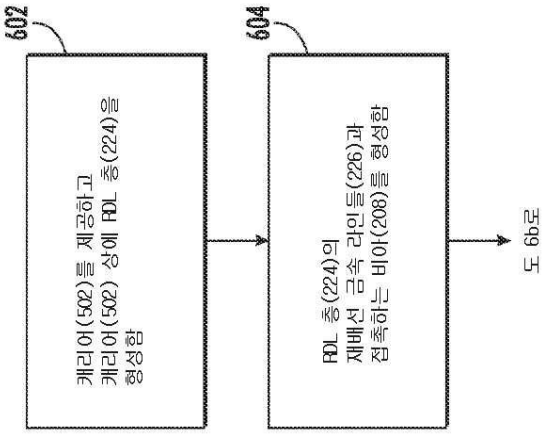
도면5f


202
200
126
208
224
216
218
212
118
218
502
216
222
200
202
500F
210
208
116,
316
Z
X
Y

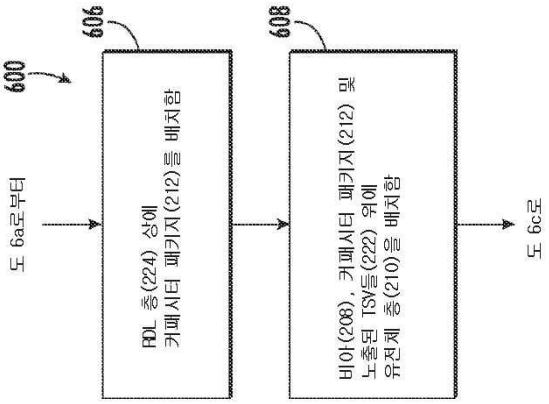
도면5g


IC 패키지(102)
IC 칩(106)
202
200
126
224
206
216
218
212
216
218
118
206
500G
202
200
116,
316
Z
X
Y

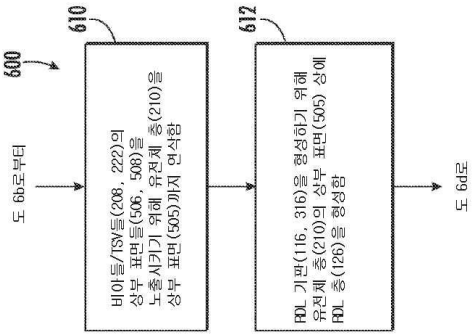
도면6a



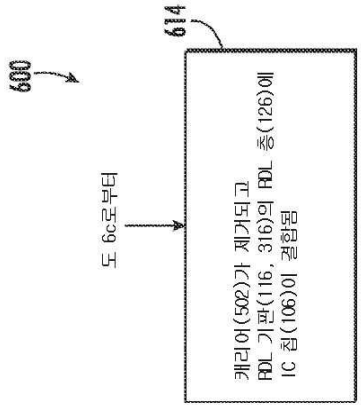
도면6b



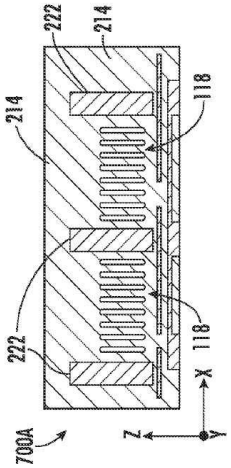
도면6c



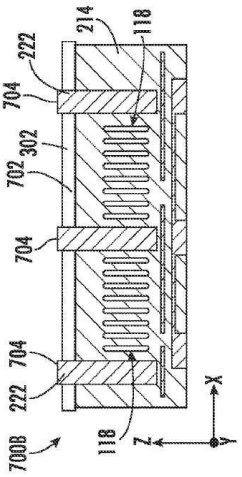
도면6d



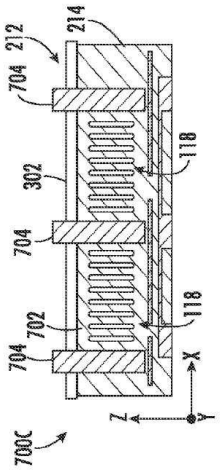
도면7a



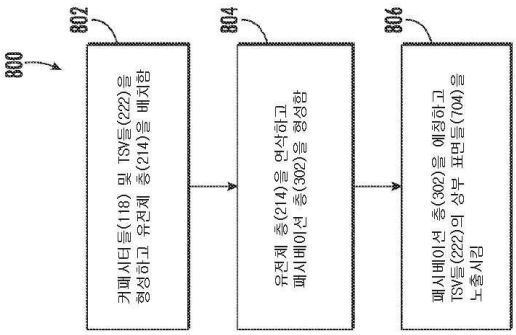
도면7b



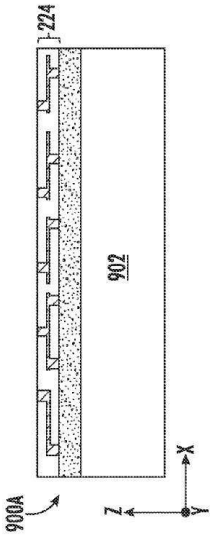
도면7c



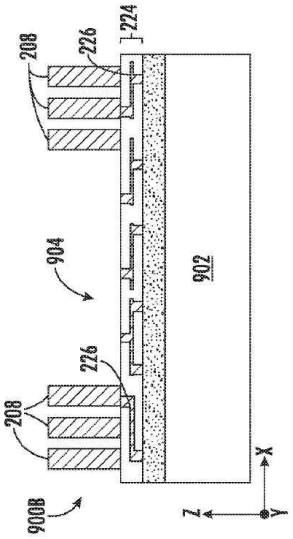
도면8



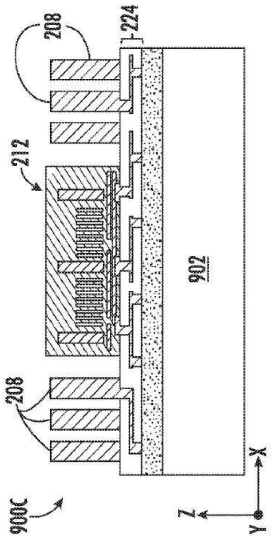
도면9a



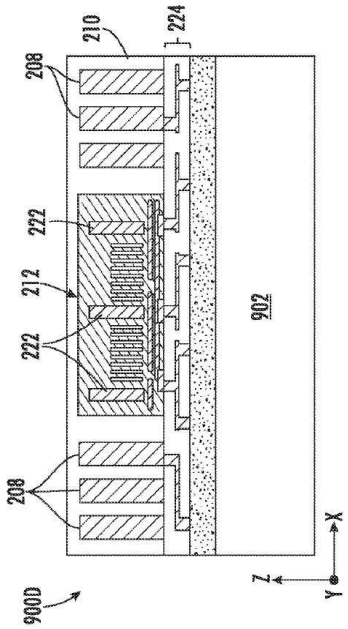
도면9b


208
226
224
904
902
226
208
900B
Z
X
Y

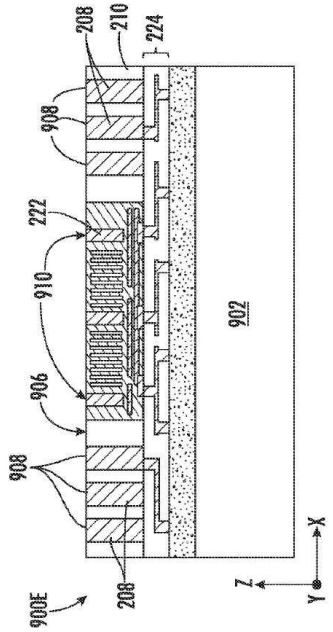
도면9c


208
224
212
902
208
900C
Z
X
Y

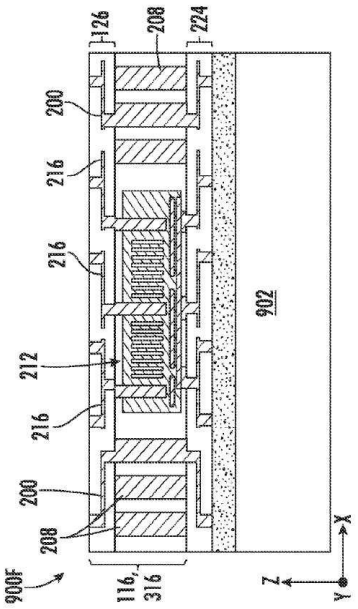
도면9d


210
224
208
222
212
222
902
208
900D
Z
X
Y

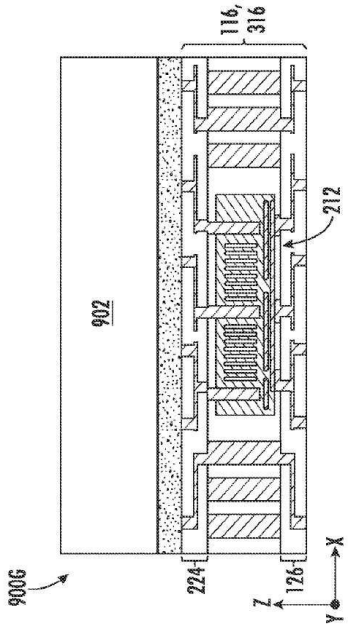
도면9e


208
210
224
908
222
910
902
906
908
208
900E
Z
X
Y

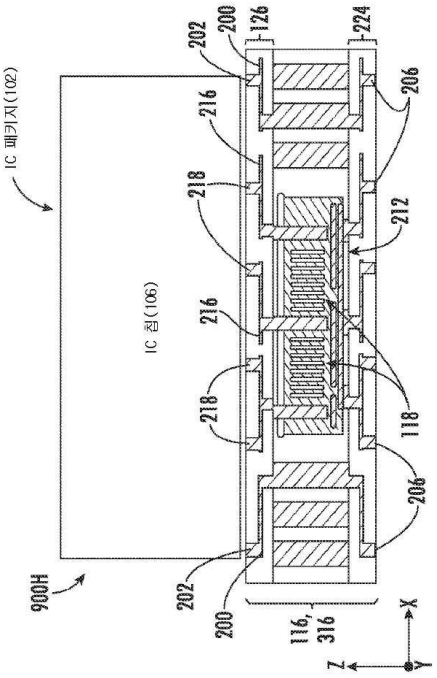
도면9f


126
208
224
200
216
216
902
212
216
200
208
900F
116,
316
Z
X
Y

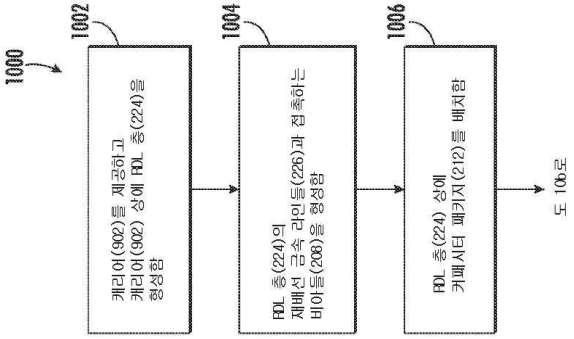
도면9g


116,
316
902
212
900G
224
126
Z
X
Y

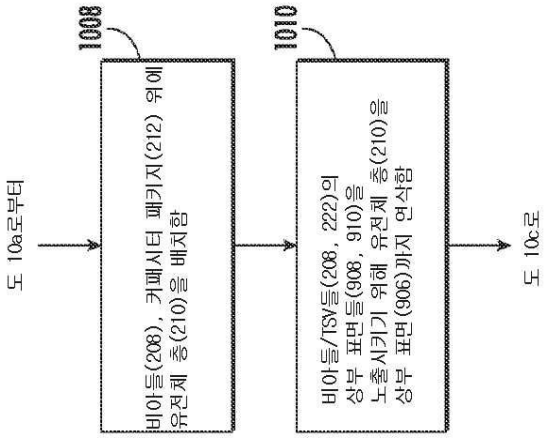
도면9h



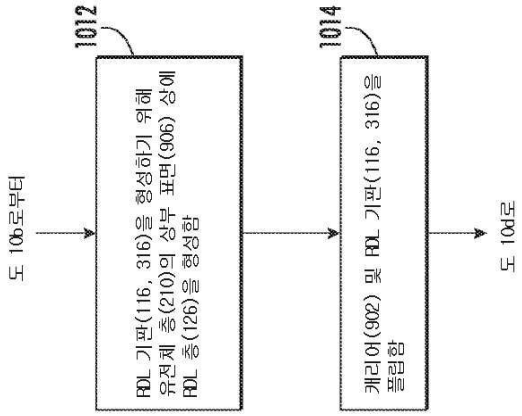
도면10a



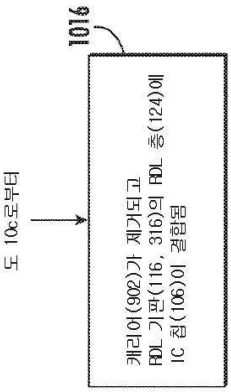
도면10b



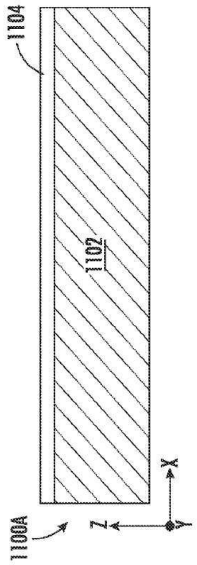
도면10c



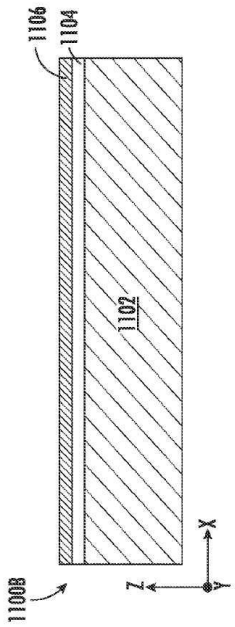
도면10d



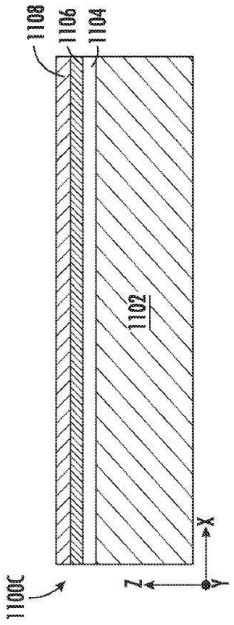
도면11a



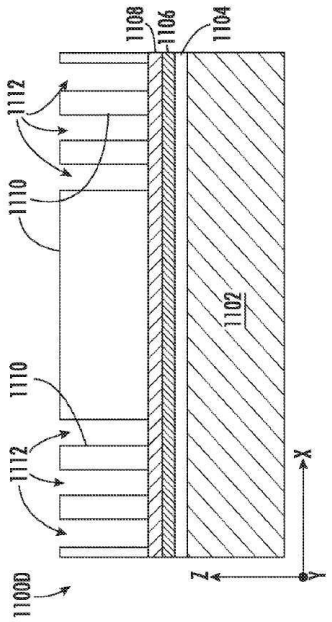
도면11b



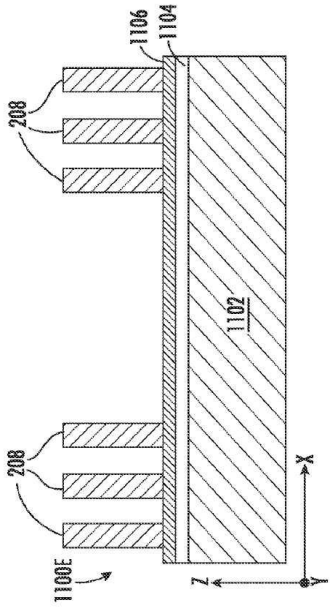
도면11c



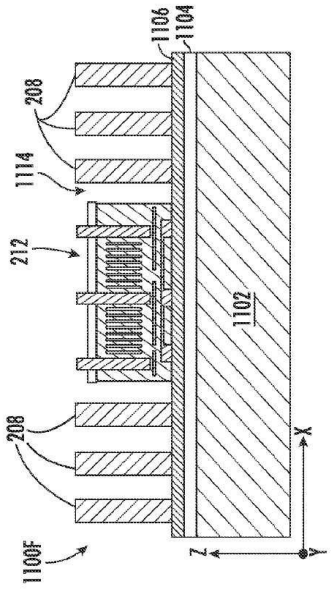
도면11d


1108
1106
1104
1112
1110
1102
1110
1112
X
Z
Y
1100D

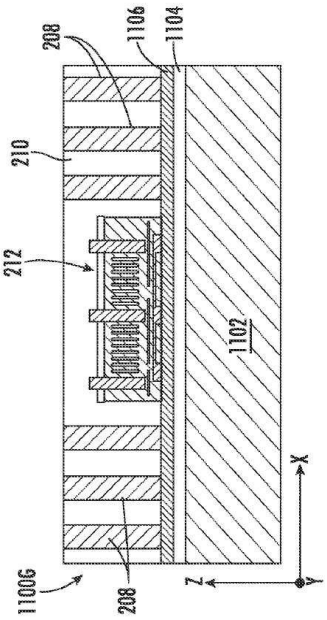
도면11e


1106
1104
208
1102
208
X
Z
Y
1100E

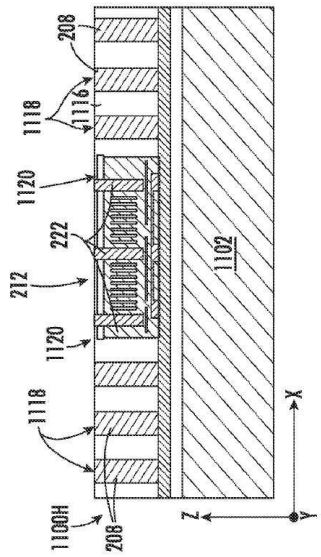
도면11f


1106
1104
208
1114
212
1102
208
1100F
X
Z
Y

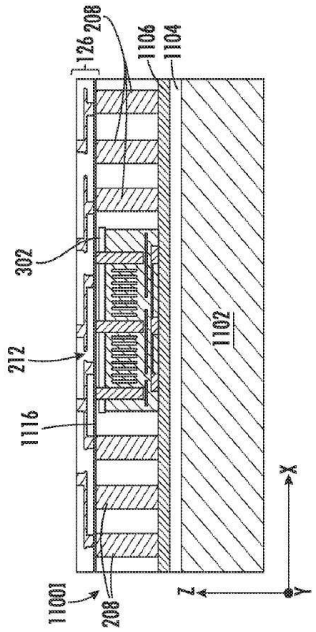
도면11g


208
1106
1104
210
212
1102
11006
208
X
Z
Y

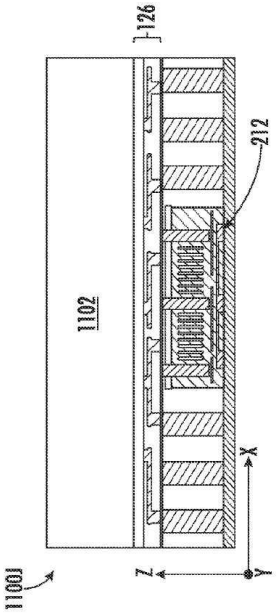
도면11h


208
1118
1116
1120
222
212
1120
1118
1100H
208
1102
Z
X
Y

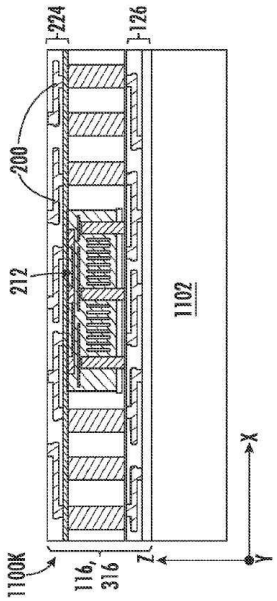
도면11i


126
208
1106
1104
302
212
1116
1100I
208
1102
Z
X
Y

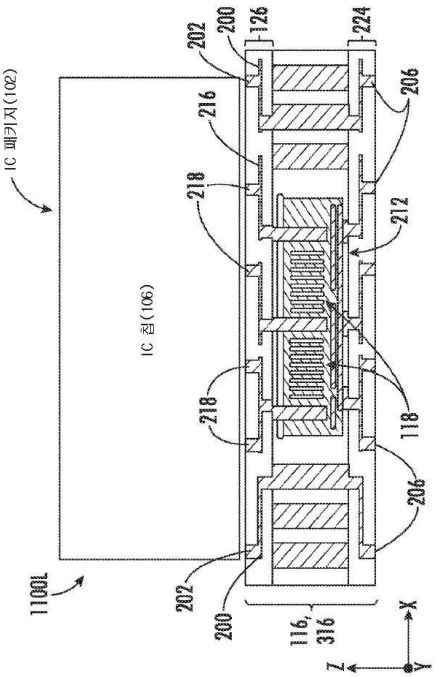
도면11j



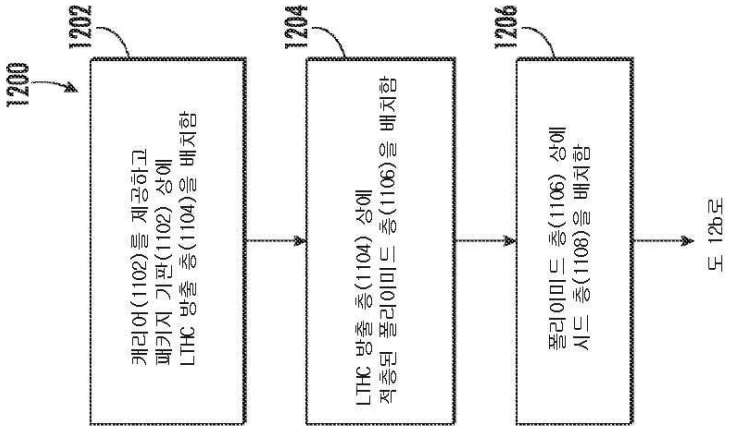
도면11k



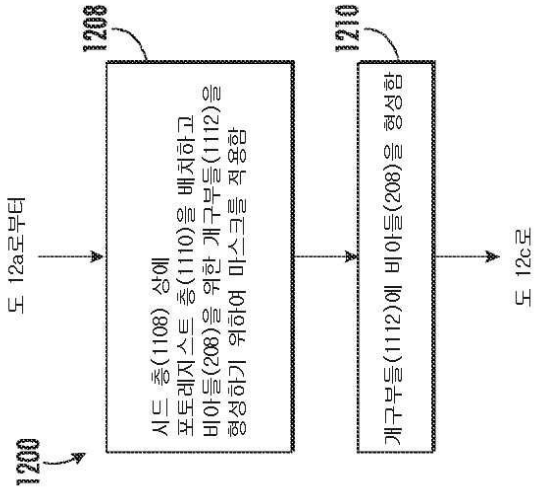
도면11l


IC 패키지(102)
IC 칩(106)
1100L
202
200
126
224
216
206
218
212
218
118
206
202
200
116,
316
Z
X
Y

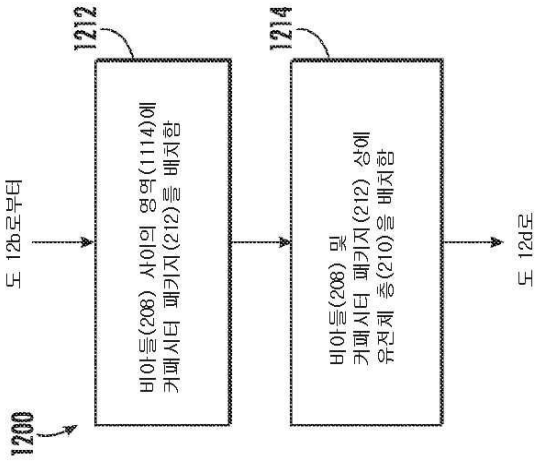
도면12a


1200
1202
캐리어(1102)를 제공하고
패키지 기판(1102) 상에
LTHC 방출 층(1104)을 배치함
1204
LTHC 방출 층(1104) 상에
적층된 폴리이미드 층(1106)을 배치함
1206
폴리이미드 층(1106) 상에
시드 층(1108)을 배치함
도 12b로

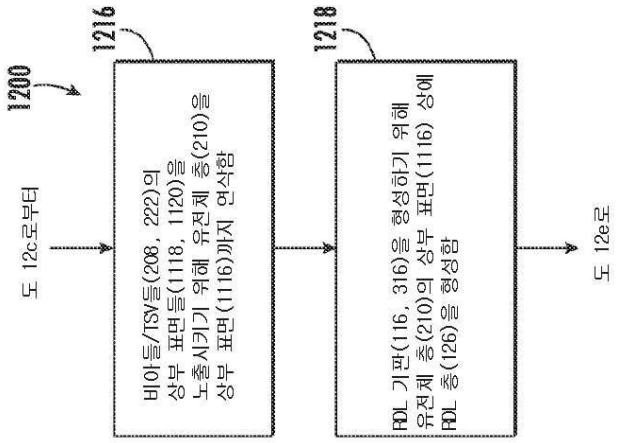
도면12b



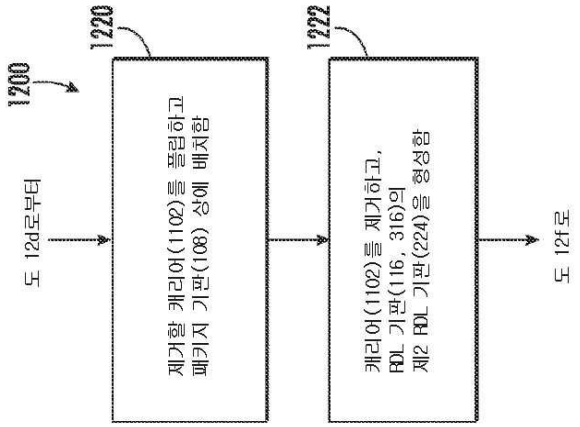
도면12c



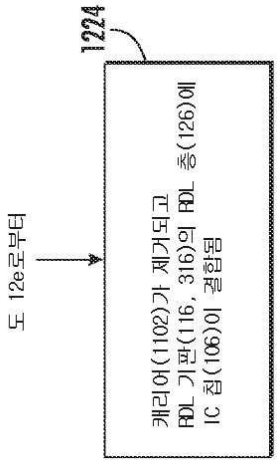
도면12d



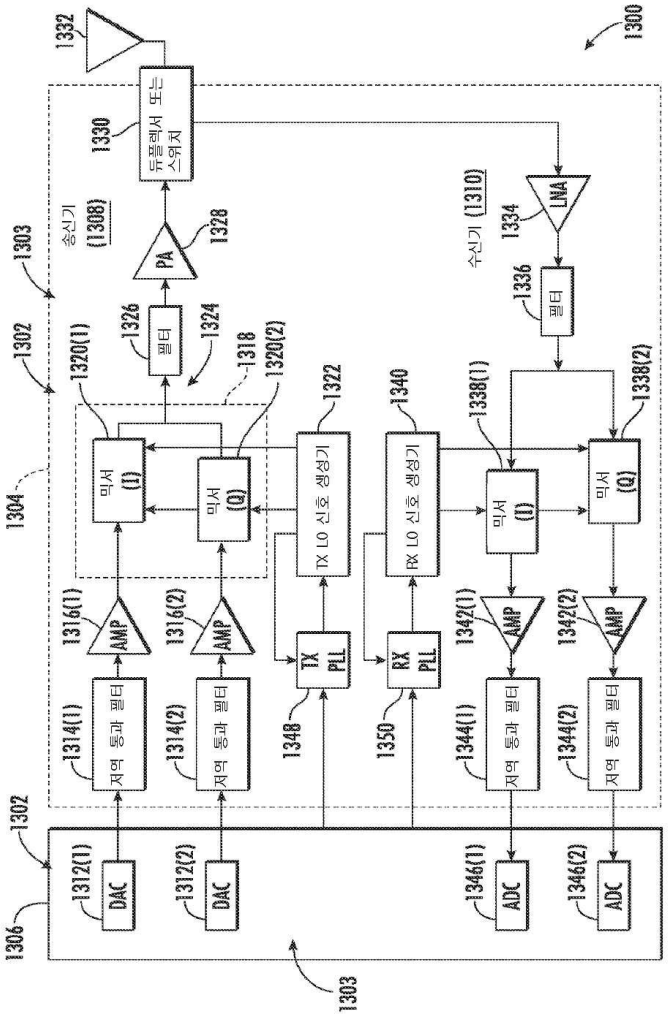
도면12e


1200
도 12d로부터
1220
제거할 캐리어(1102)를 물리하고
패키지 기판(108) 상에 배치함
1222
캐리어(1102)를 제거하고,
RDL 기판(116, 316)의
제2 RDL 기판(224)을 형성함
도 12f로

도면12f


도 12e로부터
1224
캐리어(1102)가 제거되고
RDL 기판(116, 316)의 RDL 층(126)에
IC 칩(106)이 결합됨

도면13


1300
1332
1330
듀플렉서 또는 스위치
송신기 (1308)
1303
1328
PA
수신기 (1310)
1334
LNA
1336
필터
1326
필터
1324
1318
1320(1)
1320(2)
1302
1304
믹서 (I)
믹서 (Q)
1322
TX LO 신호 생성기
1340
RX LO 신호 생성기
1338(1)
1338(2)
1316(1)
1316(2)
AMP
TX PLL
RX PLL
1342(1)
1342(2)
1314(1)
1314(2)
저역 통과 필터
1348
1350
1344(1)
1344(2)
1312(1)
1312(2)
DAC
1346(1)
1346(2)
ADC
1306
1303