

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-31705  
(P2018-31705A)

(43) 公開日 平成30年3月1日(2018.3.1)

(51) Int.Cl.

G O 1 R 19/00 (2006.01)

F 1

G O 1 R 19/00

テーマコード(参考)

B 2 G O 3 5

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号

特願2016-164999 (P2016-164999)

(22) 出願日

平成28年8月25日 (2016.8.25)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

100106149

弁理士 矢作 和行

100121991

弁理士 野々部 泰平

100145595

弁理士 久保 貴則

赤間 貞洋

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

小野 秀和

静岡県浜松市東区子安町311-3 三栄ハイテックス株式会社内

最終頁に続く

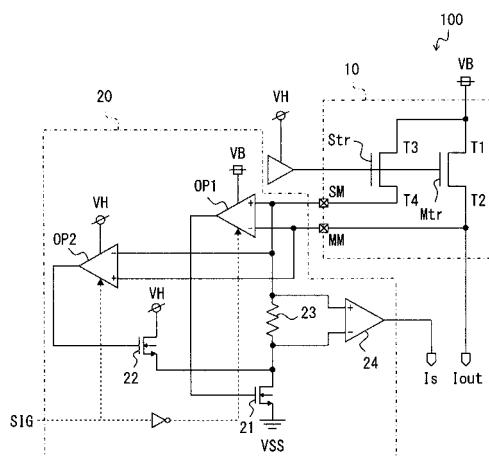
(54) 【発明の名称】半導体装置

## (57) 【要約】

**【課題】**電力損失を抑えつつ、高精度且つ、力行時と回生時の双方向の電流検出が可能な半導体装置を提供する。

**【解決手段】**この半導体装置は、メインスイッチング素子と、メインスイッチング素子にカレントミラー接続されてセンス電流が流れるセンススイッチング素子を備える。メインスイッチング素子は、出力端子として第1端子と第2端子を有し、センススイッチング素子は、第1端子に接続される第3端子と、センス電流が流れる第4端子とを有する。また、第4端子の電位を検出するためのセンス抵抗を備える。さらに、第2端子および第4端子がそれぞれ入力端子に接続されるオペアンプを備え、オペアンプは、その出力が入力端子にフィードバックするように構成されつつ、そのフィードバック経路にセンス抵抗を含むようにされる。オペアンプには、第1端子よりも高い電圧が供給可能にされており、センス抵抗に流れるセンス電流の方向が切り替え可能にされる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

負荷電流を制御するメインスイッチング素子（M tr）と、前記メインスイッチング素子にカレントミラー接続されて前記負荷電流に相関するセンス電流が流れるセンススイッチング素子（S tr）と、を備え、

前記メインスイッチング素子は、出力端子として互いの間を電流が流れる第1端子（T 1）および第2端子（T 2）を有し、

前記センススイッチング素子は、前記第1端子に接続される第3端子（T 3）と、前記第3端子との間に前記センス電流が流れる第4端子（T 4）と、を有し、

前記第4端子に接続され、前記第4端子の電位を検出するためのセンス抵抗（23）を備えた半導体装置であって、

さらに、前記第2端子および前記第4端子がそれぞれ入力端子に接続されるオペアンプ（O P 1, O P 2, O P 3, O P 4）を備え、

前記オペアンプは、前記オペアンプの出力が前記オペアンプの入力端子にフィードバックするように構成されつつ、そのフィードバック経路に前記センス抵抗を含むようにされ、

さらに、前記オペアンプには、前記第1端子よりも高い電圧（V H）が供給可能にされており、

前記第1端子と、第2端子または第4端子との大小関係に応じて前記センス抵抗に流れる前記センス電流の方向が切り替え可能にされる半導体装置。

## 【請求項 2】

前記オペアンプは、第1オペアンプ（O P 1）と第2オペアンプ（O P 2）とを含み、

前記第1オペアンプは、前記第4端子が非反転入力端子に接続され、前記第2端子が反転入力端子に接続され、前記第1オペアンプの出力に応じて、非反転入力端子から前記第1端子よりも電位の低い基準電位に向かって前記センス抵抗を介して電流が流れるようされ、

前記第2オペアンプは、前記第1端子よりも高い電圧が供給されつつ前記第1オペアンプに並列に接続されるものであり、前記第2端子が非反転入力端子に接続され、前記第4端子が反転入力端子に接続され、前記第2オペアンプの出力に応じて、前記第1端子よりも電位の高い高電圧源から反転入力端子に向かって前記センス抵抗を介して電流が流れるようされ、

前記第1端子の電位が前記第2端子よりも高電位のとき、前記第1オペアンプが有効にされるとともに前記第2オペアンプが無効にされ、

前記第1端子の電位が前記第2端子よりも低電位のとき、前記第1オペアンプが無効にされるとともに前記第2オペアンプが有効にされる請求項1に記載の半導体装置。

## 【請求項 3】

前記オペアンプ（O P 3）の入力端子と、前記第2端子および前記第4端子との間に介在する第1スイッチ回路（31）と、

前記オペアンプの出力端子と、前記センス抵抗との間に介在する第2スイッチ回路（32）と、を備え、

前記第1スイッチ回路は、

前記第2端子を、非反転入力端子および反転入力端子のいずれか一方に接続するとともに、前記第4端子を、前記第2端子が接続されない他方の入力端子に接続し、

前記第2スイッチ回路は、

前記第2端子が非反転入力端子に接続されるときには、前記オペアンプの出力に応じて、非反転入力端子から前記第1端子よりも電位の低い基準電位に向かって前記センス抵抗を介して電流が流れるようになるとともに、

前記第2端子が反転入力端子に接続されるときには、前記オペアンプの出力に応じて、前記第1端子よりも電位の高い高電圧源から反転入力端子に向かって前記センス抵抗を介して電流が流れるようとする請求項1に記載の半導体装置。

10

20

30

40

50

**【請求項 4】**

前記オペアンプ( O P 4 )は、前記第4端子が非反転入力端子に接続され、前記第2端子が反転入力端子に接続され、

前記オペアンプの出力端子に接続され、前記フィードバック経路において前記オペアンプの出力に応じて電位が調整される電圧調整回路( 2 5 )と、

前記電圧調整回路と前記センス抵抗との間に介在し、前記第1端子よりも高い電圧が供給され、前記電圧調整回路により調整された電位に応じて前記センス抵抗に流れる電流の大きさを制御するバッファ( 2 6 )と、を備える請求項1に記載の半導体装置。

**【請求項 5】**

前記バッファは、A B 級バッファである請求項4に記載の半導体装置。 10

**【発明の詳細な説明】****【技術分野】****【0 0 0 1】**

本発明は、力行時と回生時における双方向の電流を検出する半導体装置に関する。 20

**【背景技術】****【0 0 0 2】**

従来から、I G B TやM O S F E Tなどのパワースイッチング素子を流れる電流を検出する手段として、シャント抵抗器や電流センサを利用するものが知られている。しかしながら、シャント抵抗器は、抵抗器自身に流れる電流による損失が生じてしまい省エネルギー化の要請に反する。また、電流センサは、シャント抵抗器よりも高コストになる場合がある。 20

**【0 0 0 3】**

このような問題に対し、特許文献1に開示された発明は、M O S F E Tのソース電圧をオペアンプに入力して出力をフィードバックする構成を採用することにより、シャント抵抗器や電流センサを用いることなく、高精度にスイッチング素子の電流を検出することができる。

**【先行技術文献】****【特許文献】****【0 0 0 4】****【特許文献1】特開2009-80036号公報**

30

**【発明の概要】****【発明が解決しようとする課題】****【0 0 0 5】**

しかしながら、特許文献1に開示された発明では、ドレンからソースに流れる電流(例えば力行時)の電流値を検出することはできるものの、ソースからドレンに流れる電流(例えば回生時)の電流値を検出することはできない。

**【0 0 0 6】**

回生時の電流を検出する技術には、シャント抵抗器を利用するものが知られているが、電力損失の観点から好ましくない。

**【0 0 0 7】**

そこで、本発明は上記問題点に鑑み、電力損失を抑えつつ、高精度且つ、力行時と回生時の双方向の電流検出が可能な半導体装置を提供することを目的とする。 40

**【課題を解決するための手段】****【0 0 0 8】**

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

**【0 0 0 9】**

上記目的を達成するために、本発明は、負荷電流を制御するメインスイッチング素子( 50

M tr )と、メインスイッチング素子にカレントミラー接続されて負荷電流に相関するセンス電流が流れるセンススイッチング素子( S tr )と、を備え、

メインスイッチング素子は、出力端子として互いの間を電流が流れる第1端子( T 1 )および第2端子( T 2 )を有し、センススイッチング素子は、第1端子に接続される第3端子( T 3 )と、第3端子との間で前記センス電流が流れる第4端子( T 4 )と、を有し、

第4端子に接続され、第4端子の電位を検出するためのセンス抵抗( 2 3 )を備えた半導体装置であって、

さらに、前記第2端子および前記第4端子がそれぞれ入力端子に接続されるオペアンプ( O P 1 , O P 2 , O P 3 , O P 4 )を備え、

オペアンプは、オペアンプの出力がオペアンプの入力端子にフィードバックするように構成されつつ、そのフィードバック経路にセンス抵抗を含むようにされ、

さらに、オペアンプには、第1端子よりも高い電圧( V H )が供給可能にされており、

第1端子と、第2端子または第4端子と、の大小関係に応じてセンス抵抗に流れるセンス電流の方向が切り替え可能にされる。

#### 【 0 0 1 0 】

これによれば、センス抵抗がオペアンプの出力と入力との間のフィードバック経路内に構成されているから、フィードバック電流の方向によってセンス抵抗を流れる電流の向きを切り替えることができる。すなわち、センス電流の方向を切り替えることができる。そして、この構成では、例えば第1端子よりも第4端子の電位が低いとき( 力行時 )に流れるセンス電流の方向と、第1端子よりも第4端子の電位が高いとき( 回生時 )に流れるセンス電流の方向とを互いに逆向きにすることができる。このため、力行時に加えて回生時においてもセンス電流の電流値を検出でき、ひいてはメインスイッチング素子の出力電流を検出することができる。なお、第1端子よりも第4端子の電位が高い回生時であっても、オペアンプには第1端子よりも高い電圧が供給可能にされているから、センス電流を第4端子が接続された入力端子に向かって流すことができる。すなわち、回生時において力行時とは逆向きのセンス電流を流すことができる。

#### 【 0 0 1 1 】

また、この構成では、オペアンプの負帰還動作によるフィードバック電流をセンス電流として利用するから、メインスイッチング素子とセンススイッチング素子との間で出力端子間の電位差を略同一に維持することができる。このため、メインスイッチング素子とセンススイッチング素子とのミラー比ずれを抑制できるので、センススイッチング素子を流れるセンス電流と、メインスイッチング素子を流れる出力電流との相関を高精度にとることができ。すなわち、メインスイッチング素子を流れる出力電流の検出を、安価且つ高精度に行うことができる。

#### 【 図面の簡単な説明 】

#### 【 0 0 1 2 】

【 図 1 】第1実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 2 】変形例 1 に係る半導体装置の概略構成を示す回路図である。

【 図 3 】変形例 2 に係る半導体装置の概略構成を示す回路図である。

【 図 4 】第2実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 5 】第3実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 6 】変形例 3 に係る半導体装置の概略構成を示す回路図である。

【 図 7 】第4実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 8 】変形例 4 に係る半導体装置の概略構成を示す回路図である。

#### 【 発明を実施するための形態 】

#### 【 0 0 1 3 】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

#### 【 0 0 1 4 】

10

20

30

40

50

(第1実施形態)

最初に、図1を参照して、本実施形態に係る半導体装置の概略構成について説明する。

【0015】

図1に示すように、この半導体装置100は、パワースイッチング素子10と、パワースイッチング素子に流れる出力電流を検出する電流検出部20を備えたスイッチ装置である。本実施形態において、所定の電圧源から端子に与えられる電位には、電源電位VBと、電源電位VBよりも高電位に昇圧された昇圧電位VHと、回路の基準電位VSSがある。各電位の大小関係はVH > VB > VSSである。VSSは例えばグランド電位であり、VBは例えば車両におけるバッテリ電位であり、VHはバッテリ電位をチャージポンプ等で昇圧した電位である。

10

【0016】

パワースイッチング素子10は、図示しない負荷に出力電流Ioutを供給するメインスイッチング素子たるメインMOSトランジスタMtrと、メインMOSトランジスタMtrとの間で互いのドレインが接続されてカレントミラー接続されたセンスMOSトランジスタStrとを有している。

【0017】

メインMOSトランジスタMtrは、例えばNchMOSトランジスタである。第1端子たるドレイン端子T1には電源が接続され電源電位VBとされている。一方、第2端子たるソース端子T2は、メインMOSトランジスタMtrを流れる電流である出力電流Ioutを取り出す端子である。つまり、ソース端子T2に負荷が接続される。ドレイン端子T1よりもソース端子T2が低電位のとき、すなわち力行時において、ゲート端子にゲート電圧が印加されると、出力電流Ioutはドレイン端子T1からソース端子T2に向かって流れる。逆に、ドレイン端子T1よりもソース端子T2が高電位のとき、すなわち回生時においても、ゲート電圧を印加してメインMOSトランジスタMtrをオンさせる同期整流を行う。これにより、出力電流Ioutは、メインMOSトランジスタMtrとセンスMOSトランジスタStrのミラー比に基づいて、ソース端子T2からドレイン端子T1に向かって流れる。なお、図1に示すように、第2端子たるソース端子T2の電位をMMと示し、この電位は後述の第1オペアンプOP1における反転入力端子、および第2オペアンプOP2における非反転入力端子に印加される。

20

【0018】

センスMOSトランジスタStrは、例えばNchMOSトランジスタである。センスMOSトランジスタStrはメインMOSトランジスタMtrにカレントミラー接続されている。すなわち、第3端子たるドレイン端子T3はメインMOSトランジスタMtrのドレイン端子T1に接続されて電源電位VBとされている。そして、メインMOSトランジスタMtrと同一のゲート電圧がゲート端子に印加される。センスMOSトランジスタStrのドレイン端子T3と第4端子たるソース端子T4の間にはセンス電流Isが流れる。センス電流Isは、メインMOSトランジスタMtrとの間で規定されるミラー比に応じた大きさを持ち、電流の向きは出力電流Ioutと同方向である。つまり、ドレイン端子T3よりもソース端子T4が低電位のとき、すなわち力行時において、ゲート端子にゲート電圧が印加されると、センス電流Isはドレイン端子T3からソース端子T4に向かって流れる。逆に、ドレイン端子T3よりもソース端子T4が高電位のとき、すなわち回生時においても、ゲート電圧を印加してセンスMOSトランジスタStrをオンさせる同期整流を行う。これにより、センス電流Isは、ソース端子T4からドレイン端子T3に向かって流れる。なお、図1に示すように、第4端子たるソース端子T4の電位をSMと示し、この電位は後述の第1オペアンプOP1における非反転入力端子、および第2オペアンプOP2における反転入力端子に印加される。

40

【0019】

上記したように、センス電流Isは出力電流Ioutに相関する。よって、出力電流Ioutを直接測定せずとも、センス電流Isを検出できれば出力電流Ioutを知ることができる。なお、以降のセンス電流Isおよび出力電流Ioutの記載においては、ドレ

50

インからソースに向かって電流が流れる力行時の電流の向きを正とし、回生時の電流の向きを負とする。

#### 【0020】

電流検出部20は、以下に詳述するオペアンプOP1, OP2の負帰還動作によるフィードバック電流をセンス電流Isとして利用する。電流検出部20は、図1に示すように、第1オペアンプOP1と、第2オペアンプOP2と、第1トランジスタ21と、第2トランジスタ22と、センス抵抗23と、センス電流検出アンプ24と、を有している。

#### 【0021】

第1オペアンプOP1は、電源電位VBを電源として駆動する一般的なオペアンプである。第1オペアンプOP1の非反転入力端子にはセンスMOSトランジスタStrのソース端子T4が接続されている。第1オペアンプOP1の反転入力端子にはメインMOSトランジスタMtrのソース端子T2が接続されている。

10

#### 【0022】

第1オペアンプOP1の出力端子は、NMOSで構成された第1トランジスタ21のゲート端子に接続されている。第1トランジスタ21のソース端子は基準電位VSSに接続され、第1トランジスタ21のドレイン端子はセンス抵抗23を介して第1オペアンプOP1の非反転入力端子に接続されている。つまり、第1オペアンプOP1の出力端子は、第1トランジスタ21およびセンス抵抗23がこの順番で仲介して非反転入力端子に接続されている。なお、基準電位VSSは、例えばグランド電位GNDである。

20

#### 【0023】

このように、第1オペアンプOP1は、出力端子がセンス抵抗23を介して非反転入力端子に負帰還で接続された構成とされている。そして、非反転入力端子と反転入力端子との間に電位差が生じた場合において、非反転入力端子から基準電位VSSに向かってフィードバック電流が流れることにより、非反転入力端子と反転入力端子との電位差が小さくなるように動作する。つまり、これはセンスMOSトランジスタStrのソース端子T4から基準電位VSSに向かって電流が流出することを意味し、このときのフィードバック電流がセンス電流Isとしてセンス抵抗23に流れる。このようなセンス電流Isの流れは、ソース端子T4の電位であるSMが電源電位VBよりも低電位となる力行時に発生する。

30

#### 【0024】

第2オペアンプOP2は、昇圧電位VHを電源として駆動する一般的なオペアンプである。第2オペアンプOP2の反転入力端子にはセンスMOSトランジスタStrのソース端子T4が接続されている。第2オペアンプOP2の非反転入力端子にはメインMOSトランジスタMtrのソース端子T2が接続されている。

40

#### 【0025】

第2オペアンプOP2の出力端子は、NMOSで構成された第2トランジスタ22のゲート端子に接続されている。第2トランジスタ22のドレイン端子は昇圧電位VHに接続され、第2トランジスタ22のソース端子はセンス抵抗23を介して第2オペアンプOP2の反転入力端子に接続されている。つまり、第2オペアンプOP2の出力端子は、第2トランジスタ22およびセンス抵抗23がこの順番で仲介して反転入力端子に接続されている。

40

#### 【0026】

このように、第2オペアンプOP2は、出力端子がセンス抵抗23を介して反転入力端子に負帰還で接続された構成とされている。そして、非反転入力端子と反転入力端子との間に電位差が生じた場合において、昇圧電位VHから反転入力端子に向かってフィードバック電流が流れることにより、非反転入力端子と反転入力端子との電位差が小さくなるように動作する。つまり、これは昇圧電位VHからセンスMOSトランジスタStrのソース端子T4に向かって電流が流出することを意味し、このときのフィードバック電流がセンス電流Isとしてセンス抵抗23に流れる。このようなセンス電流Isの流れは、ソース端子T4の電位であるSMが電源電位VBよりも高電位となる回生時に発生し、力行時

50

におけるセンス電流の向きとは逆向きになる。本実施形態では、昇圧電位 $V_H$ は電源電位 $V_B$ よりも高電位であるから、 $S_M > V_B$ の回生時もセンス電流が流れる。

#### 【0027】

なお、図1に示すように、第1オペアンプOP1および第2オペアンプOP2には、それぞれの動作をオンまたはオフするための信号SIGが入力されている。ここで、オペアンプをオンするとは、アンプとしての機能を発揮させて出力端子から信号を出力させることを意味する。また、オペアンプをオフするとは、出力端子からの信号出力を遮断することを意味する。信号SIGは、第1端子たるドレイン端子T1の電位と、第2端子たるソース端子T2の電位との大小関係が $MM < V_B$ のとき、あるいは、第1端子たるドレイン端子T1の電位と、第4端子たるソース端子T4の電位との大小関係が $S_M < V_B$ のとき、第1オペアンプOP1をオンし、第2オペアンプOP2をオフする。一方、信号SIGは、 $MM > V_B$ (あるいは $S_M > V_B$ )のとき第1オペアンプOP1をオフし、第2オペアンプOP2をオンする。

10

#### 【0028】

センス電流検出アンプ24は、一般的に知られたオペアンプである。センス抵抗23に対して第1オペアンプOP1の非反転入力端子側、あるいは第2オペアンプOP2の反転入力端子側の一端に、センス電流検出アンプ24の非反転入力端子が接続されている。一方、センス抵抗23の他端にセンス電流検出アンプ24の反転入力端子が接続されている。よって、センス電流検出アンプ24は、非反転入力端子の電位が反転入力端子よりも高い力行時には、センス電流値に相關した正の出力値を出力する。一方、センス電流検出アンプ24は、非反転入力端子の電位が反転入力端子よりも低い回生時には、センス電流値に相關した負の出力値を出力する。

20

#### 【0029】

次に、本実施形態における半導体装置100を採用することによる作用効果について説明する。

#### 【0030】

この半導体装置100は、 $S_M < V_B$ あるいは $MM < V_B$ となる力行時において、第1オペアンプOP1がオンされて有効になり、第2オペアンプOP2がオフされて無効になる。第1オペアンプOP1は $S_M$ が $MM$ に等しくなるように負帰還動作する。その過程で、第1トランジスタ21がオンされて第1オペアンプOP1の非反転入力端子からセンス抵抗23を経て基準電位 $V_{SS}$ に向かってフィードバック電流が流れ、このフィードバック電流がセンス電流として検出される。このように、この半導体装置100は、メインMOSトランジスタMtrのドレイン-ソース間電圧と、センスMOSトランジスタStrのドレイン-ソース間電圧とを同値に維持した状態で力行時のセンス電流を検出することができる。よって、メインMOSトランジスタMtrとセンスMOSトランジスタStrとでアーリー効果による電位差を生ずることなく、正しいミラー比を維持したまま力行時の出力電流 $I_{out}$ を高精度に検出することができる。

30

#### 【0031】

また、この半導体装置100は、 $S_M > V_B$ あるいは $MM > V_B$ となる回生時において、第2オペアンプOP2がオンされて有効になり、第1オペアンプOP1がオフされて無効になる。第2オペアンプOP2は $S_M$ が $MM$ に等しくなるように負帰還動作する。その過程で、第2トランジスタ22がオンされて昇圧電位 $V_H$ からセンス抵抗23を経て第2オペアンプOP1の非反転入力端子に向かってフィードバック電流が流れ、このフィードバック電流がセンス電流として検出される。このように、この半導体装置100は、メインMOSトランジスタMtrのドレイン-ソース間電圧と、センスMOSトランジスタStrのドレイン-ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。よって、同期整流時においては、メインMOSトランジスタMtrとセンスMOSトランジスタStrとでアーリー効果による電位差を生ずることなく、正しいミラー比を維持したまま回生時の出力電流 $I_{out}$ を高精度に検出することができる。

40

#### 【0032】

50

上記のとおり、この半導体装置 100 は、高精度に出力電流  $I_{out}$  に相関するセンス電流  $I_s$  を、その向きを含めて検出することができる。加えて、この半導体装置 100 では、メインMOSトランジスタMtr の出力端子であるソース端子T2 に、電流検出用のシャント抵抗器を設けないから、出力電流に対する電力損失は無い。

#### 【0033】

(変形例1)

上記した第1実施形態では、メインMOSトランジスタMtr のドレイン端子T1 が電源電位VB とされ、負荷に対して、いわゆるハイサイド側のMOSトランジスタを想定した構成について説明したが、図2に示すように、負荷に対してローサイド側のMOSトランジスタに対しても同様の構成を採用することができる。

10

#### 【0034】

この半導体装置110 の、第1実施形態における半導体装置100 と異なる点の一つは、メインMOSトランジスタMtr のソース端子T2 がグランド電位GND に接続され、ドレイン端子T1 に負荷が接続される点である。また、二つは、第1トランジスタ21 のソース端子の電位VSS がグランド電位GND よりも低電位に設定され、第2トランジスタ22 のドレイン端子が電源電位VB に接続される点である。

#### 【0035】

一つめの相違点は、メインMOSトランジスタMtr が負荷に対してローサイド側に接続されることに起因するものである。

20

#### 【0036】

二つめの相違点のうち、第1トランジスタ21 のソース端子の電位VSS をグランド電位GND より低電位に設定することは必須である。力行時において、第1オペアンプOP1 は比反転入力端子の電位SM を、反転入力端子の電位MM (= GND) に等しくなるように基準電位VSS に向かってフィードバック電流を流す。この動作は、基準電位VSS をグランド電位GND よりも低電位にすることで実現することができる。

#### 【0037】

なお、第2トランジスタ22 のドレイン端子に接続する電位は、本変形例では電源電位VB としているが、昇圧電位VH であっても構わない。

#### 【0038】

本変形例においても、第1実施形態と同様に、力行時においては第1オペアンプOP1 がオンされ、回生時においては第2オペアンプOP2 がオンされることにより、高精度に出力電流  $I_{out}$  に相関するセンス電流  $I_s$  を、その向きを含めて検出することができる。

30

#### 【0039】

(変形例2)

上記した第1実施形態では、第1オペアンプOP1 および第2オペアンプOP2 を有効にした際にフィードバック経路を構成する第1トランジスタ21 および第2トランジスタ22 がNch のMOSトランジスタである例について説明した。

#### 【0040】

ここで、第1トランジスタ21 および第2トランジスタ22 は、それぞれ第1オペアンプOP1 および第2オペアンプOP2 が有効にされたときにフィードバック経路を形成するように動作すれば良いのであって、Nch のMOSトランジスタに限定されない。例えば、図3に示す半導体装置120 における第1トランジスタ21 および第2トランジスタ22 は、Pch のMOSトランジスタ(PMOS) である。

40

#### 【0041】

半導体装置120 では、第1オペアンプOP1 の入力端子の構成も第1実施形態に対して逆転する。また、第2オペアンプOP2 の入力端子の構成も第1実施形態に対して逆転する。具体例には、メインMOSトランジスタMtr のソース端子T2 は、第1オペアンプOP1 の非反転入力端子、および、第2オペアンプOP2 の反転入力端子に接続される。また、センスMOSトランジスタStr のソース端子T4 は、第1オペアンプOP1 の

50

反転入力端子、および、第2オペアンプOP2の非反転入力端子に接続される。

【0042】

このように構成することにより、力行時には、第1オペアンプOP1の属するフィードバック経路において、第1オペアンプOP1の反転入力端子から基準電位VSSに向かってセンス電流Isが流れる。また、回生時には、第2オペアンプOP2の属するフィードバック経路において、昇圧電位VHから第2オペアンプOP2の非反転入力端子に向かってセンス電流Isが流れる。

【0043】

すなわち、第1実施形態と同様に、高精度に出力電流Ioutに相關するセンス電流Isを、その向きを含めて検出することができる。

10

【0044】

(第2実施形態)

第1実施形態およびその変形例1, 2では、センス電流としてのフィードバック電流を生成するためのオペアンプを2つ備える形態について説明した。これに対して、本実施形態における半導体装置130は、唯一のオペアンプOP3によって第1実施形態と同様の効果を発揮する。

【0045】

本実施形態における半導体装置130は、図4に示すように、第1実施形態と同一のパワースイッチング素子10に、唯一のオペアンプOP3が接続されている。オペアンプOP3には昇圧電位VHが電源として入力され、2つの入力端子は、第1スイッチ回路31を介してメインMOSトランジスタMtrおよびセンスMOSトランジスタStrのソース端子T2, T4に接続されている。また、オペアンプOP3の出力端子は、第2スイッチ回路32を介して、第1トランジスタ21および第2トランジスタ22に接続されている。

20

【0046】

具体的には、図4に示すように、第1スイッチ回路31は、2つのスイッチSW1と、2つのスイッチSW2とを有している。メインMOSトランジスタMtrの第2端子たるソース端子T2は、スイッチSW1を介してオペアンプOP3の反転入力端子に接続されつつ、スイッチSW2を介して非反転入力端子に接続されている。つまり、ソース端子T2は、スイッチSW1がオンのときは反転入力端子に接続され、スイッチSW2がオンのときは非反転入力端子に接続される。センスMOSトランジスタStrの第4端子たるソース端子T4は、スイッチSW1を介してオペアンプOP3の非反転入力端子に接続されつつ、スイッチSW2を介して反転入力端子に接続されている。つまり、ソース端子T4は、スイッチSW1がオンのときは非反転入力端子に接続され、スイッチSW2がオンのときは反転入力端子に接続される。なお、センス抵抗23は、第4端子T4と第1スイッチ回路31との中間点に接続されている。

30

【0047】

第2スイッチ回路32は、1つのスイッチSW1と、1つのスイッチSW2を有している。オペアンプOP3の出力端子は、スイッチSW1を介して第1トランジスタ21のゲート端子に入力されている。一方、出力端子は、スイッチSW2を介して第2トランジスタ22のゲート端子にも接続されている。第1トランジスタ21のドレイン端子はセンス抵抗23を介してオペアンプOP3の非反転入力端子に接続され、第2トランジスタ22のソース端子はセンス抵抗23を介してオペアンプOP3の非反転入力端子に接続されている。

40

【0048】

すなわち、オペアンプOP3は、スイッチSW1がオンすると第1トランジスタ21とセンス抵抗23を含むフィードバック経路を形成する負帰還回路を成し、スイッチSW2がオンすると第2トランジスタ22とセンス抵抗23を含むフィードバック経路を形成する負帰還回路を成す。換言すれば、スイッチSW1がオンすると、オペアンプOP3は、第1実施形態における第1オペアンプOP1と同様の機能を奏する。一方、スイッチSW

50

2がオンすると、オペアンプOP3は、第1実施形態における第2オペアンプOP2と同様の機能を奏する。

#### 【0049】

なお、第1実施形態では、第1端子たるドレイン端子T1の電位と、第2端子たるソース端子T2の電位との大小関係に応じて各オペアンプOP1, OP2をオンオフする信号SIGがオペアンプOP1, OP2に入力される例を示した。これに対して、本実施形態における信号SIGは、第1スイッチ回路31および第2スイッチ回路32におけるスイッチSW1およびスイッチSW2のオンオフを制御する。スイッチSW1とスイッチSW2とは同期しており、スイッチSW1がオンのときスイッチSW2はオフする。また、スイッチSW2がオンのときスイッチSW1はオフする。

10

#### 【0050】

信号SIGは、第1端子たるドレイン端子T1の電位と、第2端子たるソース端子T2の電位との大小関係がMM < VBのとき、あるいは、第1端子たるドレイン端子T1の電位と、第4端子たるソース端子T4の電位との大小関係がSM < VBのとき（力行時）、スイッチSW1をオンし、スイッチSW2をオフする。一方、信号SIGは、MM > VB（あるいはSM > VB）のとき（回生時）、スイッチSW1をオフし、スイッチSW2をオンする。

20

#### 【0051】

これにより、唯一のオペアンプOP3によって、力行時および回生時のいずれのセンス電流も検出することができる。また、回路規模の大きいオペアンプの点数を第1実施形態およびその変形例1, 2に較べて減ずることができる。

#### 【0052】

##### （第3実施形態）

第2実施形態と同様に、本実施形態における半導体装置140も、唯一のオペアンプOP4を用いて力行時と回生時の出力電流を検出可能な回路構成を有する。

#### 【0053】

図5に示すように、この半導体装置140は、第1実施形態と同一のパワースイッチング素子10に、唯一のオペアンプOP4が接続されている。オペアンプOP4には昇圧電位VHが電源として入力されている。オペアンプOP4の非反転入力端子にはセンスマOSトランジスタStrのソース端子T4が接続されており、反転入力端子にはメインMOSトランジスタMtrのソース端子T2が接続されている。オペアンプOP4の出力端子は、オペアンプOP4の出力に応じた電圧が出力されるように構成された電圧調整回路25に接続されている。電圧調整回路25により調整された電圧は、オペアンプOP4の非反転入力端子への電流の供給あるいは引き出しに係るフィードバック電流の方向を規定するバッファ26に接続されている。バッファ26は、センス抵抗23を介してオペアンプOP4の非反転入力端子に接続されている。すなわち、オペアンプOP4は、オペアンプOP4の出力が、電圧調整回路25、バッファ26、およびセンス抵抗23を介して非反転入力端子にフィードバックされる負帰還回路を構成している。負帰還を成すフィードバック経路を流れるフィードバック電流がセンス電流Isであり、第1、第2実施形態と同様に、センス電流検出アンプ24によって検出される。

30

#### 【0054】

電圧調整回路25は、第1調整回路25aと第2調整回路25bとを有している。第1調整回路25aおよび第2調整回路25bはそれぞれ独立しており、互いに同一の回路構成を有している。

40

#### 【0055】

すなわち、第1調整回路25aは、NMOSトランジスタ251と定電流源252とを有している。定電流源252とNMOSトランジスタ251は、この順で昇圧電位VHと基準電位VSSの間で直列接続されている。NMOSトランジスタ251のゲート端子にはオペアンプOP4の出力が入力されており、オペアンプOP4の出力に応じて、定電流源252とNMOSトランジスタ251の中間点の電位が変動するようになっている。第

50

1調整回路25aとオペアンプOP4の出力端子との間にはスイッチSW3が介在しており、スイッチSW3がオンされることでオペアンプOP4の出力に応じた電圧が、定電流源252とNMOSトランジスタ251の中間点から出力される。

#### 【0056】

第1調整回路25aとほぼ同様に、第2調整回路25bは、NMOSトランジスタ253と定電流源254とを有している。定電流源254とNMOSトランジスタ253は、この順で昇圧電位VHと基準電位VSSの間で直列接続されている。NMOSトランジスタ253のゲート端子にはオペアンプOP4の出力が入力されており、オペアンプOP4の出力に応じて、定電流源254とNMOSトランジスタ253の中間点の電位が変動するようになっている。第2調整回路25bとオペアンプOP4の出力端子との間にはスイッチSW4が介在しており、スイッチSW4がオンされることでオペアンプOP4の出力に応じた電圧が、定電流源254とNMOSトランジスタ253の中間点から出力される。

10

#### 【0057】

バッファ26は、図5に示すように、第1バッファ26aと第2バッファ26bとを有している。

#### 【0058】

第1バッファ26aは、PMOSトランジスタ261を有している。PMOSトランジスタ261のゲート端子には電圧調整回路25のうち第1調整回路25aの出力が入力されるようになっている。PMOSトランジスタ261のソース端子には基準電位VSSが接続され、ドレイン端子はセンス抵抗23を介してオペアンプOP4の非反転入力端子に接続されている。

20

#### 【0059】

第2バッファ26bは、NMOSトランジスタ262を有している。NMOSトランジスタ262のゲート端子には電圧調整回路25のうち第2調整回路25bの出力が入力されるようになっている。NMOSトランジスタ262のドレイン端子には昇圧電位VHが接続され、ソース端子はセンス抵抗23を介してオペアンプOP4の非反転入力端子に接続されている。

#### 【0060】

このように、バッファ26は、第1バッファ26aおよび第2バッファ26bがいずれもソースフォロワ構成とされた出力段であり、電圧調整回路25の出力に基づいてフィードバック電流を流す。

30

#### 【0061】

オペアンプOP4と電圧調整回路25との間には互いの接続をオンオフするためのスイッチSW3およびスイッチSW4が介在している。また、電圧調整回路25とバッファ26との間に互いの接続をオンオフするためのスイッチSW3およびスイッチSW4が介在している。

#### 【0062】

具体例には、電圧調整回路25のうち第1調整回路25aは、スイッチSW3を介してオペアンプOP4の出力端子に接続され、別のスイッチSW3を介して第1バッファ26aに接続されている。一方、電圧調整回路25のうち第2調整回路25bは、スイッチSW4を介してオペアンプOP4の出力端子に接続され、別のスイッチSW4を介して第2バッファ26bに接続されている。

40

#### 【0063】

力行時においてはスイッチSW3がオンされスイッチSW4がオフされる。これにより、オペアンプOP4の出力端子と非反転入力端子との間のフィードバック経路は、第1調整回路25a、第1バッファ26aおよびセンス抵抗23を介する経路となる。第1バッファ26aは、第1実施形態における第1トランジスタ21と同様の機能を奏するのであり、力行時においてオペアンプOP4の非反転入力端子から基準電位VSSに向かってセンス電流を流す。

50

## 【0064】

一方、回生時においてはスイッチ SW 4 がオンされスイッチ SW 3 がオフされる。これにより、オペアンプ O P 4 の出力端子と非反転入力端子との間のフィードバック経路は、第 2 調整回路 2 5 b、第 2 バッファ 2 6 b およびセンス抵抗 2 3 を介する経路となる。第 2 バッファ 2 6 b は、第 1 実施形態における第 2 トランジスタ 2 2 と同様の機能を奏するのであり、回生時において昇圧電位 V H からオペアンプ O P 4 の非反転入力端子に向かってセンス電流を流す。

## 【0065】

なお、スイッチ SW 3 およびスイッチ SW 4 は、第 2 実施形態と同様に制御用の信号 S I G によりオンオフされる。信号 S I G は、第 1 端子たるドレイン端子 T 1 の電位と、第 2 端子たるソース端子 T 2 の電位との大小関係が M M < V B のとき、あるいは、第 1 端子たるドレイン端子 T 1 の電位と、第 4 端子たるソース端子 T 4 の電位との大小関係が S M < V B のとき（力行時）、スイッチ SW 3 をオンし、スイッチ SW 4 をオフする。一方、信号 S I G は、M M > V B （あるいは S M > V B ）のとき（回生時）、スイッチ SW 3 をオフし、スイッチ SW 4 をオンする。

10

## 【0066】

以上のように、この半導体装置 1 4 0 は、メイン M O S トランジスタ M t r のドレイン - ソース間電圧と、センス M O S トランジスタ S t r のドレイン - ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。

20

## 【0067】

また、第 1 実施形態および第 2 実施形態では、力行に係る第 1 トランジスタ 2 1 がソース接地型であり、回生に係る第 2 トランジスタ 2 2 がソースフォロワ型である。力行時と回生時においてオペアンプ O P 1 ~ O P 3 によるゲインが相違するため、出力のフィードバックが困難になる虞がある。これに対して、本実施形態における半導体装置 1 4 0 は、第 1 バッファ 2 6 a および第 2 バッファ 2 6 b がいずれもソースフォロワ構成であるから、オペアンプ O P 4 によるフィードバックを容易にすることができます。

## 【0068】

## (変形例 3)

第 3 実施形態におけるバッファ 2 6 は、第 1 バッファ 2 6 a および第 2 バッファ 2 6 b がいずれもソースフォロワ構成とされた出力段である例を示したが、バッファ 2 6 は、ソース接地構成とされても良い。図 6 に示すように、この半導体装置 1 5 0 は、第 3 実施形態における半導体装置 1 4 0 に較べて、バッファ 2 6 およびオペアンプ O P 4 に相違点がある。

30

## 【0069】

具体的には、バッファ 2 6 における第 1 バッファ 2 6 a が N M O S トランジスタ 2 6 3 に置換されている。N M O S トランジスタ 2 6 3 のゲート端子には電圧調整回路 2 5 のうち第 1 調整回路 2 5 a の出力が入力されるようになっている。N M O S トランジスタ 2 6 3 のソース端子には基準電位 V S S が接続され、ドレイン端子はセンス抵抗 2 3 を介してオペアンプ O P 4 の反転入力端子に接続されている。

40

## 【0070】

同様に、バッファ 2 6 における第 2 バッファ 2 6 b が P M O S トランジスタ 2 6 4 に置換されている。P M O S トランジスタ 2 6 4 のゲート端子には電圧調整回路 2 5 のうち第 2 調整回路 2 5 b の出力が入力されるようになっている。P M O S トランジスタ 2 6 4 のドレイン端子には昇圧電位 V H が接続され、ソース端子はセンス抵抗 2 3 を介してオペアンプ O P 4 の反転入力端子に接続されている。

## 【0071】

また、オペアンプ O P 4 の非反転入力端子および反転入力端子の接続が、第 3 実施形態に場合に対して逆転している。すなわち、メイン M O S トランジスタ M t r のソース端子 T 2 は非反転入力端子に接続され、センス M O S トランジスタ S t r のソース端子 T 4 は反転入力端子に接続されている。

50

## 【0072】

このように、本変形例におけるバッファ26は、第1バッファ26aおよび第2バッファ26bがいずれもソース接地の構成とされている。そして、オペアンプOP4の出力の負帰還に係るフィードバック先は反転入力端子となっている。よって、第1、第2実施形態に較べてオペアンプOP4によるフィードバックを容易にすることができます。また、本変形例のように構成した半導体装置150においても、第3実施形態と同様に、力行時あるいは回生時の出力電流に対応したセンス電流を流すことができる。つまり、半導体装置150は、メインMOSトランジスタMtrのドレイン-ソース間電圧と、センスMOSトランジスタStrのドレイン-ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。

10

## 【0073】

## (第4実施形態)

上記した各実施形態および変形例においては、信号SIGに基づいて、有効にするオペアンプあるいはスイッチを制御して、センス抵抗23に流れるフィードバック電流の向きを規定する例について説明した。各実施形態および変形例においては、センス電流Isのゼロ点を境界にして、外部信号SIGを用いて力行時と回生時とでセンス電流の方向を切り替えている。

## 【0074】

これに対して、本実施形態における半導体装置160は、信号SIGを用いることなく、フィードバック電流、すなわちセンス電流Isの向きを自動的に切り替える例について説明する。半導体装置160は、センス電流Isがゼロにならないようにすることで、バッファ26において自動的にセンス電流Isの方向を切り替えるものである。なお、電圧調整回路25およびバッファ26を除く要素は、第3実施形態に記載の半導体装置140と同一であるから、同一要素の詳しい説明を省略する。

20

## 【0075】

半導体装置160における電圧調整回路25は、NMOSトランジスタ255と定電流源256とを有している。回路構成は第3実施形態における第1調整回路25aや第2調整回路25bと同様であり、定電流源256とNMOSトランジスタ255はこの順で昇圧電位VHと基準電位VSSの間で直列接続されている。NMOSトランジスタ255のゲート端子にはオペアンプOP4の出力が入力されており、オペアンプOP4の出力に応じて、定電流源256とNMOSトランジスタ255の中間点の電位が変動するようになっている。

30

## 【0076】

半導体装置160におけるバッファ26は、ボルテージフォロア構成とされた所謂AB級バッファである。バッファ26は、入力電圧がゼロの場合においても入力段のトランジスタにドレイン電流が流れる構成になっている。このため、バッファ26の出力は、入力電圧に対してオフセットされた状態で、入力電圧に対応した出力電圧が得られる。以下に詳しい回路構成を説明する。

## 【0077】

バッファ26は、入力段として、NMOSトランジスタ265と、PMOSトランジスタ267と、定電流源266と、定電流源268とを有している。定電流源266とNMOSトランジスタ265と、PMOSトランジスタ267と定電流源268はこの順で昇圧電位VHと基準電位VSSの間で直列接続されている。NMOSトランジスタ265のゲート端子は、ドレイン端子と同電位になるように接続されている。PMOSトランジスタ267のゲート端子は、ソース端子と同電位になるように接続されている。電圧調整回路25の出力電圧は、NMOSトランジスタ265とPMOSトランジスタ267とが接続される中間点に入力される。

40

## 【0078】

また、バッファ26は、出力段として、NMOSトランジスタ269とPMOSトランジスタ270とを有している。NMOSトランジスタ269とPMOSトランジスタ270

50

0はこの順で昇圧電位V Hと基準電位V S Sの間で直列接続されている。N M O Sトランジスタ2 6 9のゲート端子は、入力段におけるN M O Sトランジスタ2 6 5のゲート端子と同電位とされ、P M O Sトランジスタ2 7 0のゲート端子は、入力段におけるP M O Sトランジスタ2 6 7のゲート端子と同電位とされている。出力段においてはN M O Sトランジスタ2 6 9とP M O Sトランジスタ2 7 0とが接続される中間点が出力点であり、該出力点がセンス抵抗2 3を介してオペアンプO P 4における非反転入力端子に接続されている。

#### 【0 0 7 9】

以下に、力行時および回生時における半導体装置1 6 0の動作について簡単に説明する。なお、図7に矢印で示す力行時のセンス電流I sの向きを正方向とし、矢印で示す力行電流I pの向きを正方向とし、矢印で示す回生電流I nの向きを正方向とする。すなわち、 $I_s = I_p - I_n$ である。

10

#### 【0 0 8 0】

<力行時：センス電流I sが小さいとき>

力行時はメインM O SトランジスタM t rの第1端子たるドレイン端子T 1から第2端子たるソース端子T 2に向かって出力電流が流れる。センス電流I sについても、センスM O SトランジスタS t rの第3端子たるドレイン端子T 3から第4端子たるソース端子T 4に向かって流れる。すなわち、電位の大小関係は、M M < V B、S M < V Bである。

20

#### 【0 0 8 1】

センス電流I sが小さい、すなわち、S M > M Mを仮定すると、オペアンプO P 4の出力は正となる。これにより、電圧調整回路2 5におけるN M O Sトランジスタ2 5 5のゲート電位が上昇し、電圧調整回路2 5の出力電圧は下降する。換言すれば、バッファ2 6の入力電圧は下降する。バッファ2 6の入力電圧が下降すると、バッファ2 6の出力電圧も下降するように作用する。つまり、力行電流I pが増加してバッファ2 6の出力電圧を下げるよう作用する。I pの増加にともなってセンス電流I sが増加して第4端子の電位S Mが下降する。つまり、S M = M Mとなるようにフィードバックされる。

#### 【0 0 8 2】

<力行時：センス電流I sが大きいとき>

電位の大小関係は、M M < V B、S M < V Bである。

30

#### 【0 0 8 3】

センス電流I sが大きい、すなわち、S M < M Mを仮定すると、オペアンプO P 4の出力は負となる。これにより、電圧調整回路2 5におけるN M O Sトランジスタ2 5 5のゲート電位が下降し、電圧調整回路2 5の出力電圧は上昇する。換言すれば、バッファ2 6の入力電圧は上昇する。バッファ2 6の入力電圧が上昇すると、バッファ2 6の出力電圧も上昇するように作用する。つまり、力行電流I pが減少してバッファ2 6の出力電圧を上げるように作用する。I pの減少にともなってセンス電流I sが減少して第4端子の電位S Mが上昇する。つまり、S M = M Mとなるようにフィードバックされる。

40

#### 【0 0 8 4】

<回生時：センス電流I sが小さいとき>

回生時はメインM O SトランジスタM t rの第2端子たるソース端子T 2から第1端子たるドレイン端子T 1に向かって出力電流が流れる。センス電流I sについても、センスM O SトランジスタS t rの第4端子たるソース端子T 4から第3端子たるドレイン端子T 3に向かって流れる。すなわち、電位の大小関係は、M M > V B、S M > V Bである。

40

#### 【0 0 8 5】

センス電流I sが小さい、すなわち、S M < M Mを仮定すると、オペアンプO P 4の出力は負となる。これにより、電圧調整回路2 5におけるN M O Sトランジスタ2 5 5のゲート電位が下降し、電圧調整回路2 5の出力電圧は上昇する。換言すれば、バッファ2 6の入力電圧は上昇する。バッファ2 6の入力電圧が上昇すると、バッファ2 6の出力電圧も上昇するように作用する。つまり、回生電流I nが増加してバッファ2 6の出力電圧を上げるように作用する。I nの増加にともなってセンス電流I sが負の方向に増大して第

50

4 端子の電位  $S_M$  が上昇する。つまり、 $S_M = M_M$  となるようにフィードバックされる。

【0086】

<回生時：センス電流  $I_s$  が大きいとき>

電位の大小関係は、 $M_M > V_B$ 、 $S_M > V_B$  である。

【0087】

センス電流  $I_s$  が大きい、すなわち、 $S_M > M_M$  を仮定すると、オペアンプ O P 4 の出力は正となる。これにより、電圧調整回路 25 における N M O S トランジスタ 255 のゲート電位が上昇し、電圧調整回路 25 の出力電圧は下降する。換言すれば、バッファ 26 の入力電圧は下降する。バッファ 26 の入力電圧が下降すると、バッファ 26 の出力電圧も下降するように作用する。つまり、回生電流  $I_n$  が減少してバッファ 26 の出力電圧を下げるよう作用する。 $I_n$  の減少にともなってセンス電流  $I_s$  が減少して第 4 端子の電位  $S_M$  が下降する。つまり、 $S_M = M_M$  となるようにフィードバックされる。

10

【0088】

このように、バッファ 26 に A B 級バッファを採用することにより、力行時と回生時ににおいて、オペアンプ O P 4 のフィードバック電流（センス電流）の向きを切り替えるスイッチを用いることなく、自動的にセンス電流の向きを切り替えることができる。

【0089】

（変形例 4）

言うまでもなく、バッファ 26 に採用する A B 級バッファは上記例に示す回路構成に限定されるものではない。第 4 実施形態における半導体装置 160 では、バッファ 26 にボルテージフォロア型の A B 級アンプを採用する例を示したが、図 8 に示すように、ソース接地型の A B 級アンプを採用しても良い。この場合、第 3 実施形態に対する変形例 3 と同様に、オペアンプ O P 4 の非反転入力端子および反転入力端子の接続が、第 4 実施形態に場合に対して逆転している。すなわち、本実施形態における半導体装置 170 では、メイン M O S トランジスタ M t r のソース端子 T 2 は非反転入力端子に接続され、センス M O S トランジスタ S t r のソース端子 T 4 は反転入力端子に接続されている。

20

【0090】

このほか、半導体装置 170 は、第 4 実施形態における半導体装置 160 に対してバッファ 26 がソース接地型の A B 級アンプとなる。具体的には、バッファ 26 は、入力段として、N M O S トランジスタ 271 と、P M O S トランジスタ 272 と、定電流源 266 と、定電流源 268 を有している。N M O S トランジスタ 271 と P M O S トランジスタ 272 とは、昇圧電位 V H 側の定電流源 266 と基準電位 V S S 側の定電流源 268 との間で互いに並列に接続されている。電圧調整回路 25 の出力電圧は、N M O S トランジスタ 271 のソース端子に入力される。

30

【0091】

また、バッファ 26 は、出力段として、P M O S トランジスタ 273 と N M O S トランジスタ 274 はこの順で昇圧電位 V H と基準電位 V S S の間で直列接続されている。P M O S トランジスタ 273 のゲート端子は、入力段における N M O S トランジスタ 271 のドレイン端子と同電位とされ、N M O S トランジスタ 274 のゲート端子は、入力段における N M O S トランジスタ 271 のソース端子と同電位とされている。出力段においては P M O S トランジスタ 273 と N M O S トランジスタ 274 とが接続される中間点が出力点であり、該出力点がセンス抵抗 23 を介してオペアンプ O P 4 における反転入力端子に接続されている。

40

【0092】

（その他の実施形態）

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0093】

上記した各実施形態および各変形例では、パワースイッチング素子として M O S F E T

50

が採用される例を示したが、パワースイッチング素子の種類については限定されるものではない。例えば絶縁ゲートバイポーラトランジスタ（IGBT）やその他の素子を採用することができる。

#### 【0094】

また、上記した各実施形態および各変形例では、センス電流  $I_s$  に検出に係るセンス電流検出アンプ 24 について、差動 / シングルエンド変換アンプを採用する例について示したが、センス抵抗 23 に流れるセンス電流の検出方法については任意である。

#### 【0095】

また、第3実施形態や第4実施形態において、電圧調整回路 25 およびバッファ 26 の回路構成は一例である。電圧調整回路 25 は、前段のオペアンプの出力に対応した出力電圧を生成可能な回路であれば良いし、バッファ 26 は、前段の電圧調整回路 25 の出力に対応する出力電圧が生成可能であって、回生時において電源電位  $V_B$  よりも高電位を生成可能に構成された回路であれば良い。

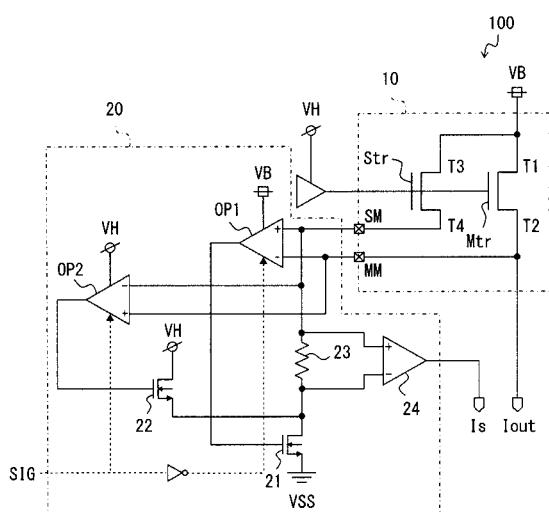
10

#### 【符号の説明】

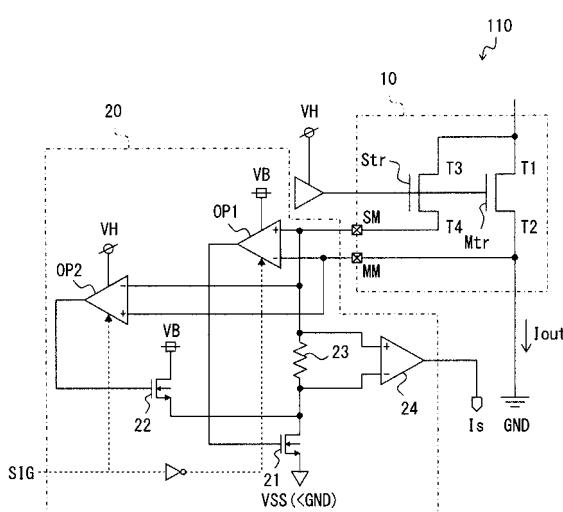
#### 【0096】

10 ... パワースイッチング素子 , 20 ... 電流検出部 , 21 ... 第1トランジスタ , 22 ... 第2トランジスタ , 23 ... センス抵抗 , 24 ... センス電流検出アンプ , 25 ... 電圧調整回路 , 26 ... バッファ , Mtr ... メインMOSトランジスタ , Str ... センスMOSトランジスタ , OP1 ~ OP4 ... オペアンプ

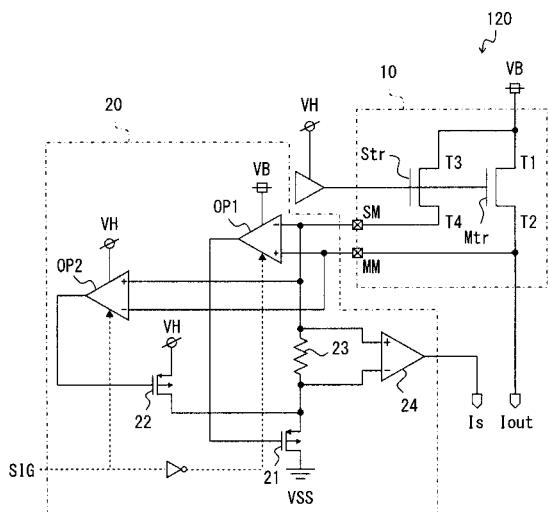
【図1】



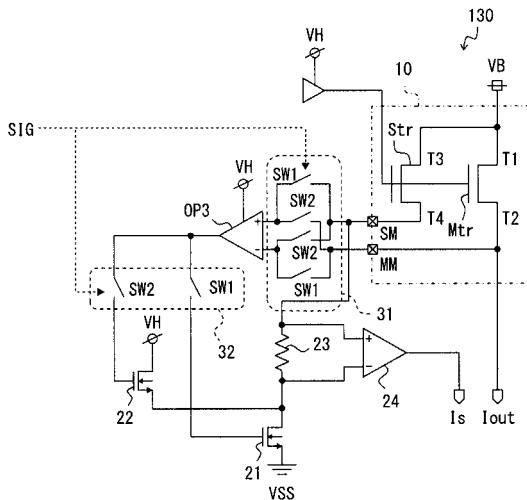
【図2】



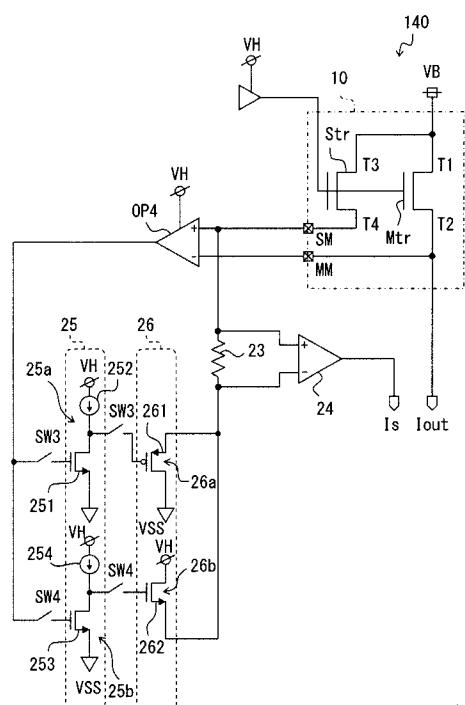
【図3】



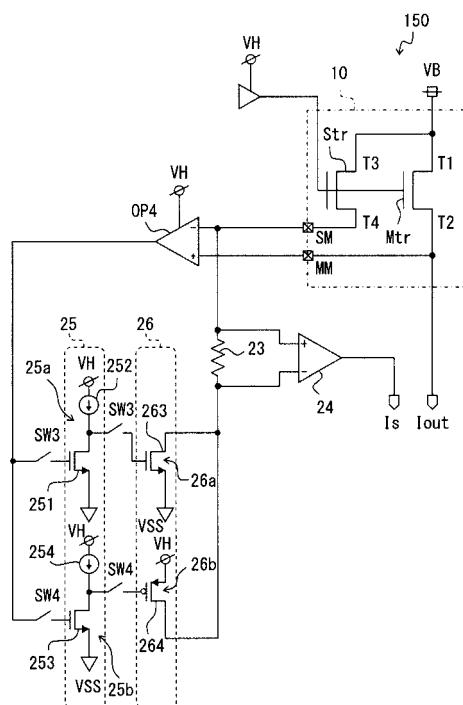
【図4】



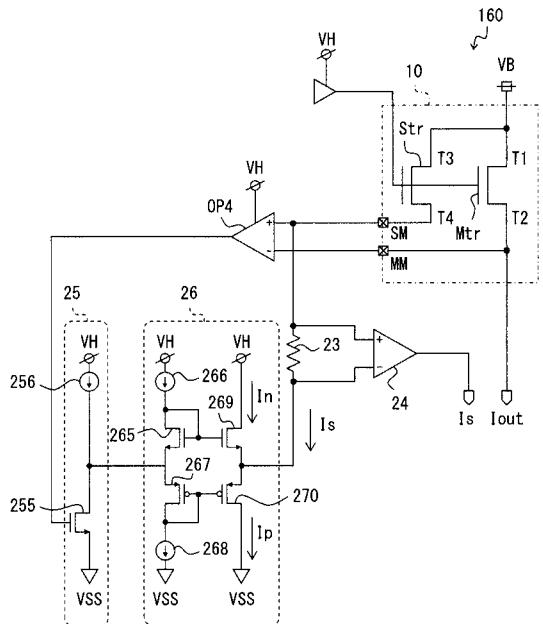
【図5】



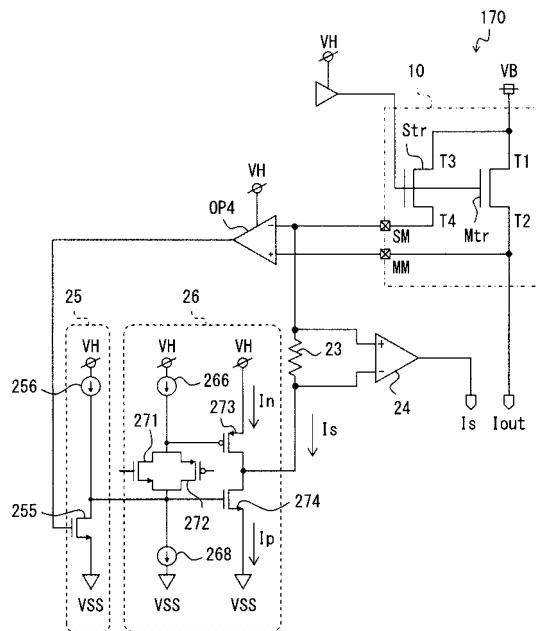
【図6】



【図7】



【図8】



---

フロントページの続き

F ターム(参考) 2G035 AA01 AB01 AC02 AD02 AD03 AD10 AD20 AD45 AD47 AD54