

(11)特許出願公開番号

特開2018-31705

(P2018-31705A)

(43) 公開日 平成30年3月1日(2018.3.1)

(51) Int.Cl.
G 0 1 R 19/00

F I
GO 1 R 19/00

テーマコード (参考)
2G035

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2016-164999 (P2016-164999)
(22) 出願日 平成28年8月25日 (2016. 8. 25)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町 1 丁目 1 番地

(74) 代理人 100106149
弁理士 矢作 和行

(74) 代理人 100121991
弁理士 野々部 泰平

(74) 代理人 100145595
弁理士 久保 貴則

(72) 発明者 赤間 貞洋
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72) 発明者 小野 秀和
静岡県浜松市東区子安町 3 1 1 - 3 三栄
ハイテックス株式会社内

[最終頁に続く](#)

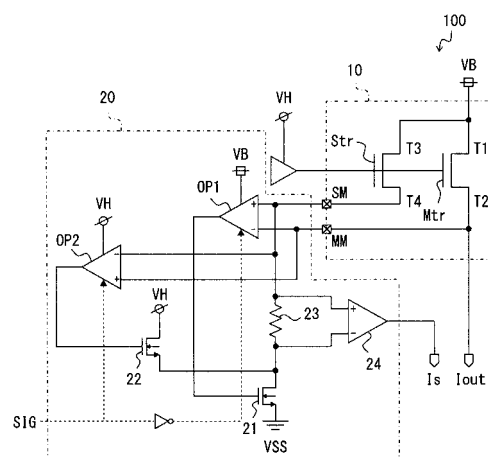
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】電力損失を抑えつつ、高精度且つ、力行時と回生時の双方向の電流検出が可能な半導体装置を提供する。

【解決手段】この半導体装置は、メインスイッチング素子と、メインスイッチング素子にカレントミラー接続されてセンス電流が流れるセンススイッチング素子を備える。メインスイッチング素子は、出力端子として第1端子と第2端子を有し、センススイッチング素子は、第1端子に接続される第3端子と、センス電流が流れる第4端子とを有する。また、第4端子の電位を検出するためのセンス抵抗を備える。さらに、第2端子および第4端子がそれぞれ入力端子に接続されるオペアンプを備え、オペアンプは、その出力が入力端子にフィードバックするように構成されつつ、そのフィードバック経路にセンス抵抗を含むようにされる。オペアンプには、第1端子よりも高い電圧が供給可能にされており、センス抵抗に流れるセンス電流の方向が切り替え可能にされる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

負荷電流を制御するメインスイッチング素子 (M t r) と、前記メインスイッチング素子にカレントミラー接続されて前記負荷電流に相関するセンス電流が流れるセンススイッチング素子 (S t r) と、を備え、

前記メインスイッチング素子は、出力端子として互いの間を電流が流れる第 1 端子 (T 1) および第 2 端子 (T 2) を有し、

前記センススイッチング素子は、前記第 1 端子に接続される第 3 端子 (T 3) と、前記第 3 端子との間で前記センス電流が流れる第 4 端子 (T 4) と、を有し、

前記第 4 端子に接続され、前記第 4 端子の電位を検出するためのセンス抵抗 (2 3) を備えた半導体装置であって、

さらに、前記第 2 端子および前記第 4 端子がそれぞれ入力端子に接続されるオペアンプ (O P 1, O P 2, O P 3, O P 4) を備え、

前記オペアンプは、前記オペアンプの出力が前記オペアンプの入力端子にフィードバックするように構成されつつ、そのフィードバック経路に前記センス抵抗を含むようにされ、

さらに、前記オペアンプには、前記第 1 端子よりも高い電圧 (V H) が供給可能にされており、

前記第 1 端子と、第 2 端子または第 4 端子と、の大小関係に応じて前記センス抵抗に流れる前記センス電流の方向が切り替え可能にされる半導体装置。

【請求項 2】

前記オペアンプは、第 1 オペアンプ (O P 1) と第 2 オペアンプ (O P 2) とを含み、

前記第 1 オペアンプは、前記第 4 端子が非反転入力端子に接続され、前記第 2 端子が反転入力端子に接続され、前記第 1 オペアンプの出力に応じて、非反転入力端子から前記第 1 端子よりも電位の低い基準電位に向かって前記センス抵抗を介して電流が流れるようにされ、

前記第 2 オペアンプは、前記第 1 端子よりも高い電圧が供給されつつ前記第 1 オペアンプに並列に接続されるものであり、前記第 2 端子が非反転入力端子に接続され、前記第 4 端子が反転入力端子に接続され、前記第 2 オペアンプの出力に応じて、前記第 1 端子よりも電位の高い高電圧源から反転入力端子に向かって前記センス抵抗を介して電流が流れるようにされ、

前記第 1 端子の電位が前記第 2 端子よりも高電位のと看、前記第 1 オペアンプが有効にされるとともに前記第 2 オペアンプが無効にされ、

前記第 1 端子の電位が前記第 2 端子よりも低電位のと看、前記第 1 オペアンプが無効にされるとともに前記第 2 オペアンプが有効にされる請求項 1 に記載の半導体装置。

【請求項 3】

前記オペアンプ (O P 3) の入力端子と、前記第 2 端子および前記第 4 端子と、の間に介在する第 1 スイッチ回路 (3 1) と、

前記オペアンプの出力端子と、前記センス抵抗と、の間に介在する第 2 スイッチ回路 (3 2) と、を備え、

前記第 1 スイッチ回路は、

前記第 2 端子を、非反転入力端子および反転入力端子のいずれか一方に接続するとともに、前記第 4 端子を、前記第 2 端子が接続されない他方の入力端子に接続し、

前記第 2 スイッチ回路は、

前記第 2 端子が非反転入力端子に接続されるときには、前記オペアンプの出力に応じて、非反転入力端子から前記第 1 端子よりも電位の低い基準電位に向かって前記センス抵抗を介して電流が流れるようにするとともに、

前記第 2 端子が反転入力端子に接続されるときには、前記オペアンプの出力に応じて、前記第 1 端子よりも電位の高い高電圧源から反転入力端子に向かって前記センス抵抗を介して電流が流れるようにする請求項 1 に記載の半導体装置。

【請求項 4】

前記オペアンプ（OP4）は、前記第4端子が非反転入力端子に接続され、前記第2端子が反転入力端子に接続され、

前記オペアンプの出力端子に接続され、前記フィードバック経路において前記オペアンプの出力に応じて電位が調整される電圧調整回路（25）と、

前記電圧調整回路と前記センス抵抗との間に介在し、前記第1端子よりも高い電圧が供給され、前記電圧調整回路により調整された電位に応じて前記センス抵抗に流れる電流の大きさを制御するバッファ（26）と、を備える請求項1に記載の半導体装置。

【請求項 5】

前記バッファは、AB級バッファである請求項4に記載の半導体装置。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、力行時と回生時における双方向の電流を検出する半導体装置に関する。

【背景技術】**【0002】**

従来から、IGBTやMOSFETなどのパワースイッチング素子を流れる電流を検出する手段として、シャント抵抗器や電流センサを利用するものが知られている。しかしながら、シャント抵抗器は、抵抗器自身に流れる電流による損失が生じてしまい省エネルギー化の要請に反する。また、電流センサは、シャント抵抗器よりも高コストになる場合がある。

20

【0003】

このような問題に対し、特許文献1に開示された発明は、MOSFETのソース電圧をオペアンプに入力して出力をフィードバックする構成を採用することにより、シャント抵抗器や電流センサを用いることなく、高精度にスイッチング素子の電流を検出することができる。

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2009-80036号公報

30

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかしながら、特許文献1に開示された発明では、ドレインからソースに流れる電流（例えば力行時）の電流値を検出することはできるものの、ソースからドレインに流れる電流（例えば回生時）の電流値を検出することはできない。

【0006】

回生時の電流を検出する技術には、シャント抵抗器を利用するものが知られているが、電力損失の観点から好ましくない。

【0007】

40

そこで、本発明は上記問題点に鑑み、電力損失を抑えつつ、高精度且つ、力行時と回生時の双方向の電流検出が可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

【0009】

上記目的を達成するために、本発明は、負荷電流を制御するメインスイッチング素子（

50

M t r) と、メインスイッチング素子にカレントミラー接続されて負荷電流に相関するセンス電流が流れるセンススイッチング素子 (S t r) と、を備え、

メインスイッチング素子は、出力端子として互いの間を電流が流れる第 1 端子 (T 1) および第 2 端子 (T 2) を有し、センススイッチング素子は、第 1 端子に接続される第 3 端子 (T 3) と、第 3 端子との間で前記センス電流が流れる第 4 端子 (T 4) と、を有し、

第 4 端子に接続され、第 4 端子の電位を検出するためのセンス抵抗 (2 3) を備えた半導体装置であって、

さらに、前記第 2 端子および前記第 4 端子がそれぞれ入力端子に接続されるオペアンプ (O P 1 , O P 2 , O P 3 , O P 4) を備え、

オペアンプは、オペアンプの出力がオペアンプの入力端子にフィードバックするように構成されつつ、そのフィードバック経路にセンス抵抗を含むようにされ、

さらに、オペアンプには、第 1 端子よりも高い電圧 (V H) が供給可能にされており、第 1 端子と、第 2 端子または第 4 端子と、の大小関係に応じてセンス抵抗に流れるセンス電流の方向が切り替え可能にされる。

【 0 0 1 0 】

これによれば、センス抵抗がオペアンプの出力と入力との間のフィードバック経路内に構成されているから、フィードバック電流の方向によってセンス抵抗を流れる電流の向きを切り替えることができる。すなわち、センス電流の方向を切り替えることができる。そして、この構成では、例えば第 1 端子よりも第 4 端子の電位が低いとき (力行時) に流れるセンス電流の方向と、第 1 端子よりも第 4 端子の電位が高いとき (回生時) に流れるセンス電流の方向とを互いに逆向きにすることができる。このため、力行時に加えて回生時においてもセンス電流の電流値を検出でき、ひいてはメインスイッチング素子の出力電流を検出することができる。なお、第 1 端子よりも第 4 端子の電位が高い回生時であっても、オペアンプには第 1 端子よりも高い電圧が供給可能にされているから、センス電流を第 4 端子が接続された入力端子に向かって流すことができる。すなわち、回生時において力行時とは逆向きのセンス電流を流すことができる。

【 0 0 1 1 】

また、この構成では、オペアンプの負帰還動作によるフィードバック電流をセンス電流として利用するから、メインスイッチング素子とセンススイッチング素子との間で出力端子間の電位差を略同一に維持することができる。このため、メインスイッチング素子とセンススイッチング素子とのミラー比ずれを抑制できるので、センススイッチング素子を流れるセンス電流と、メインスイッチング素子を流れる出力電流との相関を高精度にとることができる。すなわち、メインスイッチング素子を流れる出力電流の検出を、安価且つ高精度に行うことができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 第 1 実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 2 】 変形例 1 に係る半導体装置の概略構成を示す回路図である。

【 図 3 】 変形例 2 に係る半導体装置の概略構成を示す回路図である。

【 図 4 】 第 2 実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 5 】 第 3 実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 6 】 変形例 3 に係る半導体装置の概略構成を示す回路図である。

【 図 7 】 第 4 実施形態に係る半導体装置の概略構成を示す回路図である。

【 図 8 】 変形例 4 に係る半導体装置の概略構成を示す回路図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

【 0 0 1 4 】

10

20

30

40

50

(第1実施形態)

最初に、図1を参照して、本実施形態に係る半導体装置の概略構成について説明する。

【0015】

図1に示すように、この半導体装置100は、パワースイッチング素子10と、パワースイッチング素子に流れる出力電流を検出する電流検出部20を備えたスイッチ装置である。本実施形態において、所定の電圧源から端子に与えられる電位には、電源電位 V_B と、電源電位 V_B よりも高電位に昇圧された昇圧電位 V_H と、回路の基準電位 V_{SS} とがある。各電位の大小関係は $V_H > V_B > V_{SS}$ である。 V_{SS} は例えばグランド電位であり、 V_B は例えば車両におけるバッテリー電位であり、 V_H はバッテリー電位をチャージポンプ等で昇圧した電位である。

10

【0016】

パワースイッチング素子10は、図示しない負荷に出力電流 I_{out} を供給するメインスイッチング素子たるメインMOSトランジスタ M_{tr} と、メインMOSトランジスタ M_{tr} との間で互いのドレインが接続されてカレントミラー接続されたセンスMOSトランジスタ S_{tr} とを有している。

【0017】

メインMOSトランジスタ M_{tr} は、例えばNchMOSトランジスタである。第1端子たるドレイン端子 T_1 には電源が接続され電源電位 V_B とされている。一方、第2端子たるソース端子 T_2 は、メインMOSトランジスタ M_{tr} を流れる電流である出力電流 I_{out} を取り出す端子である。つまり、ソース端子 T_2 に負荷が接続される。ドレイン端子 T_1 よりもソース端子 T_2 が低電位するとき、すなわち力行時において、ゲート端子にゲート電圧が印加されると、出力電流 I_{out} はドレイン端子 T_1 からソース端子 T_2 に向かって流れる。逆に、ドレイン端子 T_1 よりもソース端子 T_2 が高電位するとき、すなわち回生時においても、ゲート電圧を印加してメインMOSトランジスタ M_{tr} をオンさせる同期整流を行う。これにより、出力電流 I_{out} は、メインMOSトランジスタ M_{tr} とセンスMOSトランジスタ S_{tr} のミラー比に基づいて、ソース端子 T_2 からドレイン端子 T_1 に向かって流れる。なお、図1に示すように、第2端子たるソース端子 T_2 の電位を MM と示し、この電位は後述の第1オペアンプOP1における反転入力端子、および第2オペアンプOP2における非反転入力端子に印加される。

20

【0018】

センスMOSトランジスタ S_{tr} は、例えばNchMOSトランジスタである。センスMOSトランジスタ S_{tr} はメインMOSトランジスタ M_{tr} にカレントミラー接続されている。すなわち、第3端子たるドレイン端子 T_3 はメインMOSトランジスタ M_{tr} のドレイン端子 T_1 に接続されて電源電位 V_B とされている。そして、メインMOSトランジスタ M_{tr} と同一のゲート電圧がゲート端子に印加される。センスMOSトランジスタ S_{tr} のドレイン端子 T_3 と第4端子たるソース端子 T_4 の間にはセンス電流 I_s が流れる。センス電流 I_s は、メインMOSトランジスタ M_{tr} との間で規定されるミラー比に応じた大きさを持ち、電流の向きは出力電流 I_{out} と同方向である。つまり、ドレイン端子 T_3 よりもソース端子 T_4 が低電位するとき、すなわち力行時において、ゲート端子にゲート電圧が印加されると、センス電流 I_s はドレイン端子 T_3 からソース端子 T_4 に向かって流れる。逆に、ドレイン端子 T_3 よりもソース端子 T_4 が高電位するとき、すなわち回生時においても、ゲート電圧を印加してセンスMOSトランジスタ S_{tr} をオンさせる同期整流を行う。これにより、センス電流 I_s は、ソース端子 T_4 からドレイン端子 T_3 に向かって流れる。なお、図1に示すように、第4端子たるソース端子 T_4 の電位を SM と示し、この電位は後述の第1オペアンプOP1における非反転入力端子、および第2オペアンプOP2における反転入力端子に印加される。

30

40

【0019】

上記したように、センス電流 I_s は出力電流 I_{out} に相関する。よって、出力電流 I_{out} を直接測定せずとも、センス電流 I_s を検出できれば出力電流 I_{out} を知ることができる。なお、以降のセンス電流 I_s および出力電流 I_{out} の記載においては、ドレ

50

インからソースに向かって電流が流れる力行時の電流の向きを正とし、回生時の電流の向きを負とする。

【0020】

電流検出部20は、以下に詳述するオペアンプOP1, OP2の負帰還動作によるフィードバック電流をセンス電流 I_s として利用する。電流検出部20は、図1に示すように、第1オペアンプOP1と、第2オペアンプOP2と、第1トランジスタ21と、第2トランジスタ22と、センス抵抗23と、センス電流検出アンプ24と、を有している。

【0021】

第1オペアンプOP1は、電源電位 V_B を電源として駆動する一般的なオペアンプである。第1オペアンプOP1の非反転入力端子にはセンスMOSトランジスタ S_{tr} のソース端子T4が接続されている。第1オペアンプOP1の反転入力端子にはメインMOSトランジスタ M_{tr} のソース端子T2が接続されている。

【0022】

第1オペアンプOP1の出力端子は、NMOSで構成された第1トランジスタ21のゲート端子に接続されている。第1トランジスタ21のソース端子は基準電位 V_{SS} に接続され、第1トランジスタ21のドレイン端子はセンス抵抗23を介して第1オペアンプOP1の非反転入力端子に接続されている。つまり、第1オペアンプOP1の出力端子は、第1トランジスタ21およびセンス抵抗23がこの順番で仲介して非反転入力端子に接続されている。なお、基準電位 V_{SS} は、例えばグランド電位 GND である。

【0023】

このように、第1オペアンプOP1は、出力端子がセンス抵抗23を介して非反転入力端子に負帰還で接続された構成とされている。そして、非反転入力端子と反転入力端子との間に電位差が生じた場合において、非反転入力端子から基準電位 V_{SS} に向かってフィードバック電流が流れることにより、非反転入力端子と反転入力端子との電位差が小さくなるように動作する。つまり、これはセンスMOSトランジスタ S_{tr} のソース端子T4から基準電位 V_{SS} に向かって電流が流出することを意味し、このときのフィードバック電流がセンス電流 I_s としてセンス抵抗23に流れる。このようなセンス電流 I_s の流れは、ソース端子T4の電位である S_M が電源電位 V_B よりも低電位となる力行時に発生する。

【0024】

第2オペアンプOP2は、昇圧電位 V_H を電源として駆動する一般的なオペアンプである。第2オペアンプOP2の反転入力端子にはセンスMOSトランジスタ S_{tr} のソース端子T4が接続されている。第2オペアンプOP2の非反転入力端子にはメインMOSトランジスタ M_{tr} のソース端子T2が接続されている。

【0025】

第2オペアンプOP2の出力端子は、NMOSで構成された第2トランジスタ22のゲート端子に接続されている。第2トランジスタ22のドレイン端子は昇圧電位 V_H に接続され、第2トランジスタ22のソース端子はセンス抵抗23を介して第2オペアンプOP2の反転入力端子に接続されている。つまり、第2オペアンプOP2の出力端子は、第2トランジスタ22およびセンス抵抗23がこの順番で仲介して反転入力端子に接続されている。

【0026】

このように、第2オペアンプOP2は、出力端子がセンス抵抗23を介して反転入力端子に負帰還で接続された構成とされている。そして、非反転入力端子と反転入力端子との間に電位差が生じた場合において、昇圧電位 V_H から反転入力端子に向かってフィードバック電流が流れることにより、非反転入力端子と反転入力端子との電位差が小さくなるように動作する。つまり、これは昇圧電位 V_H からセンスMOSトランジスタ S_{tr} のソース端子T4に向かって電流が流出することを意味し、このときのフィードバック電流がセンス電流 I_s としてセンス抵抗23に流れる。このようなセンス電流 I_s の流れは、ソース端子T4の電位である S_M が電源電位 V_B よりも高電位となる回生時に発生し、力行時

10

20

30

40

50

におけるセンス電流の向きとは逆向きになる。本実施形態では、昇圧電位 V_H は電源電位 V_B よりも高電位であるから、 $S_M > V_B$ の回生時もセンス電流が流れる。

【0027】

なお、図1に示すように、第1オペアンプOP1および第2オペアンプOP2には、それぞれの動作をオンまたはオフするための信号SIGが入力されている。ここで、オペアンプをオンするとは、アンプとしての機能を発揮させて出力端子から信号を出力させることを意味する。また、オペアンプをオフするとは、出力端子からの信号出力を遮断することを意味する。信号SIGは、第1端子たるドレイン端子T1の電位と、第2端子たるソース端子T2の電位との大小関係が $MM < V_B$ のとき、あるいは、第1端子たるドレイン端子T1の電位と、第4端子たるソース端子T4の電位との大小関係が $S_M < V_B$ のとき、第1オペアンプOP1をオンし、第2オペアンプOP2をオフする。一方、信号SIGは、 $MM > V_B$ (あるいは $S_M > V_B$) のとき第1オペアンプOP1をオフし、第2オペアンプOP2をオンする。

10

【0028】

センス電流検出アンプ24は、一般的に知られたオペアンプである。センス抵抗23に対して第1オペアンプOP1の非反転入力端子側、あるいは第2オペアンプOP2の反転入力端子側の一端に、センス電流検出アンプ24の非反転入力端子が接続されている。一方、センス抵抗23の他端にセンス電流検出アンプ24の反転入力端子が接続されている。よって、センス電流検出アンプ24は、非反転入力端子の電位が反転入力端子よりも高い力行時には、センス電流値に相関した正の出力値を出力する。一方、センス電流検出アンプ24は、非反転入力端子の電位が反転入力端子よりも低い回生時には、センス電流値に相関した負の出力値を出力する。

20

【0029】

次に、本実施形態における半導体装置100を採用することによる作用効果について説明する。

【0030】

この半導体装置100は、 $S_M < V_B$ あるいは $MM < V_B$ となる力行時において、第1オペアンプOP1がオンされて有効になり、第2オペアンプOP2がオフされて無効になる。第1オペアンプOP1は S_M が MM に等しくなるように負帰還動作する。その過程で、第1トランジスタ21がオンされて第1オペアンプOP1の非反転入力端子からセンス抵抗23を経て基準電位 V_{SS} に向かってフィードバック電流が流れ、このフィードバック電流がセンス電流として検出される。このように、この半導体装置100は、メインMOSトランジスタ M_{tr} のドレイン・ソース間電圧と、センスMOSトランジスタ S_{tr} のドレイン・ソース間電圧とを同値に維持した状態で力行時のセンス電流を検出することができる。よって、メインMOSトランジスタ M_{tr} とセンスMOSトランジスタ S_{tr} とでアーリー効果による電位差ずれを生ずることなく、正しいミラー比を維持したまま力行時の出力電流 I_{out} を高精度に検出することができる。

30

【0031】

また、この半導体装置100は、 $S_M > V_B$ あるいは $MM > V_B$ となる回生時において、第2オペアンプOP2がオンされて有効になり、第1オペアンプOP1がオフされて無効になる。第2オペアンプOP2は S_M が MM に等しくなるように負帰還動作する。その過程で、第2トランジスタ22がオンされて昇圧電位 V_H からセンス抵抗23を経て第2オペアンプOP1の非反転入力端子に向かってフィードバック電流が流れ、このフィードバック電流がセンス電流として検出される。このように、この半導体装置100は、メインMOSトランジスタ M_{tr} のドレイン・ソース間電圧と、センスMOSトランジスタ S_{tr} のドレイン・ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。よって、同期整流時においては、メインMOSトランジスタ M_{tr} とセンスMOSトランジスタ S_{tr} とでアーリー効果による電位差ずれを生ずることなく、正しいミラー比を維持したまま回生時の出力電流 I_{out} を高精度に検出することができる。

40

【0032】

50

上記のとおり、この半導体装置 100 は、高精度に出力電流 I_{out} に関連するセンス電流 I_s を、その向きを含めて検出することができる。加えて、この半導体装置 100 では、メイン MOS トランジスタ M_{tr} の出力端子であるソース端子 T_2 に、電流検出用のシャント抵抗器を設けないから、出力電流に対する電力損失は無い。

【0033】

(変形例 1)

上記した第 1 実施形態では、メイン MOS トランジスタ M_{tr} のドレイン端子 T_1 が電源電位 V_B とされ、負荷に対して、いわゆるハイサイド側の MOS トランジスタを想定した構成について説明したが、図 2 に示すように、負荷に対してローサイド側の MOS トランジスタに対しても同様の構成を採用することができる。

10

【0034】

この半導体装置 110 の、第 1 実施形態における半導体装置 100 と異なる点の一つは、メイン MOS トランジスタ M_{tr} のソース端子 T_2 がグランド電位 GND に接続され、ドレイン端子 T_1 に負荷が接続される点である。また、二つは、第 1 トランジスタ 21 のソース端子の電位 V_{SS} がグランド電位 GND よりも低電位に設定され、第 2 トランジスタ 22 のドレイン端子が電源電位 V_B に接続される点である。

【0035】

一つめの相違点は、メイン MOS トランジスタ M_{tr} が負荷に対してローサイド側に接続されることに起因するものである。

【0036】

二つめの相違点のうち、第 1 トランジスタ 21 のソース端子の電位 V_{SS} をグランド電位 GND より低電位に設定することは必須である。力行時において、第 1 オペアンプ OP1 は比反転入力端子の電位 S_M を、反転入力端子の電位 $MM (= GND)$ に等しくなるように基準電位 V_{SS} に向かってフィードバック電流を流す。この動作は、基準電位 V_{SS} をグランド電位 GND よりも低電位にすることで実現することができる。

20

【0037】

なお、第 2 トランジスタ 22 のドレイン端子に接続する電位は、本変形例では電源電位 V_B としているが、昇圧電位 V_H であっても構わない。

【0038】

本変形例においても、第 1 実施形態と同様に、力行時においては第 1 オペアンプ OP1 がオンされ、回生時においては第 2 オペアンプ OP2 がオンされることにより、高精度に出力電流 I_{out} に関連するセンス電流 I_s を、その向きを含めて検出することができる。

30

【0039】

(変形例 2)

上記した第 1 実施形態では、第 1 オペアンプ OP1 および第 2 オペアンプ OP2 を有効にした際にフィードバック経路を構成する第 1 トランジスタ 21 および第 2 トランジスタ 22 が N_{ch} の MOS トランジスタである例について説明した。

【0040】

ここで、第 1 トランジスタ 21 および第 2 トランジスタ 22 は、それぞれ第 1 オペアンプ OP1 および第 2 オペアンプ OP2 が有効にされたときにフィードバック経路を形成するように動作すれば良いのであって、 N_{ch} の MOS トランジスタに限定されない。例えば、図 3 に示す半導体装置 120 における第 1 トランジスタ 21 および第 2 トランジスタ 22 は、 P_{ch} の MOS トランジスタ (PMOS) である。

40

【0041】

半導体装置 120 では、第 1 オペアンプ OP1 の入力端子の構成も第 1 実施形態に対して逆転する。また、第 2 オペアンプ OP2 の入力端子の構成も第 1 実施形態に対して逆転する。具体例には、メイン MOS トランジスタ M_{tr} のソース端子 T_2 は、第 1 オペアンプ OP1 の非反転入力端子、および、第 2 オペアンプ OP2 の反転入力端子に接続される。また、センス MOS トランジスタ S_{tr} のソース端子 T_4 は、第 1 オペアンプ OP1 の

50

反転入力端子、および、第 2 オペアンプ O P 2 の非反転入力端子に接続される。

【 0 0 4 2 】

このように構成することにより、力行時には、第 1 オペアンプ O P 1 の属するフィードバック経路において、第 1 オペアンプ O P 1 の反転入力端子から基準電位 V_{SS} に向かってセンス電流 I_s が流れる。また、回生時には、第 2 オペアンプ O P 2 の属するフィードバック経路において、昇圧電位 V_H から第 2 オペアンプ O P 2 の非反転入力端子に向かってセンス電流 I_s が流れる。

【 0 0 4 3 】

すなわち、第 1 実施形態と同様に、高精度に出力電流 I_{out} に相関するセンス電流 I_s を、その向きを含めて検出することができる。

【 0 0 4 4 】

(第 2 実施形態)

第 1 実施形態およびその変形例 1 , 2 では、センス電流としてのフィードバック電流を生成するためのオペアンプを 2 つ備える形態について説明した。これに対して、本実施形態における半導体装置 1 3 0 は、唯一のオペアンプ O P 3 によって第 1 実施形態と同様の効果を発揮する。

【 0 0 4 5 】

本実施形態における半導体装置 1 3 0 は、図 4 に示すように、第 1 実施形態と同一のパワースイッチング素子 1 0 に、唯一のオペアンプ O P 3 が接続されている。オペアンプ O P 3 には昇圧電位 V_H が電源として入力され、2 つの入力端子は、第 1 スイッチ回路 3 1 を介してメイン M O S トランジスタ M_{tr} およびセンス M O S トランジスタ S_{tr} のソース端子 T_2 , T_4 に接続されている。また、オペアンプ O P 3 の出力端子は、第 2 スイッチ回路 3 2 を介して、第 1 トランジスタ 2 1 および第 2 トランジスタ 2 2 に接続されている。

【 0 0 4 6 】

具体的には、図 4 に示すように、第 1 スイッチ回路 3 1 は、2 つのスイッチ SW_1 と、2 つのスイッチ SW_2 とを有している。メイン M O S トランジスタ M_{tr} の第 2 端子たるソース端子 T_2 は、スイッチ SW_1 を介してオペアンプ O P 3 の反転入力端子に接続されつつ、スイッチ SW_2 を介して非反転入力端子に接続されている。つまり、ソース端子 T_2 は、スイッチ SW_1 がオンのときは反転入力端子に接続され、スイッチ SW_2 がオンのときは非反転入力端子に接続される。センス M O S トランジスタ S_{tr} の第 4 端子たるソース端子 T_4 は、スイッチ SW_1 を介してオペアンプ O P 3 の非反転入力端子に接続されつつ、スイッチ SW_2 を介して反転入力端子に接続されている。つまり、ソース端子 T_4 は、スイッチ SW_1 がオンのときは非反転入力端子に接続され、スイッチ SW_2 がオンのときは反転入力端子に接続される。なお、センス抵抗 2 3 は、第 4 端子 T_4 と第 1 スイッチ回路 3 1 との中間点に接続されている。

【 0 0 4 7 】

第 2 スイッチ回路 3 2 は、1 つのスイッチ SW_1 と、1 つのスイッチ SW_2 を有している。オペアンプ O P 3 の出力端子は、スイッチ SW_1 を介して第 1 トランジスタ 2 1 のゲート端子に入力されている。一方、出力端子は、スイッチ SW_2 を介して第 2 トランジスタ 2 2 のゲート端子にも接続されている。第 1 トランジスタ 2 1 のドレイン端子はセンス抵抗 2 3 を介してオペアンプ O P 3 の非反転入力端子に接続され、第 2 トランジスタ 2 2 のソース端子はセンス抵抗 2 3 を介してオペアンプ O P 3 の非反転入力端子に接続されている。

【 0 0 4 8 】

すなわち、オペアンプ O P 3 は、スイッチ SW_1 がオンすると第 1 トランジスタ 2 1 とセンス抵抗 2 3 を含むフィードバック経路を形成する負帰還回路を成し、スイッチ SW_2 がオンすると第 2 トランジスタ 2 2 とセンス抵抗 2 3 を含むフィードバック経路を形成する負帰還回路を成す。換言すれば、スイッチ SW_1 がオンすると、オペアンプ O P 3 は、第 1 実施形態における第 1 オペアンプ O P 1 と同様の機能を奏する。一方、スイッチ SW

10

20

30

40

50

2 がオンすると、オペアンプ OP 3 は、第 1 実施形態における第 2 オペアンプ OP 2 と同様の機能を奏する。

【0049】

なお、第 1 実施形態では、第 1 端子たるドレイン端子 T 1 の電位と、第 2 端子たるソース端子 T 2 の電位との大小関係に応じて各オペアンプ OP 1, OP 2 をオンオフする信号 SIG がオペアンプ OP 1, OP 2 に入力される例を示した。これに対して、本実施形態における信号 SIG は、第 1 スイッチ回路 3 1 および第 2 スイッチ回路 3 2 におけるスイッチ SW 1 およびスイッチ SW 2 のオンオフを制御する。スイッチ SW 1 とスイッチ SW 2 とは同期しており、スイッチ SW 1 がオンのときスイッチ SW 2 はオフする。また、スイッチ SW 2 がオンのときスイッチ SW 1 はオフする。

10

【0050】

信号 SIG は、第 1 端子たるドレイン端子 T 1 の電位と、第 2 端子たるソース端子 T 2 の電位との大小関係が $MM < VB$ のとき、あるいは、第 1 端子たるドレイン端子 T 1 の電位と、第 4 端子たるソース端子 T 4 の電位との大小関係が $SM < VB$ のとき（力行時）、スイッチ SW 1 をオンし、スイッチ SW 2 をオフする。一方、信号 SIG は、 $MM > VB$ （あるいは $SM > VB$ ）のとき（回生時）、スイッチ SW 1 をオフし、スイッチ SW 2 をオンする。

【0051】

これにより、唯一のオペアンプ OP 3 によって、力行時および回生時のいずれのセンス電流も検出することができる。また、回路規模の大きいオペアンプの点数を第 1 実施形態およびその変形例 1, 2 に較べて減ずることができる。

20

【0052】

（第 3 実施形態）

第 2 実施形態と同様に、本実施形態における半導体装置 140 も、唯一のオペアンプ OP 4 を用いて力行時と回生時の出力電流を検出可能な回路構成を有する。

【0053】

図 5 に示すように、この半導体装置 140 は、第 1 実施形態と同一のパワースイッチング素子 10 に、唯一のオペアンプ OP 4 が接続されている。オペアンプ OP 4 には昇圧電位 VH が電源として入力されている。オペアンプ OP 4 の非反転入力端子にはセンス MOS トランジスタ S tr のソース端子 T 4 が接続されており、反転入力端子にはメイン MOS トランジスタ M tr のソース端子 T 2 が接続されている。オペアンプ OP 4 の出力端子は、オペアンプ OP 4 の出力に応じた電圧が出力されるように構成された電圧調整回路 25 に接続されている。電圧調整回路 25 により調整された電圧は、オペアンプ OP 4 の非反転入力端子への電流の供給あるいは引き出しに係るフィードバック電流の方向を規定するバッファ 26 に接続されている。バッファ 26 は、センス抵抗 23 を介してオペアンプ OP 4 の非反転入力端子に接続されている。すなわち、オペアンプ OP 4 は、オペアンプ OP 4 の出力が、電圧調整回路 25、バッファ 26、およびセンス抵抗 23 を介して非反転入力端子にフィードバックされる負帰還回路を構成している。負帰還を成すフィードバック経路を流れるフィードバック電流がセンス電流 Is であり、第 1、第 2 実施形態と同様に、センス電流検出アンプ 24 によって検出される。

30

40

【0054】

電圧調整回路 25 は、第 1 調整回路 25 a と第 2 調整回路 25 b とを有している。第 1 調整回路 25 a および第 2 調整回路 25 b はそれぞれ独立しており、互いに同一の回路構成を有している。

【0055】

すなわち、第 1 調整回路 25 a は、NMOS トランジスタ 25 1 と定電流源 25 2 とを有している。定電流源 25 2 と NMOS トランジスタ 25 1 は、この順で昇圧電位 VH と基準電位 VSS の間で直列接続されている。NMOS トランジスタ 25 1 のゲート端子にはオペアンプ OP 4 の出力が入力されており、オペアンプ OP 4 の出力に応じて、定電流源 25 2 と NMOS トランジスタ 25 1 の中間点の電位が変動するようになっている。第

50

1 調整回路 25 a とオペアンプ OP 4 の出力端子との間にはスイッチ SW 3 が介在しており、スイッチ SW 3 がオンされることでオペアンプ OP 4 の出力に応じた電圧が、定電流源 25 2 と NMOS トランジスタ 25 1 の中間点から出力される。

【0056】

第 1 調整回路 25 a とほぼ同様に、第 2 調整回路 25 b は、NMOS トランジスタ 25 3 と定電流源 25 4 とを有している。定電流源 25 4 と NMOS トランジスタ 25 3 は、この順で昇圧電位 V_H と基準電位 V_{SS} の間で直列接続されている。NMOS トランジスタ 25 3 のゲート端子にはオペアンプ OP 4 の出力が入力されており、オペアンプ OP 4 の出力に応じて、定電流源 25 4 と NMOS トランジスタ 25 3 の中間点の電位が変動するようになっている。第 2 調整回路 25 b とオペアンプ OP 4 の出力端子との間にはスイッチ SW 4 が介在しており、スイッチ SW 4 がオンされることでオペアンプ OP 4 の出力に応じた電圧が、定電流源 25 4 と NMOS トランジスタ 25 3 の中間点から出力される。

10

【0057】

バッファ 26 は、図 5 に示すように、第 1 バッファ 26 a と第 2 バッファ 26 b とを有している。

【0058】

第 1 バッファ 26 a は、PMOS トランジスタ 26 1 を有している。PMOS トランジスタ 26 1 のゲート端子には電圧調整回路 25 のうち第 1 調整回路 25 a の出力が入力されるようになっている。PMOS トランジスタ 26 1 のソース端子には基準電位 V_{SS} が接続され、ドレイン端子はセンス抵抗 23 を介してオペアンプ OP 4 の非反転入力端子に接続されている。

20

【0059】

第 2 バッファ 26 b は、NMOS トランジスタ 26 2 を有している。NMOS トランジスタ 26 2 のゲート端子には電圧調整回路 25 のうち第 2 調整回路 25 b の出力が入力されるようになっている。NMOS トランジスタ 26 2 のドレイン端子には昇圧電位 V_H が接続され、ソース端子はセンス抵抗 23 を介してオペアンプ OP 4 の非反転入力端子に接続されている。

【0060】

このように、バッファ 26 は、第 1 バッファ 26 a および第 2 バッファ 26 b がいずれもソースフォロワ構成とされた出力段であり、電圧調整回路 25 の出力に基づいてフィードバック電流を流す。

30

【0061】

オペアンプ OP 4 と電圧調整回路 25 との間には互いの接続をオンオフするためのスイッチ SW 3 およびスイッチ SW 4 が介在している。また、電圧調整回路 25 とバッファ 26 との間にも互いの接続をオンオフするためのスイッチ SW 3 およびスイッチ SW 4 が介在している。

【0062】

具体例には、電圧調整回路 25 のうち第 1 調整回路 25 a は、スイッチ SW 3 を介してオペアンプ OP 4 の出力端子に接続され、別のスイッチ SW 3 を介して第 1 バッファ 26 a に接続されている。一方、電圧調整回路 25 のうち第 2 調整回路 25 b は、スイッチ SW 4 を介してオペアンプ OP 4 の出力端子に接続され、別のスイッチ SW 4 を介して第 2 バッファ 26 b に接続されている。

40

【0063】

力行時においてはスイッチ SW 3 がオンされスイッチ SW 4 がオフされる。これにより、オペアンプ OP 4 の出力端子と非反転入力端子との間のフィードバック経路は、第 1 調整回路 25 a、第 1 バッファ 26 a およびセンス抵抗 23 を介する経路となる。第 1 バッファ 26 a は、第 1 実施形態における第 1 トランジスタ 21 と同様の機能を奏するのであり、力行時においてオペアンプ OP 4 の非反転入力端子から基準電位 V_{SS} に向かってセンス電流を流す。

50

【0064】

一方、回生時においてはスイッチSW4がオンされスイッチSW3がオフされる。これにより、オペアンプOP4の出力端子と非反転入力端子との間のフィードバック経路は、第2調整回路25b、第2バッファ26bおよびセンス抵抗23を介する経路となる。第2バッファ26bは、第1実施形態における第2トランジスタ22と同様の機能を奏するのであり、回生時において昇圧電位VHからオペアンプOP4の非反転入力端子に向かってセンス電流を流す。

【0065】

なお、スイッチSW3およびスイッチSW4は、第2実施形態と同様に制御用の信号SIGによりオンオフされる。信号SIGは、第1端子たるドレイン端子T1の電位と、第2端子たるソース端子T2の電位との大小関係が $MM < VB$ のとき、あるいは、第1端子たるドレイン端子T1の電位と、第4端子たるソース端子T4の電位との大小関係が $SM < VB$ のとき（力行時）、スイッチSW3をオンし、スイッチSW4をオフする。一方、信号SIGは、 $MM > VB$ （あるいは $SM > VB$ ）のとき（回生時）、スイッチSW3をオフし、スイッチSW4をオンする。

10

【0066】

以上のように、この半導体装置140は、メインMOSトランジスタMtrのドレイン-ソース間電圧と、センスMOSトランジスタStrのドレイン-ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。

20

【0067】

また、第1実施形態および第2実施形態では、力行に係る第1トランジスタ21がソース接地型であり、回生に係る第2トランジスタ22がソースフォロワ型である。力行時と回生時においてオペアンプOP1～OP3によるゲインが相違するため、出力のフィードバックが困難になる虞がある。これに対して、本実施形態における半導体装置140は、第1バッファ26aおよび第2バッファ26bがいずれもソースフォロワ構成であるから、オペアンプOP4によるフィードバックを容易にすることができる。

【0068】

（変形例3）

第3実施形態におけるバッファ26は、第1バッファ26aおよび第2バッファ26bがいずれもソースフォロワ構成とされた出力段である例を示したが、バッファ26は、ソース接地構成とされても良い。図6に示すように、この半導体装置150は、第3実施形態における半導体装置140に較べて、バッファ26およびオペアンプOP4に相違点がある。

30

【0069】

具体的には、バッファ26における第1バッファ26aがNMOSトランジスタ263に置換されている。NMOSトランジスタ263のゲート端子には電圧調整回路25のうち第1調整回路25aの出力が入力されるようになっている。NMOSトランジスタ263のソース端子には基準電位VSSが接続され、ドレイン端子はセンス抵抗23を介してオペアンプOP4の反転入力端子に接続されている。

40

【0070】

同様に、バッファ26における第2バッファ26bがPMOSトランジスタ264に置換されている。PMOSトランジスタ264のゲート端子には電圧調整回路25のうち第2調整回路25bの出力が入力されるようになっている。PMOSトランジスタ264のドレイン端子には昇圧電位VHが接続され、ソース端子はセンス抵抗23を介してオペアンプOP4の反転入力端子に接続されている。

【0071】

また、オペアンプOP4の非反転入力端子および反転入力端子の接続が、第3実施形態の場合に対して逆転している。すなわち、メインMOSトランジスタMtrのソース端子T2は非反転入力端子に接続され、センスMOSトランジスタStrのソース端子T4は反転入力端子に接続されている。

50

【 0 0 7 2 】

このように、本変形例におけるバッファ 2 6 は、第 1 バッファ 2 6 a および第 2 バッファ 2 6 b がいずれもソース接地の構成とされている。そして、オペアンプ O P 4 の出力の負帰還に係るフィードバック先は反転入力端子となっている。よって、第 1、第 2 実施形態に較べてオペアンプ O P 4 によるフィードバックを容易にすることができる。また、本変形例のように構成した半導体装置 1 5 0 においても、第 3 実施形態と同様に、力行時あるいは回生時の出力電流に対応したセンス電流を流すことができる。つまり、半導体装置 1 5 0 は、メイン M O S トランジスタ M t r のドレイン - ソース間電圧と、センス M O S トランジスタ S t r のドレイン - ソース間電圧とを同値に維持した状態で回生時のセンス電流を検出することができる。

10

【 0 0 7 3 】

(第 4 実施形態)

上記した各実施形態および変形例においては、信号 S I G に基づいて、有効にするオペアンプあるいはスイッチを制御して、センス抵抗 2 3 に流れるフィードバック電流の向きを規定する例について説明した。各実施形態および変形例においては、センス電流 I s のゼロ点を境界にして、外部信号 S I G を用いて力行時と回生時とでセンス電流の方向を切り替えている。

【 0 0 7 4 】

これに対して、本実施形態における半導体装置 1 6 0 は、信号 S I G を用いることなく、フィードバック電流、すなわちセンス電流 I s の向きを自動的に切り替える例について説明する。半導体装置 1 6 0 は、センス電流 I s がゼロにならないようにすることで、バッファ 2 6 において自動的にセンス電流 I s の方向を切り替えるものである。なお、電圧調整回路 2 5 およびバッファ 2 6 を除く要素は、第 3 実施形態に記載の半導体装置 1 4 0 と同一であるから、同一要素の詳しい説明を省略する。

20

【 0 0 7 5 】

半導体装置 1 6 0 における電圧調整回路 2 5 は、N M O S トランジスタ 2 5 5 と定電流源 2 5 6 とを有している。回路構成は第 3 実施形態における第 1 調整回路 2 5 a や第 2 調整回路 2 5 b と同様であり、定電流源 2 5 6 と N M O S トランジスタ 2 5 5 はこの順で昇圧電位 V H と基準電位 V S S の間で直列接続されている。N M O S トランジスタ 2 5 5 のゲート端子にはオペアンプ O P 4 の出力が入力されており、オペアンプ O P 4 の出力に応じて、定電流源 2 5 6 と N M O S トランジスタ 2 5 5 の中間点の電位が変動するようになっている。

30

【 0 0 7 6 】

半導体装置 1 6 0 におけるバッファ 2 6 は、ボルテージフォロア構成とされた所謂 A B 級バッファである。バッファ 2 6 は、入力電圧がゼロの場合においても入力段のトランジスタにドレイン電流が流れる構成になっている。このため、バッファ 2 6 の出力は、入力電圧に対してオフセットされた状態で、入力電圧に対応した出力電圧が得られる。以下に詳しい回路構成を説明する。

【 0 0 7 7 】

バッファ 2 6 は、入力段として、N M O S トランジスタ 2 6 5 と、P M O S トランジスタ 2 6 7 と、定電流源 2 6 6 と、定電流源 2 6 8 とを有している。定電流源 2 6 6 と N M O S トランジスタ 2 6 5 と、P M O S トランジスタ 2 6 7 と定電流源 2 6 8 はこの順で昇圧電位 V H と基準電位 V S S の間で直列接続されている。N M O S トランジスタ 2 6 5 のゲート端子は、ドレイン端子と同電位になるように接続されている。P M O S トランジスタ 2 6 7 のゲート端子は、ソース端子と同電位になるように接続されている。電圧調整回路 2 5 の出力電圧は、N M O S トランジスタ 2 6 5 と P M O S トランジスタ 2 6 7 とが接続される中間点に入力される。

40

【 0 0 7 8 】

また、バッファ 2 6 は、出力段として、N M O S トランジスタ 2 6 9 と P M O S トランジスタ 2 7 0 とを有している。N M O S トランジスタ 2 6 9 と P M O S トランジスタ 2 7

50

0はこの順で昇圧電位 V_H と基準電位 V_{SS} の間で直列接続されている。NMOSトランジスタ269のゲート端子は、入力段におけるNMOSトランジスタ265のゲート端子と同電位とされ、PMOSトランジスタ270のゲート端子は、入力段におけるPMOSトランジスタ267のゲート端子と同電位とされている。出力段においてはNMOSトランジスタ269とPMOSトランジスタ270とが接続される中間点が出力点であり、該出力点がセンス抵抗23を介してオペアンプOP4における非反転入力端子に接続されている。

【0079】

以下に、力行時および回生時における半導体装置160の動作について簡単に説明する。なお、図7に矢印で示す力行時のセンス電流 I_s の向きを正方向とし、矢印で示す力行電流 I_p の向きを正方向とし、矢印で示す回生電流 I_n の向きを正方向とする。すなわち、 $I_s = I_p - I_n$ である。

10

【0080】

<力行時：センス電流 I_s が小さいとき>

力行時はメインMOSトランジスタ M_{tr} の第1端子たるドレイン端子 T_1 から第2端子たるソース端子 T_2 に向かって出力電流が流れる。センス電流 I_s についても、センスMOSトランジスタ S_{tr} の第3端子たるドレイン端子 T_3 から第4端子たるソース端子 T_4 に向かって流れる。すなわち、電位の大小関係は、 $M_M < V_B$ 、 $S_M < V_B$ である。

【0081】

センス電流 I_s が小さい、すなわち、 $S_M > M_M$ を仮定すると、オペアンプOP4の出力は正となる。これにより、電圧調整回路25におけるNMOSトランジスタ255のゲート電位が上昇し、電圧調整回路25の出力電圧は下降する。換言すれば、バッファ26の入力電圧は下降する。バッファ26の入力電圧が下降すると、バッファ26の出力電圧も下降するように作用する。つまり、力行電流 I_p が増加してバッファ26の出力電圧を下げるように作用する。 I_p の増加にともなってセンス電流 I_s が増加して第4端子の電位 S_M が下降する。つまり、 $S_M = M_M$ となるようにフィードバックされる。

20

【0082】

<力行時：センス電流 I_s が大きいとき>

電位の大小関係は、 $M_M < V_B$ 、 $S_M < V_B$ である。

【0083】

センス電流 I_s が大きい、すなわち、 $S_M < M_M$ を仮定すると、オペアンプOP4の出力は負となる。これにより、電圧調整回路25におけるNMOSトランジスタ255のゲート電位が下降し、電圧調整回路25の出力電圧は上昇する。換言すれば、バッファ26の入力電圧は上昇する。バッファ26の入力電圧が上昇すると、バッファ26の出力電圧も上昇するように作用する。つまり、力行電流 I_p が減少してバッファ26の出力電圧を上げるように作用する。 I_p の減少にともなってセンス電流 I_s が減少して第4端子の電位 S_M が上昇する。つまり、 $S_M = M_M$ となるようにフィードバックされる。

30

【0084】

<回生時：センス電流 I_s が小さいとき>

回生時はメインMOSトランジスタ M_{tr} の第2端子たるソース端子 T_2 から第1端子たるドレイン端子 T_1 に向かって出力電流が流れる。センス電流 I_s についても、センスMOSトランジスタ S_{tr} の第4端子たるソース端子 T_4 から第3端子たるドレイン端子 T_3 に向かって流れる。すなわち、電位の大小関係は、 $M_M > V_B$ 、 $S_M > V_B$ である。

40

【0085】

センス電流 I_s が小さい、すなわち、 $S_M < M_M$ を仮定すると、オペアンプOP4の出力は負となる。これにより、電圧調整回路25におけるNMOSトランジスタ255のゲート電位が下降し、電圧調整回路25の出力電圧は上昇する。換言すれば、バッファ26の入力電圧は上昇する。バッファ26の入力電圧が上昇すると、バッファ26の出力電圧も上昇するように作用する。つまり、回生電流 I_n が増加してバッファ26の出力電圧を上げるように作用する。 I_n の増加にともなってセンス電流 I_s が負の方向に増大して第

50

4 端子の電位 S_M が上昇する。つまり、 $S_M = M_M$ となるようにフィードバックされる。

【0086】

< 回生時：センス電流 I_s が大きいとき >

電位の大小関係は、 $M_M > V_B$ 、 $S_M > V_B$ である。

【0087】

センス電流 I_s が大きい、すなわち、 $S_M > M_M$ を仮定すると、オペアンプ OP4 の出力は正となる。これにより、電圧調整回路 25 における NMOS トランジスタ 255 のゲート電位が上昇し、電圧調整回路 25 の出力電圧は下降する。換言すれば、バッファ 26 の入力電圧は下降する。バッファ 26 の入力電圧が下降すると、バッファ 26 の出力電圧も下降するように作用する。つまり、回生電流 I_n が減少してバッファ 26 の出力電圧を下げるように作用する。 I_n の減少にともなってセンス電流 I_s が減少して第 4 端子の電位 S_M が下降する。つまり、 $S_M = M_M$ となるようにフィードバックされる。

【0088】

このように、バッファ 26 に AB 級バッファを採用することにより、力行時と回生時において、オペアンプ OP4 のフィードバック電流（センス電流）の向きを切り替えるスイッチを用いることなく、自動的にセンス電流の向きを切り替えることができる。

【0089】

（変形例 4）

言うまでもなく、バッファ 26 に採用する AB 級バッファは上記例に示す回路構成に限定されるものではない。第 4 実施形態における半導体装置 160 では、バッファ 26 にボルテージフォロア型の AB 級アンプを採用する例を示したが、図 8 に示すように、ソース接地型の AB 級アンプを採用しても良い。この場合、第 3 実施形態に対する変形例 3 と同様に、オペアンプ OP4 の非反転入力端子および反転入力端子の接続が、第 4 実施形態の場合に対して逆転している。すなわち、本実施形態における半導体装置 170 では、メイン MOS トランジスタ M_{tr} のソース端子 T2 は非反転入力端子に接続され、センス MOS トランジスタ S_{tr} のソース端子 T4 は反転入力端子に接続されている。

【0090】

このほか、半導体装置 170 は、第 4 実施形態における半導体装置 160 に対してバッファ 26 がソース接地型の AB 級アンプとなる。具体的には、バッファ 26 は、入力段として、NMOS トランジスタ 271 と、PMOS トランジスタ 272 と、定電流源 266 と、定電流源 268 を有している。NMOS トランジスタ 271 と PMOS トランジスタ 272 とは、昇圧電位 V_H 側の定電流源 266 と基準電位 V_{SS} 側の定電流源 268 との間で互いに並列に接続されている。電圧調整回路 25 の出力電圧は、NMOS トランジスタ 271 のソース端子に入力される。

【0091】

また、バッファ 26 は、出力段として、PMOS トランジスタ 273 と NMOS トランジスタ 274 はこの順で昇圧電位 V_H と基準電位 V_{SS} の間で直列接続されている。PMOS トランジスタ 273 のゲート端子は、入力段における NMOS トランジスタ 271 のドレイン端子と同電位とされ、NMOS トランジスタ 274 のゲート端子は、入力段における NMOS トランジスタ 271 のソース端子と同電位とされている。出力段においては PMOS トランジスタ 273 と NMOS トランジスタ 274 とが接続される中間点が出力点であり、該出力点がセンス抵抗 23 を介してオペアンプ OP4 における反転入力端子に接続されている。

【0092】

（その他の実施形態）

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0093】

上記した各実施形態および各変形例では、パワースイッチング素子として MOSFET

10

20

30

40

50

が採用される例を示したが、パワースイッチング素子の種類については限定されるものではない。例えば絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）やその他の素子を採用することができる。

【 0 0 9 4 】

また、上記した各実施形態および各変形例では、センス電流 I_s に検出に係るセンス電流検出アンプ 24 について、差動／シングルエンド変換アンプを採用する例について示したが、センス抵抗 23 に流れるセンス電流の検出方法については任意である。

【 0 0 9 5 】

また、第 3 実施形態や第 4 実施形態において、電圧調整回路 25 およびバッファ 26 の回路構成は一例である。電圧調整回路 25 は、前段のオペアンプの出力に対応した出力電圧を生成可能な回路であれば良いし、バッファ 26 は、前段の電圧調整回路 25 の出力に対応する出力電圧が生成可能であって、回生時において電源電位 V_B よりも高電位を生成可能に構成された回路であれば良い。

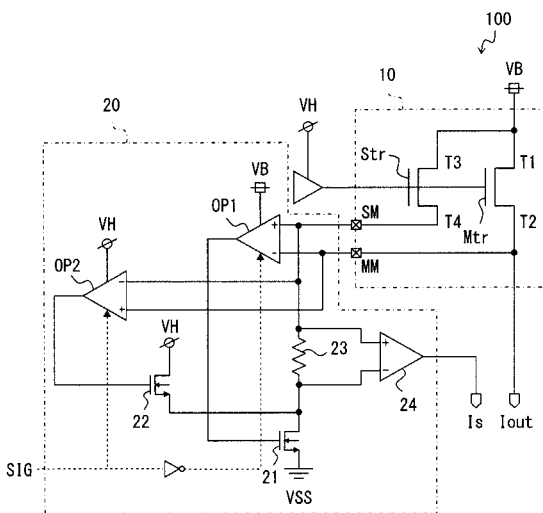
【 符号の説明 】

【 0 0 9 6 】

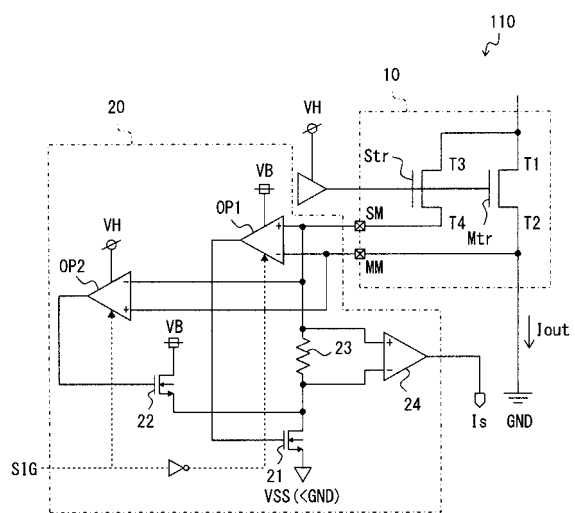
1 0 ... パワースイッチング素子，2 0 ... 電流検出部，2 1 ... 第 1 トランジスタ，2 2 ... 第 2 トランジスタ，2 3 ... センス抵抗，2 4 ... センス電流検出アンプ，2 5 ... 電圧調整回路，2 6 ... バッファ，M t r ... メイン MOS トランジスタ，S t r ... センス MOS トランジスタ，O P 1 ~ O P 4 ... オペアンプ

10

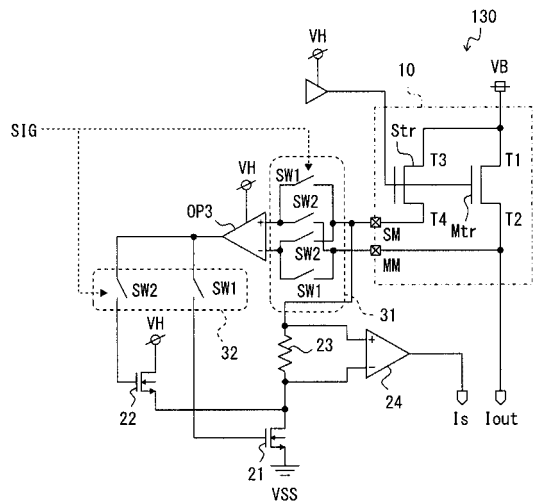
【 図 1 】



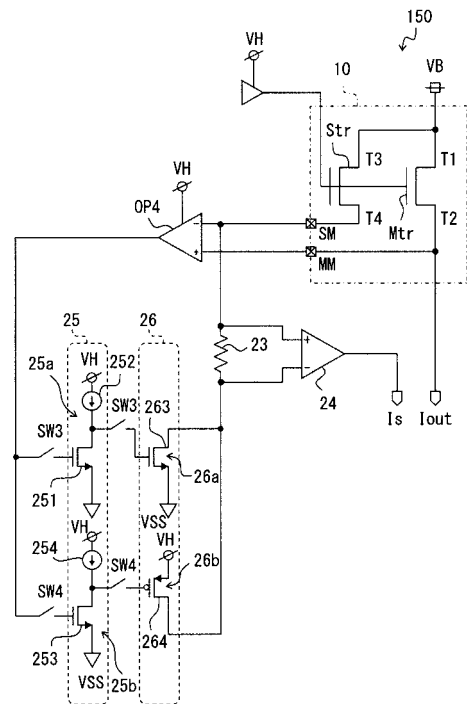
【 図 2 】



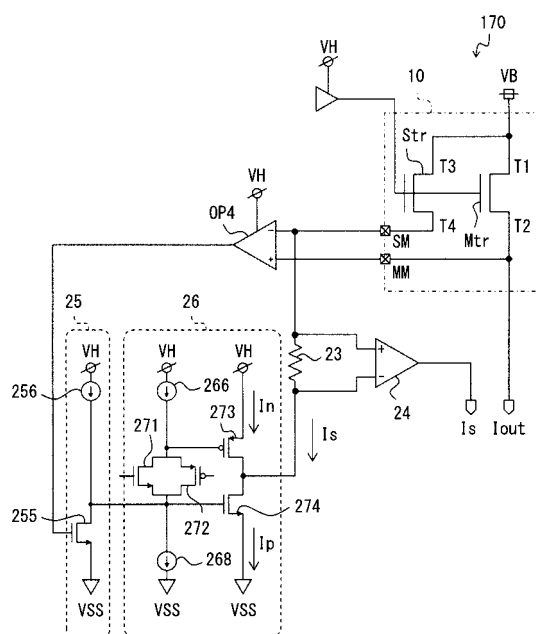
【 図 4 】



【 図 6 】



【 図 8 】



フロントページの続き

Fターム(参考) 2G035 AA01 AB01 AC02 AD02 AD03 AD10 AD20 AD45 AD47 AD54