



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I694749 B

(45)公告日：中華民國 109 (2020) 年 05 月 21 日

(21)申請案號：107126625

(22)申請日：中華民國 103 (2014) 年 10 月 20 日

(51)Int. Cl. : H05H1/34 (2006.01)

H05H1/42 (2006.01)

H01L21/3065(2006.01)

(30)優先權：2013/11/06 美國

61/900,838

2014/10/15 美國

14/514,930

(71)申請人：美商應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：白宗薰 BAEK,JONGHOON (KR)；朴秀南 (US)；陳興隆 CHEN,XINGLONG

(CN)；路柏曼斯基迪米奇 LUBOMIRSKY,DMITRY (IL)

(74)代理人：李世章；彭國洋

(56)參考文獻：

US 2013260567A1

US 20070181057A1

US 20110240599A1

審查人員：陳志遠

申請專利範圍項數：6 項 圖式數：5 共 30 頁

(54)名稱

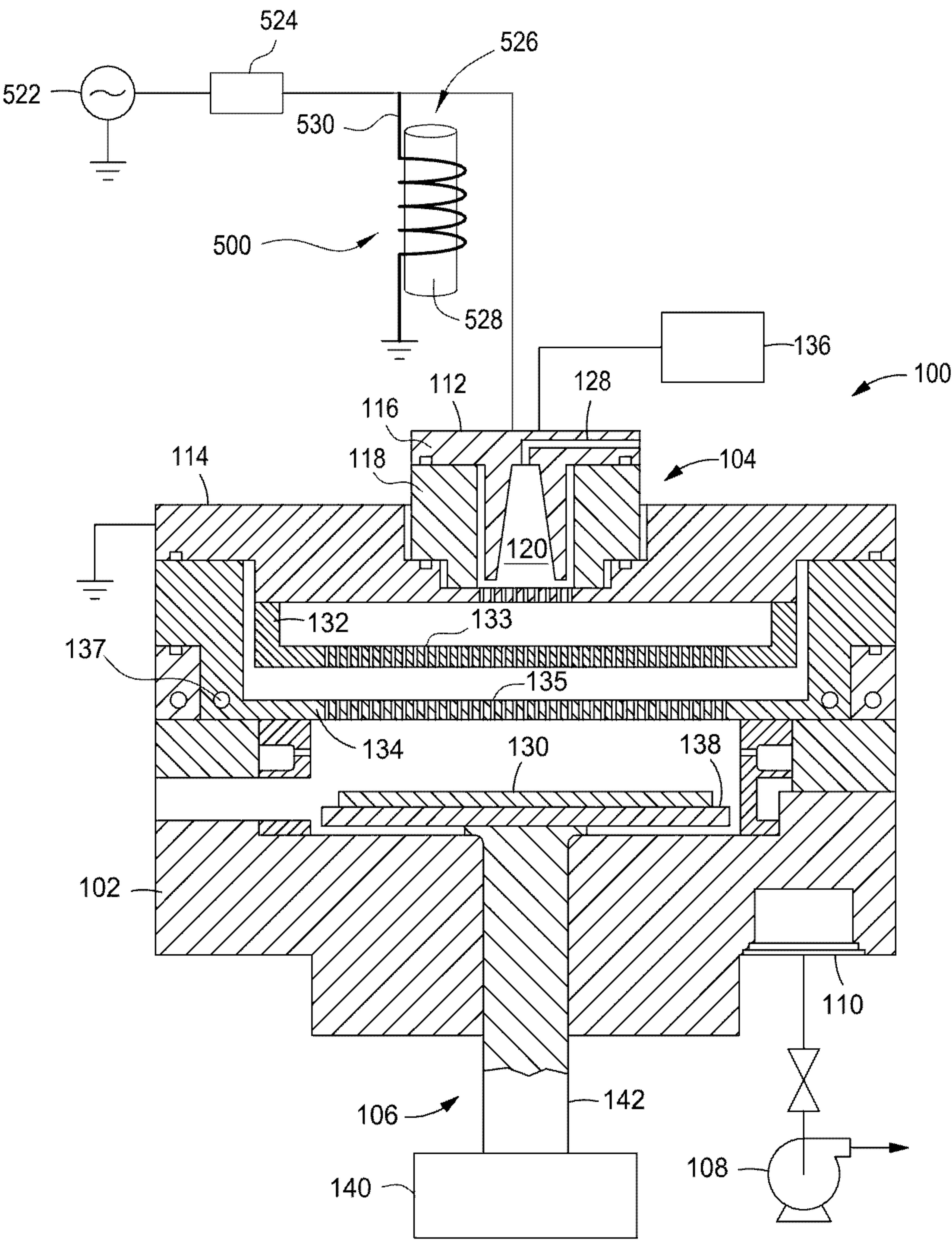
藉由直流偏壓調節之顆粒產生抑制器

(57)摘要

本揭示案的實施例大體上係關於用於減少處理腔室中的顆粒產生之設備與方法。在一實施例中，該方法大體上包括：在一供電的頂部電極與一接地的底部電極之間產生一電漿，其中該頂部電極平行於該底部電極；以及在一膜沉積處理期間施加一恆定為零的 DC 偏壓電壓至該供電的頂部電極，以最小化該供電的頂部電極與該電漿之間的該電位差及/或該接地的底部電極與該電漿之間的該電位差。最小化該電漿與該等電極之間的該電位差可減少顆粒產生，因為該等電極的該鞘區域中的該等離子的加速係減少，且該等離子與該等電極上的保護塗覆層之碰撞力係最小化。因此，減少基板表面上的顆粒產生。

Embodiments of the present disclosure generally relate to an apparatus and method for reducing particle generation in a processing chamber. In one embodiment, the methods generally includes generating a plasma between a powered top electrode and a grounded bottom electrode, wherein the top electrode is parallel to the bottom electrode, and applying a constant zero DC bias voltage to the powered top electrode during a film deposition process to minimize the electrical potential difference between the powered top electrode and the plasma and/or the electrical potential difference between the grounded bottom electrode and the plasma. Minimizing the electrical potential difference between the plasma and the electrodes reduces particle generation because the acceleration of the ions in the sheath region of the electrodes is reduced and the collision force of the ions with the protective coating layer on the electrodes is minimized. Therefore, particle generation on the substrate surface is reduced.

指定代表圖：



第5圖

符號簡單說明：

- 100 . . . 處理腔室
- 102 . . . 腔室主體
- 104 . . . 蓋組件
- 106 . . . 基板支撐組件
- 108 . . . 真空泵
- 110 . . . 真空埠
- 112 . . . 第一電極
- 114 . . . 第二電極
- 116、118 . . . 元件
- 120 . . . 孔腔
- 128 . . . 氣體入口
- 130 . . . 基板
- 132 . . . 阻隔板
- 133、135 . . . 通孔
- 134 . . . 氣體分配板
- 136 . . . 控制器
- 137 . . . 通道
- 138 . . . 基板支座
- 140 . . . 致動器
- 142 . . . 軸部
- 500 . . . DC 偏壓調節配置
- 522 . . . RF 電源
- 524 . . . 匹配網路
- 528 . . . 芯元件
- 530 . . . 線圈



I694749

【發明摘要】

【中文發明名稱】藉由直流偏壓調節之顆粒產生抑制器

【英文發明名稱】 PARTICLE GENERATION SUPPRESSOR BY DC BIAS
MODULATION

【中文】

本揭示案的實施例大體上係關於用於減少處理腔室中的顆粒產生之設備與方法。在一實施例中，該方法大體上包括：在一供電的頂部電極與一接地的底部電極之間產生一電漿，其中該頂部電極平行於該底部電極；以及在一膜沉積處理期間施加一恆定為零的DC偏壓電壓至該供電的頂部電極，以最小化該供電的頂部電極與該電漿之間的該電位差及/或該接地的底部電極與該電漿之間的該電位差。最小化該電漿與該等電極之間的該電位差可減少顆粒產生，因為該等電極的該鞘區域中的該等離子的加速係減少，且該等離子與該等電極上的保護塗覆層之碰撞力係最小化。因此，減少基板表面上的顆粒產生。

【英文】

Embodiments of the present disclosure generally relate to an apparatus and method for reducing particle generation in a processing chamber. In one embodiment, the methods generally includes generating a plasma between a powered top electrode and a grounded bottom electrode, wherein the top electrode is parallel to the bottom electrode, and applying a constant zero DC bias voltage to the powered top electrode during a film deposition process to minimize the electrical potential difference between

the powered top electrode and the plasma and/or the electrical potential difference between the grounded bottom electrode and the plasma. Minimizing the electrical potential difference between the plasma and the electrodes reduces particle generation because the acceleration of the ions in the sheath region of the electrodes is reduced and the collision force of the ions with the protective coating layer on the electrodes is minimized. Therefore, particle generation on the substrate surface is reduced.

【指定代表圖】第（ 5 ）圖。

【代表圖之符號簡單說明】

- 1 0 0 處 理 腔 室
- 1 0 2 腔 室 主 體
- 1 0 4 蓋 組 件
- 1 0 6 基 板 支 撐 組 件
- 1 0 8 真 空 泵
- 1 1 0 真 空 埠
- 1 1 2 第 一 電 極
- 1 1 4 第 二 電 極
- 1 1 6 、 1 1 8 元 件
- 1 2 0 孔 腔
- 1 2 8 氣 體 入 口
- 1 3 0 基 板
- 1 3 2 阻 隔 板
- 1 3 3 、 1 3 5 通 孔
- 1 3 4 氣 體 分 配 板

- 1 3 6 控 制 器
- 1 3 7 通 道
- 1 3 8 基 板 支 座
- 1 4 0 致 動 器
- 1 4 2 軸 部
- 5 0 0 D C 偏 壓 調 節 配 置
- 5 2 2 R F 電 源
- 5 2 4 匹 配 網 路
- 5 2 8 芯 元 件
- 5 3 0 線 圈

【特徵化學式】

無

【發明說明書】

【中文發明名稱】藉由直流偏壓調節之顆粒產生抑制器

【英文發明名稱】 PARTICLE GENERATION SUPPRESSOR BY DC BIAS
MODULATION

【技術領域】

【0001】 本揭示案的實施例大體上係關於用於減少處理腔室中的顆粒產生之設備與方法。

【先前技術】

【0002】 在半導體裝置的製造中，電漿腔室通常用於執行各種製造處理，例如蝕刻、化學氣相沉積（CVD）、與濺射。通常，真空泵維持腔室內非常低的壓力，同時處理氣體的混合物持續流入腔室，且電性電源激發氣體成電漿狀態。處理氣體混合物的組成經過選擇，以達到所欲的製造處理。

【0003】 已經觀察到，一個傳統的電漿處理腔室設計（其中電漿產生於位於氣體分配板之上的兩平行電極之間）會導致非所欲的顆粒污染於基板表面上，因為電極的離子撞擊。在需要高RF輸入功率（例如，高於550W）的沉積處理中，一旦電漿已經產生，高的自感應負DC偏壓也自然而然建立於供電電極處。電漿與自感應負DC偏壓之間的電位差形成鞘電壓於供電電極處或附近。此鞘電壓導致電漿內的正離子加速朝向供電電極，導致供電電極

的離子撞擊。在供電電極包括保護塗覆層的實例中，保護塗覆層的一部分會由於離子撞擊而變成薄片，且污染基板表面。雖然低輸入功率可用於產生電漿（以及因此減少顆粒污染），但是會降低膜沉積速率，這接著會降低處理生產量。

【0004】 因此，本領域中需要一種設備與處理，可以有效地減少基板表面上的污染顆粒的產生，且維持高處理生產量（即使是利用高電漿功率），而不會顯著增加處理或硬體成本。

【發明內容】

【0005】 本揭示案的實施例大體上係關於用於減少處理腔室中的顆粒產生之設備與方法。在一實施例中，提供用於減少處理腔室中的顆粒產生之方法。該方法包括：在一頂部電極與一底部電極之間產生一電漿，其中該頂部電極實質上平行於該底部電極；以及在一膜沉積處理期間施加一恆定為零的DC偏壓電壓至該頂部電極。

【0006】 在另一實施例中，提供用於減少處理腔室中的顆粒產生之方法。該方法包括：在一頂部電極與一底部電極之間產生一電漿，其中該頂部電極實質上平行於該底部電極；監測在該頂部電極處產生的一DC偏壓電壓，以獲得一DC偏壓回授信號；根據該DC偏壓回授信號來控制在該頂部電極處的一DC偏壓電壓極性，以在一膜沉積處理

期間調整該頂部電極與該電漿之間的電位差及 / 或該底部電極與該電漿之間的電位差。

【0007】 在又另一實施例中，提供用於處理一基板的一種設備。該設備包括：一腔室主體；一蓋組件，該蓋組件設置於該腔室主體之上，該蓋組件包括一頂部電極與一底部電極，該底部電極係定位成實質上平行於該頂部電極；一氣體分配板，該氣體分配板設置於一基板處理區域與該蓋組件之間；以及一基板支座，該基板支座設置於該腔室主體內，該基板支座支撐一基板於該基板處理區域中；其中該頂部電極係電連接於一射頻（RF）電源與一DC偏壓調節配置，且該DC偏壓調節配置係配置來在一膜沉積處理期間以一恆定為零的DC偏壓電壓來操作該頂部電極。

【圖式簡單說明】

【0008】 因此，藉由參照實施例，可更詳細瞭解本揭示案之上述特徵，且對簡短總結於上的本揭示案有更具體的敘述，某些實施例是例示於所附圖式中。但是，注意到，所附圖式只例示本揭示案之一般實施例且因此不視為限制其範圍，因為本揭示案可容許其他等效實施例。

【0009】 第1圖根據本揭示案的實施例，為處理腔室的示意橫剖面視圖，處理腔室可用於處理半導體基板。

【0010】 第2圖根據本揭示案的實施例，繪示DC偏壓方案（1）-（5）的顆粒量測。

【0011】 第3圖根據本揭示案的實施例，繪示DC偏壓方案（6）-（9）的顆粒量測。

【0012】 第4圖根據本揭示案的一實施例，為圖表，繪示不同DC偏壓電壓時第一電極（FP）與第二電極（SMD）上所量測到的離子能量變化。

【0013】 第5圖根據本揭示案的實施例，繪示第1圖的處理腔室的示意橫剖面視圖，繪示耦接於DC偏壓調節配置的蓋組件。

【0014】 為了促進瞭解，已經在任何可能的地方使用相同的元件符號來表示圖式中共同的相同元件。可瞭解到，一實施例中揭示的元件可有利地用於其他實施例中，而不用具體詳述。

【實施方式】

【0015】 本揭示案的實施例大體上係關於用於減少處理腔室中的顆粒產生之設備與方法。該方法大體上包括：在頂部電極與底部電極之間產生電漿，以及施加一零DC偏壓電壓至該頂部電極，使得該頂部電極在膜沉積處理期間係利用恆定為零的DC偏壓電壓來操作。在另一實施例中，提供用於處理基板的一種設備。該設備大體上包括蓋組件，蓋組件設置於腔室主體之上。蓋組件具有供電的頂部電極與接地的底部電極（設置成平行於供電的頂部電極），界定電漿空間於其間。低通濾波器設置於蓋組件與RF電源之間並且配置來導引DC偏壓至地，使得頂部電極

(R F 致熱的) 在膜沉積處理期間係以恆定為零的 D C 偏壓電壓來操作。

【 0 0 1 6 】 施加零 D C 偏壓電壓至頂部電極可最小化供電的頂部電極與電漿之間的電位差或接地的底部電極與電漿之間的電位差，否則該電位差會導致基板表面上的顆粒汙染，因為保護塗覆層的離子撞擊於供電的頂部電極或接地的底部電極上。本揭示案的細節與各種實施係討論於下。

範例性腔室硬體

【 0 0 1 7 】 第 1 圖根據本揭示案的實施例，為處理腔室 1 0 0 的示意橫剖面視圖，處理腔室 1 0 0 可用於處理半導體基板 1 3 0。處理腔室 1 0 0 對於執行熱或電漿型處理會特別有用。處理腔室 1 0 0 大體上包括：腔室主體 1 0 2；蓋組件 1 0 4，蓋組件 1 0 4 設置於腔室主體 1 0 2 之上；以及基板支撐組件 1 0 6，基板支撐組件 1 0 6 部分設置於腔室主體 1 0 2 內。蓋組件 1 0 4 設置於基板處理區域 1 5 2（具有基板 1 3 0 設置於其中）之上，並且藉由氣體分配板 1 3 4 與選擇性的阻隔板 1 3 2 而與基板處理區域 1 5 2 分隔。每一阻隔板 1 3 2（若有使用）與氣體分配板 1 3 4 具有個別的通孔 1 3 3、1 3 5，以允許來自蓋組件 1 0 4 的電漿通過至基板處理區域 1 5 2。真空系統可用於從處理腔室 1 0 0 移除氣體。真空系統包括真空泵 1 0 8 係耦接於真空埠 1 1 0，真空埠 1 1 0 設置於腔室主體 1 0 2 中。處理腔室 1 0 0 可額外包括控制器 1 3 6，用於控制處理腔室 1 0 0 內的處理。

【0018】 蓋組件104包括第一電極112，第一電極112設置成較高於第二電極114。第一電極112與第二電極114形成一對平行的電極。第一與第二電極112、114可由高摻雜矽或金屬製成，例如鋁、不鏽鋼等。第一與第二電極112、114可塗覆有保護層，保護層包括氧化鋁或氧化鈮。在一實施例中，第一電極112可包括兩個堆疊的元件116、118，其中元件116的一部分可形成由元件118圍繞的截頭圓錐形。堆疊的元件116、118與支撐堆疊的元件116、118之第二電極114界定電漿空間或孔隙120於其間。若需要的話，堆疊的元件116、118可建構為單一、整合的單元。在任一實例中，第一電極112可利用其間的絕緣構件而與第二電極114分隔。

【0019】 在一實施例中，第一電極112分別連接至射頻（RF）電源122與DC偏壓調節配置150。RF電源122可以以大約400 kHz與大約60 MHz之間的頻率操作於大約0 W與大約3000 W之間。在一範例中，RF電源122操作於13.56 MHz的頻率。DC偏壓調節配置150可包括DC電源124、耦接於DC電源124的RF濾波器126、與功率控制器144。RF濾波器126係配置來防止RF信號（例如，來自RF電源122的信號）進入且損害DC電源124。功率控制器144係耦接於DC電源124，並且配置來根據傳送自第一電極112的DC偏壓回授信號而設定一設定點給DC電源124。RF功率（由RF電源122傳送且由匹配網路146微調）引致DC偏壓於第一電極112上，

以控制第一電極 112 的離子撞擊的能量。雖然未圖示，RF 電源 122 可設置於與 DC 電源 124 相同的圍繞體中。

【0020】 第二電極 114 係接地，藉此形成第一電極 112 與第二電極 114 之間的電容值。若需要的話，第二電極 114 可電性浮接。蓋組件 104 也可包括一或更多個氣體入口 128，用於提供處理氣體依序經由形成於第二電極 114 中的通孔 131、形成於阻隔板 132 中的通孔 133、以及然後形成於氣體分配板 134 中的通孔 135，而至基板 130 的表面。處理氣體可為蝕刻劑或離子化的活性基（例如離子化的氟、氯、或氨水）、或氧化劑，例如臭氧。在某些實施例中，處理氣體可包括含有 NF₃ 與 He 的電漿。若需要的話，含有上述化學品的遠端電漿可透過分離的氣體入口（未圖示）而引入至處理腔室 100 中並且引進至氣體分配板 134。

【0021】 基板支撐組件 106 可包括基板支座 138，以在處理期間支撐其上的基板 130。基板支座 138 可藉由軸部 142 而耦接於致動器 140，軸部 142 延伸通過形成於腔室主體 102 的底表面中的中心定位的開孔。致動器 140 可藉由風箱（未圖示）而撓性密封至腔室主體 102，風箱防止真空從軸部 142 的周圍洩漏。致動器 140 允許基板支座 138 垂直移動於腔室主體 102 內、在處理位置與較低的轉移位置之間。轉移位置稍微低於形成於腔室主體 102 的側壁中的流量閥的開孔。

【0022】 基板支座138具有平坦的（或實質上為平坦的）表面，用於支撐將在其上處理的基板130。基板支座138可藉由致動器140而垂直移動於腔室主體102內，致動器140藉由軸部142而耦接於基板支座138。在操作中，基板支座138可升高至很靠近蓋組件104的位置，以控制要處理的基板130的溫度。因此，基板130可透過來自分配板134的對流或發射自分配板134的輻射而加熱。

藉由DC偏壓調節之顆粒產生抑制器

【0023】 為了減少基板表面上的顆粒污染（如同本揭示案的先前技術中所述的），發明人利用各種DC偏壓方案（1）-（5）、使用相同的處理製作方法來執行一系列範例性氮化物沉積處理，以決定不同的DC偏壓功率如何影響基板表面上的顆粒數量。範例性氮化物沉積處理係執行於處理腔室中，例如第1圖的處理腔室100。各種DC偏壓方案（1）-（5）（以及相關於第3圖在下面討論的方案（6）-（9））係使用第1圖的DC偏壓調節配置150或第5圖所示的DC偏壓調節配置500來執行。

【0024】 在各種DC偏壓方案（1）-（5）中，範例性氮化物沉積處理係執行於：大約0.7托耳的腔室壓力時大約300秒、大約575 W的RF功率（13.56 MHz）、大約20 sccm的NF₃流率、大約900 sccm的N₂O流率、大約4000 sccm的He流率、大約15°C的第一電極112的溫度、大約70°C的第二電極114的溫度、且第一與第二電極112、114的每一者係塗覆有大約60 nm厚的氧化

物保護層（例如，氧化鈮）。針對每一DC偏壓方案（1）-（5）的顆粒量測係顯示在第2圖中。發明人觀察到，當第二電極114電性接地且沒有DC偏壓電壓施加於第一電極112（亦即，DC電源124在第1圖的處理腔室100中完全沒使用）時，DC偏壓方案（1）例示基板表面上的顆粒數量在沉積處理之後從大約45增加至大約145。顆粒的增加數量相信是電漿中產生的正離子被吸引至第一電極112的結果，第一電極112係處於負電位，因為當電漿產生時在第一電極112上所發展之不可避免的、自感應DC偏壓（大約+31 V）。離子加速朝向第一電極112並且在沉積處理期間撞擊第一電極112上的保護塗覆層，導致保護塗覆層的一部分掉落並且污染基板表面。

【0025】 DC偏壓方案（3）-（5）例示：當-25 V、-75 V或-150 V的負DC偏壓電壓分別施加於第一電極112時（其中第二電極114電性接地），基板表面上的顆粒的總數量逐漸增加。具體地，DC偏壓方案（3）顯示基板表面上的顆粒數量在沉積處理之後從大約22增加至大約96。DC偏壓方案（4）顯示基板表面上的顆粒數量在沉積處理之後從大約14增加至大約189。DC偏壓方案（5）顯示基板表面上的顆粒數量在沉積處理之後從大約11增加至飽和的位準。DC偏壓方案（3）-（5）例示出清楚的趨勢係：增加負偏壓電壓至第一電極112會導致基板表面上更多的顆粒產生，主要是因為第一電極112與電漿之間的電位差的逐漸增加。當第一電極112與電漿之間

的電位差增加時，第一電極 112 處的鞘電壓因此增加，這導致第一電極 112 的鞘區域中的正離子的加速，並且增加離子與第一電極 112 上的保護塗覆層之碰撞力。因此，觀察到基板表面上更多的顆粒產生。當使用高輸入功率（高於 550 W）來用於沉積處理時，顆粒產生會變得更問題嚴重，因為較高的輸入功率也會在蓋組件的供電的第一電極 112 處發展出高的自感應負 DC 偏壓。此種高的自感應負 DC 偏壓與第一電極 112 處的鞘電壓（因為第一電極 112 與電漿之間的電位差）導致第一電極 112 上的保護塗覆層的高能量離子撞擊。因此，保護塗覆層的一部分掉落第一電極 112 並且汙染基板表面。

【0026】令人驚訝地，發明人已經觀察到，當施加零 DC 偏壓電壓至第一電極 112 時（亦即，在沉積處理期間，第一電極 112 以恆定為零的 DC 偏壓電壓操作，而第二電極 114 電性接地），DC 偏壓方案（2）僅導致基板表面上的顆粒數量在沉積處理之後從大約 8 較少量增加至大約 66。DC 偏壓方案（2）顯示改良的顆粒減少，從 100 至大約 58，相較於 DC 偏壓方案（1）來說。事實上，在 DC 偏壓方案（2）之下的顆粒數量的增加被發現是方案（1）-（5）之中最少的。因此，發明人發現到，藉由在沉積處理期間施加恆定為零的 DC 偏壓電壓至第一電極 112，基板表面上的顆粒產生會大大被抑制，因為第一電極 112（RF 熱表面）與電漿之間的電位差（ $V_{\text{第一電極}} - V_{\text{電漿}}$ ）減小，這接著減小第一電極 112 處的鞘電壓（見第 4 圖）。

因此，第一電極 1 1 2 的鞘區域的離子的加速減小，且離子與第一電極 1 1 2 的保護塗覆層之碰撞力最小化。

【0027】發明人利用各種 DC 偏壓方案（6）-（9）、使用如同上面討論的相同處理製作方法來另外執行一系列的氮化物沉積處理，以決定不同的 DC 偏壓功率（特別是正電壓）如何影響基板表面上的顆粒數量。針對每一 DC 偏壓方案（6）-（9）的顆粒量測係顯示在第 3 圖中。發明人觀察到，當沒有 DC 偏壓電壓施加於第一電極 1 1 2（亦即，DC 電源 1 2 4 在第 1 圖的處理腔室 1 0 0 中完全沒使用）時，DC 偏壓方案（6）例示基板表面上的顆粒數量在沉積處理之後從大約 1 6 增加至大約 4 0 9 7。顆粒的增加數量係因為：負 DC 偏壓的先前損害、電漿與第一電極 1 1 2 上所發展的高的自感應負 DC 偏壓之間的電位差（導致第一電極 1 1 2 的離子撞擊），且也因為事實上，電漿的電位顯著大於接地的第二電極 1 1 4 的電位，這導致離子撞擊第二電極 1 1 4 上的保護塗覆層（即使在沉積處理期間並沒有 DC 偏壓電壓施加於第一電極 1 1 2）。

【0028】DC 偏壓方案（8）與（9）顯示：當 7 5 V 與 1 0 0 V 的正 DC 偏壓電壓分別施加於第一電極 1 1 2 時（其中第二電極 1 1 4 電性接地），基板表面上的顆粒的總數量顯著增加。具體地，DC 偏壓方案（8）顯示基板表面上的顆粒數量在沉積處理之後從大約 2 7 顯著增加至大約 9 1 0 2。DC 偏壓方案（9）也顯示基板表面上的顆粒數量在沉積處理之後從大約 1 1 顯著增加至大約 3 4 6 9。DC 偏

壓方案（8）-（9）例示：增加正DC偏壓電壓至第一電極112會導致基板表面上更多的顆粒產生，主要是因為接地的第二電極114與電漿之間的電位差的較大增加（相較於第一電極112，見第4圖），因為電漿必須假定為正電位，以產生接地的第二電極114處的相等大小的電位，以反映施加於第一電極112的正DC偏壓電壓所導致的較大離子鞘電位。當第二電極114與電漿之間的電位差增加時，第二電極114處的鞘電壓也增加，這導致第二電極114的鞘區域中的離子的加速，並且增加離子與第二電極114上的保護塗覆層之碰撞力。因此，觀察到基板表面上更多的顆粒產生。

【0029】類似的，發明人觀察到，當施加零DC偏壓電壓至第一電極112時（亦即，在沉積處理期間，第一電極112以恆定為零的DC偏壓電壓操作），DC偏壓方案（7）例示基板表面上的顆粒數量在沉積處理之後從大約15較少量增加至大約767。DC偏壓方案（7）顯示：即使電極被先前的負DC偏壓損害，施加零DC偏壓電壓仍然改善了顆粒數量，從4081減少至大約752，相較於DC偏壓方案（6）來說。事實上，在DC偏壓方案（7）之下的顆粒數量的增加被發現是方案（6）至（9）之中最少的。因此，發明人發現到，藉由在沉積處理期間施加恆定為零的DC偏壓電壓至第一電極112，基板表面上的顆粒產生會大大被抑制，因為第一電極112與電漿之間的電位差（ $V_{\text{第一電極}} - V_{\text{電漿}}$ ）以及電漿與第二電極114（接地表面）和腔室

壁部（接地表面）之間的電位差（ $V_{\text{第二電極}} - V_{\text{電漿}}$ ）實質上彼此相等，這導致第一與第二電極 112、114 處的大約 60 V 的最小鞘電壓（見第 4 圖）。因此，第一與第二電極 112、114 兩者經歷到因為高 RF 輸入功率而來自電漿的實質上相同的離子撞擊。但是，當零 DC 偏壓電壓施加至第一電極 112 時，電極 112、114 兩者上的離子撞擊能量係相對較小於當正或負 DC 偏壓電壓施加至第一電極 112 時電極 112、114 兩者上的離子撞擊能量，如同第 4 圖所證明的，第 4 圖為圖表 400，根據本揭示案的一實施例繪示不同 DC 偏壓電壓時第一電極（FP）與第二電極（SMD）上所量測到的離子能量變化。第 4 圖繪示當零 DC 偏壓電壓施加至第一電極時，第一與第二電極上所量測到的離子能量為大約 60 V，這相對較小於當 100 V 或 -100 V 的 DC 偏壓電壓分別施加至第一電極時第一電極上所量測到的離子能量（大約 110 V）或第二電極上所量測到的離子能量（大約 160 V）。

【0030】根據上述的 DC 偏壓方案（1）-（9），發明人已經判定，電極 112、114 上的保護塗覆層會容易被離子撞擊損傷，其中離子能量主要由第一電極 112 處的自感應 DC 偏壓所決定。發明人發現，施加高 DC 偏壓電壓（無論是正或負的 DC 偏壓電壓）至第一電極 112 會導致基板表面上的較高的顆粒汙染。但是，在高功率膜沉積處理期間施加恆定為零的 DC 偏壓電壓至第一電極 112 可協助最小化第一電極 112（RF 致熱的）與電漿之間的電位差（ V

第一電極 - $V_{\text{電漿}}$) 或者電漿與第二電極 114 (接地表面) 和腔室壁部 (接地表面) 之間的電位差 ($V_{\text{第二電極}} - V_{\text{電漿}}$) , 不會對膜沉積分佈有任何顯著的影響。最小化電漿與電極 112、114 之間的電位差可減少顆粒產生，因為第一與第二電極兩側處的鞘電壓保持為最小，即使當 RF 輸入功率為高時 (高於 550 W) 。因此，離子與第一及第二電極 112、114 上的保護塗覆層之碰撞力可減小，導致基板表面上的顆粒產生的減少。

【0031】 若需要的話，DC 偏壓電壓可受到調節，以藉由控制 DC 偏壓電壓極性而控制第一電極 112 及 / 或第二電極 114 上的離子撞擊的數量。為了準確地控制 DC 偏壓，使用功率控制器 (例如，第 1 圖繪示的功率控制器 144) 、根據例如腔室配置、電極的表面積、化學與處理狀況、傳送自第一電極 112 的 DC 偏壓回授信號等其他因素，或者根據電極的塗覆品質，可執行封閉迴路的 DC 偏壓調節。例如，若第一電極 112 具有較弱的保護塗覆層 (因為其截頭圓錐形會自然地無法促成強的塗覆) ，且第二電極 114 具有較強的保護塗覆層，稍微正的 DC 偏壓可傳送至第一電極 112，以減少第一電極 112 上的撞擊。在一範例實施例中，功率控制器 144 可配置來監測第一電極 112 (RF 致熱的) 上的自感應 DC 偏壓，而不用施加 DC 偏壓電壓至第一電極 112。根據 DC 偏壓回授，在沉積處理期間施加適當的 DC 偏壓電壓至第一電極 112。DC 偏壓電壓可為零或可受到調整，以藉由控制 DC 偏壓電壓極性而控

制第一電極 112 及 / 或第二電極 114 上的離子撞擊的數量，如同上面討論的。

【0032】可實施各種方法來另外增進基板表面上的顆粒產生的減少。例如，在某些實施例中，接合 / 黏著材料可用於保護塗覆層與下方電極之間，以提供較強的保護塗覆層。接合 / 黏著材料對於第一電極 112 特別有利，因為第一電極 112 可能具有較弱的塗覆品質（因為其截頭圓錐形會自然地無法促成強的塗覆），而第二電極 114 可能具有遠遠較佳的塗覆品質（因為第二電極 114 具有通孔 131 在底部處，通孔 131 會促成較強的塗覆性能來承受離子撞擊）。在某些實施例中，氣體分配板 134 可受到有效的冷卻處理（至不影響處理性能的程度），以在沉積處理期間降低第二電極 114 的溫度。這是因為在處理期間第二電極 114 加熱升溫且冷卻下來，且設置於其上的保護塗覆層會經歷來自此種溫度循環的熱應力，導致增加的顆粒產生。降低第二電極 114 的溫度（例如，藉由使冷卻流體流動通過形成於氣體分配板 134 中的通道 137）可減少第二電極 114 的溫度變化，藉此促進基板表面上的顆粒產生的減少。

【0033】施加恆定為零的 DC 偏壓電壓至蓋組件 104（蓋組件 104 限制電漿的發光放電區域）的供電電極來減少顆粒汙染可以用多種方法實現，例如第 5 圖繪示的一個方法。第 5 圖根據本揭示案的實施例，繪示第 1 圖的處理

腔室 100 的示意橫剖面視圖，繪示耦接於 DC 偏壓調節配置 500 的蓋組件 104。

【0034】 在一實施例中，第一電極 112 分別電連接於射頻（RF）電源 522 與 DC 偏壓調節配置 500。DC 偏壓調節配置 500 可設置於蓋組件 104 之外的任何位置處，例如第一電極 112 與地之間的位置處。雖然未圖示，RF 電源 522 可設置於與 DC 偏壓調節配置 500 相同的圍繞體中。DC 偏壓調節配置 500 大體上作用為低通濾波器，配置來導引在第一電極 112 處產生的自感應 DC 偏壓及 / 或任何 DC 偏壓至地，同時防止 RF 功率（由 RF 電源 522 傳送且由匹配網路 524 微調）進入地，但是反而去到第一電極 112。因為第一電極 112 的 DC 偏壓係導引至地，第一電極 112 在沉積處理期間可維持在地的電位（亦即，第一電極 112 處的 DC 偏壓電壓係恆定地保持於零），而不管 RF 輸入功率或處理為何。因此，第一電極 112（RF 致熱的）與電漿之間的電位差（ $V_{\text{第一電極}} - V_{\text{電漿}}$ ）或者電漿與第二電極 114（接地表面）和腔室壁部（接地表面）之間的電位差（ $V_{\text{第二電極}} - V_{\text{電漿}}$ ）係減小或最小化。如同上面相關於第 2 圖 - 第 4 圖討論的，最小化電漿與電極 112、114 之間的電位差可減少顆粒產生，不會對膜沉積分佈有任何顯著的影響，因為第一與第二電極兩側處的鞘電壓係保持為最小。因此，離子與形成於第一及第二電極 112、114 上的保護塗覆層之碰撞力可減小，導致基板表面上的顆粒產生的減少。

【0035】 在第5圖繪示的一實施例中，DC偏壓調節配置500大體上包括芯元件528與線圈530，線圈530纏繞於芯元件528的一部分的周圍。線圈530可平均分佈於芯元件528的長度之上，以獲得DC偏壓的感應效應的增加。因為芯元件528係用於增進感應效應，線圈530本身可用於導引DC偏壓電壓，而在某些實施例中不需要芯元件528存在於DC偏壓調節配置500中。芯元件528可包括高導磁性的桿或管，例如亞鐵桿，但是可為可用於較低頻率的其他磁性材料，取決於耦接的結構。在一實施例中，芯元件528可具有大約3吋至大約8吋的長度（例如大約5吋），以及大約0.2吋至大約2吋的直徑（例如大約1吋）。

【0036】 產生的DC偏壓調節配置500在13.56 MHz的頻率時可具有大約50 db的功率衰減以及大約22 uH的電感值（等於大約1900歐姆的電阻值），這對於RF信號提供了高阻抗，且因此RF信號無法通過DC偏壓調節配置500而進入地。但是，此種高值的電阻值係視為對於DC信號為電性關路。換句話說，DC偏壓調節配置500對於DC偏壓電壓不具有阻抗。

【0037】 雖然芯元件528與線圈530係例示為DC偏壓調節配置500的範例，這些元件不打算限制本文所述的揭示內容的範圍。反而，可配置為低通濾波器或帶通濾波器（以單階或多階的配置）來截止所欲的頻率之任何電子元件或電路都可設想到，只要該電子元件或電路可以對於

R F 信號提供高阻抗路徑，且對於來自第一電極 1 1 2 的 D C 信號提供低或無阻抗路徑至地。

【0038】 總結來說，藉由施加恆定為零的 D C 偏壓電壓至蓋組件（蓋組件設置於腔室主體的基板處理區域之上）的供電電極（供電電極平行於接地電極，以界定電漿的發光放電區域）來最小化供電電極與電漿之間的電位差或者接地電極與電漿之間的電位差，可實現減少處理腔室中的顆粒產生之實施例。最小化電極與電漿之間的電位差可減少顆粒產生，因為該等電極的鞘區域中的離子的加速係減小，且離子與電極上的保護塗覆層之碰撞力係最小化。因此，減少基板表面上的顆粒產生。

【0039】 雖然前述是關於本揭示案之實施例，本揭示案之其他與進一步實施例可被設想出而無偏離其基本範圍，且其範圍是由下面的申請專利範圍來決定。

【符號說明】

【0040】

1 0 0 處理腔室

1 0 2 腔室主體

1 0 4 蓋組件

1 0 6 基板支撐組件

1 0 8 真空泵

1 1 0 真空埠

1 1 2 第一電極

- 1 1 4 第 二 電 極
- 1 1 6 、 1 1 8 元 件
- 1 2 0 孔 腔
- 1 2 2 R F 電 源
- 1 2 4 D C 電 源
- 1 2 6 R F 濾 波 器
- 1 2 8 氣 體 入 口
- 1 3 0 基 板
- 1 3 1 通 孔
- 1 3 2 阻 隔 板
- 1 3 3 、 1 3 5 通 孔
- 1 3 4 氣 體 分 配 板
- 1 3 6 控 制 器
- 1 3 7 通 道
- 1 3 8 基 板 支 座
- 1 4 0 致 動 器
- 1 4 2 軸 部
- 1 4 4 功 率 控 制 器
- 1 4 6 匹 配 網 路
- 1 5 0 D C 偏 壓 調 節 配 置
- 1 5 2 基 板 處 理 區 域
- 5 0 0 D C 偏 壓 調 節 配 置
- 5 2 2 R F 電 源
- 5 2 4 匹 配 網 路

5 2 8 芯 元 件

5 3 0 線 圈

【生物材料寄存】

【 0 0 4 1 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 4 2 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無

【發明申請專利範圍】

【第1項】 一種用於在一處理腔室中處理一基板的方法，該方法包括以下步驟：

藉由在一處理期間對一第一電極施加一射頻(RF)功率，以在該處理腔室的該第一電極與一第二電極之間產生一電漿，其中該第一電極及該第二電極設置在一基板支座上方並與該基板支座相對，該基板支座具有一基板支撐表面；及

在該處理期間施加一恆定為零的DC偏壓電壓至該第一電極，並將該第二電極電性接地。

【第2項】 如請求項1所述之方法，其中該RF功率為約0W至約3000W。

【第3項】 如請求項1所述之方法，其中該第一電極與該第二電極藉由一氣體分配板以與該基板支座分離，該氣體分配板具有多個通孔。

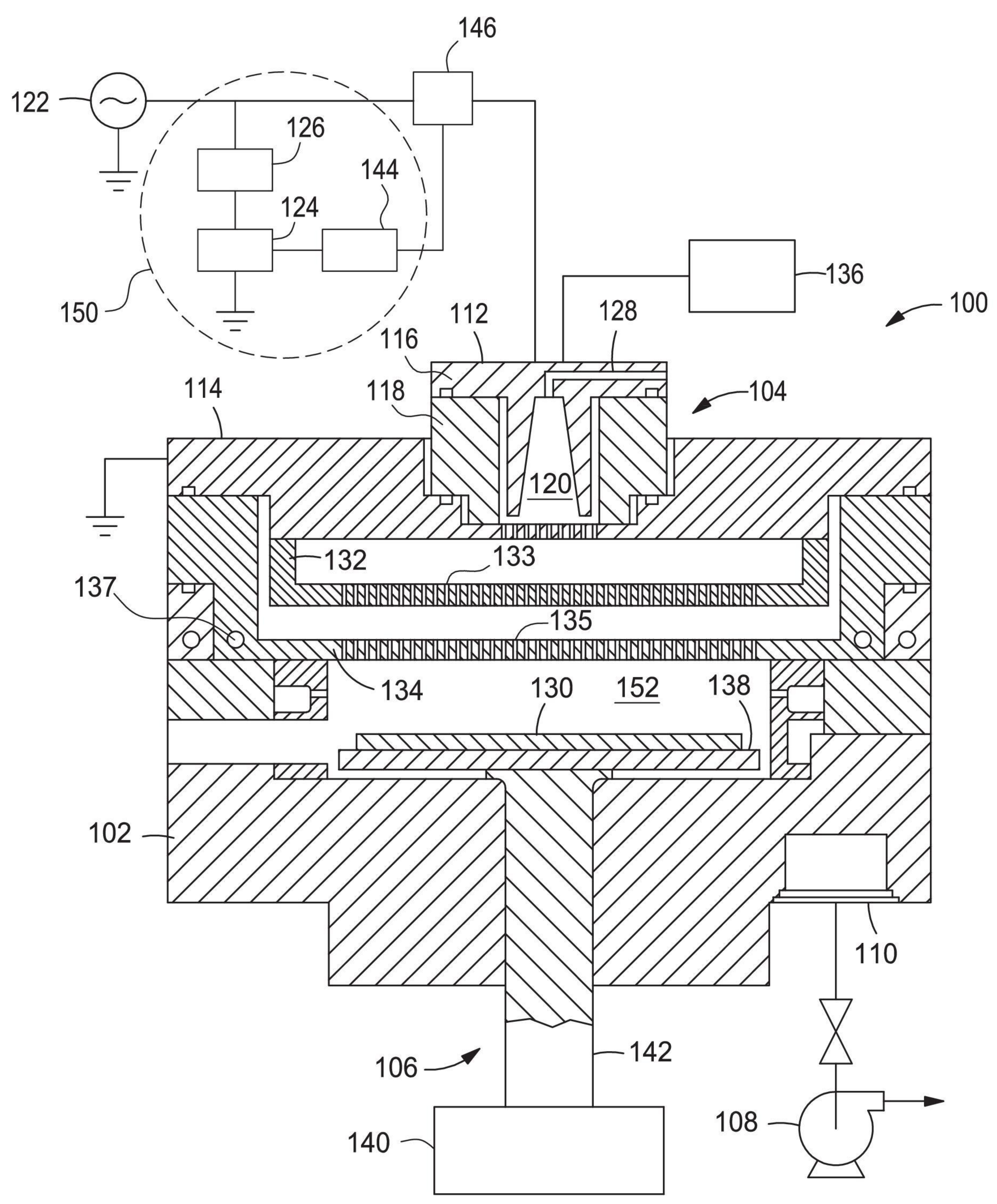
【第4項】 如請求項1所述之方法，其中該施加一恆定為零的DC偏壓電壓至該第一電極之步驟係藉由一功率控制器來控制，該功率控制器耦接至一DC電源。

【第5項】 如請求項1所述之方法，其中該第一電極及/或該第二電極係塗覆有一保護層，該保護層包括氧化鋁或氧化鈮。

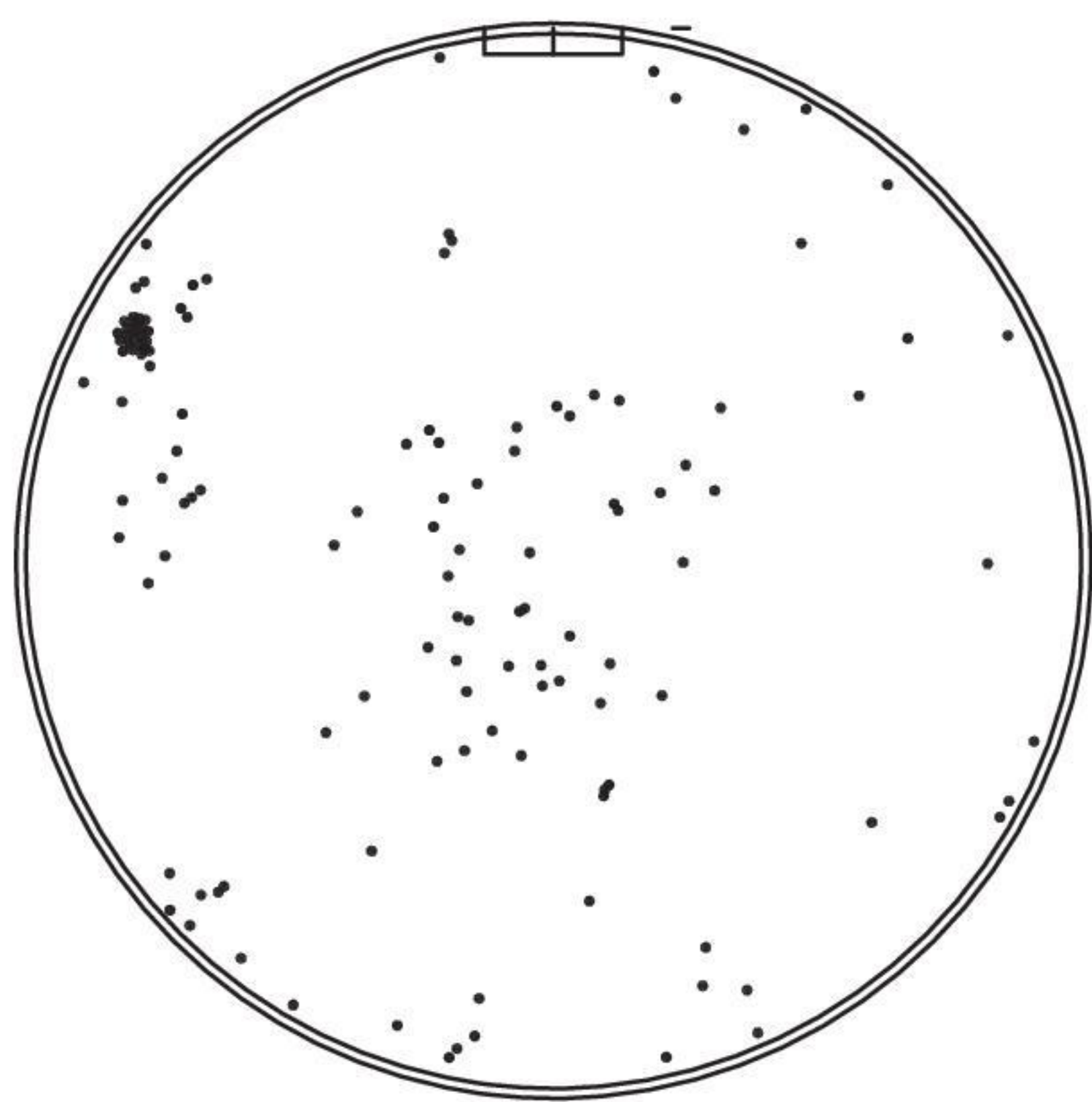
【第6項】 如請求項1所述之方法，其中該處理為一蝕

刻處理。

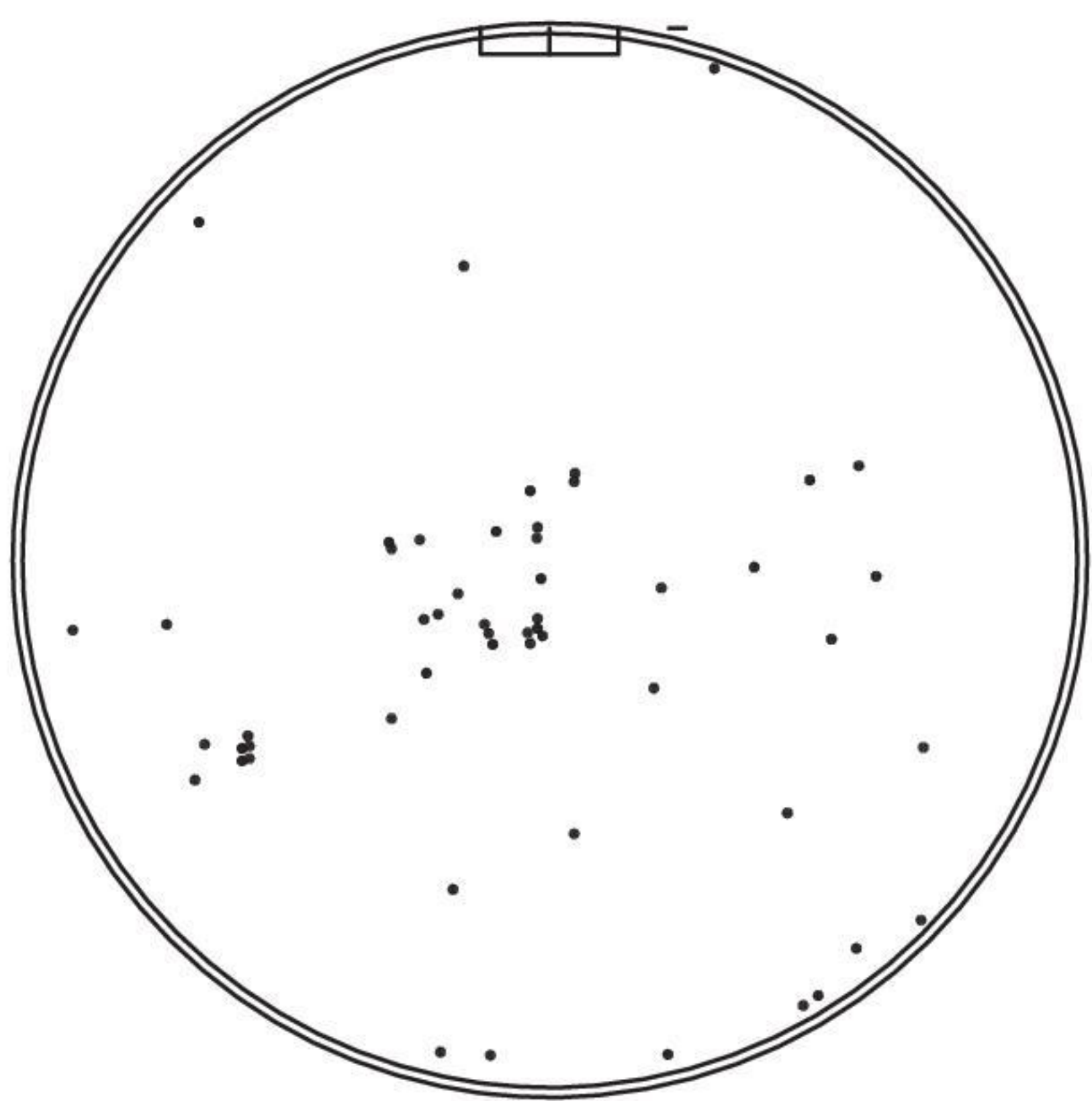
【發明圖式】



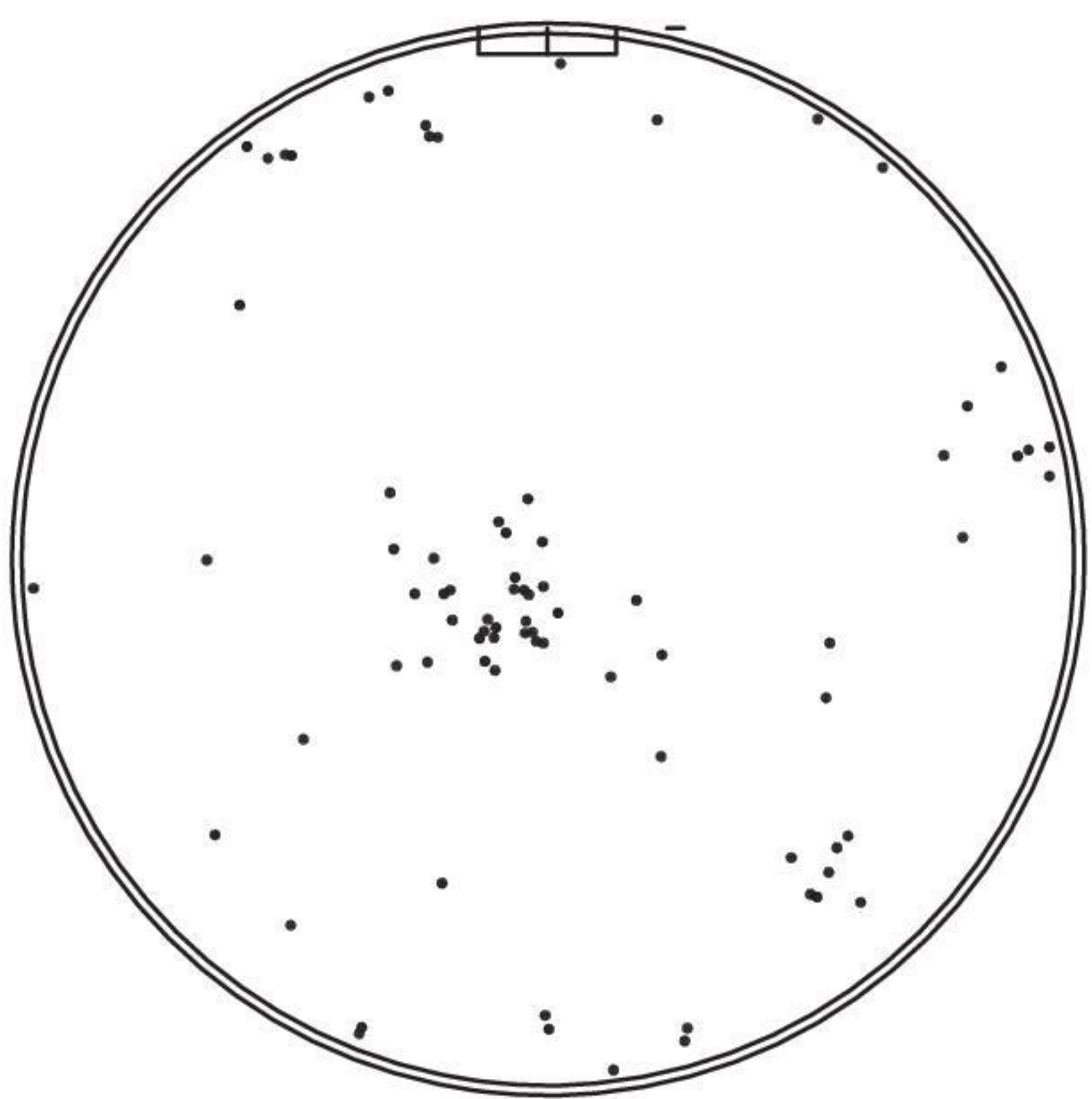
第1圖



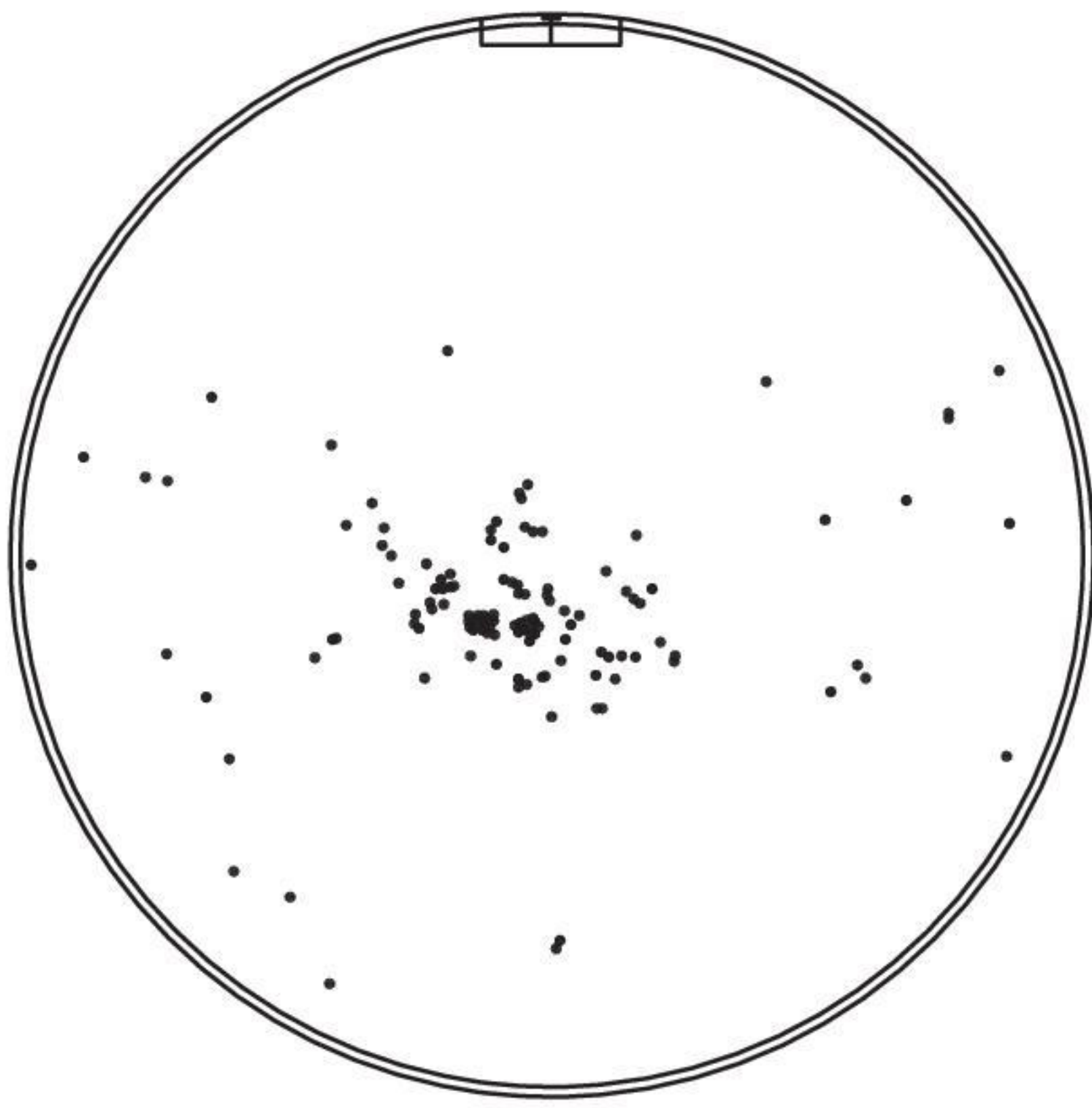
方案(1): 無DC偏壓
增加數: 100



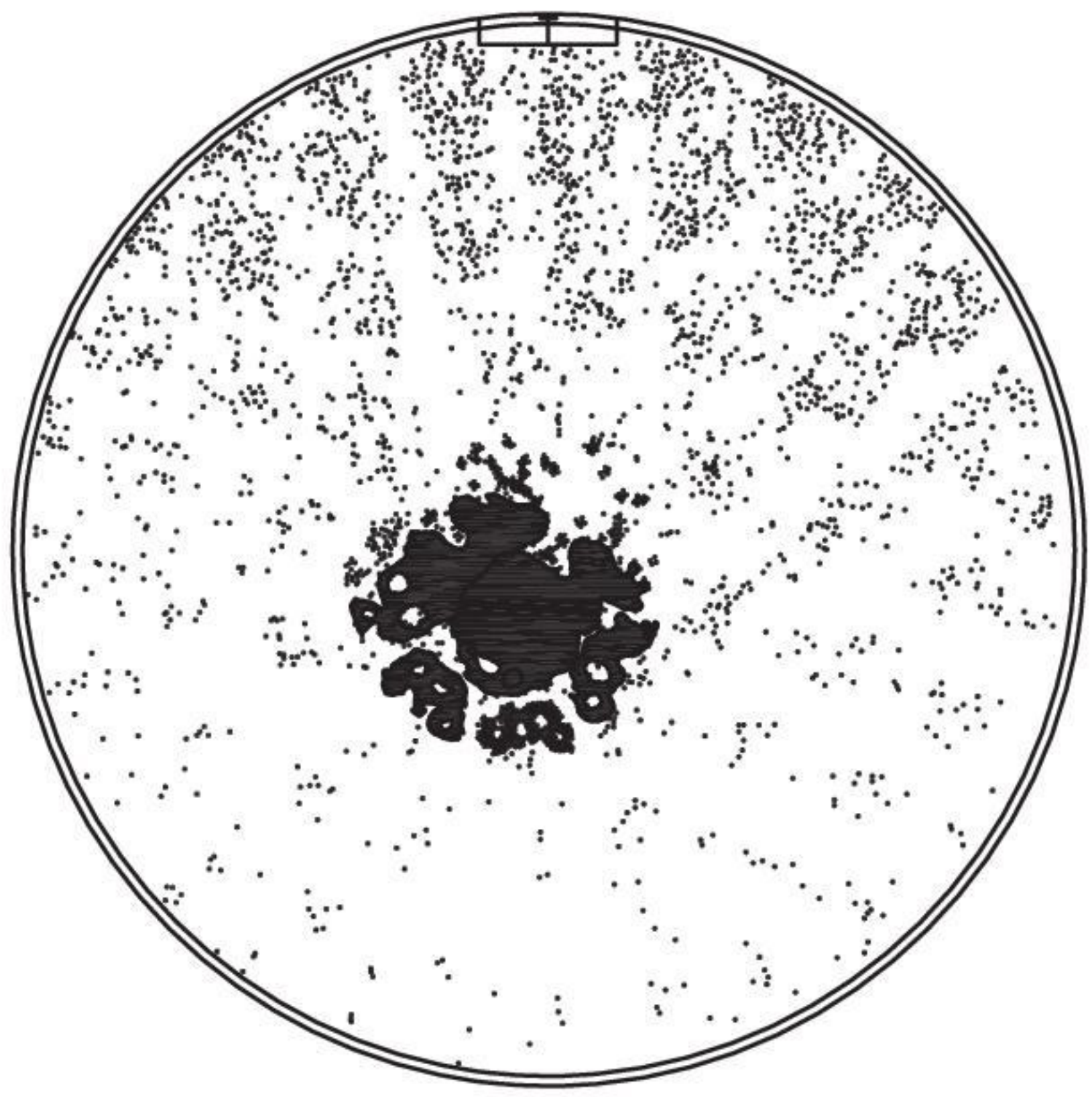
方案(2): 0 DC偏壓
增加數: 58



方案(3): -25 DC偏壓
增加數: 74

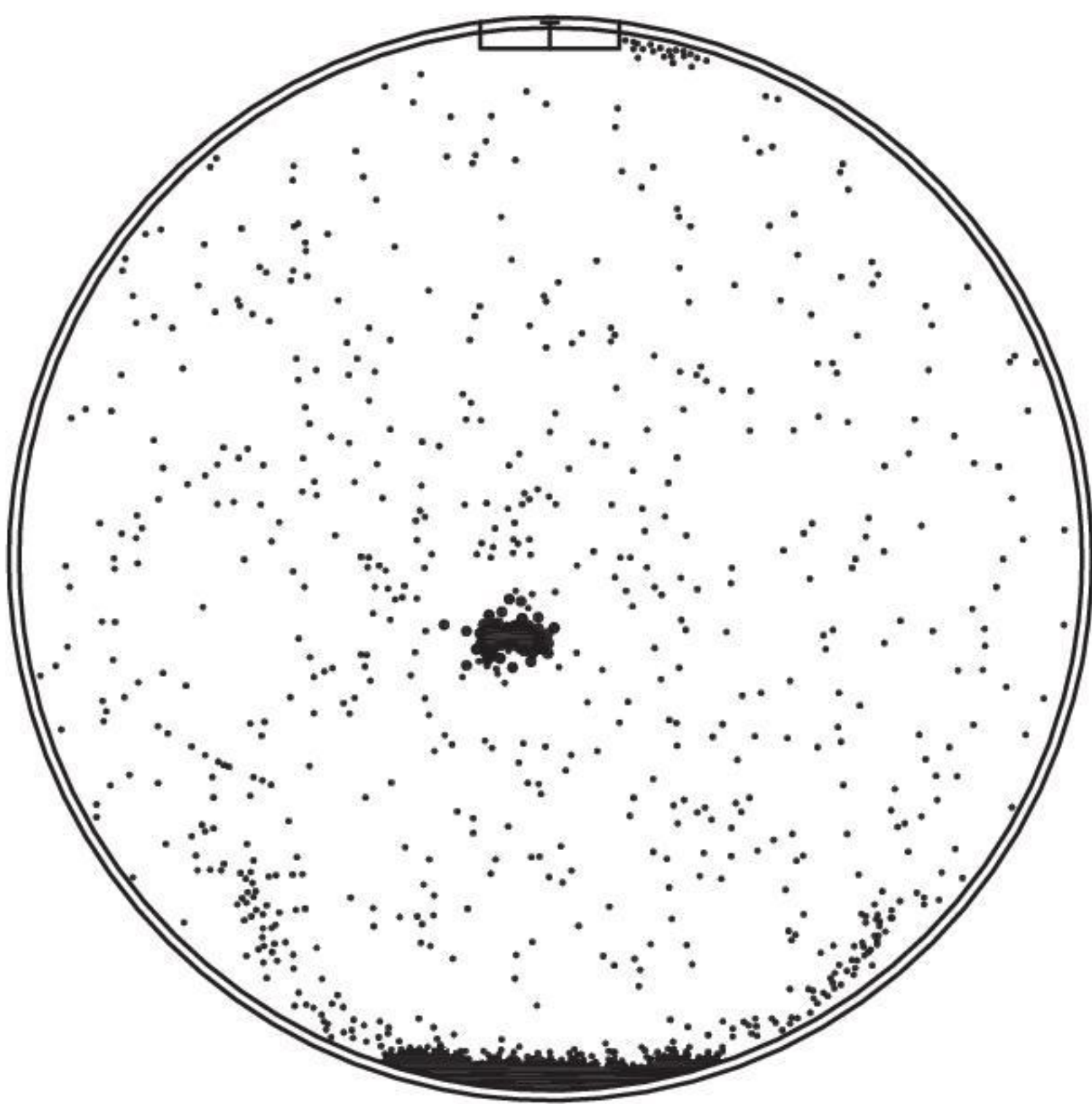


方案(4): -75 DC偏壓
增加數: 175

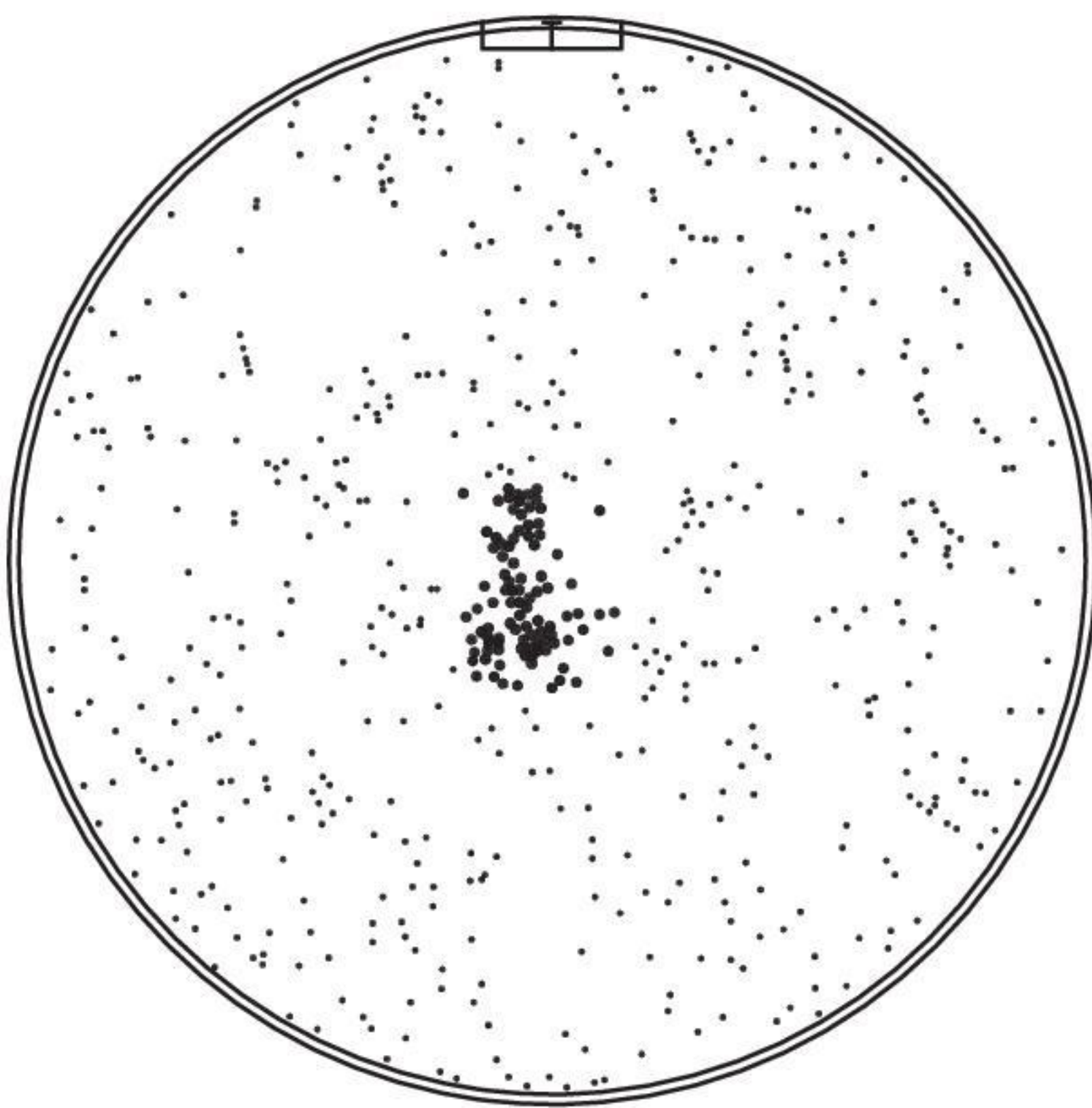


方案(5): -150 DC偏壓
增加數: 飽和

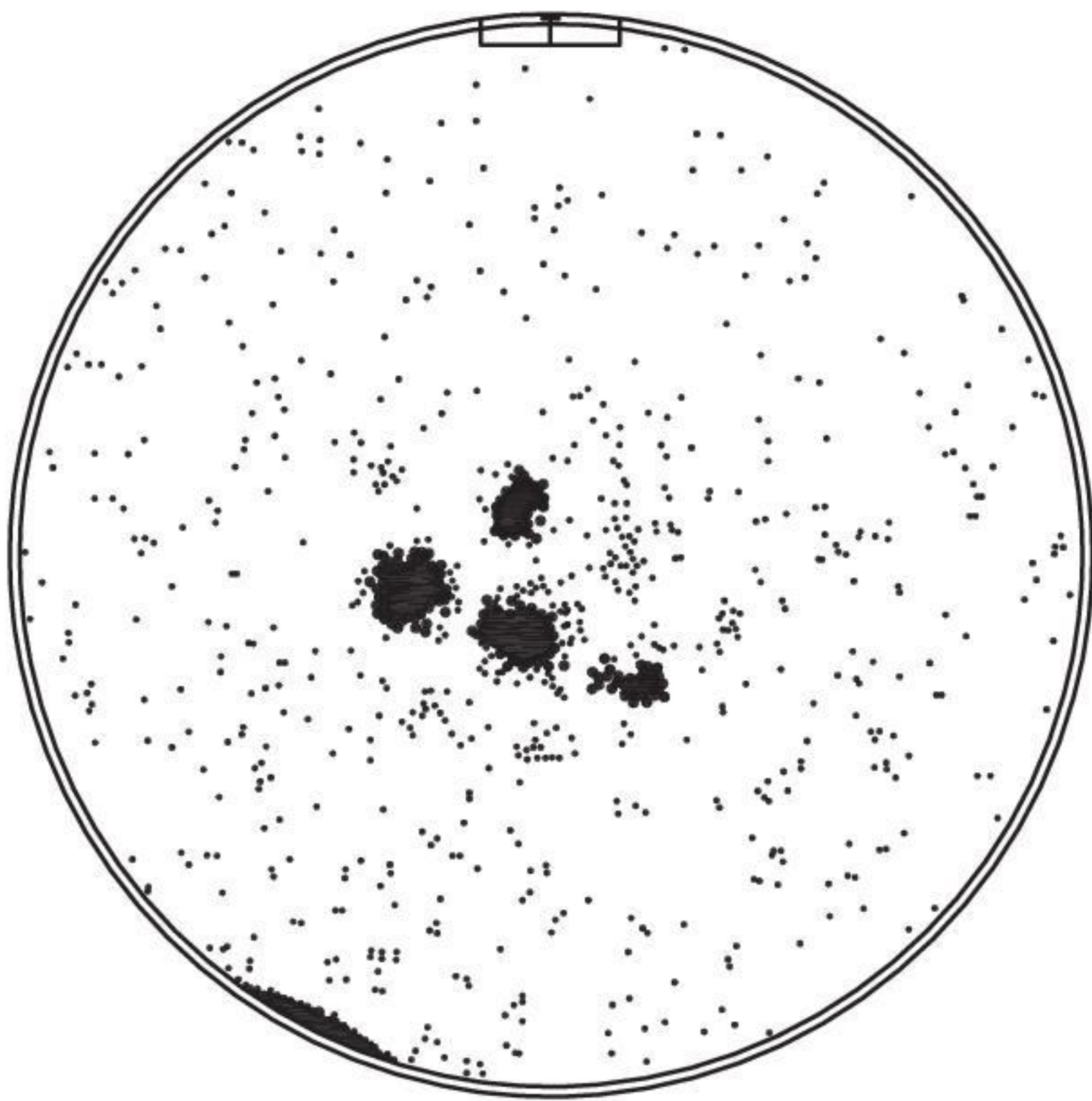
第2圖



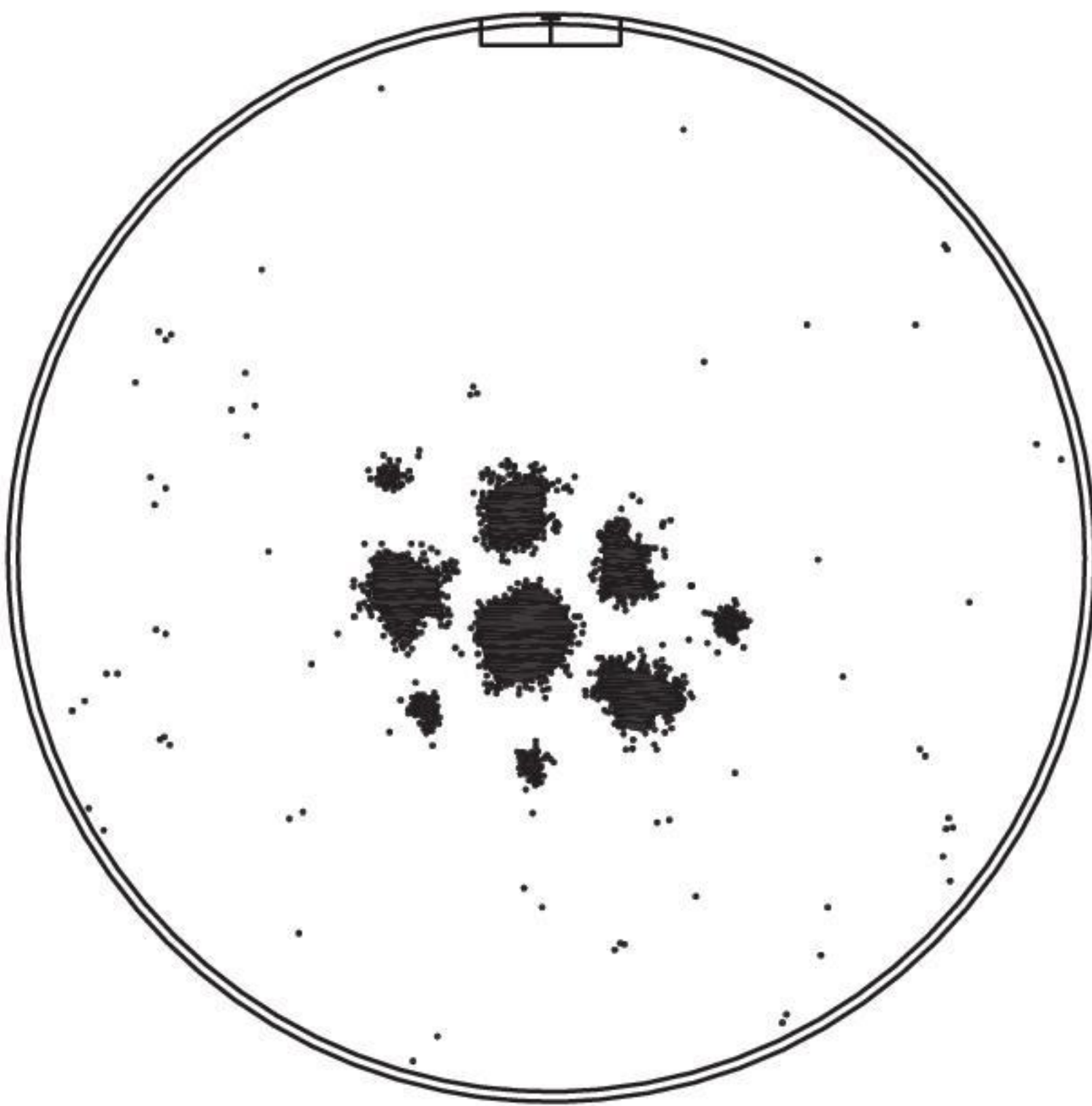
方案(6): 無DC偏壓
增加數: 4081



方案(7): 0 DC偏壓
增加數: 752

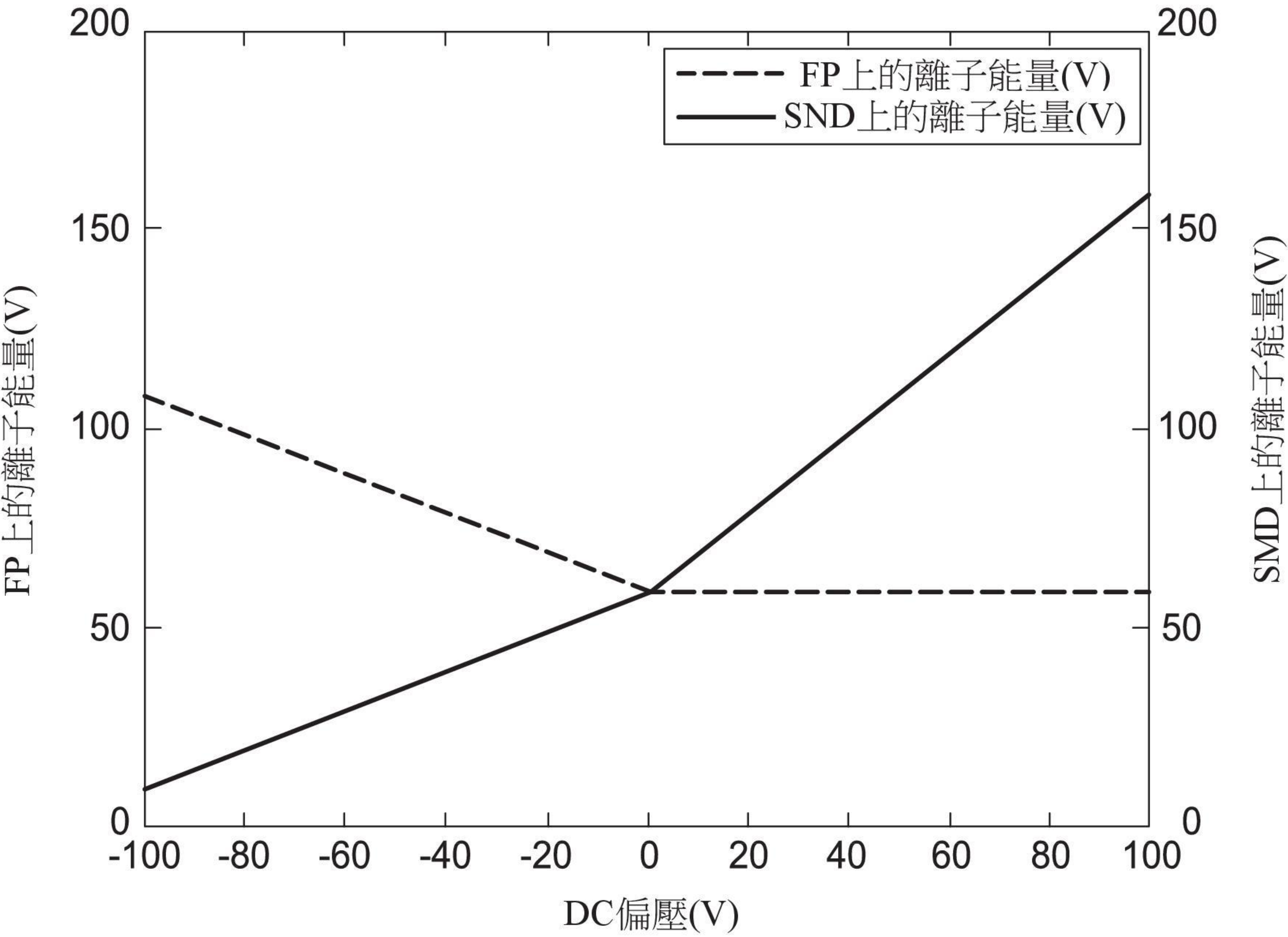


方案(8): +75 DC偏壓
增加數: 9075

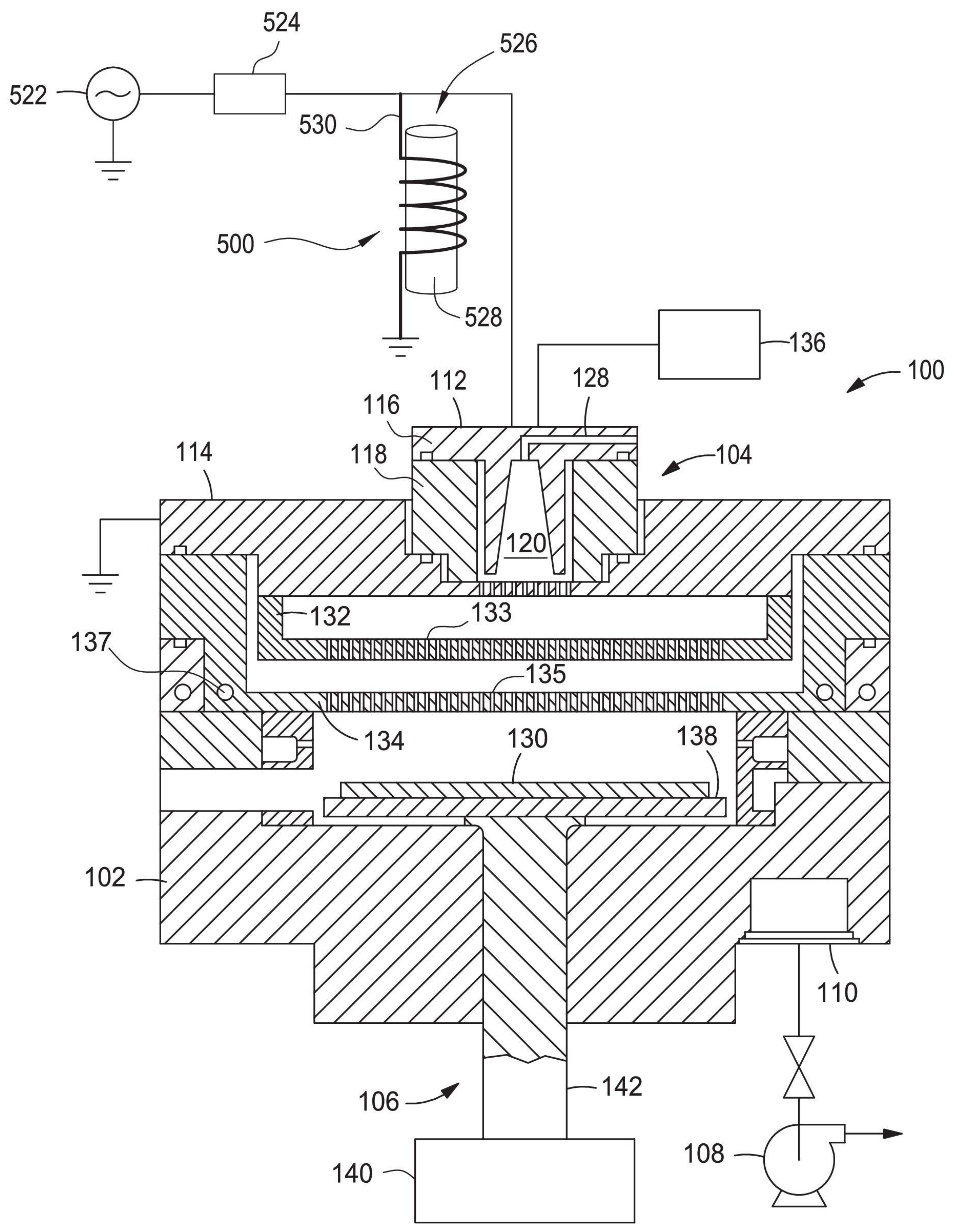


方案(9): +100 DC偏壓
增加數: 3458

第3圖



第4圖



第5圖