

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P411110P

※申請日期：74-4-8

※IPC分類：H04B 14/00

一、發明名稱：(中文/英文)

影像信號處理電路及影像顯示裝置以及顯示驅動裝置

VIDEO SIGNAL PROCESSING CIRCUIT, VIDEO DISPLAY, AND DISPLAY

DRIVING DEVICE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司 / SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihanhondori 2-chome, Moriguchi-city, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共2人)

姓名：(中文/英文)

1. 江原正己 / EBARA, MASAMI

2. 佐佐木徹(佐々木徹) / SASAKI, TORU

國籍：(中文/英文)

1.2. 日本國 / JAPAN



四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004年04月23日；特願2004-128637（主張優先權）
2. 日本國；2004年04月23日；特願2004-128638（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。



九、發明說明：

【發明所屬之技術領域】

本發明，係有關利用於將影像信號加以比例變換並驅動顯示裝置等之影像信號處理電路及影像顯示裝置以及顯示驅動裝置。

【先前技術】

例如，有關液晶面板(panel)之像素數(number of pixel)，存在有 VGA、XGA、WXGA 等規格。VGA 面板之解析度，為垂直 480 支 / 水平 640 點(dot)、XGA 為垂直 768 支 / 水平 1024 點。另一方面，影像信號有 NTSC、PAL 等。在 NTSC 之情況，解析度為垂直 240 支 / 水平 720 點。因此，以前述影像信號驅動液晶面板時，必須使該水平像素數以及垂直像素數變換為符合液晶面板之解析度(比例變換)。

作為比例變換方法，有將 480 支隔行掃描(interlace)信號先向 480P(前進 progressive)之信號增頻變頻(up convert)後，利用垂直方向之比例器，增加掃描線，直至面板之解析度之方法(參照日本特開平 5-252486 號公報)。有關水平方向，使用一般的插值過濾器(interpolation filter)，並增加水平像素至規定之面板水平解析度。

【發明內容】

以往之比例變換方法中，為使 480 隔行掃描信號增頻變頻為 480P 信號，使用適應活動型順次掃描變換，而該變換需要大容量之記憶體以及複雜的信號處理電路。並且，由於該變換中，進行活動部分之上掃描線資訊與下掃描線

資訊平均化之依次掃描化，因此靜止畫面可取得良好的圖像質量，但動畫部分中，垂直解析度則成為下降至一半之圖像，圖像質量大大劣化。

另一方面，作為在小電路規模之進行比例變換之方法，有使用垂直方向之插值過濾器(filter)，對1場(field)240根影像信號，將其掃描線數增加至液晶面板(panel)之掃描線數之方法。但是，該方法中，由於垂直方向增加率大，因此會產生垂直解析度大大劣化之問題。

鑑於以上之問題，本發明之目的在於提供一種可縮小電路規模，並且可減輕垂直分辨率之劣化之影像信號處理電路及影像顯示裝置以及顯示驅動裝置。

本發明之影像信號處理電路，為解決前述課題，在比例變換影像信號之影像信號處理電路中，具備：相對前述影像信號，將垂直方向之掃描線數增加率 α 設定為 $0 < \alpha < 2$ 之垂直比例器、以及在水平期間中，讀出一次或多次經由前述垂直比例器所得之影像信號的同一支掃描線之讀出電路。

而本發明之影像信號處理電路，在比例變換影像信號之影像信號處理電路中，具備：在水平期間中，讀出一次或多次前述影像信號之同一掃描線之讀出電路、以及對於經由讀出電路所得之影像信號，將垂直方向之掃描線數增加率 α 設定為 $0 < \alpha < 2$ 之垂直比例器。

該種構成之影像信號處理電路中，具有相對前述影像信號，變換水平方向之點(dot)數之水平比例器為宜。而垂

直比例器之垂直方向的掃描線數增加率 a ，從大約 0.66 至 1.58 範圍中選取為宜。

本發明之影像裝置，具備前述之任意一個的影像信號處理電路，其構成係將來自該影像信號處理電路之輸出影像信號供給至液晶面板(panel)等保留(hold)型顯示面板。

本發明之顯示驅動裝置，為解決前述課題，比例變換影像信號並驅動顯示器之顯示驅動裝置，具備：相對前述影像信號將垂直方向之掃描線數增加率 α 設定為 $0 < \alpha < 2$ 之垂直比例器、以及將從前述垂直比例器輸出之影像信號之同一掃描線與顯示器之 1 支掃描線或多支掃描線連續或者同時寫入之時序控制器。

前述構成之顯示驅動裝置，具有使相對前述影像信號之水平方向的點(dot)數，對應前述顯示器之水平像素數而變換之水平比例器為宜。而垂直比例器之垂直方向之掃描線數之增加率，從約 0.66 至約 1.58 之範圍中選擇為宜。而前述顯示器成為液晶面板(panel)等之保留型顯示面板為宜。

根據本發明，比例變換，達到可縮小電路規模，並減輕垂直分辨率之劣化之效果。

【實施方式】

(第 1 實施形態)

以下根據第 1 圖至第 8 圖，詳細本發明之第 1 實施形態。

第 1 圖係表示影像顯示裝置之方塊圖。該影像顯示裝



置，由影像信號處理電路 1 與液晶面板(LCD)2 構成。影像信號處理電路 1，由垂直比例器 11(11A, 11B)、多倍化電路 12、水平比例器 13 構成。輸入影像信號係數位化之影像信號(輝度/色差信號 RGB 信號等)，並輸入至垂直比例器 11。垂直比例器 11 具備增加輸入影像信號之掃描線數之功能。但是，該增加率為 1.0 左右。例如，使來自垂直比例器 11 之單位輸出掃描線數為 M、向垂直比例器 11 之單位輸入掃描線為 N、增加率為 α ，則滿足
 $0 < \alpha < 2 (a = M/N)$ 之條件。

亦即，使 α 為 1.0 左右。而該實施形態中，設成 $\alpha \neq 1$ 。

作為垂直比例器 11，係採用第 2 圖所示之垂直比例器 11A 或第 4 圖所示之垂直比例器 11B。當然，並非限定於這些垂直比例器。垂直比例器 11A，具備一個線記憶器(line memory)11a 而構成。第 3 圖表示前述線記憶器(line memory)11a 之動作時序圖。這裏，橫軸為時間，縱軸為線記憶器(line memory)11a 之位址值(address value)。實線表示寫(write)位址，虛線表示讀(read)位址。輸入與輸出之 a, b, c…，分別表示 1 根掃描線之影像信號。該例中，表示 $M=6$ 、 $N=5$ 之例，並且 $\alpha=1.2$ 。

第 3 圖中，觀察線記憶器(line memory)11a 之輸出，2 次讀出 1 支掃描線影像(a)，而 1 次讀出其他掃描線影像(b 至 e)。其結果，5 支掃描線增加為 6 支。

第 4 圖所示之垂直比例器 11B，具有可避免 1 支掃描線影像(a)2 次輸出之電路構成。垂直比例器 11B，具備第

1 線記憶器 (line memory) 11b、第 2 線記憶器 (line memory) 11c、第 1 乘法器 11d、第 2 乘法器 11e、以及加法器 11f 而構成。第 1 線記憶器 (line memory) 11b，與前述之線記憶器 (line memory) 11a 同樣動作。第 1 線記憶器 (line memory) 11b 之輸出，係輸入至第 1 乘法器 11d 以及第 2 線記憶器 (line memory) 11c。第 2 線記憶器 (line memory) 11c 使輸入數據在讀 (read) 係延遲 1 水平周期而輸出。透過第 1 線記憶器 (line memory) 11b 以及第 2 線記憶器 (line memory) 11c，而構成垂直方向之插入過濾器。

第 2 線記憶器 (line memory) 11c 所延遲之數據，係輸入至第 2 乘法器 11e。第 1 乘法器 11d，使來自第 1 線記憶器 11b 之輸入數據成為 m 倍而輸出，第 2 乘法器 11e 則使來自線記憶器 11c 之輸入數據成為 n 倍而輸出。加法器 11f，則將輸入之 m 倍輸出數據與 n 倍輸出數據進行相加，並輸出該相加值。

第 5 圖係垂直比例器 11B 之動作時序圖。橫軸為時間，縱軸為線記憶器之位址值。實線表示寫 (write) 位址，虛線表示讀 (read) 位址。從第 5 圖可知，如果有垂直比例器 11B，則不會 2 次連續輸出同一影像信號。作為乘法器 11d, 11e 之乘法係數 (m) (n)，例如可選擇線型插入 (linear interpolation) 2 支掃描線信號之常數。例如，可採用 $m=0.5$ 、 $n=0.5$ 。

為構成更好特性之插值過濾器，在第 2 線記憶器 11c 之後段，進一步從屬連接線記憶器即可。

第 6 圖係表示多倍化電路 12 之方塊圖。該多倍化電路 12 係具備：第 3 線記憶器 12a、第 4 線記憶器 12b、以及選擇電路 12c。第 3 線記憶器 12a 與第 4 線記憶器 12b，透過輸入系之時鐘 (clock) (對應第 1 線記憶器 11b 與第 2 線記憶器 11c 之寫入時鐘)，交互式進行每隔 1 支掃描線之來自垂直比例器 11 之影像信號的寫入。並且，經由該寫入時鐘之整數倍時鐘 (例如：1 倍，2 倍，3 倍等) 進行讀出動作。

第 7 圖係表示多倍化電路 12 之處理之時序圖。本例中，經由 3 倍時鐘進行讀出動作。在以 3 倍速進行讀出時，其比率為 $3/1$ ，成為 $3-1=2$ ，從而發生位址超越。因此，前述第 3 線記憶器 12a 與第 4 線記憶器 12b 平行 (parallel) 配置。前述選擇電路 12c，選擇從第 3 線記憶器 12a 讀出三次之同一影像信號而輸出。然後，切換至第 4 線記憶器 12b 側，而選擇從第 4 線記憶器 12b 讀出三次之同一影像信號進行輸出。然後再次切換至第 3 線記憶器 12a 側，反復同樣之切換處理。也就是說，多倍化電路 12 係設成以 3 倍之時鐘進行讀出之同時，不選擇經由位址超越而讀出之影像信號之方式而組構。

水平比例器 13，輸入來自多倍化電路 12 之影像信號，並將該影像信號之水平點 (dot) 數變換為液晶面板 2 之水平點 (dot) 數。例如，液晶面板 (panel) 2 為 XGA 面板 (panel) 時，將輸入信號 (720 點) 向 XGA 面板之水平解析度 (1024 點) 變換。該變換可使用一次元之插值過濾器。

如前述之說明，前述系統之最終段之總輸出影像掃描

線數 M' 可表現為

$$M' = N' \times \alpha \times K = N' \times (M/N) \times K$$

這裡， N' 為總輸入影像掃描線數， K 為多倍化電路 12 之倍數（擴大率）， $K=1, 2, 3, \dots$ （自然數）。

假設 1 場 (field) 240 支 NTSC 信號以 VGA 面板 (panel) 表示時，

$$\alpha = 20/19 = 1.05263$$

如果 $K=2$ ，則總輸出影像掃描線數 M' 為

$$M' = 240 \times \alpha \times K = 240 \times 1.0526 \times 2 = 505 \text{ 支}.$$

由於 VGA 面板之垂直解析度為 480 支，因此剩下之 25 支 ($505 - 480 = 25$) 不顯示於面板上，於是成為顯示 95% 之狀態。一般 CRT 電視機也是同樣，如果 100% 顯示輸入影像信號，則如同 VTR 再生時，在顯示同步但不安定之完全不依據 NTSC(PAL) 規格之信號時，會表示出雜訊，因此通常必須顯示 100% 以下之領域。

再者，假設以 XGA 面板（垂直解析度 = 768）之表示時，則

$$\alpha = 9/8 = 1.125$$

$$K = 3$$

$$\text{總掃描線數 } M' = \alpha \times 3 \times 240 = 1.125 \times 3 \times 240 = 810$$

$$\text{顯示率} = 768/810 = 0.948.$$

第 8 圖係表示各種影像顯示面板之解析度、各種影像信號之形式、輸入影像之有效掃描線數、顯示率、以及面板之顯示掃描線數、多倍化電路之擴大率 K 、以及增加率

α 之關係之說明圖。增加率 α ，以從約 0.66 至約 1.58 範圍中選擇為宜。然而，NTSC 之掃描線數為 525 支，PAL 之掃描線數為 625 支。NTSC 之情況，則如 $(525/2) \times (22/21) = 275$ 一般，成為整數(分子為 M，分母為 N)。而 PAL 之情況，如果 $(625/2) \times (\text{偶數}/5 \text{ 或 } 25 \text{ 或 } 125 \text{ 抑或是 } 625)$ ，則成為整數。經由成為整數，使電路容易做成。前述第 8 圖中，增加率 α 為 0.87719 左右之值之情況，若分母=5、分子=4，則 $\alpha = 0.8$ ，而如果分母=25、分子=22，則 $\alpha = 0.88$ ，任一均可。並且，如果設分母=25，分子=24，則 $\alpha = 0.96$ 而使顯示率為 0.86 亦可。但是，顯示率在各公司之顯示面板中並非一定，大約在 0.9 至 0.95 之範圍內。

如以上之說明，使用使增加率 α 在 $0 < \alpha < 2$ (即 α 在 1.0 附近) 之垂直比例器 11，因此可減少畫質之劣化，並可減小電路規模。再者，經由使用組裝於該垂直比例器 11 之多倍化電路 12，可實現最終所必要之垂直縮放處理 (scalling)，並且可使該電路規模非常的小。

如以上之說明例，在垂直比例器 11 之後段設置有多倍化電路 12，但並非限制於此，垂直比例器 11 與多倍化電路 12 之配置關係，可以相反。並且，以上之說明，表示了驅動液晶面板之例，但並不限於此。本發明之影像顯示裝置，於使用於液晶面板等所謂保留(hold)型顯示元件之驅動之情況，可特別謀求圖像質量之提高。

(第 2 實施形態)

以下藉由第 9 圖至第 15 圖，詳細說明本發明之第 2

實施形態。

第 9 圖係表示驅動液晶面板 115 之顯示驅動裝置 101 之方塊圖。所輸入之影像信號，係數位化之影像信號(亮度/色差信號、RGB 信號等)。影像信號，輸入至驅動裝置 1 之垂直比例器 111(111A, 111B)。垂直比例器 111 具有增加影像信號之掃描線數之功能。但是，其增加率為 1.0 左右。例如在設來自比例器 111 之單位輸出掃描線數為 M、向垂直比例器 111 輸入之輸入掃描線數為 N、增加率為 α 之情況，則滿足

$$\alpha = M/N$$

$$0 < \alpha < 2$$

之條件。也就是說，使 α 為 1.0 左右。而該實施形態中， $\alpha \neq 1$ 。

作為垂直比例器 111，採用第 10 圖所示之垂直比例器 111A 或第 12 圖所示之垂直比例器 111B。當然，並非限於這些。垂直比例器 111A，其構成係具備一個線記憶器 111a。第 11 圖係表示前述線記憶器 111a 之動作時序圖。這裡，橫軸為時間，縱軸係線記憶器 111a 之位址值。實線表示寫入位址(write address)，而虛線則表示讀出位址(read address)輸入與輸出之 a, b, c, …，分別表示 1 支掃描線之影像信號。本例中，表示 $M=6$ 、 $N=5$ 之例， $\alpha=1.2$ 。

第 11 圖中，觀察線記憶器 111a 之輸出，讀出 2 次 1 支掃描線之影像(a)，及讀出一次其他 1 支掃描線影像(b 至 e)。結果，5 支掃描線增加為 6 支。

第 12 圖所示之垂直比例器 111B，具有可避免輸出 2 次 1 掃描線影象(2)之構成。垂直比例器 111B，具備第 1 線記憶器 111b、第 2 線記憶器 111c、第 1 乘法器 111d、第 2 乘法器 111e、以及加法器 111f 而構成。第 1 線記憶器 111b，與前述線記憶器 111a 同樣動作。第 1 線記憶器 111b 之輸出，係輸入至第 1 乘法器 111d 及第 2 線記憶器 111c。第 2 線記憶器 111c 將輸入數據只延遲讀(read)系之 1 水平期間並輸出。經由第 1 線記憶器 111b 與第 2 線記憶器 111c，構成垂直方向之插值過濾器。

由第 2 線記憶器 111c 延遲之數據，係輸入至第 2 乘法器 111e。第 1 乘法器 111d 將來自第 1 線記憶器 111b 之輸入數據增加至 m 倍後輸出，而第 2 乘法器 111e 則將來自第 2 線記憶器 111c 之輸入數據增加至 n 倍後輸出。加法器 111f，將輸入之 m 倍輸出數據與 n 倍輸出數據相加，並將相加值輸出。

第 13 圖係垂直比例器 111B 之動作時序圖。橫軸為時間，縱軸為線記憶器之位址值。實線表示寫入(write)位址，虛線表示讀出(read)位址。從第 13 圖可知，如果有垂直比例器 111B，則不會 2 次連續輸出同一影像信號。作為乘法器 111d, 111e 之乘法係數(m)(n)，例如可選擇線型插入 2 支掃描線信號之常數。例如，可採用 $m=0.5$ 、 $n=0.5$ 。

為構成更好特性之插值過濾器，在第 2 線記憶器 111c 之後段，進一步從屬連接線記憶器即可。

水平比例器 112，將從垂直比例器 111 輸入之影像信

號之水平點(dot)數變換為液晶面板 115 之水平點(dot)數。例如，當液晶面板 115 為 XGA 面板時，輸入信號(720 點)向 XGA 面板之水平解析度(1024 點)變換。該變換使用 1 次元之插值過濾器即可。

第 14 圖係表示液晶模組 113 中，多掃描線同時寫入時序控制器(以下簡單稱控制器)114 以及液晶面板 115 之電路圖。而第 15 圖係表示前述控制器 114 之動作之時序圖。

接著，說明多掃描線同時寫入之動作。輸入信號通常係 RGB 之各 8 位(bit)數位信號。首先說明通常之圖像顯示方法。致能(enable)信號 EN 為 High(1)時，輸入信號即依次以移位暫存器(shift register)移位。並且，在一支掃描線部分之影像信號之位移結束時，經由時序做成電路(timing forming circuit)114a 輸出之門鎖脈衝(latch pulse)，使各數據進入門鎖電路(latch circuit)。這時，如果閘驅動線(gate driver line)選擇脈衝作成電路 114b 所選擇之線號(line No)為 0，則將 D/A 變換之影像信號寫入 0 號線。同樣地，線選擇依次以 1、2、3 之順序移位，而在面板上顯示圖像。這裡，移位暫存器及 D/A 轉換器之個數與面板之水平解析度一致，XGA 面板之情況，則為 1024 個。而且，垂直線數為 768 線。多線同時寫入時，如第 15 圖所示，D/A 變換器輸出為影像 A 時，選擇線 0 以及線 1，並將影像 A 寫入線 0 及線 1。同樣地 D/A 變換器輸出為影像 B 時，則選擇線 2 及線 3，並將影相 B 寫入線 2 及線 3。本例係 2 支同時寫入之情況，惟 3 支同時寫入或是 4 支同

時寫入，也是同樣原理。

如以上之說明，前述系統之最終段之總輸出影像掃描線數 M' 可表現為

$$M' = N' \times \alpha \times K = N' \times (M/N) \times K.$$

這裡 N' 為總輸入影像掃描線數 K 為經由控制器 114 之同時寫入數， $K=1, 2, 3, \dots$ 等值(自然數)。

假定 1 場(field)240 支 NTSC 信號在 VGA 面板表示之情況，則

$$\alpha = 20/19 = 1.05263$$

如果 $K=2$ ，則總輸出影像掃描線數 M' 為

$$M' = 240 \times \alpha \times K = 240 \times 1.0526 \times 2 = 505 \text{ 支}.$$

由於 VGA 面板之垂直解析度為 480 支，因此剩下之 25 支($505 - 480 = 25$)不顯示於面板上，於是成為顯示 95% 之狀態。一般 CRT 電視機也是同樣，如果 100% 顯示輸入影像信號，則如同 VTR 再生時，在顯示同步但不安定之完全不依據 NTSC(PAL) 規格之信號時，會顯示出雜訊，因此通常必須顯示 100% 以下之領域。

再者，假設以 XGA 面板(垂直解析 = 768)之顯示

$$\alpha = 9/8 = 1.125$$

$$K = 3$$

$$\text{總掃描線數 } M' = \alpha \times 3 \times 240 = 1.125 \times 3 \times 240 = 810$$

$$\text{顯示率} = 768/810 = 0.948.$$

在實施形態 1 中之第 8 圖，在本實施形態中，也適用。

如以上之說明，使用增加率 α 為 $0 < \alpha < 2$ (即 α 在 1.0

附近)之垂直比例器 111，因此可減少畫質之劣化，並可減小電路規模。再者，經由使用組裝於該垂直比例器 111 之多線同時寫入控制器 114，可實現最終所必要之垂直縮放處理，並且可使該電路規模非常的小。

以上之說明，係表示驅動液晶面板之例，但並不限於此。本發明之顯示驅動裝置，在使用液晶面板等所謂保留(hold)型顯示元件之驅動時，可特別謀求圖像質量的提高。

【圖式簡單說明】

第 1 圖係表示本發明之實施形態之影像顯示裝置以及影像信號處理電路方塊圖。

第 2 圖係表示垂直比例器之一例之說明圖。

第 3 圖係表示第 2 圖之垂直比例器之輸入與輸出關係之說明圖。

第 4 圖係表示垂直比例器之其他例之說明圖。

第 5 圖係表示第 4 圖之垂直比例器之輸入與輸出關係之說明圖。

第 6 圖係表示多倍化電路之電路圖。

第 7 圖係表示多倍化電路動作之時序圖。

第 8 圖係表示各種影像顯示面板之解析度、各種之影像信號之形式、輸入影像之有效掃描線數、顯示率、面板之顯示掃描線數、多倍化電路之擴大率 K 、以及增加率 α 之關係之說明圖。

第 9 圖係表示本發明之實施形態之顯示驅動裝置之方塊圖。

第 10 圖係表示垂直比例器之一例之說明圖。

第 11 圖係表示第 10 圖之垂直比例器之輸入與輸出關係之說明圖。

第 12 圖係表示垂直比例器之其他例之說明圖。

第 13 圖係表示第 12 圖之垂直比例器之輸入與輸出關係之說明圖。

第 14 圖係表示液晶模組之電路圖。

第 15 圖係表示了液晶模組之動作之時序圖。

【主要元件符號說明】

1 影像信號處理電路	11 垂直比例器
12 多倍化電路	13 水平比例器
2 液晶面板 LCD	11a 線記憶器 (line memory)
11b 第 1 線記憶器 (line memory)	
11c 第 2 線記憶器	11d 第 1 乘法器
11e 第 2 乘法器	11f 加法器
12a 第 3 線記憶器 (line memory)	
12b 第 4 線記憶器 (line memory)	
12c 選擇電路	101 顯示驅動裝置
111 垂直比例器	112 水平比例器
113 液晶模組	
114 多掃描線同時寫入時序控制器	
115 液晶面板	

五、中文發明摘要：

本發明提供一種影像信號處理電路，係於比例 (scale) 變換中，不僅可減小電路規模，而且可減少垂直解析度之劣化。垂直比例器 (scaler)，具備增加輸入映射信號之掃描線數之功能。其增加率為 1.0 左右。當使單位輸出線數為 M，單位輸入線為 N，增加率為 α 之情況，滿足 $0 < \alpha < 2$ 之條件。也就是說，使 α 為 1.0 左右。數倍化電路對於輸入之影像信號，經由 3 倍時鐘 (clock)，進行讀出。而數倍化電路之構成使不選擇透過超越位址而讀出之影像信號。而水平比例器 (scaler) 則使水平方向之點 (dot) 數對應液晶面板 (panel) 之水平像素數而進行插值。

六、英文發明摘要：

Provided is a video signal processing circuit capable, in a scale conversion, of rendering a circuit scale small and alleviating a deterioration of a vertical resolution. A vertical scaler is provided with a function of increasing the number of scanning lines of an input video signal. An increasing rate thereof is adjacent to 1.0. In a case that the number of unit output lines is M, the number of unit input lines is N, and the increasing rate is α , a condition of $0 < \alpha < 2$ is satisfied. That is, α is adjacent to 1.0. A number-of-a-plurality-of-time reading-out circuit performs a reading-out by a 3-time clock toward the input video signal. In addition, the number-of-a-plurality-of-time reading-out circuit is configured in such a manner as not to select the video signal read out by an address overtaking. A horizontal scaler interpolates the number of dots of a horizontal direction according to the number of horizontal dots of a liquid crystal panel.



十、申請專利範圍：

1. 一種影像信號處理電路，其特徵有：

在比例變換影像信號之影像信號處理電路中，具備：

垂直比例器，係將相對前述影像信號之垂直方向之線增加率 α 設定為 $0 < \alpha < 2$ ；以及

讀出電路，係在 1 水平期間中，讀出一次或多次從前述垂直比例器輸出之影像信號之同一掃描線。

2. 一種影像信號處理電路，其特徵有：

在比例變換影像信號之影像信號處理電路中，具備：

讀出電路，係在 1 水平期間，讀出一次或多次前述影像信號之同一掃描線；以及

垂直比例器，係將相對來自前述讀出電路輸出之影像信號之垂直方向之線增加率 α 設定為 $0 < \alpha < 2$ 。

3. 如申請專利範圍第 1 項之影像信號處理電路，其中包括水平比例器，該水平比例器變換相對前述影像信號之水平方向之點 (dot) 數。

4. 如申請專利範圍第 2 項之影像信號處理電路，其中包括水平比例器，該水平比例器變換相對前述影像信號之水平方向之點 (dot) 數。

5. 如申請專利範圍第 1 項之影像信號處理電路，其中，該垂直比例器之垂直方向之線數增加率，係從約 0.66 至約 1.58 之範圍中選擇。

6. 如申請專利範圍第 2 項之影像信號處理電路，其中，

該垂直比例器之垂直方向之線數增加率，係從約 0.66 至約 1.58 之範圍中選擇。

7. 如申請專利範圍第 3 項之影像信號處理電路，其中，該垂直比例器之垂直方向之線數增加率，係從約 0.66 至約 1.58 之範圍中選擇。

8. 一種影像顯示裝置，其特徵有：

具備申請專利範圍第 1 項之影像信號處理電路，並且該影像顯示裝置之構成，係使來自該影像信號處理電路之輸出影像信號供給液晶面板(panel)等保留(hold)型顯示面板。

9. 一種影像顯示裝置，其特徵有：

具備申請專利範圍第 2 項之影像信號處理電路，並且該影像顯示裝置之構成，係使來自該影像信號處理電路之輸出影像信號供給液晶面板(panel)等保留(hold)型顯示面板。

10. 一種影像顯示裝置，其特徵有：

具備申請專利範圍第 3 項之影像信號處理電路，並且該影像顯示裝置之構成，係使來自該影像信號處理電路之輸出影像信號供給液晶面板(panel)等保留(hold)型顯示面板。

11. 一種影像顯示裝置，其特徵有：

具備申請專利範圍第 4 項之影像信號處理電路，並且該影像顯示裝置之構成，係使來自該影像信號處理電路之輸出影像信號供給液晶面板(panel)等保留(hold)型顯示面板。

12. 一種顯示驅動裝置，其特徵有，比例變換影像信號並驅動顯示器之顯示驅動裝置，該顯示驅動裝置具有：

將對於前述影像信號之垂直方向之線數增加率 α 設定為 $0 < \alpha < 2$ 之垂直比例器；以及

從前述垂直比例器輸出之影像信號之同一線與顯示器之1支線或多根線連續，或者同時寫入之時序控制器。

13. 如申請專利範圍第12項之顯示驅動裝置，其中包括：

將對於前述影像信號之水平方向之點(dot)數，對應前述顯示器之水平像素數而進行變換之水平比例器。

14. 如申請專利範圍第12項之顯示驅動裝置，其中，

該垂直比例器之垂直方向之線數增加率，係從約0.66至約1.58範圍中選擇。

15. 如申請專利範圍第13項之顯示驅動裝置，其中，

垂直比例器之垂直方向之線數增加率，係從約0.66至約1.58範圍中選擇。

16. 如申請專利範圍第12項之顯示驅動裝置，其中，

前述顯示器係液晶面板(panel)等保留(hold)型顯示面板(panel)。

17. 如申請專利範圍第13項之顯示驅動裝置，其中，

前述顯示器係液晶面板(panel)等保留(hold)型顯示面板(panel)。

18. 如申請專利範圍第14項之顯示驅動裝置，其中，

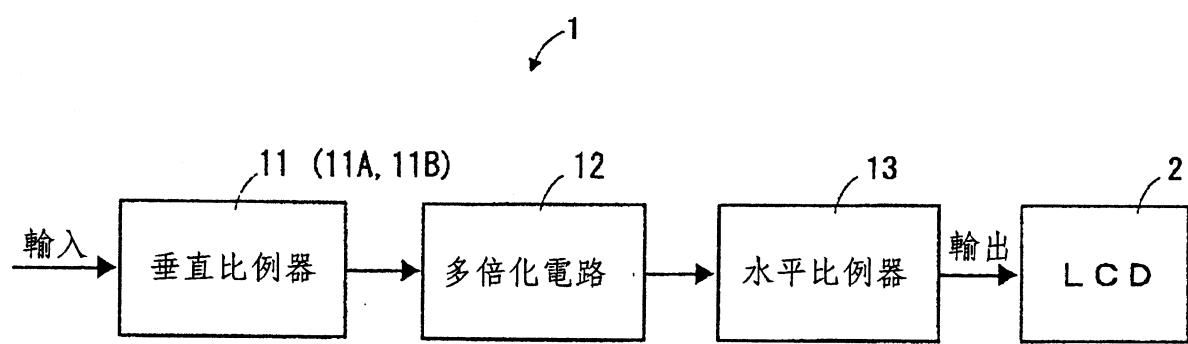
前述顯示器係液晶面板(panel)等保留(hold)型顯



示面板(panel)。

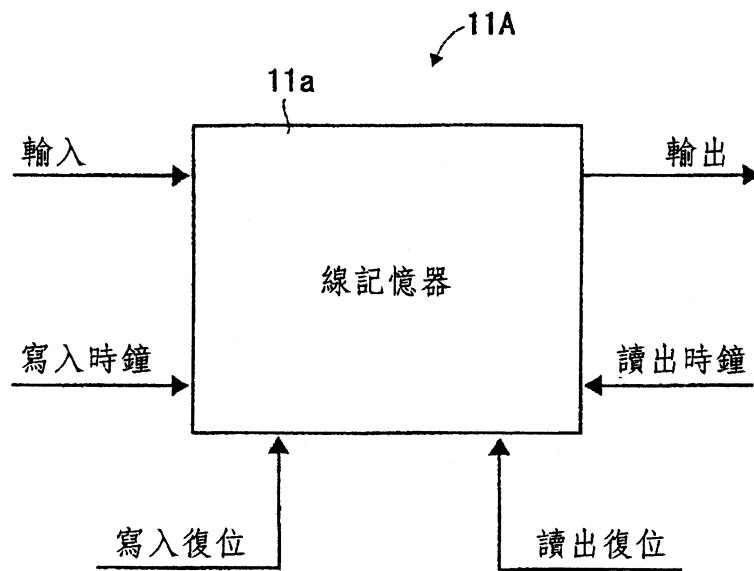
19.如申請專利範圍第15項之顯示驅動裝置，其中，前述顯示器係液晶面板(panel)等保留(hold)型顯示面板(panel)。

I267255

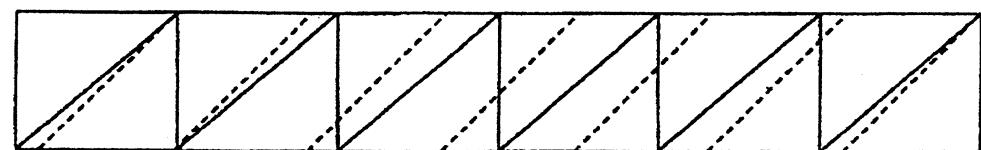


第1圖

I267255



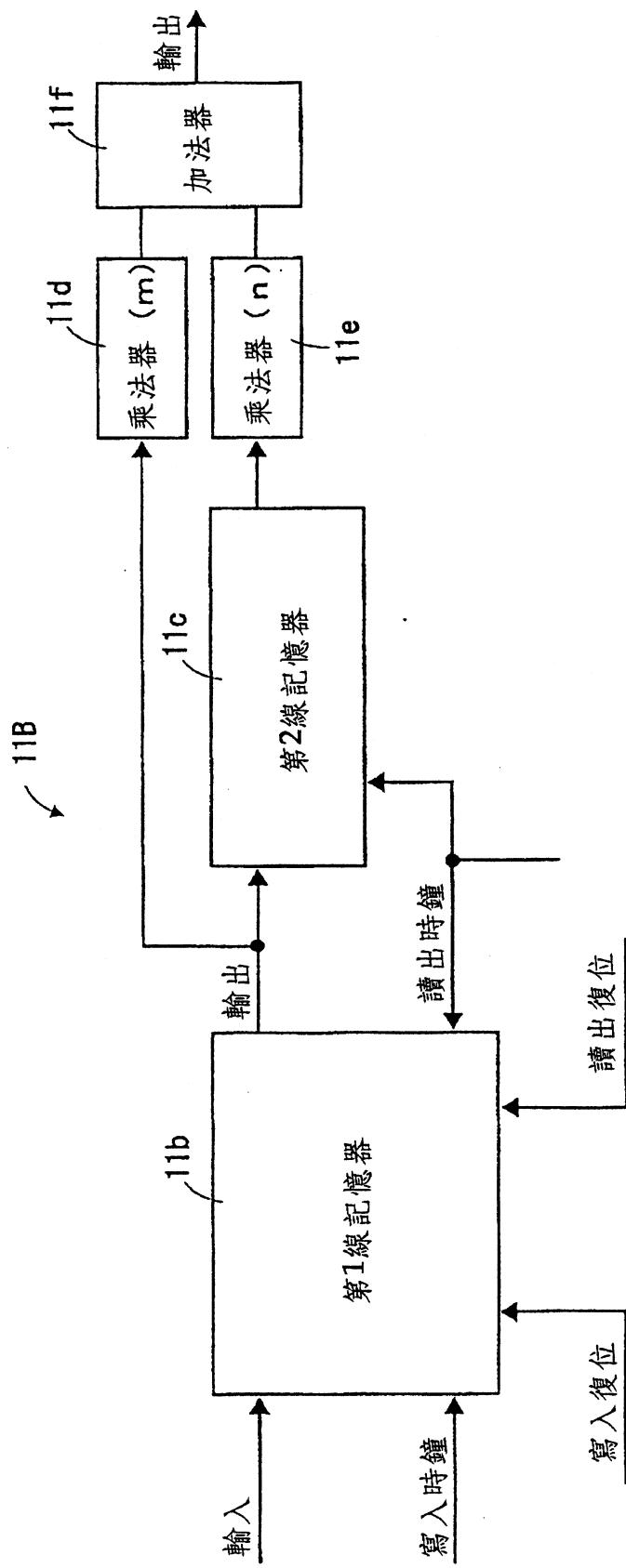
第2圖



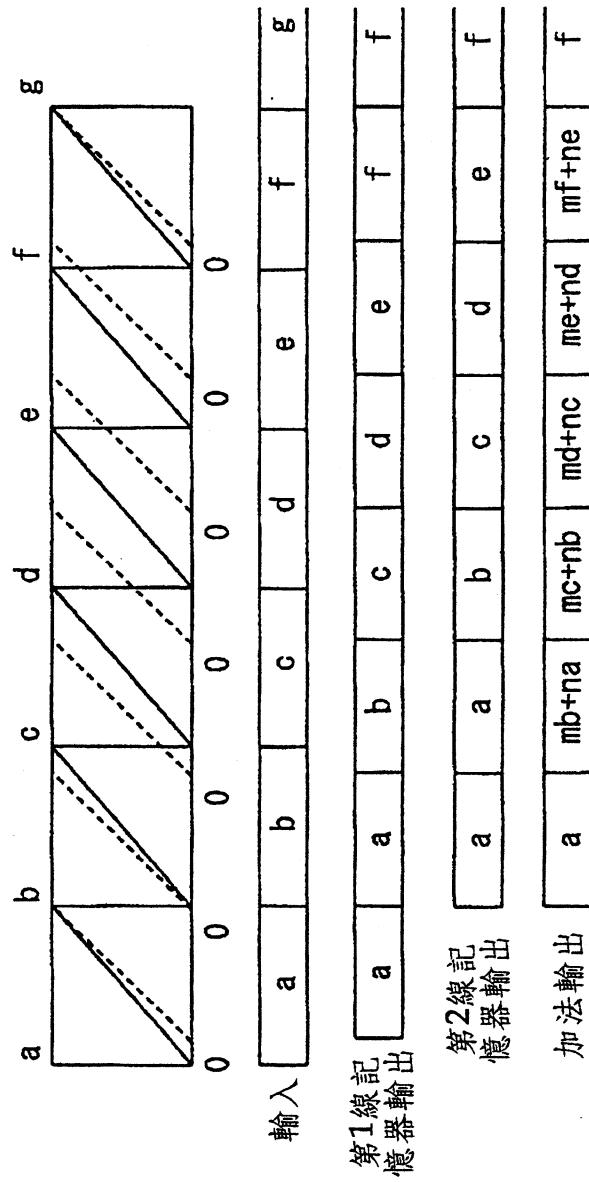
輸入	a	b	c	d	e	f
----	---	---	---	---	---	---

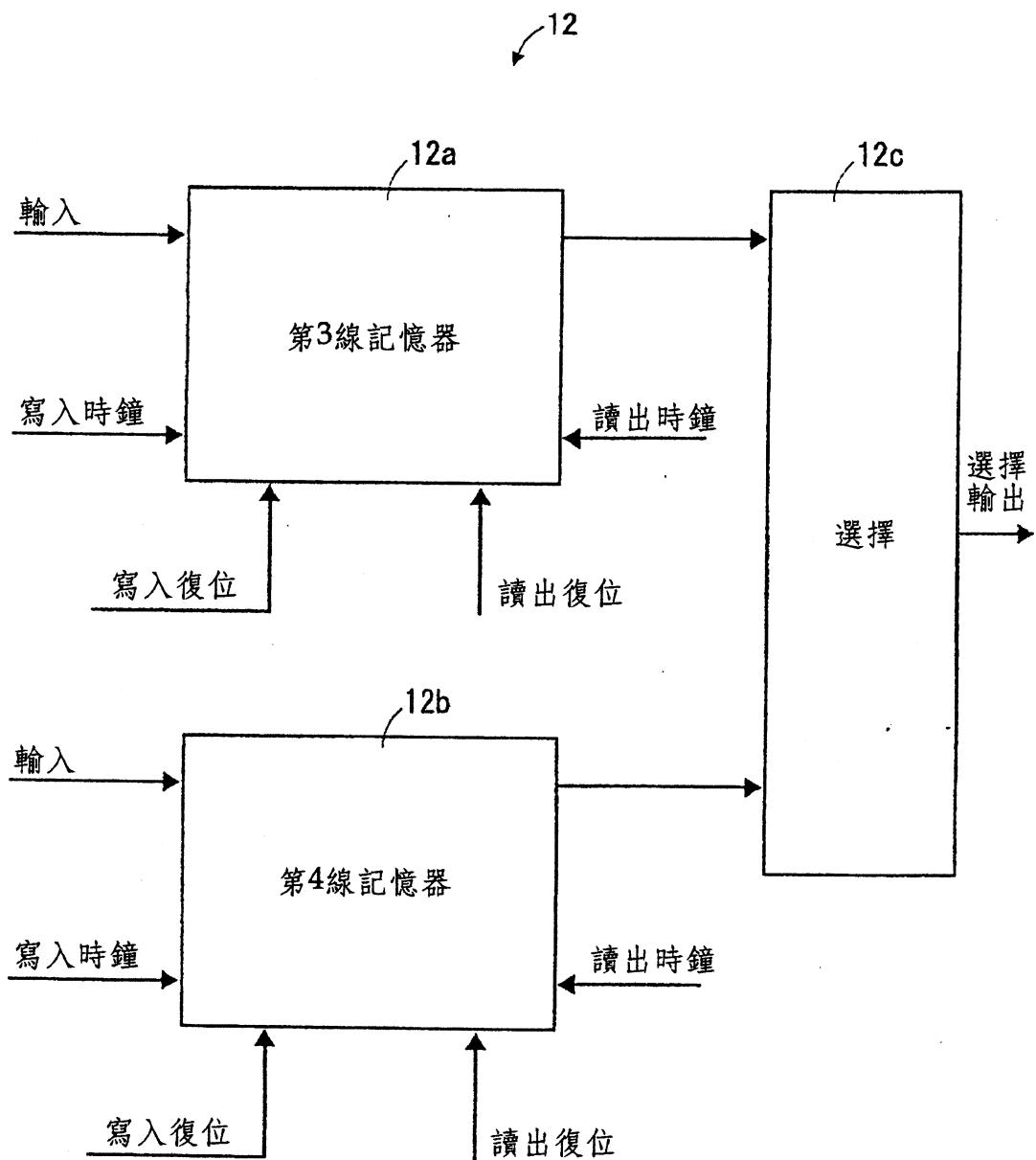
輸出	a	a	b	c	d	e	f
----	---	---	---	---	---	---	---

第3圖

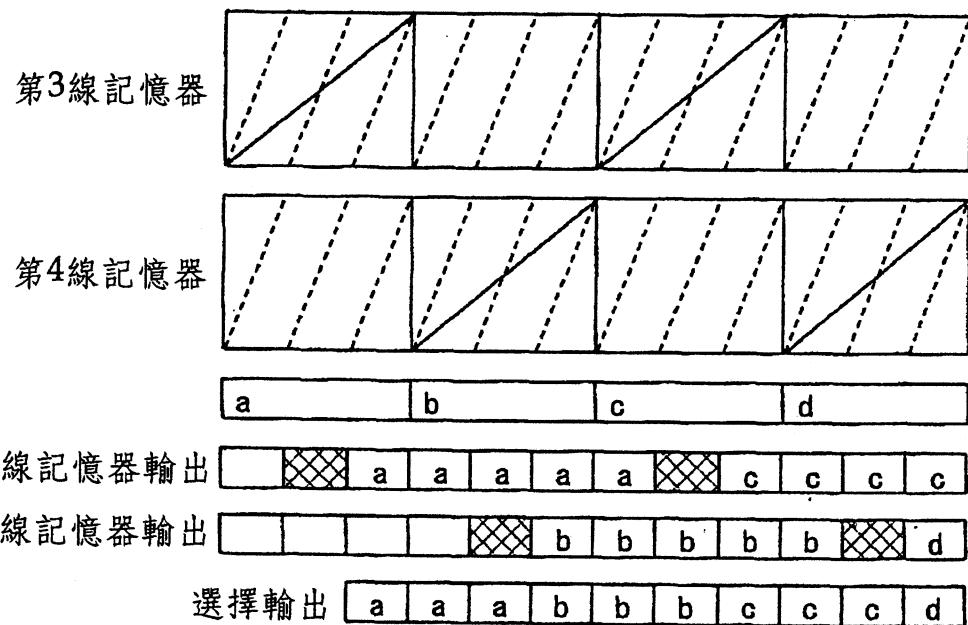


第4圖





第6圖.



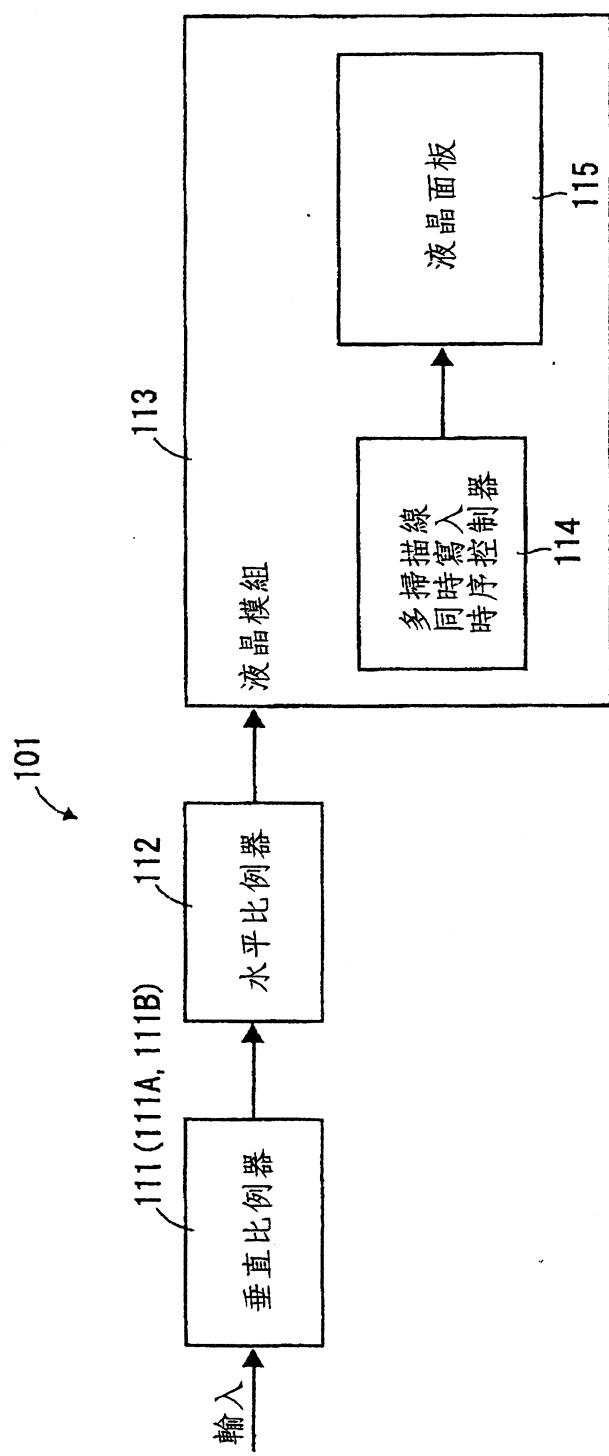
第7圖

面板	輸入影像			輸入影像 有效掃描 線數	顯示率	面板 顯示個數	多倍化 放大率K	α
VGA	NTSC	NORMAL	240	0.95	480	2	1.05263	
		squeeze	240	0.95	360	2	0.78947	
		squeeze	240	0.95	360	1	1.57895	
VGA	PAL	NORMAL	288	0.95	480	2	0.87719	
		squeeze	288	0.95	360	2	0.65789	
		squeeze	288	0.95	360	1	1.31579	
XGA 720Line	NTSC	NORMAL	240	0.95	720	3	1.05263	
		squeeze	240	0.95	720	3	1.05263	
		letterbox (16:9)	180	1.00	720	3	1.33333	
XGA 720Line	PAL	NORMAL	288	0.95	720	3	0.87719	
		squeeze	288	0.95	720	3	0.87719	
		letterbox (16:9)	216	1.00	720	3	1.11111	
XGA 768Line	NTSC	NORMAL	246	1.00	720	3	0.97561	
		squeeze	240	0.95	768	3	0.87719	
		letterbox (16:9)	180	1.00	768	3	1.42222	
XGA 768Line	PAL	NORMAL	288	0.95	768	3	1.12281	
		squeeze	288	0.95	768	3	1.12281	
		letterbox (16:9)	216	1.00	768	3	1.18519	
XGA 768Line		letterbox (14:9)	246	1.00	768	3	1.04065	

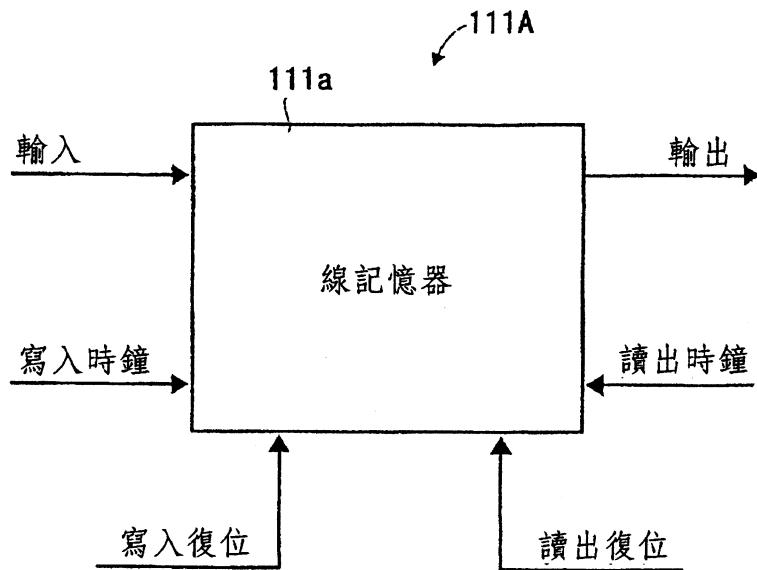
第8圖



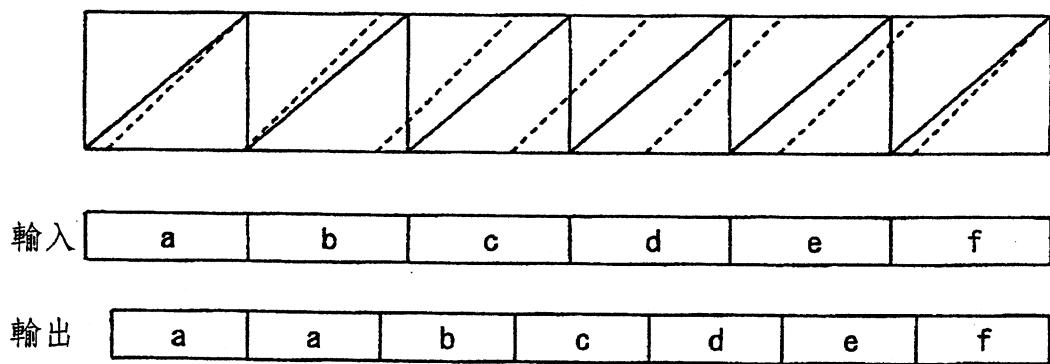
I267255



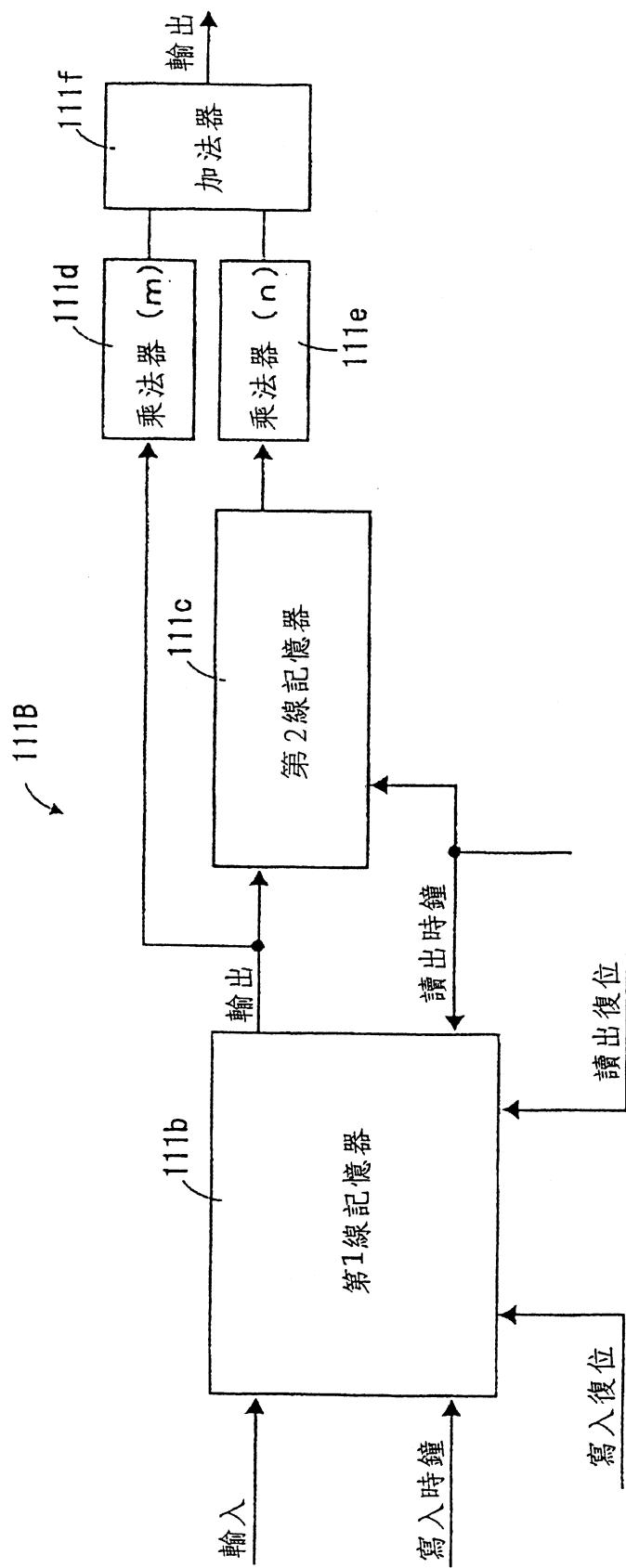
第9圖



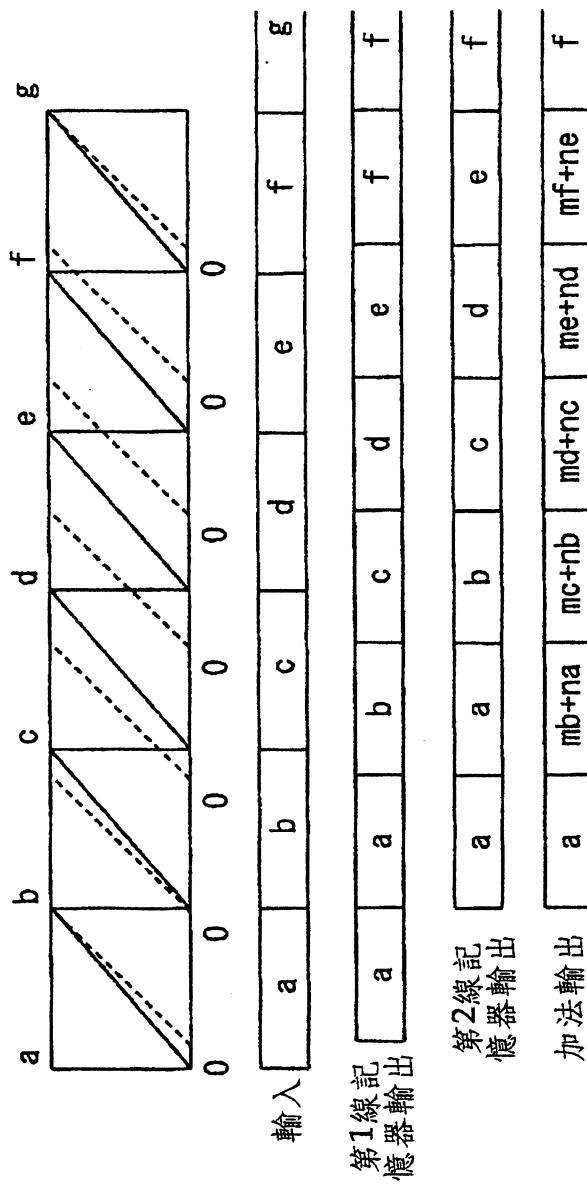
第10圖

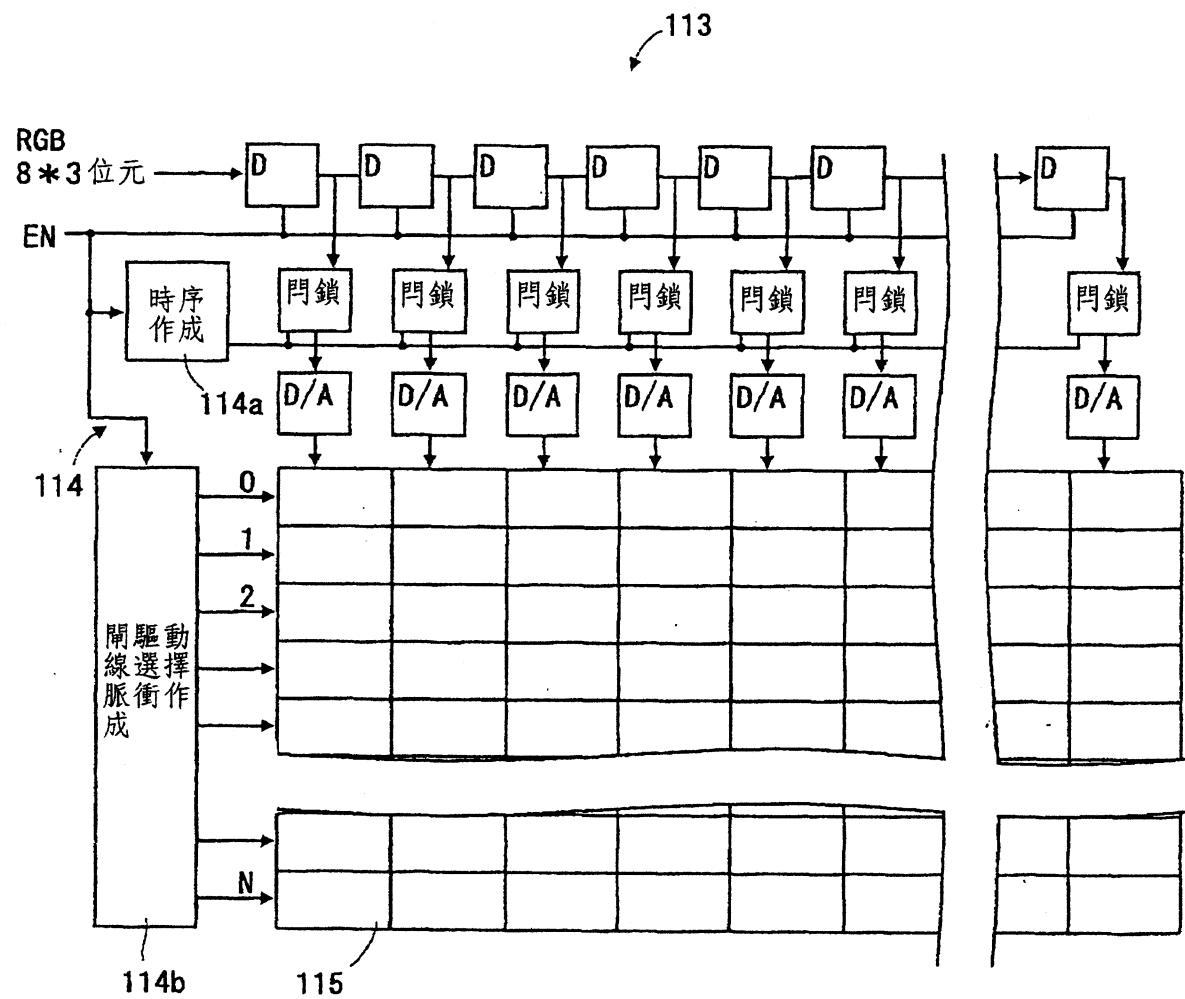


第11圖

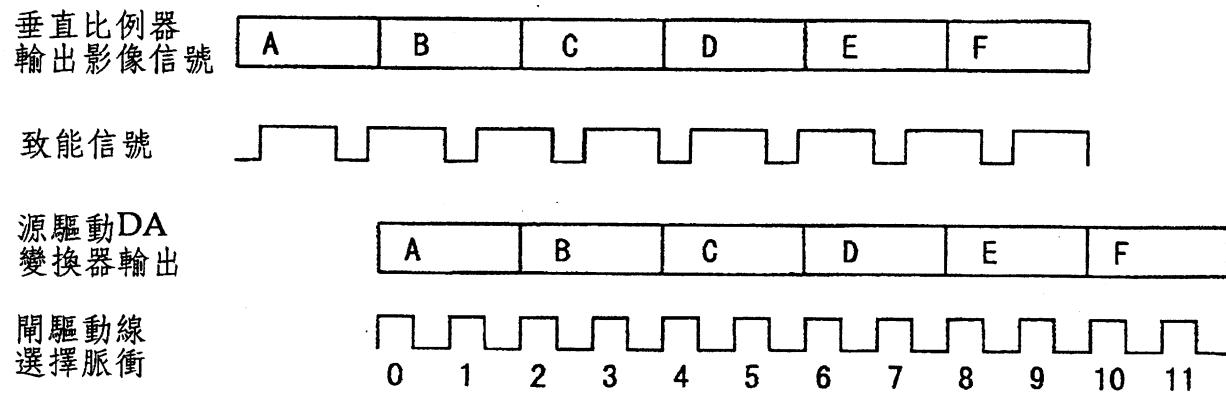


第13圖





第14圖



第15圖

七、指定代表圖：

(一)本案指定代表圖為：第（1）圖。

(二)本代表圖之元件符號簡單說明：

1 影像信號處理電路

2 液晶面板 LCD

11 垂直比例器

12 多倍化電路

13 水平比例器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

