

公告本

410350

申請日期	87. 9. 30
案 號	87116164
類 別	G11C 1/00

A4
C4

410350

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有分層位元線架構與非均勻局部位元線之 半導體記憶體
	英 文	SEMICONDUCTOR MEMORY HAVING HIERARCHICAL BIT LINE ARCHITECTURE WITH NON-UNIFORM LOCAL BIT LINES
二、發明 創作人	姓 名	1. 格哈德慕勒 (Gerhard Mueller) 2. 赫恩茲侯尼舒密德 (Heinz Hoenigschmid)
	國 籍	1. 德國 2. 德國
	住、居所	1. 德國紐約 NY12590 華平格斯瀑布區鎮景道 168 號 2. 德國史達山麓 82319 山德街 3 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

美國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1997年 9月30日 08/942,275號(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明領域

本發明係關於像動態隨機存取記憶體(DRAMs)之類的半導體記憶體，尤其是具有主位元線和區域位元線之分層位元線架構之半導體記憶體。

發明背景

近年來發展的分層或“分區”位元線架構係為了要增加記憶體晶片的積體密度，此種結構可以減少用於一給定數量之記憶體單胞的感測放大器消耗空間量，因此可以治少晶片尺寸，或對於一給定尺寸之晶片，可以增加記憶體容量。

對於傳統的分層位元線架構，每一行記憶體單胞陣列都包含一些等長度的區域位元線(LBLs)和一主位元線(MBL)，其中該LBLs係直接連接到記憶體單胞，而MBL則由排列在高於區域位元線之製造層的高導電金屬構成，例如，各區域位元線都有可能連接數百個記憶體單胞，各主位元線係直接連接到感測放大器，而且經由一些開關選擇性耦合到同一行的一些區域位元線，當要存取(讀取，寫入或重設)連接到特定區域位元線之記憶體單胞時，要開關連接區域位元線到主位元線之開關，而行的其他開關則仍要打開。

第1圖為使用分層位元線架構之半導體記憶體習知技術的記憶庫10，此記憶庫分割成記憶體單胞子陣列，如MAa到MA_d，和一些感測放大器庫，如12_j，12_{j+1}，12_{j+2}，在中圖中，各感測放大器庫中的感測放大器SA_j係排

五、發明說明(2)

列成分區架構，使得各感測放大器以時間多工的方式放大來自記憶體單胞兩側的訊號，但是，因為感測放大器係共用，所以各SA庫有 $N/2$ 個感測放大器，因而各子陣列有 N 行 C_1-C_N ，在各側上之感測放大器庫 12_{j+1} 的各感測放大器，如 SA_2 係連接到由真主位元線 MBL 和互補主位元線 $\overline{MBL}$ 組成的主位元線對，在本範例中，各個真主位元線 MBL 連接到四個等長度 L 的真區域位元線 LBL_1 到 LBL_4 ，而各個互補主位元線 $\overline{MBL}$ 則連接到四個互補區域位元線 $\overline{LBL}_1$ 到 $\overline{LBL}_4$ ，感測放大器係將主位元線對之間的差壓放大，其中之一主位元線係用以載送參考電壓，另一主位元線則是載送由活化選擇記憶體單胞MC傳輸之單胞訊號，在第 j 列之字元線 WL_j 根據列位址活化，以存取選擇記憶體單胞，圖中所示為摺疊式位元線架構，其中真和互補位元線彼此相互非常接近的並排行進，若採用開放式位元線組態，則互補主位元線會存在於感測放大器之真主位元線的相對側。

FET開關 S 各自耦合在各區域位元線的末端部分和連接相對主位元線的連接點 P 之間，耦合到特定區域位元線之記憶體單胞係藉由提供控制線 23_1-23_4 適當的控制電壓，關閉對應行的對應開關 S 和打開其他的開關。

一般而言，位元線電容正比於位元線長度，因此，位元線長度會受限於可容許的最大位元線電容，此最大電容一般係由可允許感測邊限和功率散逸決定，對於分層位元線架構而言，因為區域位元線直接耦合到主要貢獻

五、發明說明(3)

至區域位元線電容之記憶體單胞，而主位元線並非直接耦合到單胞，所以單位長度之主位元線電容小於單位長度之區域位元線電容，因此，對於一已知行長度，總電容可以遠低於非分層佈局（即只有單層位元線，各自延伸整個行長度，且直接耦合到記憶體單胞之佈局），因此，藉由分層架構的使用，具有一定記憶體單胞數之晶片需要較少空間耗用的感測放大器，也就是分層允許更多的單胞可以使用各感測放大器，而各感測放大器耦合到區域位元線和一長主位元線，因此可以減少每個晶片的感測放大器數，因此較小的晶片尺寸是可能的，其提供安置開關 S 和額外控制電路之面積，而此面積不會超過減少感測放大器數所節省之面積。

第2圖為上述分層位元線架構之變化例，此圖示之組態此後稱為“混合”型分層架構，第2圖圖示只有兩個區域位元線對($LBL_1, \overline{LBL}_1$)和($LBL_2, \overline{LBL}_2$)排列在相關感測放大器 SA_i 各側上之情形，在記憶體單胞子陣列的各行 C_i 中，區域位元線最接近感測放大器，即 LBL_1 和 $\overline{LBL}_1$ 連接到個別開關 25_1 的汲極或源極，而在電路節點63，開關的其他側直接連接到感測放大器電極，此電路節點63通常和連接感測放大器電極到對應主位元線 MBL 或 $\overline{MBL}$ 的電路節點相同，開關 25_2 耦合各遠側的區域位元線 LBL_2 和 $\overline{LBL}_2$ 和對應主位元線在連接節點 d ，間隙 g 分隔 LBL_1 和 LBL_2 及 $\overline{LBL}_1$ 和 $\overline{LBL}_2$ ，為了要存取耦合到 LBL_1 或 $\overline{LBL}_1$ 之記憶體單胞 MC ，導通開關 25_1 （關閉）

五、發明說明(4)

，而截止開關 25_2 ，反之，存取耦合到遠側的區域位元線 LBL_2 和 $\overline{LBL}_2$ 之單胞亦然，因此，耦合到遠側的區域位元線之記憶體單胞經由遠側的區域位元線和主位元線連接到感測放大器，然而耦合到近側區域位元線的那些單胞只經由近側區域位元線耦合到感測放大器，因此，第2圖之組態稱為混合型，若在感測放大器各側使用超過兩對的區域位元線對，則連接耦合到近側區域位元線 LBL_1 和 $\overline{LBL}_1$ 之記憶體單胞的路徑只有由區域位元線組成，然而在行中，連接感測放大器到其他記憶體單胞之路徑由與個別區域位元線串接之主位元線組成。

發明概要

本發明係有關於一種具有分層位元線架構之半導體記憶體，其中排列成任何給定行之區域位元線耦合到不同數量之記憶體單胞，相對於任何記憶體單胞，以基本上可以等化總位元線電容，因此可以改善記憶體的資料維持時間。

在實例範例中，根據本發明的半導體記憶體包含許多列和行，其中各行都有具主位元線耦合之感測放大器，許多的區域位元線排列成各行，各自耦合到許多記憶體單胞，與主位元線垂直間隔，及選擇性耦合到感測放大器，至少在行中的其中之一區域位元線可以經由主位元線選擇地耦合到感測放大器，至少在行中的第一個其中之一區域位元線耦合到不同數字的記憶體單胞，而不是至少在行中的第二個其中之一區域位元線。

五、發明說明(5)

採用之混合型分層位元線組態，其中近側位元線係直接經由開關耦合到感測放大器，而在行中的一個或更多個遠側區域位元線則經主位元線耦合到感測放大器，對於本實施例而言，行中的近側區域位元線比其他的區域位元線可以耦合到更多的記憶體單胞。

圖式簡單說明

第1圖為習知採用分層位元線架構之部分半導體記憶體；

第2圖為習知使用混合組態之分層位元線架構的部分半導體記憶體；

第3圖為根據本發明之部分半導體記憶體；

第4圖為採用共用感測放大器和摺疊位元線之本發明半導體記憶體的記憶體庫；

第5圖為可用在此處揭露之記憶體庫中的感測放大器電路；

第6圖為在感測放大器單側採用多於二個區域位元線對之本發明另一實施例；以及

第7圖為採用共用感測放大器和開放位元線之本發明的實施例。

發明詳述細說明

本發明係關於一種用於半導體記憶體之改良式分層位元線架構，本發明提供一種等化總位元線電容之方式，以改善陣列中之記憶體單胞的記憶時間，本發明實施範例係討論DRAM晶片，但是本發明可以有更廣泛的應用，

五、發明說明(6)

例如，本發明可以應用在其他的記憶體元件，如EDO-DRAM, SDRAM, RAMBUS-DRAM, SDRAM, MDRAM, SRAM, 快閃式RAM, EPROM, EEPROM, 遮蔽式ROM或併入式DRAM邏輯(埋入式DRAM)。

為了提供本發明的基礎技術，參考第2圖之習知混合型記憶體技術，相對於耦合到 LBL_1 之單胞，總位元線電容恰為 LBL_1 的區域位元線電容，即" C_{LBL1} "，相對於耦合到 LBL_2 之單胞，總位元線電容為 LBL_2 的區域位元線電容加上主位元線電容，即" $C_{LBL2+MBL}$ "，因此，在感測時的平均功率損耗小於標準分層架構(示於第1圖之非混合型架構)，但是，習知之混合組態技術的問題如下"記憶體單胞的資料記憶時間" t^{ret} "正心於 $1/C_{BL}$ ，其中 C_{BL} 為總位元線電容，因此，因為總位元線電容 $C_{LBL2+MBL}$ 大於 C_{LBL1} ，所以耦合到 LBL_2 之單胞的資料記憶時間，即" $t^{ret}_{LBL2+MBL}$ "，小於耦合到 LBL_1 之單胞的資料記憶時間 t^{ret} ，晶片的記憶時間並不是定義為這兩個記憶時間和的一半，而是這兩個記憶時間當中的較小者，即 $t^{ret}_{LBL2+MBL}$ ，因此，耦合到 LBL_2 之單胞的較小記憶時間會降低晶片整個的記憶時間，根據本發明，在主位元線中，至少有2個區域位元線會提供不同的長度，如上之討論，區域位元線之電容會受到主位元線的影響，主位元線之電容貢獻會根據在主位元線中之區域位元線的位置而改變，要補償由主位元線貢獻到不同的區域位元線之電容差，需至少要提供兩個不同長度

五、發明說明(7)

之區域位元線，結果，區域位元線之間的電容變異會減小，而造成在不同區域位元線之單胞中的記憶時間更均勻。

參考第3圖，其為本發明之實施例，如圖所示，遠側區域位元線 LBL_2 之長度為 L_2 ，其較近側位元線 LBL_1 之長度 L_1 短，也就是說，近側位元線 LBL_1 可以耦合的記憶體單胞 MC 比遠側區域位元線 LBL_2 多，此處所使用之區域位元線的“長度”為區域位元線越過記憶體單胞耦合到行方向的距離，而不是從上一記憶體單胞到外部連接點的額外接線長度，因此，此處將長度長於另一 LBL 之 LBL 定義為可以耦合到更多相同尺寸之記憶體單胞。

藉由舉例，計算位元線結構18改善之記憶時間，假設計長度 L_1 和 L_2 ，使相對於耦合到 LBL_1 和 LBL_2 之單胞的總位元線電容相等，在此情形下，若每個單胞的 LBL 電容為 $C_{LBL}/cell=0.23fF$ ，且為每個單胞的 MBL 電容為 $C_{MBL}/cell=0.11fF$ ，則對於 C_{LBL1} 等於 $C_{LBL2+MBL}$ 的情形， LBL 長度對最佳記憶時間的關係為：

$$0.23 * L_1 = 0.11 * L_1 + 0.23 * L_2 \quad (1)$$

得：

$$L_1 = 1.9 L_2 \quad (2)$$

所以 LBL_1 耦合的記憶體單胞是 LBL_2 的 1-9 倍。

計算改善的資料記憶時間：

$$\begin{aligned} & t^{ret}(\text{新方式}) / t^{ret}(\text{標準方式}) \\ &= C_{LBL2+MBL}(\text{標準方式}) / C_{LBL2+MBL}(\text{新方式}) \\ &= (0.23 + 0.11) * 0.5(L_1 + L_2) / (0.23 * 0.66(L_1 + L_2)) \\ &= 1.12 \end{aligned} \quad (3)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

因此，在本範例中，第3圖之位元線結構18的資料記憶時間較第2圖之習知混合型方式改善12%。

對於遠側位元線開關 25_2 移到感測放大器 SA_i 附近方面，位元線結構18也與第2圖之組態不同，開關 25_2 個別位在相關的主位元線 MBL 或 $\overline{MBL}$ 和在感測放大器中的連接節點63之間，打開開關 25_2 ，使主位元線對與感測放大器分離，而允許耦合到 LBL_1 或 $\overline{LBL}_1$ 之單胞藉由開關 25_1 取存資料，以自記憶體單胞區移動所有的開關之方式，將開關 25_2 放置在感測放大器附近（對於第3圖中每一主位元線有2個區域位元線之情形）。

現在參考第4圖，其為採用摺疊式位元線和分配式感測放大器之本發明實施例，例如，本發明在此處所揭露之本或其他實施例都可以為DRAM晶片的一部分，記憶體庫20包含感測放大器排列在插層組態中且具有長度相等之區域位元線的感測放大器(SA)庫，如 27_{i-1} ， 27_i ， 27_{i+1} ，以改善以述之資料記憶時間，在相關感測放大器近側之各區域位元線 LBL_{1L} 或 LBL_{1R} 的長度 L_1 要比遠側之區域位元線 LBL_{2L} 或 LBL_{2R} 的長度 L_2 長，使總位元線電容相等，因此資料記憶時間會相等，（在第4圖中，下標“L”代表相關感測放大器的左側，下標“R”則表示右側）。

在圖示之組態中，感測放大器插在各行之間，而且分配在記憶體子陣列的任何一側，以保存晶片空間，例如，SA庫 27_i 的感測放大器 SA_2 來自記憶體子陣列 MAb 之記

五、發明說明(9)

憶體單胞，直接經由區域位元線對 LBL_{1L} ， $\overline{LBL_{1L}}$ ，或來自線對 LBL_{2L} ， $\overline{LBL_{2L}}$ ，分別經由 MBL_L ， $\overline{MBL_L}$ 之單胞訊號放大和清除，在 SA_2 中，在 LBL_{1L} 另一側之開關 25_1 的源極或汲極在共電路節點 63 連接到開關 25_2 的源極或汲極（其中開關 25_2 的另一側則連接到 MBL_L ），開關 25_1 耦合 LBL_{1R} ，而開關 25_2 耦合到 MBL_R ，也連接到共電路節點 63，當開關 25_2 打開時，關閉開關 25_1 可以存取耦合到 LBL_{1L} 之單胞，反之，可以存取耦合到 LBL_{2L} 之單胞，控制線 23_1-23_4 係以已知技術，藉由適當的控制電子技術，根據列位址打開或關閉設定之開關 25_1 和 25_2 而選擇性工作，字元線，如“第 i ”列之 WL_i ，以傳統方式選擇性工作，使特定的記憶體單胞 MC 工作而可以存取，在 SA_2 另一側之記憶體單胞，即在記憶體子陣列 MAc ，也是以相同方式存取，此方式為直接通過區域位元線 LBL_{1R} ， $\overline{LBL_{1R}}$ 和開關 25_1 ，或分別經由 MBL_R 和 $\overline{MBL_R}$ 通過 LBL_{2R} ， $\overline{LBL_{2R}}$ 和開關 25_2 ，例如，感測放大器係以行的型態插在行當中，所以子陣列 MAa 和 MAb 奇數行 C_1 ， C_3 ，----中的記憶體單胞經由 SA 庫 27_{i-1} 存取； SA 庫 27_i 係用以存取 MAb 和 MAc 的偶數行； SA 庫 27_{i+1} 係用以存取 MAc 和 MAd 的奇數行，等等。

第 5 圖為行 C_i 之分配的感測放大器 SA_i 其中之一的範例電路，在門電路 54 各側，各有一對多工開關 53_{1L} ， 53_{2L} 或 53_{1R} ， 53_{2R} ，以分別對應控制訊號 MUX_L 或 MUX_R ，選擇在左側或右側之感測放大器的記憶體子陣列 MAa 或 MAb ，控制訊號 CTL_P 控制門 54 之 P 型門部分，而控制訊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

號 CTL_N 則控制 N 型閘部分，等效電路 55_L 和 55_R 分別耦合在 MUX 開關 53 和記憶體子陣列 MAa 和 MAb 之間，控制線 56 以傳統方式載送預激和控制電壓到各等效電路 55_L ， 55_R ，行選擇開關（未顯示）也是感測放大器電路的一部分，此和傳統的電路相同，其係根據行位址選擇設定的存取行，LBL 選擇開關 25_1 和 25_2 各自連接到在各等效電路 55_L 和 55_R 附近之電路節點 63，如圖所示，各開關 25_2 之其他側（源極或汲極）經由孔洞連接點 V_1 連接到對應的主位元線，同理，各開關 25_1 的另一側係經由孔洞連接點 V_2 連接到相關的區域位元線，（開關 25_1 和 25_2 係位在晶圓準位，然而區域位元線和主位元線則是位在較高的製造準位，使得需要中間準位之孔洞連接點，以連接開關和位元線）。

第 6 圖為本發明之另一實施例，以 100 表示，其中在感測放大器 SA_i 的單側使用比 2 更多的區域位元線對，在本範例中，使用 4 個區域位元線 LBL_1 ， $\overline{LBL}_1$ 到 LBL_4 ， $\overline{LBL}_4$ ，最靠近感測放大器之區域位元線，即 LBL_1 和 $\overline{LBL}_1$ ，之長度為 L_1 ，而其他長度較短之各區域位元線則為 L_2 ， L_1 和 L_2 之間的關係可以設計，使得對於所有記憶體單胞的總位元線電容都相同，連接到 LBL_1 之單胞的總位元線電容就只有 LBL_1 的區域位元線電容，而連接到 $LBL_2 - LBL_4$ 任一之單胞的總位元線電容等於該區域位元線電容加主位元線電容，所有此種之記憶體單胞都相同，此外，藉由使 LBL_1 和 $\overline{LBL}_1$ 比其他的區域位元

五、發明說明(11)

線長，相較於上述每一主位元線具有二個區域位元線之改善記憶時間的情形，此可以確實增加資料的記憶時間。

在第6圖之實施例100中，區域位元線開關 $25_1 - 25_4$ 分別控制耦合到區域位元線對 LBL_1 ， $\overline{LBL}_1 - LBL_4$ ， $\overline{LBL}_4$ 之記憶體單胞的存取，在各主位元線和感測放大器中的各連接點63之間加入一額外的開關對35，每當開關 25_1 關閉，這些開關打開時，就會存取耦合到 LBL_1 或 $\overline{LBL}_1$ 之單胞，而這些開關關閉時，就會存取耦合到其他 $LBLs$ 之任何單胞，開關35係藉由控制線36上之控制電壓控制，開關35係要消除每當存取耦合到 LBL_1 或 $\overline{LBL}_1$ 之單胞時，所造成之主位元線電容效應。

現在參考第7圖，其為本發明之另一實施例200，其使用分層之混合型開放式位元線組態，在本實施例中，在任何給定行中之區域位元線都具有和上述實施例一樣的唯一長度，對於開放式位元線組態，真/互補位元線對不會在各感測放大器的相同側彼此相互並行，換言之，位元線對之真位元線行進在相關感測放大器之一側，而該位元線對之互補位元線則行進在相關感測放大器的另一側，當要存取耦合到真位元線之單胞時，使用在另一側之互補線供應預激參考電壓到感測放大器，因此感測放大器會將真和互補線之間的壓差實行差動放大，同理，為了要存取耦合到互補位元線之單胞，使用真位元線供應預激參考電壓到感測放大器。

在第7圖之實施例中，例如，可能為DRAM晶片一部分

五、發明說明 (12)

之記憶體庫 200 包含各自排列在記憶體子陣列 MA_a-MA_d 兩個之間的感測放大器庫，如 $42_{j-1}-42_{j+1}$ ，各感測放大器，如 SA 庫 42 之 SA_2 ，連接到在其左側之開關對 25_1 ， 25_2 ，其中開關 25_1 與區域位元線 LBL_{1L} 串接，而開關 25_2 則與直接在節點 d 連接區域位元線 LBL_2 之主位元線 MBL 串接，開關 25_1 和 25_2 在感測放大器中之電路節點 63 相連接，同理，在 SA_2 的右側，區域位元線 $\overline{LBL}_1$ 經由開關 25_1 直接連接到感測放大器，而 $\overline{LBL}_2$ 則是經由主位元線 $\overline{MBL}$ 和開關 25_2 連接到感測放大器，例如，為了要存取在行 C2 中耦合到子陣列 MA_b 之 LBL_1 的記憶體單胞，活化該單胞之字元線，關閉在 SA_2 兩側之開關 25_1 ，且打開在 SA_2 兩側之開關 25_2 ，另一開關條件為存取耦合到 LBL_2 或 $\overline{LBL}_2$ 之單胞，相較於前述之摺疊式位元線架構， LBL_1 和 $\overline{LBL}_1$ 之長度 L_1 比 LBL_2 和 $\overline{LBL}_2$ 之長度 L_2 長，以增加記憶體的資料記憶時間，除了省略多工開關和只需一等效電路外，該感測放大器電路和上述第 5 圖之電路相類似。

相較於上述參考第 6 圖說明之摺疊式位元線實施例，第 7 圖之開放式位元線組態可以藉由在感測放大器各側採用每個主位元線有多於 2 的區域位元線修正，如每個 MBL 有 4 個 LBLs。

本發明也可以應用到具有使用參考單胞，如快閃式 RAM，之感測放大器的記憶體單胞陣列，在此情形下，位元線不會排列在真和互補線對中，然而，在感測放大器中

五、發明說明 (13)

之參考單胞有提供會以別的方式提供之互補線（當存取耦合到真位元線之單胞時），或以別的方式提供之真位元線（當存取耦合到互補位元線之單胞時）的等效（參考）電壓，因此，對於此種情形，除了在共感測放大器另一側之MBLs和LBLs不會成對工作，而是獨立交替工作以外，基本上，記憶體陣列同於第7圖所示，此外，對於採用之參考單胞的設計，是在感測放大器電路中使用多工開關，以選擇在記憶體單胞存取時是感測放大器的左側或右側，如上述摺疊式或開放式位元線組態之情形，對於採用參考單胞之記憶體而言，耦合到任何給定之感測放大器的區域位元線，其長度唯一，即遠側區域位元線會較近側區域位元線短，以改善資料記憶時間。

當在上述之實施例中說明本發明可以應用以混合型分層架構時，本發明也可以用在類似第1圖所示之非混合型分層架構，再以參考第1圖，圖示之習知組態可以根據採用不同長度之區域位元線 LBL_4 ， $\overline{LBL}_4$ 之本發明作修正，其中該區域位元線 LBL_4 ， $\overline{LBL}_4$ 比起其他的區域位元線，其離感測放大器最遠，因為在行中之主位元線MBL不會直接在 LBL_4 之上行進，所以最後的區域位元線 LBL_4 ，較之相同行中的其他區域位元線，其具有不同的單位長度位元線電容，因此，藉由改變 LBL_4 的長度，關於耦合到 LBL_4 之記憶體單胞的總電容實際上可以等於其他的記憶體單胞，因而可以改善所有記憶體的記憶時間。

五、發明說明(14)

由前文，本發明揭露一種新的半導體記憶體分層位元線架構，較之習知技術，其可以改善資料記憶時間，如此之改善係經由使用單一長度之區域位元線，對於所有的記憶體單胞，可以提供更均勻的總位元線電容，前面之說明含有許多特定的內容，這些特定的內容並不應限制本發明之範圍，其只是優選實施範例而已，那些技術中的技巧將可以想像許多其他可能的變化例，而這些變化例會在由附錄申請專利範圍所定義之本發明的範圍和精神中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具有分層位元線架構與非均勻局部
位元線之半導體記憶體)

本發明揭示一種具有分層位元線架構之半導體記憶體，其包含在較低製造層上耦合到記憶體單胞(MC)之區域位元線(LBL₁, LBL₂)，及在較高製造層上各自耦合到相關感測放大器(SA_i)之主位元線(MBL)，排列在任何給定行中之區域位元線耦合到不同數之記憶體單胞，即在記憶體單胞之上，區域位元線具有不同的長(L₁, L₂)，一種採用之較佳的混合型組態為一在行中之區域位元線(LBL₁)經由開關(25₁)直接耦合到相關的感測放大器，而在行中其他的區域位元線(LBL₂-LBL₄)則是經由主位元線耦合到感測放大器，選擇不同的區域位元線長度係要使得對於任何記憶體單胞，總位元線電容基本上相等，因此可以改善記憶體的資料記憶時間。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要 (發明之名稱: SEMICONDUCTOR MEMORY HAVING HIERARCHICAL)
BIT LINE ARCHITECTURE WITH NON-UNIFORM
LOCAL BIT LINES

Disclosed is a semiconductor memory (18, 20, 100, 200) having a hierarchical bit line architecture including local bit lines (LBL_1, LBL_2) on a lower fabrication layer, coupled to memory cells (MC), and master bit lines (MBL) on a higher fabrication layer, each coupled to an associated sense amplifier (SA_i). Local bit lines disposed in any given column are coupled to different numbers of memory cells, i.e., the local bit lines have different lengths (L_1, L_2) over the memory cells. A hybrid configuration is preferably employed in which one local bit line (LBL_1) in a column is directly coupled via a switch (25_1) to an associated sense amplifier, whereas the other local bit lines in the column (LBL_2-LBL_4) are operatively coupled to the sense amplifier via the master bit line. The different local bit line lengths are preferably selected such that total bit line capacitance with respect to any of the memory cells is substantially equalized, thereby improving data retention time for the memory.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種具有許多列和行之半導體記憶體，包含：

在各行中至少有一感測放大器；

一耦合到該感測放大器之主位元線；

許多排列在各行中之區域位元線，對於經由該主位元線選擇性耦合到該感測放大器之至少其中之一區域位元線，其耦合到記憶體單胞，且與行中之該主位元線垂直相間，及選擇性耦合到該感測放大器；

其中該區域位元線當中的第一個和第二個區域位元線係耦合到不同之該記憶體單胞。

2. 如申請專利範圍第1項之半導體記憶體，其中各行之區域位元線包含一經由第一開關選擇性直接耦合到感測放大器之近側區域位元線，及一經由主位元線和第二開關選擇性耦合到感測放大器之遠側區域位元線；

其中該近側區域位元線和該遠側區域位元線係耦合到不同的記憶體單胞，且在各個記憶體單胞上之行方向，其長度不同於該遠側區域位元線之長度。

3. 如申請專利範圍第2項之半導體記憶體，其中近側區域位元線比遠側區域位元線耦合更多的記憶體單胞，目在每個記憶體單胞上之行方向，其長度比遠側區域位元線更長。

4. 如申請專利範圍第2項之半導體記憶體，其中各行中的許多區域位元線包含一近側區域位元線和一遠側區域位元線，其各自耦合到在某側之相關感測放大器。

5. 如申請專利範圍第2項之半導體記憶體，其中該第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

開關係耦合在至少一部分之主位元線和感測放大器之間。

6. 如申請專利範圍第1項之半導體記憶體，其中各感測放大器係排列在一分配組態中。
7. 如申請專利範圍第1項之半導體記憶體，其中各行包含一耦合到至少一真區域位元線之真主位元線，和一耦合到至少一互補區域位元線之互補主位元線。
8. 如申請專利範圍第7項之半導體記憶體，其中真和互補主和區域位元線係排列在摺疊式位元線組態中。
9. 如申請專利範圍第7項之半導體記憶體，其中真和互補主和區域位元線係排列在開放式位元線組態中。
10. 如申請專利範圍第1項之半導體記憶體，其中該選擇性記憶體單胞之不同數量會使得對於所有記憶體中的記憶體單胞，其總位元線電容基本上都相等。
11. 如申請專利範圍第1項之半導體記憶體，其中各行包含一經由第一開關選擇性直接耦合到感測放大器之近側區域位元線，及許多經由主位元線和許多額外開關選擇性耦合到感測放大器之遠側區域位元線。
12. 如申請專利範圍第11項之半導體記憶體，其中該許多的額外開關包含一耦合在該主位元線和該感測放大器之間的第二開關，及許多各自耦合在相關遠側區域位元線和該主位元線之間的區域位元線開關。
13. 一種具有許多列和行之半導體記憶體，包含：
在各行中至少一感測放大器；

六、申請專利範圍

一 耦合到該感測放大器之主位元線；

許多排列在各行中各自耦合到記憶體單胞，與行之主位元線垂直相關，且選擇性耦合到該感測放大器之區域位元線，該許多的區域位元線包含一經由耦合在其間之第一開關，選擇性耦合到感測放大器之近側區域位元線，及至少一經由主位元線和耦合在主位元線和感測放大器之間的第二開關，選擇性耦合到感測放大器之遠側區域位元線；

其中該近側區域位元線較之任何該至少一個的遠側區域位元線，耦合到較多的記憶體單胞。

14. 如申請專利範圍第13項之半導體記憶體，其中該至少一個的感測放大器係排列在其各側之記憶體單胞子陣列間的分配式組態中，而對於在其各側之主位元線對和許多區域位元線對則排列在摺疊式組態中。
15. 如申請專利範圍第13項之半導體記憶體，其中至少一個的感測放大器係排列在其各側之記憶體單胞子陣列間的分配式組態中，而對於在其各側之主和區域位元線則排列在開放式位元線組態中。
16. 如申請專利範圍第13項之半導體記憶體，其中該各主位元線係直接耦合到單一遠側區域位元線。
17. 如申請專利範圍第13項之半導體記憶體，其中該較多的記憶體單胞之選擇，會使得對於記憶體中所有的記憶體單胞而言，總位元線電容基本上相等。
18. 一種具有許多列和行之半導體記憶體，包含：

六、申請專利範圍

在各行中至少一感測放大器；

一耦合到該感測放大器之主位元線；

許多排列在各行中各自耦合到記憶體單胞，與行之主位元線垂直相關，且選擇性耦合到該感測放大器之區域位元線，該許多的區域位元線包含一經由耦合在其間之第一開關，選擇性耦合到感測放大器之近側區域位元線，及許多各自經由主位元線和許多額外開關選擇性耦合到感測放大器之遠側區域位元線；

該許多的額外開關包含一耦合在主位元線和感測放大器之間的第二開關，和一耦合在各遠側區域位元線和主位元線之間的區域位元線；

其中該近側區域位元線較之各個該遠側區域位元線，耦合到較多的記憶體單胞。

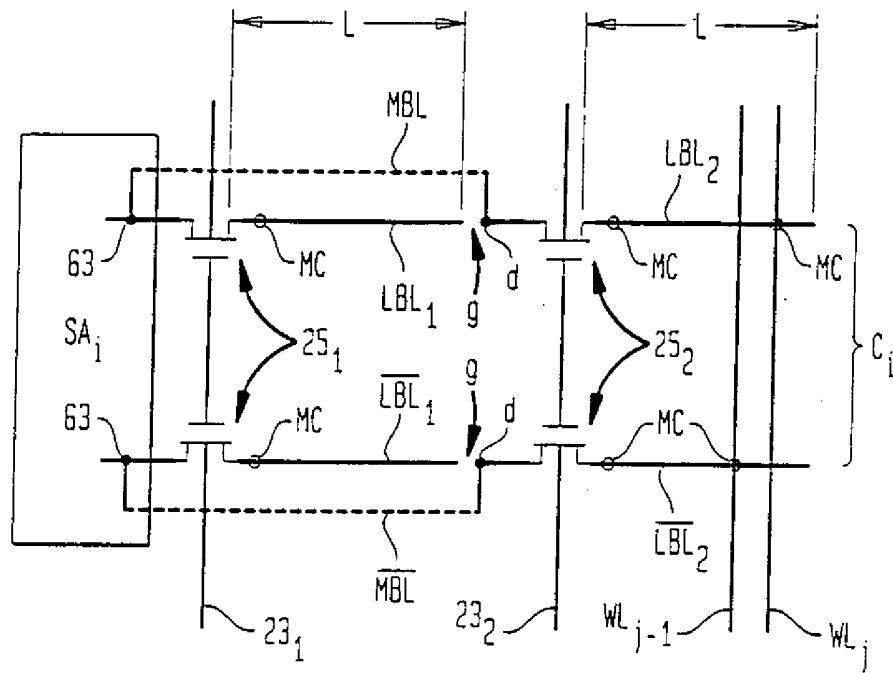
19. 如申請專利範圍第18項之半導體記憶體，其中選擇該較多的記憶體單胞，會使得對於記憶體中所有的記憶體單胞，總位元線電容基本上相等。

20. 如申請專利範圍第18項之半導體記憶體，其中包含排列在開放式或摺疊式位元線組態其中之一的主和區域位元線。

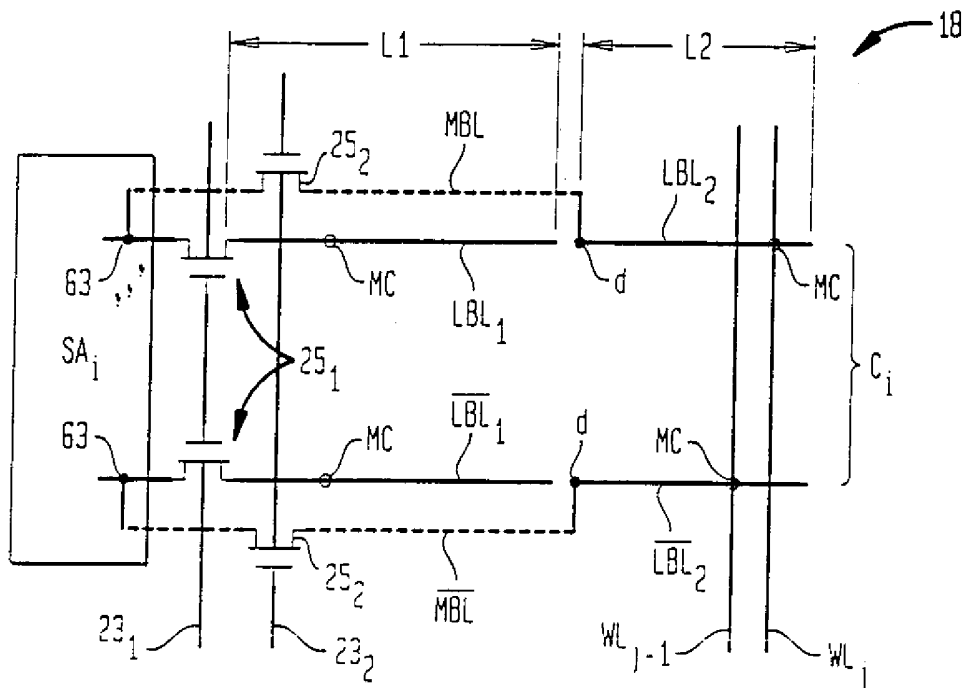
21. 一種具有許多列和行之半導體記憶體，該記憶體包含：

在行之中的主位元線，該主位元線包含許多排列在其中之區域位元線，其中，許多區域位元線至少有二區域位元線的長度不同。

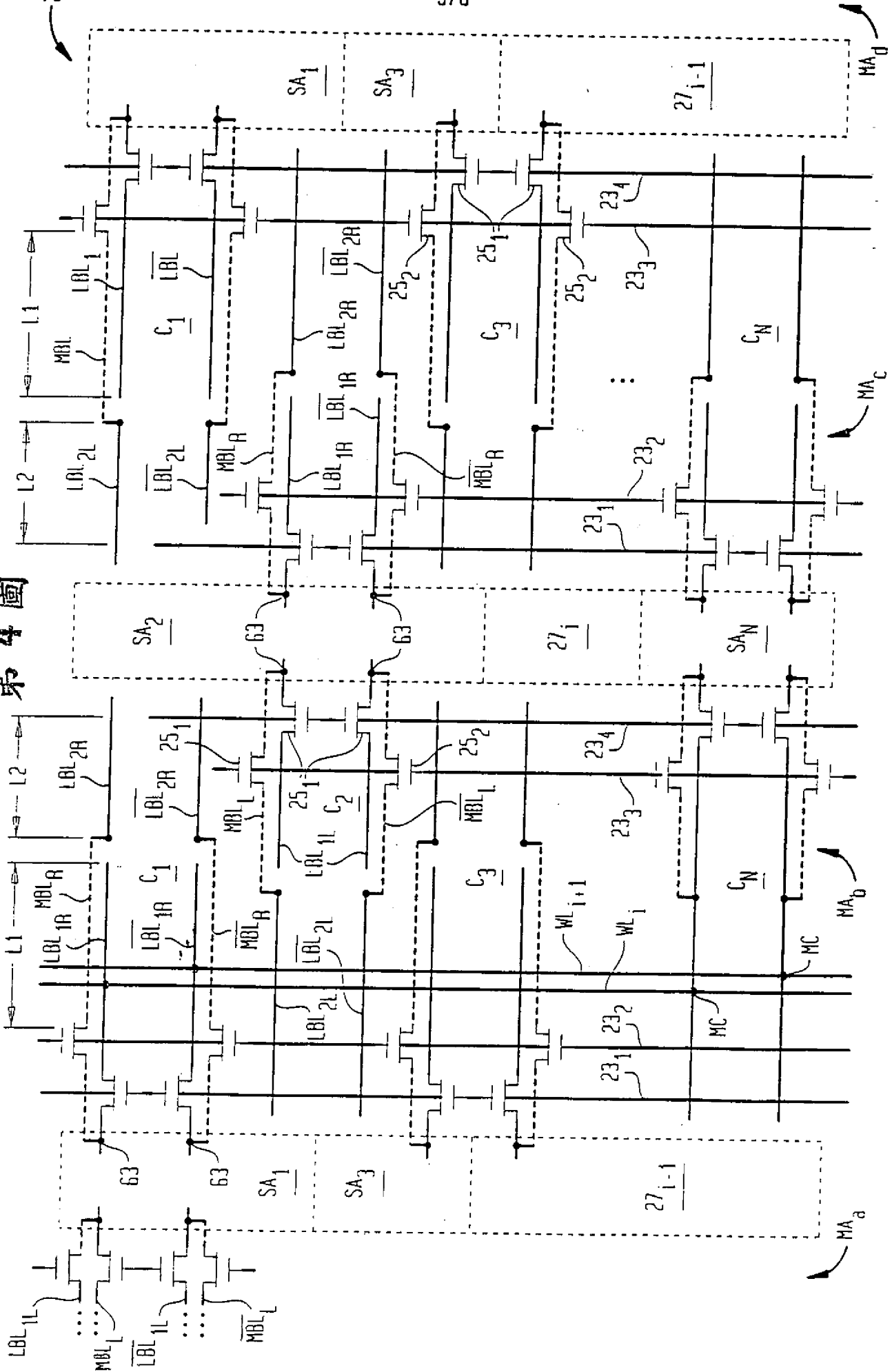
第 2 圖



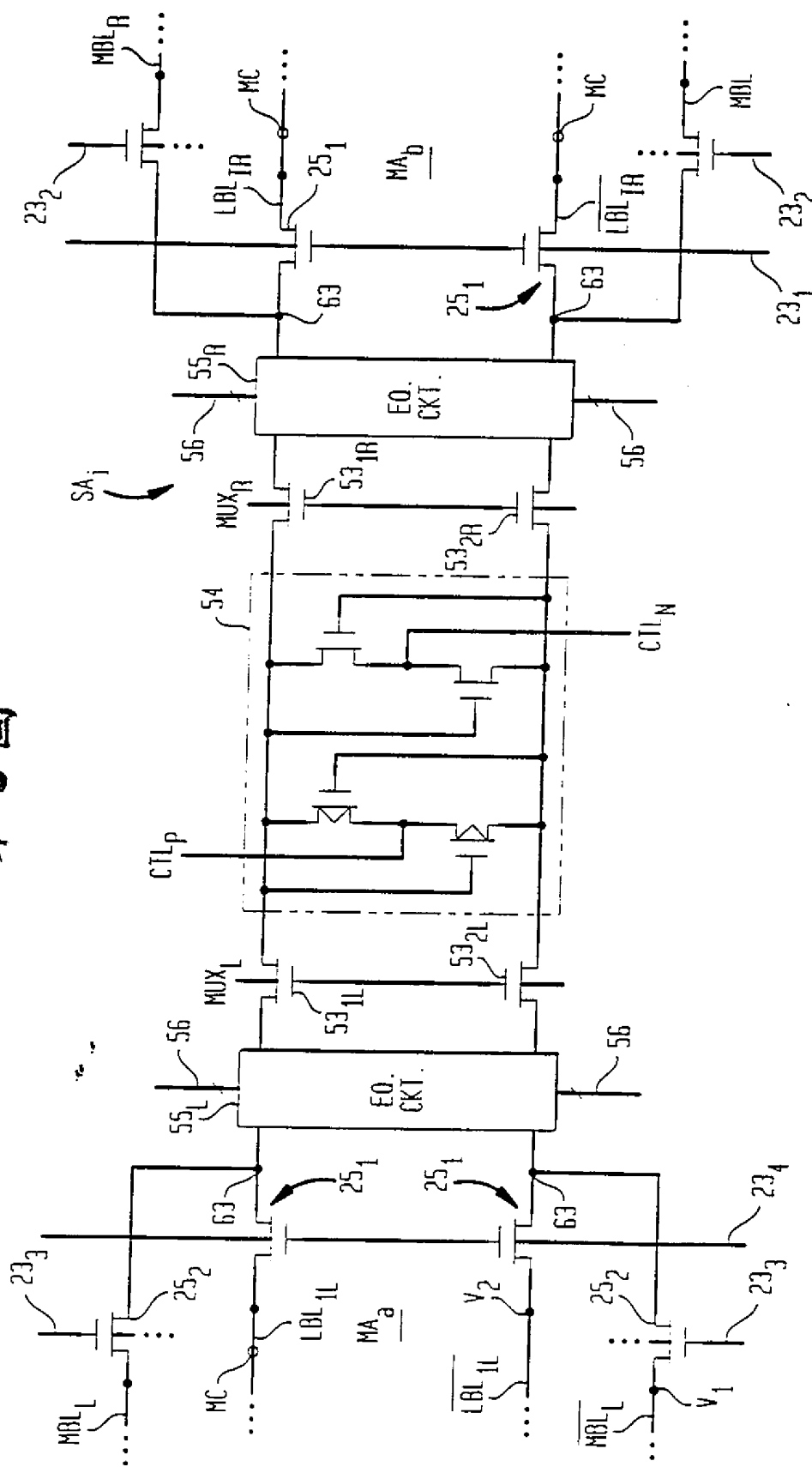
第 3 圖



第4圖



第5圖



第7圖

