



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I521516 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：100125625

(22)申請日：中華民國 100 (2011) 年 07 月 20 日

(51)Int. Cl. : G11C16/06 (2006.01)

H01L27/105 (2006.01)

(30)優先權：2010/07/27 日本

2010-167836

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；松崎隆德 MATSUZAKI, TAKANORI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6466474B1

US 2002/0034114A1

US 2005/0073871A1

US 2005/0146921A1

US 2005/0157533A1

US 2006/0164876A1

審查人員：賴炳成

申請專利範圍項數：11 項 圖式數：11 共 104 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

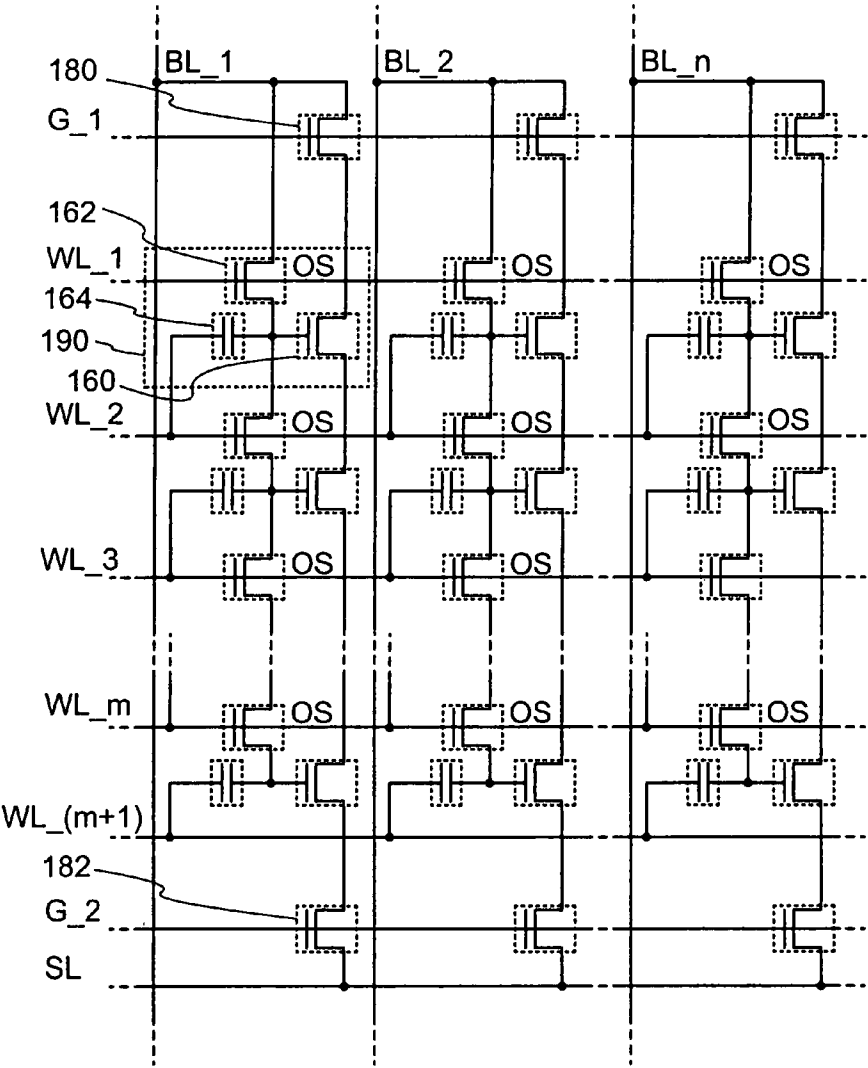
(57)摘要

半導體裝置包含其中電晶體的截止狀態電流可透過其而成為足夠小之材料；例如，可使用氧化物半導體材料。進一步地，包含氧化物半導體材料之半導體裝置的記憶體胞格之電晶體係串聯連接。此外，相同的佈線(第 j 字線(j 係大於或等於 2 且小於或等於 m))係使用做為電性連接至第 j 記憶體胞格之電容器的端子之其中一者的佈線，及電性連接至第 $(j-1)$ 記憶體胞格的電晶體之閘極端子的佈線，其中通道係形成於氧化物半導體層中。因此，可降低每一記憶體胞格之佈線的數目以及由一記憶體胞格所占有的面積。

A semiconductor device includes a material with which off-state current of a transistor can be sufficiently small; for example, an oxide semiconductor material is used. Further, transistors of memory cells of the semiconductor device, which include an oxide semiconductor material, are connected in series. Further, the same wiring (the j -th word line (j is a natural number greater than or equal to 2 and less than or equal to m)) is used as a wiring electrically connected to one of terminals of a capacitor of the j -th memory cell and a wiring electrically connected to a gate terminal of a transistor, in which a channel is formed in an oxide semiconductor layer, of the $(j-1)$ -th memory cell. Therefore, the number of wirings per memory cell and the area occupied by one memory cell are reduced.

指定代表圖：

第2圖



符號簡單說明：

160，162 . . . 電晶體

164 . . . 電容器

180，182 . . . 選擇電晶體

190 . . . 記憶體胞格

WL . . . 字線

BL . . . 位元線

SL . . . 源極線

G_1，G_2 . . . 選擇線

OS . . . 電晶體包含氧化物半導體材料

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100125625

※申請日：100 年 07 月 20 日

※IPC 分類：G11C 16/06 (2006.01)

H01L 27/105 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

半導體裝置包含其中電晶體的截止狀態電流可透過其而成為足夠小之材料；例如，可使用氧化物半導體材料。進一步地，包含氧化物半導體材料之半導體裝置的記憶體胞格之電晶體係串聯連接。此外，相同的佈線（第 j 字線（ j 係大於或等於 2 且小於或等於 m ））係使用做為電性連接至第 j 記憶體胞格之電容器的端子之其中一者的佈線，及電性連接至第 $(j-1)$ 記憶體胞格的電晶體之閘極端子的佈線，其中通道係形成於氧化物半導體層中。因此，可降低每一記憶體胞格之佈線的數目以及由一記憶體胞格所占有的面積。

三、英文發明摘要：

A semiconductor device includes a material with which off-state current of a transistor can be sufficiently small; for example, an oxide semiconductor material is used. Further, transistors of memory cells of the semiconductor device, which include an oxide semiconductor material, are connected in series. Further, the same wiring (the j -th word line (j is a natural number greater than or equal to 2 and less than or equal to m)) is used as a wiring electrically connected to one of terminals of a capacitor of the j -th memory cell and a wiring electrically connected to a gate terminal of a transistor, in which a channel is formed in an oxide semiconductor layer, of the $(j-1)$ -th memory cell. Therefore, the number of wirings per memory cell and the area occupied by one memory cell are reduced.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

160，162：電晶體

164：電容器

180，182：選擇電晶體

190：記憶體胞格

WL：字線

BL：位元線

SL：源極線

G_1，G_2：選擇線

OS：電晶體包含氧化物半導體材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

在此所揭示之本發明有關使用半導體元件的半導體裝置。

【先前技術】

使用半導體元件的儲存裝置係概括地分類成二類：揮發性裝置，其係在當電力供應停止時失去所儲存之資料；以及非揮發性裝置，其可保持所儲存之資料，即使在當未供應電力時亦然。

揮發性記憶體裝置的典型實例係動態隨機存取記憶體（DRAM）。DRAM係以此方式而儲存資料，亦即，選擇儲存元件中所包含的電晶體以及將電荷累積於電容器中之方式。

在DRAM中，當自儲存元件讀取資料時，電荷會漏洩自儲存元件的電容器；因此，在從儲存元件讀取資料之後，通常需將資料再寫入至儲存元件。由於儲存元件之電晶體的截止狀態電流（當電晶體關閉時，流過該電晶體之源極和汲極的漏電流）或其類似者，即使在當並未選擇電晶體時，電荷亦會從電容器流出／亦會流動於電容器中。針對該理由，寫入資料至儲存元件的操作（再新操作）需以預定之時隔而被執行，且不容易充分地降低DRAM的功率消耗。再者，因為當對於DRAM之電力供應停止時，會失去儲存之資料，所以爲了要長時間地保持資料，使用磁性

材料或光學材料之額外的儲存裝置係必要的。

除了 DRAM 外之揮發性記憶體裝置的實例係靜態隨機存取記憶體 (SRAM)。SRAM 係藉由諸如正反器之電路而保持儲存的資料，且因此，並不需要再新操作。在該方面，SRAM 具有勝過 DRAM 之優點。惟，在 SRAM 中，因為係使用諸如正反器之電路，所以每一儲存容量的成本會增加。此外，在 SRAM 中，如在 DRAM 中一樣地，當未供應電力時，會失去所儲存之資料。

非揮發性記憶體裝置的典型實例係快閃記憶體。做為儲存元件，快閃記憶體包含其中浮動閘極係設置於閘極電極與通道形成區之間的電晶體（在下文中，稱作浮動閘極電晶體）。快閃記憶體的儲存元件係藉由保持電荷於浮動閘極之中，而儲存資料。因此，其中資料保持週期係十分長（半永久的），且揮發性記憶體裝置所需的再新操作並非必要之快閃記憶體係有利的（例如，請參閱專利文獻 1）。

然而，包含於儲存元件中之浮動閘極電晶體的閘極絕緣層將因為在寫入資料時所產生之隧道電流而劣化。因此，以下問題會發生：在將資料寫入至儲存元件預定次數之後，該儲存元件將因為劣化而不工作。為要減輕此問題，例如，可使用其中在快閃記憶體中所包含的複數個儲存元件中之資料寫入操作的次數係相等之方法，但需要複雜的周邊電路以實現此方法。進一步地，即使使用該方法，亦未解決該儲存元件之短的壽命之基本問題。換言之，快

閃記憶體並不適用於其中資料係頻繁地再寫入的應用。

此外，爲了要保持電荷於浮動閘極中或要去除浮動閘極中所保持的電荷，浮動閘極電晶體需要高壓。除了浮動閘極電晶體之外，適用於使用高壓之電路亦係必要的。再者，浮動閘極電晶體需要相對長的時間以供保持電荷於浮動閘極中，或自浮動閘極而去除電荷之用。因此，亦具有其中不容易高速地寫入及拭除資料的問題。

[參考文件]

[專利文獻1]日本公開專利申請案第S57-105889號

【發明內容】

鑑於上述問題，本發明之目的在於提供一種具有新穎性結構之半導體裝置，其中當不供應電力時，亦可保持所儲存之資料，且在寫入資料的次數上，並無限制。進一步地，另一目的在於增加具有新穎性結構之該半導體裝置的集積度以及增加每一單位面積的儲存容量。

在本發明之實施例中，包含於半導體裝置中之每一個記憶體胞格包含電容器及電晶體，而該電晶體具有小的截止狀態電流（在關閉狀態中之電晶體的源極與汲極間之漏電流）。具有小的截止狀態電流之電晶體可係包含氧化物半導體材料之電晶體，而該氧化物半導體材料係寬能隙之半導體。注意的是，包含氧化物半導體材料的電晶體係其中通道係形成於包含氧化物半導體材料的層（氧化物半導

體層) 之中的電晶體。

在此所揭示之本發明的實施例中，包含於半導體裝置中之記憶體胞格包含電容器及包括氧化物半導體材料的電晶體。在複數個鄰接的記憶體胞格中，電晶體（包括氧化物半導體材料之電晶體）係串聯地電性連接。因此，包括氧化物半導體材料且係包含於記憶體胞格中之電晶體的源極電極，及包括氧化物半導體材料且係包含於記憶體胞格中之鄰接電晶體的汲極電極可彼此互相接觸，或該電晶體的源極電極可作用成為該鄰接電晶體的汲極電極。

也就是說，半導體裝置包含二鄰接的記憶體胞格，而包括氧化物半導體材料且係包含於該二記憶體胞格的其中一者中之電晶體，及包括氧化物半導體材料且係包含於該二記憶體胞格的另一者中之電晶體係串聯連接。包括氧化物半導體材料且係包含於該等記憶體胞格的其中一者中之電晶體的源極電極係與包括氧化物半導體材料且係包含於該等記憶體胞格的另一者中之電晶體的汲極電極接觸，或一記憶體胞格之電晶體的源極電極可作用成為鄰接的記憶體胞格之電晶體的汲極電極。

在此所揭示之本發明的實施例係一種半導體裝置，包含源極線、位元線、 $(m+1)$ 個字線（ m 係大於或等於 2 的自然數）、選擇線、第一至第 m 記憶體胞格、及選擇電晶體，而第一至第 m 記憶體胞格係串聯連接於源極線與位元線之間，且選擇電晶體的閘極端子係電性連接至選擇線。第一至第 m 記憶體胞格各自包含：第一電晶體，包括第一

閘極端子、第一源極端子、及第一汲極端子；第二電晶體，包括第二閘極端子、第二源極端子、及第二汲極端子；以及電容器。第二電晶體包含氧化物半導體層。第二電晶體的通道係形成氧化物半導體層中。源極線係透過選擇電晶體而電性連接至第 m 記憶體胞格的第一源極端子。位元線係電性連接至第一記憶體胞格的第二汲極端子及第一記憶體胞格的第一汲極端子。第 k 字線（ k 係大於或等於 1 且小於或等於 m 的自然數）係電性連接至第 k 記憶體胞格的第二閘極端子。第 $(k+1)$ 字線係電性連接至第 k 記憶體胞格的電容器之端子的其中一者。第 j 記憶體胞格（ j 係大於或等於 2 且小於或等於 m 的自然數）的第二汲極端子係電性連接至 $(j-1)$ 記憶體胞格的第一閘極端子，第 $(j-1)$ 記憶體胞格的第二源極端子，及第 $(j-1)$ 記憶體胞格的電容器之端子的另一者。第 m 記憶體胞格的第一閘極端子，第 m 記憶體胞格的第二源極端子，及第 m 記憶體胞格的電容器之端子的另一者係彼此相互電性連接。第 j 記憶體胞格的第一汲極端子係電性連接至第 $(j-1)$ 記憶體胞格的第一源極端子。

在此所揭示之本發明的另一實施例係一種半導體裝置，包含源極線、位元線、 $(m+1)$ 個字線（ m 係大於或等於 2 的自然數）、第一選擇線、第二選擇線、第一至第 m 記憶體胞格、第一選擇電晶體、及第二選擇電晶體，而第一至第 m 記憶體胞格係串聯連接於源極線與位元線之間，且第一選擇電晶體的閘極端子係電性連接至第一選擇線，以

及第二電晶體的閘極端子係電性連接至第二選擇線。第一至第 m 記憶體胞格各自包含：第一電晶體，包括第一閘極端子、第一源極端子、及第一汲極端子；第二電晶體，包括第二閘極端子、第二源極端子、及第二汲極端子；以及電容器。第二電晶體包含氧化物半導體層。第二電晶體的通道係形成於氧化物半導體層中。源極線係透過第二選擇電晶體而電性連接至第 m 記憶體胞格的第一源極端子。位元線係電性連接至第一記憶體胞格的第二汲極端子，且透過第一選擇電晶體而電性連接至第一記憶體胞格的第一汲極端子。第 k 字線（ k 係大於或等於1且小於或等於 m 的自然數）係電性連接至第 k 記憶體胞格的第二閘極端子，以及第 $(k+1)$ 字線係電性連接至第 k 記憶體胞格的電容器之端子的其中之一者。第 j 記憶體胞格（ j 係大於或等於2且小於或等於 m 的自然數）的第二汲極端子係電性連接至第 $(j-1)$ 記憶體胞格的第一閘極端子，第 $(j-1)$ 記憶體胞格的第二源極端子，及第 $(j-1)$ 記憶體胞格的電容器之端子的另一者。第 m 記憶體胞格的第一閘極端子，第 m 記憶體胞格的第二源極端子，及第 m 記憶體胞格的電容器之端子的另一者係彼此相互電性連接。第 j 記憶體胞格的第一汲極端子係電性連接至第 $(j-1)$ 記憶體胞格的第一源極端子。

第一電晶體可係包含除了氧化物半導體外之材料的電晶體。做為實例，第一電晶體包含：通道形成區，係設置在包括除了氧化物半導體外之半導體材料的基板中；雜質區之對，通道形成區係介於其間；第一閘極絕緣層，係設

置在通道形成區之上；以及第一閘極電極，係與通道形成區重疊且設置在第一閘極絕緣層上。做為另一實例，第一電晶體係設置於絕緣表面上，且包含：通道形成區，係設置在包括除了氧化物半導體外之半導體材料的半導體層中；雜質區之對，通道形成區係介於其間；第一閘極絕緣層，係與通道形成區重疊；以及第一閘極電極，係設置成為與通道形成區重疊，而第一閘極絕緣層介於其間。在此，雜質區之對的其中一者係源極，以及另一者係汲極。注意的是，雜質區之對的其中一者可係第一源極電極，以及另一者可係第一汲極電極；且選擇性地，電性連接至該對雜質區的其中一者之電極可係第一源極電極，以及電性連接至另一者之電極可係第一汲極電極。第一閘極電極係該電晶體的第一閘極端子，第一源極電極係該電晶體的第一源極端子，以及第一汲極電極係該電晶體的第一汲極端子。

第二電晶體包含：第二源極電極及第二汲極電極，係電性連接至氧化物半導體層；第二閘極絕緣層；以及第二閘極電極，係設置成為與氧化物半導體層重疊，而第二閘極絕緣層介於其間。第二閘極電極係該電晶體的第二閘極端子第二源極電極係該電晶體的第二源極端子，以及第二汲極電極係第二汲極端子。

注意的是，第 j 記憶體胞格的第二汲極電極及第 $(j-1)$ 記憶體胞格的第二源極電極可使用一導電層而形成。選擇性地，第 j 記憶體胞格的第二汲極電極、第 $(j-1)$ 記憶體胞格的第二源極電極、及第 $(j-1)$ 記憶體胞格的電容器

之端子的另一者可使用一導電層而形成。選擇性地，第 j 記憶體胞格的第二汲極電極、第 $(j-1)$ 記憶體胞格的第二源極電極、第 $(j-1)$ 記憶體胞格的電容器之端子的另一者、及第 $(j-1)$ 記憶體胞格的第一閘極電極可使用一導電層而形成。也就是說，第 j 記憶體胞格的第二汲極電極、第 $(j-1)$ 記憶體胞格的第二源極電極、第 $(j-1)$ 記憶體胞格的電容器之端子的另一者、及第 $(j-1)$ 記憶體胞格的第一閘極電極之所有者或若干者可使用一導電層而形成。

注意的是，包含半導體材料的基板較佳地係單晶半導體基板或 SOI 基板。較佳的是，半導體材料係矽。氧化物半導體層較佳地包括包含 In, Ga, 及 Zn 的氧化物半導體材料。

注意的是，在上述說明中，可使用諸如例如碳化矽之寬能隙材料的材料（具體而言，能隙 E_g 係大於 3 eV 的半導體材料）以取代氧化物半導體材料，而可實現等效於氧化物半導體材料的截止狀態電流特徵之該等特徵。

注意的是，在此說明書及其類似物之中，諸如“在...之上或在...之下”的用語無需一定要意指組件係直接在另一組件之上或直接在另一組件之下。例如，“閘極電極在閘極絕緣層之上”可意指其中在閘極絕緣層與閘極電極之間具有額外的組件之情況。

此外，在此說明書及其類似物之中，諸如“電極”或“佈線”的用語並未限制組件的功能。例如，“電極”係有時使用做為“佈線”的一部分，且反之亦然。再者，“電極”或

“佈線”的用語包含其中複數個“電極”或“佈線”係以集積之方式而形成的情況。

例如，當使用相反極性的電晶體時，或當電流流動的方向係依據電路操作而改變時，則“源極”及“汲極”的功能有時係彼此互相置換的。因此，在此說明書中，“源極”及“汲極”的用語可分別使用以表示汲極及源極。

注意的是，在此說明書及其類似物之中，“電性連接”的用語包含其中組件係透過具有任何電功能之物體而連接的情況。在具有任何電功能的物體上並無特殊的限制，只要電信號可在透過該物體所連接的組件之間被傳送及接收即可。“具有任何電功能的物體”係諸如電晶體之開關元件，電阻器，電感器，電容器，以及與電極及佈線一樣之具備各式各樣功能的元件。

其中通道係形成於氧化物半導體層之中的電晶體具有極小的截止狀態電流。因此，藉由使用該電晶體以供每一個記憶體胞格之用，可在其中並未選擇電晶體的情況中，降低自電容器而流出的電荷／降低流至電容器的電荷。因而，半導體裝置可將所儲存之資料保持極長的時間。換言之，該半導體裝置並不需要再新操作，或僅需極低次數的再新操作。因此，可充分地降低半導體裝置的功率消耗。進一步地，即使在其中電力並未被供應至半導體裝置的情況中，該半導體裝置亦可長時間地保持所儲存之資料（注意的是，所供應至半導體裝置之電位不會在其中供應電力的情況與其中不供應電力的情況之間變化，係較佳的）。

進一步地，在依據此處所揭示之本發明實施例的半導體裝置中，因為並不需要高壓來寫入資料至每一個記憶體胞格，所以包含於半導體裝置之中的元件幾乎不會劣化。例如，在習知之快閃記憶體的情況中，因為必須施加高壓至半導體裝置中所包含之浮動閘極電晶體或其類似物的元件，以便注入電子至浮動閘極／自浮動閘極而抽出電子，所以具有電晶體之閘極絕緣層劣化的問題。另一方面，在依據此處所揭示之本發明實施例的半導體裝置中，與習知之快閃記憶體不一樣地，因為無需施加高壓至半導體裝置中所包含之諸如電晶體或其類似物的元件，所以電晶體之閘極絕緣層幾乎不會劣化。也就是說，在習知非揮發性記憶體裝置之問題的重寫入次數上，依據此處所揭示之本發明實施例的半導體裝置並不具有限制，且其可靠度可被急劇地增進。此外，因為資料係藉由控制半導體裝置中所包含的電晶體之開啓／關閉而寫入至每一個記憶體胞格，所以依據此處所揭示之本發明實施例的半導體裝置之高速操作可易於實現。

進一步地，包含除了氧化物半導體外之材料的電晶體（例如，其中通道形成於矽基板或矽層之中的電晶體）可以比包含氧化物半導體材料的電晶體（其中通道係形成於氧化物半導體層之中的電晶體）更高速度地操作。因此，可藉由使用包含除了氧化物半導體外之材料的電晶體與包含氧化物半導體材料的電晶體之組合，而高速地執行半導體裝置的操作。再者，包含除了氧化物半導體外之材料的

電晶體可較佳地實現需要高速操作之電路（例如，邏輯電路及驅動器電路）於半導體裝置中。

因此，具有新穎之特性的半導體裝置可藉由提供包含除了氧化物半導體外之材料的電晶體（且更廣泛地，能以足夠高之速度而操作的電晶體）與包含氧化物半導體材料的電晶體（且更廣泛地，截止狀態電流係充分小的電晶體）二者，而予以實現。

進一步地，在依據此處所揭示之本發明實施例的半導體裝置中，藉由串聯連接包含氧化物半導體材料且包含於半導體裝置之記憶體胞格中的電晶體，則包含氧化物半導體材料且包含於記憶體胞格中的電晶體之源極電極與包含氧化物半導體材料且包含於記憶體胞格中之鄰接的電晶體之汲極電極可彼此相互接觸，或該電晶體之源極電極可作用成為鄰接的電晶體之汲極電極。在此，於其中包含氧化物半導體材料且包含於記憶體胞格中之電晶體並未串聯地電性連接的情況中，需提供開口於層間絕緣膜或其類似物中，以便使電晶體之源極電極及汲極電極的其中一者可連接至設置在其中並未設置有源極電極及汲極電極的其中一者的層之中的佈線。因此，需要大的面積以供記憶體胞格中的佈線連接之用。相反地，例如在依據此處所揭示之本發明實施例的半導體裝置中，包含氧化物半導體材料且包含於鄰接記憶體胞格中的電晶體係串聯地電性連接，以致使包含氧化物半導體材料且包含於記憶體胞格中的電晶體之源極電極與包含氧化物半導體材料且包含於記憶體胞格

中之鄰接的電晶體之汲極電極可彼此相互接觸，或該電晶體之源極電極可作用成爲鄰接的電晶體之汲極電極；因此，可降低由一記憶體胞格所占有的面積。因而，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

此外，依據在此所揭示之本發明實施例的半導體裝置具有其中第 k 字線（ k 係大於或等於 1 且小於或等於 m 的自然數）係電性連接至第 k 記憶體胞格的第二閘極端子，且第 $(k+1)$ 字線係電性連接至第 k 記憶體胞格的電容器之端子的其中一者之結構。因此，一佈線，亦即，同一佈線（第 j 字線）（ j 係大於或等於 2 且小於或等於 m 的自然數）作用成爲電性連接至第 $(j-1)$ 記憶體胞格的電容器之端子的其中一者之佈線，及電性連接至第 j 記憶體胞格的第二閘極端子之佈線二者。因而，可降低每一記憶體胞格的佈線之數目，以及由一記憶體胞格所占有之面積。以此方式，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

【實施方式】

將參照圖式來敘述此處所揭示之本發明實施例的實例於下文。注意的是，本發明並未受限於以下的說明，且熟習於本項技藝之該等人士將易於瞭解的是，各式各樣的改變及修正可予以完成，而不會背離本發明的精神及範疇。因此，本發明不應被解讀成爲受限於以下實施例之中的說明。

注意的是，為易於瞭解之緣故，在某些情況中，於圖式及類似物之中所描繪的每一個結構之位置、尺寸、範圍、或其類似者並未被準確地顯現。因此，在此所揭示之發明無需一定要受限於如圖式及類似物中所揭示的位置、尺寸、範圍、或其類似者。

在此說明書及其類似物之，諸如“第一”、“第二”、第“第三”之順序號碼係使用以避免組件之中的混淆，且該等用語並未數字地限制該等組件。

[實施例 1]

在此實施例中，將參照第 1A 及 1B 圖、第 2 圖、及第 3 圖來敘述依據在此所揭示之本發明實施例的半導體裝置之電路組態及操作。注意的是，為了要指示電晶體包含氧化物半導體材料，“OS”係寫在電晶體旁。

< 基本電路 >

首先，將參照第 1A 及 1B 圖來敘述基本電路組態及電路操作。第 1A 圖係描繪半導體裝置的記憶體胞格之基本電路組態的電路圖。在第 1A 圖中的電路圖之中，第一佈線（第一線）係電性連接至電晶體 160 之源極電極及汲極電極的其中一者（例如，汲極電極）。第二佈線（第二線）係電性連接至電晶體 160 之源極電極及汲極電極的另一者（例如，源極電極）。第三佈線（第三線）係電性連接至電晶體 162 之源極電極及汲極電極的其中一者（例如，汲極電

極)。第四佈線(第四線)係電性連接至電晶體162的閘極電極。電晶體160的閘極電極與電晶體162之源極電極及汲極電極的另一者(例如,源極電極)係電性連接至電容器164之電極的其中一者。第五佈線(第五線)係電性連接至電容器164之電極的另一者。

在此,做為電晶體162,例如,可使用包含氧化物半導體材料的電晶體(其中通道係形成於氧化物半導體層之中的電晶體)。包含氧化物半導體材料的電晶體具有極小之截止狀態電流的特徵。針對於理由,電晶體160之閘極電極的電位可藉由關閉電晶體162而保持極長的時間。

注意的是,電晶體160可係包含任何材料的電晶體,且該電晶體並未特別地受限於此。就增進資料之讀取速度而言,例如,諸如包含單晶矽的電晶體(例如,其中通道係形成於單晶矽基板或單晶矽層之中的電晶體)之具有高開關速度的電晶體,被較佳地使用為電晶體160。

第1A圖中所描繪的半導體裝置使用其中可將電晶體160之閘極電極的電位儲存極長時間之特徵;因此,資料可被如下地寫入及讀取。

將敘述資料的寫入。首先,第四佈線的電位係設定成為使電晶體162開啓之電位,以致使電晶體162開啓。從而,第三佈線之電位係供應至電晶體160的閘極電極以及電容器164。也就是說,預定的電荷被供應至電晶體160之閘極電極。在此,可將對應於二不同電位之二電荷的任一者(在下文中,用以供應低電位之電荷係稱為電荷 Q_L ,且用

以供應高電位之電荷係稱為電荷 Q_H) 選擇性地供應至電晶體 160 的閘極電極。此處， Q_L 及 Q_H 的其中一者係設定為資料“1”，且另一者係設定為資料“0”，以致可將一位元之資料寫入至記憶體胞格。注意的是，半導體裝置的記憶體容量可以以此方式而增進，亦即，多重位準的資料（複數個位元的資料）係藉由在對應於三或更多個不同電位的電荷中，選擇將被供應至電晶體 160 之閘極電極的電荷，而被寫入至一記憶體胞格之方式。之後，將第四佈線的電位設定成為使電晶體 162 關閉之電位，使得電晶體 162 關閉。因而，可將所供應至電晶體 160 之閘極電極的電荷加以保持。

因為電晶體 162 的截止狀態電流係有效地小，所以電晶體 160 之閘極電極的電荷會被長時間地保持。

接著，將敘述資料的讀取。當供應適當的電位（讀取電位）至第五佈線，而預定的電位（恆定電位）正被供應至第二佈線時，則電晶體 160 之電阻會根據電晶體 160 之閘極電極中所保持的電荷數量而變化。通常，此係因為當電晶體 160 係 n 通道電晶體時，在其中給定 Q_H 至電晶體 160 之閘極電極的情況中之電晶體 160 的表觀臨限電壓 V_{th_H} 係低於其中供應 Q_L 至電晶體 160 之閘極電極的情況中之電晶體 160 的表觀臨限電壓 V_{th_L} 。在此，表觀臨限電壓意指要開啓電晶體 160 所需之第五佈線的電位。因而，第五佈線之電位係設定為介於 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，而在寫入資料中所供應至電晶體 160 之閘極電極的電荷可藉以決定

。例如，在其中 Q_H 係在資料的寫入中被供應至電晶體 160 之閘極電極的情況中，當第五佈線之電位係設定為 V_0 ($> V_{th_H}$) 時，則電晶體 160 開啓。另一方面，在其中 Q_L 係在資料的寫入中被供應至電晶體 160 之閘極電極的情況中，即使當第五佈線之電位係設定為 V_0 ($< V_{th_L}$) 時，電晶體 160 亦保持關閉。因此，所儲存之資料可藉由偵測電晶體 160 的電阻而予以讀取。

注意的是，在其中將複數個記憶體胞格排列而使用的情況中，僅需讀取所欲之記憶體胞格的資料。

例如，在其中複數個記憶體胞格的電晶體 160 係串聯地電性連接之結構 (NAND 型) 的情況中，以下操作係執行於當讀取預定之記憶體胞格的資料且並不讀取其他記憶體胞格的資料時。使電晶體 160 開啓之電位，亦即，高於 V_{th_L} 之電位係供應至其中資料將不被讀取之記憶體胞格的第五佈線，而不管在寫入資料中所供應至閘極電極的電荷數量。

進一步地，例如，在其中複數個記憶體胞格的電晶體 160 並未串聯地電性連接，但各自地電性連接至佈線之結構 (NOR 型) 的情況中，以下操作係執行於當讀取預定之記憶體胞格的資料且並不讀取其他記憶體胞格的資料時。使電晶體 160 關閉之電位，亦即，低於 V_{th_H} 之電位係供應至其中將不被讀取之記憶體胞格的第五佈線，而不管在寫入資料中所供應至閘極電極的電荷數量。

然後，將敘述資料的重寫入。資料的重寫入係以與資

料的寫入及保持之方式相似的方式而執行。換言之，第四佈線的電位係設定成為使電晶體 162 開啓之電位，以致使電晶體 162 開啓。從而，第三佈線之電位（對應於新資料的電位）係供應至電晶體 160 的閘極電極以及電容器 164。之後，將第四佈線的電位設定成為使電晶體 162 關閉之電位，使得電晶體 162 關閉。因而，可將對應於新資料的電荷保持於電晶體 160 的閘極電極處。

如上述，在依據此處所揭示之本發明實施例的半導體裝置中，於寫入新資料之前，無需拭除寫入的資料，且可藉由另一資料寫入而直接重寫入資料。因而，可抑制由於資料的拭除而在操作速度上的降低。換言之，可實現半導體裝置的高速操作。

注意的是，電晶體 160 的閘極電極係電性連接至電晶體 162 的汲極電極（或源極電極）以及電容器 164，且因此，具有與使用於非揮發性記憶體元件之浮動閘極電晶體的浮動閘極相似的功能。在下文中，其中電晶體 160 的閘極電極電性連接至電晶體 162 的汲極電極（或源極電極）以及電容器 164 之部分有時稱作節點 FG。在其中電晶體 162 係關閉的情況中，節點 FG 可視為嵌入於絕緣物之中的浮動閘極，且電荷係保持於節點 FG 之中。包含氧化物半導體材料之電晶體 162 的截止狀態電流係小於或等於其中通道形成於矽半導體中之電晶體的截止狀態電流的十萬分之一；因此，由於電晶體 162 的漏電流所導致之節點 FG 中所累積之電荷的損失可予以忽略。也就是說，透過包含氧化物半導

體材料的電晶體 162，可實現無需以電力來供應而可保持資料的非揮發性半導體裝置。

例如，當電晶體 162 的截止狀態電流係 10 zA (1 zA (zeptoampere) 係 $1 \times 10^{-21}\text{ A}$) 或更小，室溫 (25°C)，且電容器 164 的電容值約係 10 fF ，則可保持資料 10^4 秒或更長。不用多說地，該保持時間視電晶體特徵和電容器之電容而定。

進一步地，依據在此所揭示之本發明實施例的半導體裝置並不具有已成為習知浮動閘極電晶體問題之閘極絕緣層（隧道絕緣層）劣化的問題。也就是說，可抑制已被傳統地視為問題之由於電子注入至浮動閘極內之閘極絕緣層的劣化。此意指的是，原則上，在寫入的次數上並無限制。再者，在寫入或拭除資料中之用於習知的浮動閘極電晶體所需之高壓並非係一定必要的。

在第 1A 圖中的半導體裝置中之諸如電晶體的組件可視為包含電阻器及電容器，如第 1B 圖中所描繪地。換言之，在第 1B 圖之中，電晶體 160 及電容器 164 被各自地視為包含電阻器及電容器。R1 及 C1 分別表示電容器 164 的電阻值及電容值。電阻值 R1 對應於電容器 164 中所包含之絕緣層的電阻值。此外，R2 及 C2 分別表示電晶體 160 的電阻值及電容值。電阻值 R2 對應於在當電晶體 160 開啓時的時候之閘極絕緣層的電阻值。電容值 C2 對應於所謂閘極電容（在閘極電極與源極電極及汲極電極的每一者之間所形成的電容，以及在閘極電極與通道形成區之間所形成的電容）的電

容值。

在當電晶體 162 關閉時之源極電極與汲極電極間的電阻值（亦稱為有效電阻）係藉由 R_{OS} 所表示。在電晶體 162 之閘極漏電流（在閘極電極與源極電極之間或在源極電極與汲極電極之間的漏電流）係充分小的情形下，當 R_1 及 R_2 滿足 $R_1 \geq R_{OS}$ 及 $R_2 \geq R_{OS}$ 時，則用以保持節點 FG 中所累積之電荷的週期（亦稱為資料保持週期）主要係由電晶體 162 之截止狀態電流所決定。

相反地，當不滿足該情形時，則即使電晶體 162 的截止狀態電流係充分地小，也不容易確保足夠的資料保持週期。此係因為除了電晶體 162 的截止狀態電流之外的漏電流（例如，在電晶體 162 的閘極電極與源極電極之間所產生的漏電流）會變大之緣故。因而，可說的是，在此實施例中所揭示的半導體裝置企望於滿足 $R_1 \geq R_{OS}$ 以及 $R_2 \geq R_{OS}$ 。

另一方面， C_1 及 C_2 滿足 $C_1 \geq C_2$ 之關係係所欲的。此係因為當 C_1 大時，則第五佈線的電位可在藉由第五佈線而控制節點 FG 之電位時，被有效地供應至節點 FG，且在所供應至第五佈線的電位（例如，用以選擇資料之讀取的電位及不選擇資料之讀取的電位）間之差異可降低的緣故。

如上述地，當滿足上述之關係時，則可實現更佳的半導體裝置。注意的是， R_1 及 R_2 係由電容器 164 的絕緣層及電晶體 160 的閘極絕緣層所控制。同樣地， C_1 及 C_2 亦藉由電容器 164 的絕緣層及電晶體 160 的閘極絕緣層所控制。因

此，為滿足上述關係，企望於適當地設定閘極絕緣層及電容器164的絕緣層之材料、厚度、及其類似者。

在此實施例之中所描述的半導體裝置中，節點FG具有與快閃記憶體或其類似物的浮動閘極電晶體之浮動閘極的功效相似的功效，但此實施例的節點FG具有與該快閃記憶體或其類似物之浮動閘極的特性本質地不同的特性。

在快閃記憶體的情況中，因為所施加至控制閘極的電位高，所以為了要防止高壓的電位影響倒鄰接記憶體胞格的浮動閘極，必須保持適當的距離於記憶體胞格之間。此係對於半導體裝置之高集積度的壓抑因素之一。該因素被認為係快閃記憶體之基本原理的緣故，其中穿隧電流係由於施加高的電場而流動。

相反地，此實施例之半導體裝置係藉由包含氧化物半導體材料之電晶體的開關而操作，且並不使用藉由穿隧電流而對浮動閘極注入電荷之上述原理。也就是說，與快閃記憶體不一樣地，用以對浮動閘極注入電荷之高的電場並非必要的。因而，無需自鄰接記憶體胞格的控制閘極來考慮高的電場之影響，而促成高集積度。

此外，依據此處所揭示之本發明實施例的半導體裝置具有超越快閃記憶體的優點，其中，因為無需高的電場，所以用於高電場之大型周邊電路（諸如自舉電路）並非必要。例如，在其中寫入二位準（1位元）之資料的情況中，在每一個記憶體胞格之中，依據此實施例之所施加至記憶體胞格的最高電壓（同時所施加至記憶體胞格之端子的

最高電位與最低電位之間的差異)可低於或等於5V(伏特)，較佳地低於或等於3V(伏特)。

進一步地，在其中包含於電容器164中之絕緣層的介電常數 ϵ_{r1} 與包含於電晶體160中之絕緣層的介電常數 ϵ_{r2} 係不同的情況中，當包含於電容器164中之絕緣層的面積 $S1$ 及用以形成電晶體160的閘極電容之絕緣層的面積 $S2$ 滿足其中 $2 \times S2$ 係大於或等於 $S1$ 之關係時的同時(較佳地，當 $S2$ 係大於或等於 $S1$ 時)，可易於使 $C1$ 大於或等於 $C2$ 。換言之，當降低電容器164中所包含之絕緣層的面積時，則可易於使 $C1$ 大於或等於 $C2$ 。具體而言，例如，當由諸如氧化鉛之高 k 材料所形成的膜，或由諸如氧化鉛之高 k 材料所形成的膜及由氧化物半導體所形成的膜之堆疊係使用於電容器164中所包含的絕緣層時，則可將 ϵ_{r1} 設定成為10或更大，較佳地成為15或更大，且當使用氧化矽於用以形成閘極電容的絕緣層時，則可將 ϵ_{r2} 設定成為3至4。該等結構的組合可致能依據此處所揭示之本發明實施例的半導體裝置之進一步更高的集積度。

< 應用實例 >

其次，將參照第2圖及第3圖來敘述其中施加第1A及第1B圖中所描繪的電路之更特別的電路組態，及其操作。

在第2圖描繪包含 m 列(在垂直方向中) $\times n$ 行(在水平方向中)記憶體胞格190(m 係大於或等於2的自然數，且 n 係自然數)的NAND型半導體裝置之電路圖的實例。注意

的是，實際上，該半導體裝置可包含複數個組合之 m （列）（在垂直方向中） $\times n$ （行）（在水平方向中）胞格。在第2圖中，具有相似功能的線係藉由添加“_1”、“_2”、及其類似者至該等線之名稱的末端，而予以區別。

在第2圖中的半導體裝置包含 $(m+1)$ 個字線 WL （ WL_1 ）至 $WL_{(m+1)}$ ）， n 個位元線 BL （ BL_1 至 BL_n ），其中 m 列（在垂直方向中） $\times n$ 行（在水平方向中）記憶體胞格 190 係以矩陣而配置的記憶體胞格陣列，源極線 SL ，選擇線 G_1 ，選擇線 G_2 ， n 個選擇電晶體 180，以及 n 個選擇電晶體 182。

n 個選擇電晶體 180 係沿著選擇線 G_1 而配置在位元線 BL 與第一列中的記憶體胞格 190 之間。該等 n 個選擇電晶體 180 的閘極電極係電性連接至選擇線 G_1 。 n 個選擇電晶體 182 係沿著選擇線 G_2 而配置在第 m 列中的記憶體胞格 190 與源極線 SL 之間。該等 n 個選擇電晶體 182 的閘極電極係電性連接至選擇線 G_2 。

位元線 $B1$ 係電性連接至第一列中的記憶體胞格之電晶體 162 的汲極電極，且係透過選擇電晶體 180 而電性連接至第一列中的記憶體胞格之電晶體 160 的汲極電極。源極線 SL 係透過選擇電晶體 182 而電性連接至第 m 列中的記憶體胞格中之電晶體 160 的源極電極。

在第 k 列中之字線 WL_k （ k 係大於或等於 1 且小於或等於 m 的自然數）係電性連接至第 k 列中的記憶體胞格中之電晶體 162 的閘極電極。在第 $(k+1)$ 列中之字線 $WL_{(k+1)}$

）係電性連接至第 k 列中的記憶體胞格 190 中之電容器 164 的每一者之一電極。

在第 j 列中的記憶體胞格中之電晶體 160 的汲極電極（ j 係大於或等於 2 且小於或等於 m 的自然數）係電性連接至第（ $j-1$ ）列中的記憶體胞格 190 中之電晶體 160 的源極電極。

在第 j 列中的記憶體胞格中之電晶體 162 的汲極電極係電性連接至第（ $j-1$ ）列中的記憶體胞格中之電晶體 160 的閘極電極，電晶體 162 的源極電極，及電容器 164 的另一電極。在第 m 列中的記憶體胞格中，電晶體 160 的閘極電極、電晶體 162 的源極電極、及電容器 164 的另一電極係彼此相互連接。

第 2 圖中之記憶體胞格 190 的結構係與第 1A 圖中的結構相似。特別地，在第 k 列及第 q 行中的記憶體胞格 190 中（ q 係大於或等於 1 且小於或等於 n 的自然數），例如，第 1A 圖中之第一佈線及第三佈線二者係電性連接至第 2 圖中之位元線 BL_q 。此外，第 1A 圖中之第二佈線係電性連接至第 2 圖中之源極線 SL 。進一步地，第 1A 圖中之第四佈線係電性連接至第 2 圖中之字線 WL_k 。再者，第 1A 圖中之第五佈線係電性連接至第 2 圖中之字線 $WL_{(k+1)}$ 。

注意的是，在第 2 圖之中，僅第一列中之記憶體胞格係未透過其他的記憶體胞格而電性連接至位元線 BL ，且僅第 m 列中之記憶體胞格係未透過其他的記憶體胞格而電性連接至源極線 SL ，因為記憶體胞格 190 的電晶體 162 係串聯地電性連接於行方向中，且記憶體胞格 190 的電晶體 160 係

串聯地電性連接於行方向中。在其他列中的記憶體胞格係透過相同的行之中的其他記憶體胞格，而電性連接至位元線 BL 及源極線 SL。

在此，於第 2 圖中所描繪的半導體裝置中，在第 (j-1) 列中之記憶體胞格的節點 FG 具有第 1A 圖中之結構，且此外，係電性連接至第 j 列中的記憶體胞格 190 中之電晶體 162 的汲極電極。此處，在第 j 列中的每一個記憶體胞格及在第 (j-1) 列中的每一個記憶體胞格中之包含氧化物半導體材料的電晶體 162 具有有效小的截止狀態電流。因此，在第 2 圖中所描繪之半導體裝置中的記憶體胞格 190 之中，節點 FG 的電位可藉由關閉電晶體 162 而保持長的時間，如第 1A 圖中所描繪的半導體裝置之中似地。

例如在第 2 圖中所示的結構中，於記憶體胞格 190 中之電晶體 162 係串聯地電性連接；因此，在記憶體胞格 190 中之電晶體 162 的源極電極以及在記憶體胞格 190 中之電晶體 162 的汲極電極可彼此相互接觸，或一電極可作用成為記憶體胞格 190 中之電晶體 162 的源極電極及記憶體胞格 190 中之電晶體 162 的汲極電極二者。因而，僅只電晶體 162 之源極電極及汲極電極的其中一者係包含於每一個記憶體胞格 190 之中。

相反地，在其中記憶體胞格 190 中之電晶體 162 並未串聯連接，且源極電極及汲極電極係設置用於記憶體胞格 190 的每一個電晶體 162 之情況中，電晶體 162 之源極電極及汲極電極的其中一者需透過開口而連接至諸如位元線 BL

之佈線。也就是說，電晶體 162 之源極電極及汲極電極二者以及用於與佈線連接的開口係包含於各自的記憶體胞格 190 之中。

因此，如第 2 圖中所描繪地，在記憶體胞格 190 中的電晶體 162 係串聯地電性連接，而由記憶體胞格 190 所占有的面積可藉以降低。例如，當使用 F 以表示最小特徵尺寸時，則由記憶體胞格 190 所占有的面積可係 $6 F^2$ 至 $12 F^2$ 。因而，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

此外，如第 2 圖中所示，字線 WL_k 係電性連接至第 k 列中的記憶體胞格之電晶體 162 的閘極電極，且字線 $WL_{(k+1)}$ 係電性連接至第 k 列中的記憶體胞格中的電容器 164 之電極的其中一者。因此，一佈線，亦即，相同的佈線（字線 WL_j ）作用成為電性連接至第 $(j-1)$ 列中之記憶體胞格的電容器 164 之電極的其中一者之佈線，以及電性連接至第 j 列中的記憶體胞格之電晶體 162 的第二閘極電極之佈線二者。因而，可進一步降低每一記憶體胞格的佈線之數目以及由一記憶體胞格所占有的面積。以此方式，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

注意的是，無需一定設置選擇線 G_1 、選擇線 G_2 、選擇電晶體 180、及選擇電晶體 182。選擇線 G_1 及選擇電晶體 180 可予以省略。選擇性地，選擇線 G_2 及選擇電晶體 182 可予以省略。

在第2圖中的組態中，基本上，資料的寫入及資料的讀取係與第1A及1B圖中之該等資料的寫入及資料的讀取相同。注意的是，資料寫入係至少執行於每一列，且係針對列而順序地執行。理由在於，第j列中之記憶體胞格的節點FG係透過第j列中之記憶體胞格的電晶體162，而連接至鄰接的第(j-1)列中之記憶體胞格的節點FG。在第2圖中的組態中，寫入、儲存、讀取資料的操作將參照第3圖中的時序圖來加以說明。在時序圖中之諸如WL及BL的名稱表示時序圖中之電位所施加的佈線。第3圖中之時序圖描繪其中資料“1”係寫入至第k列及第一行中的記憶體胞格，且資料“0”係寫入至第k列及第二至第n行中的記憶體胞格之情況，以及其中資料“1”係自第k列及第一行中的記憶體胞格而讀取，且資料“0”係自第k列及第二至第n行中的記憶體胞格而讀取之情況。

將敘述以下之情況：在其中電位V1及或電位V2 ($V1 < V2$) 係施加至節點FG的情況中，當施加電位V2至節點FG時所儲存的資料係資料“1”，以及當施加電位V1至節點FG時所儲存的資料係資料“0”。

將敘述其中資料係寫入至第k列中之記憶體胞格的情況做為實例。首先，將選擇線G_1的電位設定於例如，參考電位GND (0伏特)，且將選擇線G_2的電設定於V3 (例如，電源供應電位VDD)。因而，選擇電晶體182開啓，且選擇電晶體180關閉。注意的是，至少在資料的寫入中，預定的電位 (例如，參考電位GND (0伏特)) 係供應

至源極線 SL。

將電性連接至資料將被寫入的記憶體胞格 190（第 k 列中的記憶體胞格）之電晶體 162 的閘極電極之字線 WL_k 的電位設定於 V₄。該電位 V₄ 係設定成為當電晶體 162 的臨限電壓係 V_{th}（162）時，滿足 $(V_2 + V_{th}(162)) < V_4$ 。因而，在第 k 列中之記憶體胞格的電晶體 162 開啓，且將 V₂ 或 V₁ 施加至第 k 列中之記憶體胞格的節點 FG。V₁ 係在寫入資料“0”至第 k 列中的記憶體胞格的情況中被供應至位元線 BL，以及 V₂ 係在寫入資料“1”至第 k 列中的記憶體胞格的情況中被供應至位元線 BL。在此方式中，如第 3 圖中之時序圖的“寫入資料至第 k 列中之記憶體胞格”中所描繪地，資料“1”係藉由供應 V₂ 至用於第一行的位元線 BL₁，而寫入至第 k 列及第一行中的記憶體胞格，且資料“0”係藉由供應 V₁ 至用於第二至第 n 行的位元線 BL₂ 至 BL_n，而寫入至第 k 列及第二至第 n 行中的記憶體胞格。

注意的是，在其中其他的記憶體胞格（在 1 至第（k-1）列中之該等記憶體胞格）係在位元線 BL 與資料將被寫入的記憶體胞格（第 k 列中之該等記憶體胞格）之間的情況中，字線 WL₁ 至 WL_(k-1) 的電位係設定於 V₄，且在 1 至第（k-1）列中之記憶體胞格的電晶體 162 開啓；因此，位元線 BL 的電位可供應至資料將被寫入之記憶體胞格（第 k 列中之該等記憶體胞格）之電晶體 162 的汲極電極。

注意的是，在其中資料係寫入至第 k 列中之記憶體胞

格的情況中，字線 $WL_{-}(k+1)$ 至 $WL_{-}(m+1)$ 的電位可係例如，參考電位 GND （0伏特）。因而，可將第 $(k+1)$ 至第 m 列中之記憶體胞格的電晶體 162 之閘極電極的電位設定於例如，參考電位 GND （0伏特）。同時，可將第 k 至第 m 列之記憶體胞格（尤其，在資料將被寫入之第 k 列中的記憶體胞格）的電容器 164 之電極的其中一者（電性連接至節點 FG 的電極）設定於例如，參考電位 GND （0伏特）。在第 $(k+1)$ 至第 m 列中之記憶體胞格的電晶體 162 之閘極電極的電位係設定於 0 伏特，以致使電晶體 162 可關閉。此係因為電位 $V1$ 或電位 $V2$ 係供應至電晶體 162 的汲極電極或源極電極之緣故。也就是說，當電晶體 162 的臨限電壓係 $V_{th}(162)$ 時，則電位 $V1$ 被決定為滿足 $(V_{th}(162) + V1) > 0$ 。因而，可保持累積在第 $(k+1)$ 至第 m 列中之記憶體胞格的電晶體 160 之閘極電極中的電荷。注意的是，字線 $WL_{-}(k+1)$ 至 $WL_{-}(m+1)$ 的電位並未受限於 0 伏特，且可係任何電位，只要其係第 $(k+1)$ 至第 m 列中之記憶體胞格的電晶體 162 可被關閉之電位即可。

進一步地，將電性連接至資料被寫入的記憶體胞格 190（第 k 列中的記憶體胞格）之字線 WL_k 的電位設定於 GND （0伏特），而藉以終止資料的寫入。當字線 WL_k 的電位係設定於 GND （0伏特）時，可關閉第 k 列中之記憶體胞格的電晶體 162，且保持節點 FG 之中所累積的電荷。當對應於資料“1”之電位 $V2$ 係供應至節點 FG 時，則節點 FG 的電位係 $V2$ ，且當對應於資料“0”之電位 $V1$ 係供應至節點 FG

時，則節點 FG 的電位係 V_1 。

因為電晶體 162 之截止狀態電流係有效地小，所以可長時間地保持電晶體 160 之閘極電極的電荷。

注意的是，在其中資料係寫入至第 k 列中之記憶體胞格的情況中，在寫入資料至第 k 列中的記憶體胞格之後，需將資料寫入至第 $(k+1)$ 列中的記憶體胞格（設置最靠近位元線 BL 之記憶體胞格），此係因為第一至第 k 列中之記憶體胞格的電晶體 162 需開啓的緣故。在此方式中，資料的寫入及儲存係自第 m 列中之記憶體胞格至第一列中之記憶體胞格而順序地執行。

其次，將敘述其中資料係自第 k 列中之記憶體胞格而讀取的情況，做為實例。注意的是，在第 3 圖中之時序圖中的“自第 k 列中的記憶體胞格之資料的讀取”中，以下的情況係描繪做為實例：資料“1”係寫入至第 k 列及第一行中的記憶體胞格，以及資料“0”係寫入至第 k 列及第二至第 n 行中的記憶體胞格。電性連接至資料將被讀取之記憶體胞格（第 k 列中的記憶體胞格）的電容器 164 之字線 $WL_{(k+1)}$ 的電位係設定於 V_0 。電性連接至資料將不被讀取之第一至第 $(k-1)$ 列及第 $(k+1)$ 至第 m 列中之記憶體胞格的電容器 164 之字線 WL_1 至 WL_k 及字線 $WL_{(k+2)}$ 至 $WL_{(m+1)}$ 的電位係設定於 V_5 ($V_5 > V_0$)。進一步地，選擇線 G_1 及選擇線 G_2 的電位係設定於 V_3 。

在其中電性連接至資料將被讀取之記憶體胞格（第 k 列中的記憶體胞格）的電容器 164 之字線 $WL_{(k+1)}$ 的電

位係 V_0 的情況中，當資料將被讀取之記憶體胞格（第 k 列中的記憶體胞格）儲存資料“1”時，亦即，當電位 V_2 係在資料的寫入中被施加至節點 FG 時，則在第 k 列中之記憶體胞格的電晶體 160 會開啓。另一方面，當資料將被讀取之記憶體胞格（第 k 列中的記憶體胞格儲存資料“0”時，亦即，當電位 V_1 係在資料的寫入中被施加至節點 FG 時，則在第 k 列中之記憶體胞格的電晶體 160 會關閉。換言之，電位 V_0 係決定以便滿足公式 1。注意的是， α 表示耦合比（ $\alpha = C_1 / (C_1 + C_2)$ ），以及 $V_{th}(160)$ 表示電晶體 160 的臨限電壓。換言之，電位 V_0 被決定成為 V_{th-H} 與 V_{th-L} 之間的中間電位，如第 1A 及 1B 圖之上述說明中所解說地。

$$[\text{公式 1}] \quad V_1 + V_0 \times \alpha < V_{th}(160) < V_2 + V_0 \times \alpha$$

再者，當電性連接至資料將不被讀取之記憶體胞格（在第一至第 $(k+1)$ 列及第 $(k+1)$ 至第 m 列中的記憶體胞格）的電容器 164 之字線 WL_1 至 WL_k 及 $WL_{(k+2)}$ 至 $WL_{(m+1)}$ 的電位係設定於 V_5 時，則不管資料“1”是否寫入至資料將不被讀取之記憶體胞格（在第一至第 $(k-1)$ 列及第 $(k+1)$ 至第 m 列中的記憶體胞格），或資料“0”是否寫入至它們，資料將不被讀取之該等記憶體胞格的電晶體 160 均會開啓。也就是說，電位 V_5 係決定以便滿足公式 2。

$$[\text{公式 2}] \quad V_{th}(160) < V_1 + V_5 \times \alpha$$

進一步地，選擇線 G_1 及選擇線 G_2 的電位係設定於 V_3 ，而選擇電晶體 180 及選擇電晶體 182 係藉以開啓。因而

，在第一列中之記憶體胞格的電晶體 160 之汲極電極係透過開啓的選擇電晶體 180，而電性連接至位元線 BL，且在第 m 列中之記憶體胞格的電晶體 160 之源極電極係透過開啓的選擇電晶體 182，而電性連接至源極線 SL。注意的是，預定的電位（例如，參考電位 GND，（0 伏特））係至少在資料的讀取中被施加至源極線 SL。

位元線 BL 係電性連接至讀取電路。第 4 圖描繪讀取電路之組態的實例。在第 4 圖中的讀取電路中，位元線 BL（對應於位元線 BL₁ 至 BL_n 之每一者）係透過藉由讀取致能信號（由第 4 圖中之“RE”所表示）所控制的開關 403，而電性連接至時脈控制的反相器 402 和電晶體 401 之源極及汲極的其中一者。電晶體 401 的閘極電極以及電晶體 401 之源極及汲極的另一者係電性連接至佈線 400。讀取致能信號（RE）及藉由該讀取致能信號之反相所獲得的信號（由第 4 圖中之“REB”所表示）係輸入至時脈控制的反相器 402。

在其中資料“1”係寫入至資料將被讀取之記憶體胞格（例如，在第 k 列及第 q 行中的記憶體胞格）的情況中，該記憶體胞格之電晶體 160 係在資料的讀取中被開啓。因此，電性連接至對應的位元線 BL_q 之第 q 行的記憶體胞格之所有的電晶體 160，選擇電晶體 180，及選擇電晶體 182 開啓。因而，在位元線 BL_q 與源極線 SL 之間的記憶體胞格具有低電阻；因此，接近於所施加至源極線 SL 之電位（參考電位 GND（0 伏特））的電位，亦即，低電位係輸入至時脈控制的反相器 402，且讀取電路的輸出（由第 4 圖中之

“D”所表示) 係接近於VDD的電位。

另一方面，在其中資料“0”係寫入至資料將被讀取之記憶體胞格（例如，在第k列及第q行中的記憶體胞格）的情況中，該記憶體胞格之電晶體160係在資料的讀取中被關閉。因而，在位元線BL-q與源極線SL之間的記憶體胞格具有高電阻。所施加至佈線400之電位（電源供應電位VDD），亦即，高電位係輸入至時脈控制的反相器402，且讀取電路的輸出（D）係0伏特。

如上述地，在位元線BL與源極線SL之間的電阻會根據資料將被讀取之記憶體胞格中所儲存的資料來改變，而可藉以讀取資料。

注意的是，讀取電路的組態並未受限於第4圖中之組態。具有任何組態的電路均可予以使用，只要該電路可偵測出位元線BL與源極線SL間之電阻的改變即可。

注意的是，當資料係自第k列中之記憶體胞格而讀取時，則所有記憶體胞格（在第1至第m列中的記憶體胞格）的電晶體162均需予以關閉。此係因為若電晶體162開啓時，則節點FG的電位會變動，且所寫入之資料無法被保持。

在此，於第2圖中的組態中，一佈線作用成為電性連接至第(k-1)列中之記憶體胞格的電容器164之電極的其中一者之佈線，以及電性連接至第k列中的記憶體胞格之電晶體162的閘極電極之佈線二者。在此，所考慮的是，其中所有記憶體胞格（第一至第m列中之記憶體胞格）的電晶體162係在上述的資料讀取中透過它們而關閉之電晶

體 160 的臨限值 ($V_{th}(160)$) 、電晶體 162 的臨限值 ($V_{th}(162)$) 、 V_0 、 V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 C_1 、及 C_2 。

爲了要使電晶體 162 可在資料讀取中關閉，電晶體 162 之源極與閘極間的電壓以及電晶體 162 之汲極與閘極間的電壓需低於或等於每一個記憶體胞格中的 $V_{th}(162)$ 。在第 k 列中之記憶體胞格的電晶體 162 之閘極電極的電位係電位 V_5 ，且電晶體 162 之源極電極或汲極電極的最低電位係 ($V_1 + V_0 \times \alpha$) ；因此，爲了要關閉第 k 列中之記憶體胞格的電晶體 162，必須要滿足公式 3。

$$[\text{公式 3}] \quad V_5 - V_1 - V_0 \times \alpha < V_{th}(162)$$

在其中第 ($k+1$) 列中之記憶體胞格的電晶體 162 之閘極電極的電位係電位 V_5 的情況中，電晶體 162 之源極電極或汲極電極的最低電位係 ($V_1 + V_5 \times \alpha$) 。在其中第 ($k+1$) 列中之記憶體胞格的電晶體 162 之閘極電極的電位係電位 V_0 的情況中，電晶體 162 之源極電極或汲極電極的最低電位係 ($V_1 + V_0 \times \alpha$) 。爲了要關閉第 ($k+1$) 列中之記憶體胞格的電晶體 162，必須要滿足 $V_5 - V_5 \times \alpha - V_1 < V_{th}(162)$ 以及 $V_0 - V_0 \times \alpha - V_1 < V_{th}(162)$ 。在此，因爲滿足 $V_5 > V_0$ ，所以當滿足用以關閉第 k 列中之記憶體胞格的電晶體 162 之公式 (公式 3) 時，則在第 ($k+1$) 列中之記憶體胞格的電晶體 162 會自動關閉。

在 第一 至 第 ($k-1$) 列 及 第 ($k+2$) 至 第 m 列 中之記憶體胞格的電晶體 162 之閘極電極的電位係電位 V_5 ，以及電晶體 162 之源極電極或汲極電極的最低電位係 ($V_1 + V_5 + \alpha$)

）。因而，爲了要關閉第一至第（ $k-1$ ）列及第（ $k+2$ ）至第 m 列中之記憶體胞格的電晶體162，必須要滿足 $V_5 - V_5 \times \alpha - V_1 < V_{th}(162)$ 。在此，當滿足用以關閉第一至第（ $k-1$ ）列及第（ $k+2$ ）至第 m 列中之記憶體胞格的電晶體162之公式（公式3）時，則在第一至第（ $k-1$ ）列及第（ $k+2$ ）至第 m 列中之記憶體胞格的電晶體162會自動關閉。

假定 $V_{th}(160)$ 係1伏特、 $V_{th}(162)$ 係1伏特、以及耦合比 $\alpha (=C_1 / (C_1 + C_2))$ 係0.5，則滿足公式1至公式3、 $V_5 > V_0$ 、以及 $V_2 > V_1$ 之電位的組合實例係如下： $V_0 = -2$ 伏特， $V_1 = 1.5$ 伏特， $V_2 = 2.5$ 伏特， $V_3 = 3$ 伏特， $V_4 = 3$ 伏特、以及 $V_5 = 0$ 伏特。

將檢查此時之資料的讀取。0伏特（ V_5 ）的電壓係輸入至字線 WL_1 至 WL_k 及 $WL_{(k+2)}$ 至 $WL_{(m+1)}$ 。資料將不被讀取之記憶體胞格（在第一至第（ $k-1$ ）列及第（ $k+1$ ）至第 m 列中的記憶體胞格）的節點FG之電位係1.5伏特（ $=V_1 + V_5 \times \alpha$ ）（當儲存資料“0”時），以及2.5伏特（ $=V_2 + V_5 \times \alpha$ ）（當儲存資料“1”時）。因爲 $V_{th}(160)$ 係1伏特，所以資料將不被讀取之記憶體胞格（在第一至第（ $k-1$ ）列及第（ $k+1$ ）至第 m 列中的記憶體胞格）的電晶體160可開啓。另一方面，-2伏特（ V_0 ）的電位係輸入至字線第 $WL_{(k+1)}$ 列。資料將被讀取之記憶體胞格（在第 k 列中的記憶體胞格）的節點FG之電位係0.5伏特（ $=V_1 + V_0 \times \alpha$ ）（當儲存資料“0”時），以及1.5伏特（ $=V_2 + V_0 \times \alpha$ ）（當儲存資料“1”時）。在此，因爲 $V_{th}($

160) 係 1 伏特，所以當儲存資料“0”時，電晶體 160 可關閉，且當儲存資料“1”時，電晶體 160 可開啓。進一步地，因為字線 WL_1 至 $WL_{(m+1)}$ 的電位係 -2 伏特 (V_0) 或 0 伏特 (V_5)，所以電晶體 162 之源極或汲極的電位 (亦即，節點 FG 的電位) 係 0.5 伏特、1.5 伏特、或 2.5 伏特。在此，因為 $V_{th}(162)$ 係 1 伏特，所以所有的記憶體胞格 (在第 1 至第 m 列中的記憶體胞格) 之電晶體 162 可關閉。

在此方式中，所有的記憶體胞格 (在 1 至第 m 列中的記憶體胞格) 之電晶體 162 係關閉，且資料可藉由作成上述之設定而自第 k 列中之記憶體胞格來讀取。

不用多說地，電晶體 160 的臨限值、電晶體 162 的臨限值、 V_0 、 V_1 、 V_2 、 V_3 、 V_4 、及 V_5 之具體電位並未受限於以上的值，且可予以設定於各式各樣的值。

進一步地，在此，將敘述其中電晶體 160、電晶體 162、選擇電晶體 180、及選擇電晶體 182 係 n 通道電晶體的情況。然而，此實施例並未受限於該處。在使用另一類型之電晶體的情況中，於資料的寫入及讀取中，可決定每一個電位的值，使得包含於記憶體胞格中之電晶體的開啓／關閉變成與上述說明相似。

在第 2 圖的組態中，包含於記憶體胞格 190 中之電晶體 162 係串聯連接，以致不容易僅在任意列之中重寫入資料。針對此理由，做為驅動方法，資料自距離位元線 BL 最遠之列 (第 m 列) 中的記憶體胞格而順序寫入係較佳的。注意的是，藉由寫入資料“0”至距離位元線 BL 最遠之列 (第

m列) 中的記憶體胞格，則資料“0”亦寫入至第一至第 (m-1) 列中的記憶體胞格。透過此方法，可將包含第一至第 m 列中的記憶體胞格之區塊中的資料一次拭除。

其中通道係形成於包含氧化物半導體層的層中之電晶體具有極小的截止狀態電流。因此，藉由使用該電晶體以供每一個記憶體胞格之用，可在其中並未選擇電晶體的情況中，降低自電容器而流出的電荷／降低流至電容器的電荷。因而，半導體裝置可將所儲存之資料保持極長的時間。換言之，該半導體裝置並不需要再新操作，或僅需極低次數的再新操作。因此，可充分地降低半導體裝置的功率消耗。進一步地，即使在其中電力並未被供應至半導體裝置的情況中，該半導體裝置亦可長時間地保持所儲存之資料（注意的是，所供應至半導體裝置之電位不會在其中供應電力的情況與其中不供應電力的情況之間變化，係較佳的）。

進一步地，在此實施例的半導體裝置中，因為並不需要高壓來寫入資料至每一個記憶體胞格，所以包含於半導體裝置之中的元件幾乎不會劣化。例如，在習知之快閃記憶體的情況中，因為必須施加高壓至半導體裝置中所包含之浮動閘極電晶體或其類似物的元件，以便注入電子至浮動閘極／自浮動閘極而抽出電子，所以具有電晶體之閘極絕緣層劣化的問題。另一方面，在依據此處所揭示之本發明實施例的半導體裝置中，與習知之快閃記憶體不一樣地，因為無需施加高壓至半導體裝置中所包含之浮動閘極電

晶體或其類似物的元件，所以電晶體的閘極絕緣層幾乎不會劣化。也就是說，在習知非揮發性記憶體裝置之問題的重寫入次數上，依據此處所揭示之本發明實施例的半導體裝置並不具有限制，且其可靠度可被急劇地增進。此外，在此實施例的半導體裝置中，因為資料係藉由控制半導體裝置中所包含的電晶體之開啓／關閉而寫入至每一個記憶體胞格，所以此實施例中之半導體裝置的高速操作可易於實現。

進一步地，包含除了氧化物半導體外之材料的電晶體（例如，其中通道係形成於矽基板或矽層之中的電晶體）可以比包含氧化物半導體材料的電晶體（其中通道係形成於氧化物半導體層之中的電晶體）更高速度地操作。因此，可藉由使用包含除了氧化物半導體外之材料的電晶體與包含氧化物半導體材料的電晶體之組合，而高速地執行半導體裝置的操作。再者，包含除了氧化物半導體外之材料的電晶體可較佳地實現需要高速操作之電路（例如，邏輯電路及驅動器電路）於半導體裝置中。

因此，具有新穎之特性的半導體裝置可藉由提供包含除了氧化物半導體外之材料的電晶體（且更廣泛地，能以足夠高之速度而操作的電晶體）與包含氧化物半導體材料的電晶體（且更廣泛地，截止狀態電流係充分小的電晶體）二者，而予以實現。

進一步地，在此實施例的半導體裝置中，藉由串聯連接包含氧化物半導體材料且包含於半導體裝置之記憶體胞

格中的電晶體，則包含氧化物半導體材料且包含於記憶體胞格中的電晶體之源極電極與包含氧化物半導體材料且包含於記憶體胞格中之鄰接的電晶體之汲極電極可彼此相互接觸，或該電晶體之源極電極可作用成為鄰接的電晶體之汲極電極。在此，於其中包含氧化物半導體材料且包含於記憶體胞格中之電晶體並未串聯地電性連接的情況中，需提供開口於層間絕緣膜或其類似物中，以便使電晶體之源極及汲極的其中一者可連接至設置在其中並未設置有源極電極及汲極電極的其中一者的層之中的佈線。因此，需要大的面積以供記憶體胞格中的佈線連接之用。相反地，例如在依據此處所揭示之本發明實施例的半導體裝置中，包含氧化物半導體材料且包含於鄰接記憶體胞格中的電晶體係串聯地電性連接，以致使包含氧化物半導體材料且包含於記憶體胞格中的電晶體之源極電極與包含氧化物半導體材料且包含於記憶體胞格中之鄰接的電晶體之汲極電極可彼此相互接觸，該電晶體之源極電極可作用成為鄰接的電晶體之汲極電極；因此，可降低由一記憶體胞格所占有的面積。因而，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

此外，在此實施例中的半導體裝置具有其中第 k 字線（ k 係大於或等於1且小於或等於 m 的自然數）係電性連接至第 k 記憶體胞格的第二閘極端子，且第 $(k+1)$ 字線係電性連接至第 k 記憶體胞格的電容器之端子的其中一者之結構。因此，一佈線，亦即，同一佈線（第 j 字線）（ j 係大

於或等於2且小於或等於 m 的自然數)作用成爲電性連接至第 $(j-1)$ 記憶體胞格的電容器之端子的其中一者之佈線，及電性連接至第 j 記憶體胞格的第二閘極端子之佈線二者。因而，可降低每一記憶體胞格的佈線之數目，以及由一記憶體胞格所占有之面積。以此方式，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

在此實施例中所敘述之方法及結構可與其他實施例中所敘述之方法及結構的任一者適當地結合。

[實施例2]

在此實施例中，將參照第5A至第5C圖、第6A至6C圖、第7A至7E圖、第8A至8D圖、第9A至9D圖、及第10A至10D圖來敘述依據此處所揭示之本發明實施例之半導體裝置的結構，及其製造方法。

< 半導體裝置的橫剖面結構及平面結構 >

第5A至5C圖描繪第2圖的電路圖中所描繪之半導體裝置的記憶體胞格190之結構的實例。第5A圖描繪該半導體裝置的平面，以及第5B及5C圖描繪該半導體裝置的橫剖面。在此，第5B圖描繪沿著第5A圖中之線A1-A2所取得的橫剖面。第5C圖描繪沿著第5A圖中之線B1-B2所取得的橫剖面。在第5A圖之中，與線A1-A2平行的方向對應於第2圖之電路圖中的行方向，以及與線A1-A2垂直的方向對應於第2圖之電路圖中的列方向。

在第 5A 至 5C 圖中所描繪的半導體裝置中，包含除了氧化物半導體材料外之半導體材料（例如，矽）的電晶體 160 係設置於下方部分中，以及包含氧化物半導體的電晶體 162 及電容器 164 係設置於上方部分中。注意的是，第 5A 及 5B 圖描繪第 2 圖中之鄰接二記憶體胞格 190 的典型結構。其中每一個記憶體胞格包含一電晶體 160，一電晶體 162，及一電容器 164 的實例被描繪。為說明起見，包含於所描繪之記憶體胞格的其中一者之中的電晶體 160 係稱作“左邊的電晶體 160”，且包含於所描繪之記憶體胞格的另一者之中的電晶體 160 係稱作“右邊的電晶體 160”。為說明起見，包含於所描繪之記憶體胞格的其中一者之中的電晶體 162 係稱作“左邊的電晶體 162”，且包含於所描繪之記憶體胞格的另一者之中的電晶體 162 係稱作“右邊的電晶體 162”。為說明起見，包含於所描繪之記憶體胞格的其中一者之中的電容器 164 係稱作“左邊的電容器 164”，且包含於所描繪之記憶體胞格的另一者之中的電容器 164 係稱作“右邊的電容器 164”。

實際上，該等記憶體胞格的數目並非二個。如第 2 圖之電路圖中所描繪地，記憶體胞格係設置於第一至第 m 列之中。在同一行之中的記憶體胞格之電晶體 160 係串聯地電性連接。在同一行之中的記憶體胞格之電晶體 162 係串聯地電性連接。注意的是，第 5A 至 5C 圖並未描繪選擇電晶體 180 及選擇電晶體 182，但該等電晶體可具有電晶體 160 之相同的結構。

不用多說地，雖然此處之電晶體 160 及電晶體 162 係 n 通道電晶體，但亦可使用 p 通道電晶體。在此所揭示之本發明的技術性在於，諸如氧化物半導體之其中可充分降低截止狀態電流的半導體材料係使用於電晶體 162，以便保持資料。因此，無需一定要限制諸如半導體裝置的材料、結構、或其類似者之具體情形為此處所給定之該等情形。

在第 5A 及 5B 圖中之左邊的電晶體 160 包含：通道形成區 116a，係設置於包含半導體材料（諸如，矽）之基板 100 中；雜質區 120a 及雜質區 120b，係設置使得通道形成區 116a 介於其間；金屬化合物區 124a 及金屬化合物區 124b，係與雜質區 120a 及雜質區 120b 接觸；閘極絕緣層 108a，係設置於通道形成區 116a 之上；以及閘極電極 110a，係設置於閘極絕緣層 108a 之上。右邊的電晶體 160 包含：通道形成區 116b，係設置於包含半導體材料（諸如，矽）之基板 100 中；雜質區 120b 及雜質區 120c，係設置使得通道形成區 116b 介於其間；金屬化合物區 124b 及金屬化合物區 124c，係與雜質區 120b 及雜質區 120c 接觸；閘極絕緣層 108b，係設置於通道形成區 116b 之上；以及閘極電極 110b，係設置於閘極絕緣層 108b 之上。

注意的是，為便利起見，其中源極電極及汲極電極並未被描繪於圖式中之電晶體可稱作電晶體。進一步地，在該情況中，於電晶體的連接之說明中，源極區及源極電極係統稱為“源極電極”，且汲極區及汲極電極係統稱為“汲極電極”。換言之，在此說明書中，“源極電極”的用語可

包含源極區，且“汲極電極”的用語可包含汲極區。

注意的是，在此說明書中，於某些情況中，雜質區 120a、雜質區 120b、及雜質區 120c 係統稱為雜質區 120。在此說明書中，於某些情況中，金屬化合物區 124a、金屬化合物區 124b、及金屬化合物區 124c 係統稱為金屬化合物區 124。在此說明書中，於某些情況中，通道形成區 116a 及通道形成區 116b 係統稱為通道形成區 116。在此說明書中，於某些情況中，閘極絕緣層 108a 及閘極絕緣層 108b 係統稱為閘極絕緣層 108。再者，在此說明書中，於某些情況中，閘極電極 110a 及閘極電極 110b 係統稱為閘極電極 110。

在此，於第一至第 m 列中之電晶體 160 分享作用成為源極區及汲極區的雜質區 120 及金屬化合物區 124，且係串聯地電性連接。在第 5B 圖中，雜質區 120b 及金屬化合物區 124b 作用成為左邊的電晶體 162 之源極區及汲極區的其中之一者，以及右邊的電晶體 162 之源極區及汲極區的另一者。也就是說，作用成為第 $(j-1)$ 列（ j 係大於或等於 2 且小於或等於 m 的自然數）中的電晶體 160 之源極區的雜質區 120 及金屬化合物區 124 可作用成為第 j 列中的電晶體 160 之汲極區。在此方式中，記憶體胞格 190 的電晶體 160 係串聯連接，而藉以使源極區及汲極區可由記憶體胞格 190 之電晶體 160 所分享。換言之，在每一個記憶體胞格 190 中，電晶體 160 之源極區及汲極區的其中之一者無需透過開口來連接至形成於另一層中的佈線（例如，佈線 158）。因此，

電晶體 160 的平面佈局可易於與電晶體 162 重疊；因而，由記憶體胞格 190 所占有的面積可降低。

進一步地，如第 5C 圖中所描繪地，元件隔離絕緣層 106 係設置於基板 100 上。在此方式中，電晶體 160 的源極區、通道形成區、及汲極區係與包含在鄰接行及相同列中之記憶體胞格中之鄰接電晶體 160 的源極區、通道形成區、及汲極區隔離。

絕緣層 128 係設置於電晶體 160 之上，以便暴露閘極電極 110 的頂部表面。注意的是，爲了要實現高的集積度，較佳的是，如第 5B 及 5C 圖中似地，電晶體 160 不具有側壁絕緣層。另一方面，當在電晶體 160 的特徵上屬於重要時，則可將側壁絕緣層設置於閘極電極 110 的側表面上，且可使雜質區 120 包含不同雜質濃度之複數個區。較佳地，絕緣層 128 具有具備有利平坦度之表面；例如，該絕緣層 128 的表面較佳地具有 1 奈米 (nm) 或更小的均方根 (RMS) 粗糙度。在此方式中，電晶體 162 的通道形成區 (氧化物半導體層 144) 係設置於具有 1 奈米或更小的均方根 (RMS) 粗糙度之極平坦的區域中，而可藉以提供可防止諸如短通道效應之缺陷及可具有有利之特徵的電晶體 162，即使當電晶體 162 係小型化時亦然。

在第 5A 及 5B 圖中之左邊的電晶體 162 包含：電極 142a 及電極 142b，其係形成於絕緣層 128 上；氧化物半導體層 144a，係與電極 142a 及電極 142b 的一部分接觸；閘極絕緣層 146，覆蓋氧化物半導體層 144a；以及閘極電極 148a，

係設於閘極絕緣層 146 之上，以便與氧化物半導體層 144a 重疊。在第 5A 及 5B 圖中之右邊的電晶體 162 包含：電極 142b 及電極 142c，其係形成於絕緣層 128 上；氧化物半導體層 144b，係與電極 142b 及電極 142c 的一部分接觸；閘極絕緣層 146，覆蓋氧化物半導體層 144b；以及閘極電極 148b，係設置於閘極絕緣層 146 之上，以便與氧化物半導體層 144b 重疊。

注意的是，在此說明書中，於某些情況中，氧化物半導體層 144a 及氧化物半導體層 144b 係統稱為氧化物半導體層 144。在說明書中，於某些情況中，電極 142a、電極 142b、及電極 142c 係統稱為電極 142。在說明書中，於某些情況中，閘極電極 148a 及閘極電極 148b 係統稱為閘極電極 148。

在此，較佳地，氧化物半導體層 144 係藉由充分地去除諸如氫的雜質或充分地供應氧之高度純化的氧化物半導體層。具體而言，該氧化物半導體層 144 的氫濃度係 5×10^{19} 原子／立方公分或更低，較佳地係 5×10^{18} 原子／立方公分或更低，更佳地係 5×10^{17} 原子／立方公分或更低。注意的是，該氧化物半導體層 144 的氫濃度係藉由二次離子質譜測定法（SIMS）而予以測量。因此，在其中氫濃度係充分地降低以致使氧化物半導體層純化，且在能隙中之由於氧缺乏的缺陷能階係藉由氧之充分供應而降低的氧化物半導體層 144 中，由於諸如氫之施體的載子密度會低於 1×10^{12} ／立方公分，較佳地低於 1×10^{11} ／立方公分，更佳地低於

1.45×10^{10} / 立方公分。此外，例如，在室溫（ 25°C ）時之截止狀態電流（在此，每一單位通道寬度（1微米））係100 zA（1 zA（zeptoampere）係 1×10^{-21} 安培）或更小，或10 zA或更小。在此方式中，藉由使用氧化物半導體而使其成為i型（本徵）氧化物半導體或實質i型氧化物半導體，則可獲得具有優異的截止狀態電流特徵之電晶體162。

在第一至第m列中之電晶體162分享電極142，且係串聯地電性連接。在第5B圖中，電極142b係左邊的電晶體162之源極電極及汲極電極的其中一者，且係右邊的電晶體162之源極電極及汲極電極的另一者。換言之，作用成為第（j-1）列（j係大於或等於2且小於或等於m的自然數）中的電晶體162之源極電極的電極142，以及作用成為第j列中的電晶體162之汲極電極的電極142係藉由一導電層所形成。

在此方式中，記憶體胞格190的電晶體162係串聯連接，而可藉以分享電晶體162的電極142於記憶體胞格190中。因而，僅只電晶體162之源極電極及汲極電極的其中一者係包含於記憶體胞格190的平面佈局中。因此，在記憶體胞格190的平面佈局中之行方向的長度可變短。

注意的是，閘極電極148亦作用成為第2圖的電路圖中之字線WL，及電容器164之端子（亦即，電極）的其中一者。

在第5A至5C圖中之左邊的電容器164包含電極142a、閘極絕緣層146、及閘極電極148a，而設置在絕緣層128之

上。特別地，電極 142a 係左邊的電容器 164 之電極的其中一者，閘極電極 148a 係左邊的電容器 164 之電極的另一者，以及閘極絕緣層 146 係左邊的電容器 164 之介電層。第 5A 至 5C 圖中之右邊的電容器 164 包含電極 142b、閘極絕緣層 146、及閘極電極 148b，而設置在絕緣層 128 之上。特別地，電極 142b 係右邊的電容器 164 之電極的其中一者，閘極電極 148b 係右邊的電容器 164 之電極的另一者，以及閘極絕緣層 146 係右邊的電容器 164 之介電層。電容器 164 可被設置而與電晶體 160 重疊，且係形成以分享電晶體 162 之結構的一部分，而由記憶體胞格 190 所占有的面積可藉以降低。

因此，第 5A 至 5C 圖中所描繪的結構係使用於記憶體胞格 190 的平面佈局，而由記憶體胞格 190 所占有的面積可藉以降低。例如，當 F 係使用以表示最小特徵尺寸時，則由記憶體胞格 190 所占有的面積可係 $4 F^2$ 至 $12 F^2$ 。因而，可增加半導體裝置的集積度，且可增加每一單位面積的儲存容量。

絕緣層 150 係形成於電晶體 162 之上，且絕緣層 154 係形成於絕緣層 150 之上。佈線 158 係形成於絕緣層 154 之上。在此，佈線 158 作用成為第 2 圖之電路圖中的位元線 BL。注意的是，雖然並未被描繪於第 5A 至 5C 圖之中，但佈線 158 係在形成於絕緣層 154、絕緣層 150、閘極絕緣層 146、及其類似物中的開口中，電性連接至第一列中之電晶體 162 的源極電極或汲極電極。

透過上述的結構，可降低包含電晶體 160、電晶體 162、及電容器 164 的記憶體胞格 190 之平面佈局的尺寸。當使用該平面佈局時，可增加第 2 圖中之電路的集積度。例如，當 F 係使用以表示最小特徵尺寸時，則由該記憶體胞格所占有的面積可被表示成爲 $4 F^2$ 至 $12 F^2$ 。因而，可增加半導體裝置之每一單位面積的儲存容量。

注意的是，依據在此所揭示之本發明實施例的半導體裝置之結構並未受限於第 5A 至 5C 圖中所描繪的結構。在第 5A 至 5C 圖中的結構中，可適當地改變諸如電極之連接關係的細節。例如，第 5A 至 5C 圖中之結構顯示其中氧化物半導體層 144 係設置在電極 142 之下的實例。然而，該結構並未受限於此。氧化物半導體層 144 可被設置在電極 142 的上面。第 6A 至 6C 圖描繪其中氧化物半導體層 144 係設置在電極 142 之上的實例。注意的是，在第 6A 至 6C 圖中，與第 5A 至 5C 圖中之該等部分相同的部分係藉由相同的參考符號所表示。

在第 6A 至 6C 圖中所描繪的結構中，電極 142a、電極 142b、及電極 142c 的末端部分係較佳地成錐狀。當電極 142a、電極 142b、及電極 142c 的末端部分係成錐狀時，則可增進與氧化物半導體層 144 的作用範圍，且可防止其斷裂。在此，例如，錐狀的角度係大於或等於 30 度，且小於或等於 60 度。注意的是，該錐狀的角度表示當層係自垂直於該層之橫剖面（亦即，垂直於基板之表面的平面）的方法而被觀察時，由具有錐狀形狀之層（例如，電極 142a）

的側表面與底部表面所形成的傾斜角度。

在第 6A 至 6C 圖中之左邊的電容器 164 包含電極 142a、氧化物半導體層 144、閘極絕緣層 146、及閘極電極 148a，而設置在絕緣層 128 之上。特別地，電極 142a 係左邊的電容器 164 之電極的其中一者，閘極電極 148a 係左邊的電容器 164 之電極的另一者，以及氧化物半導體層 144 及閘極絕緣層 146 係左邊的電容器 164 之介電層。在第 6A 至 6C 圖中之右邊的電容器 164 包含電極 142b、氧化物半導體層 144、閘極絕緣層 146、及閘極電極 148b，而設置在絕緣層 128 之上。特別地，電極 142b 係右邊的電容器 164 之電極的其中一者，閘極電極 148b 係右邊的電容器 164 之電極的另一者，以及氧化物半導體層 144 及閘極絕緣層 146 係右邊的電容器 164 之介電層。在第 6A 至 6C 圖中所描繪的結構包含氧化物半導體層 144 及閘極絕緣層 146 做為電容器 164 的介電層，而在第 5A 至 5C 圖中所描繪的結構僅包含閘極絕緣層 146 做為電容器 164 的介電層。與第 5A 至 5C 圖中所描繪之結構不同地，在第 6A 至 6C 圖中所描繪的結構中，氧化物半導體層 144 可具有延伸至行方向的形狀。也就是說，在第一至第 m 列中之記憶體胞格可分享氧化物半導體層 144。注意的是，在鄰接的行中之氧化物半導體層 144 係分離的。與第 5A 至 5C 圖中所描繪之結構相較地，在第 6A 至 6C 圖中所描繪的結構中，電容器 164 之絕緣物可具有更大的厚度；因此，可使電容器 164 的漏電流降低。

例如，在第 5A 至 5C 圖及第 6A 至 6C 圖中，電晶體 160 係

形成於半導體基板之上。然而，在此所揭示之本發明的此實施例並未受限於此。電晶體160係形成於SOI基板上。注意的是，“SOI基板”之用語通常意指其中矽半導體層係設置於絕緣表面之上的基板。在此說明書及其類似者之中，“SOI基板”之用語亦意指其中包含除了矽外之材料的半導體層係設置於絕緣表面上之基板。也就是說，包含於該“SOI基板”之中的半導體層並未受限於矽半導體層。此外，電晶體160可使用諸如矽之半導體層以形成，而該半導體層係形成於具有絕緣表面的基板上。該半導體層可藉由設置在絕緣表面上之薄的非晶半導體層之晶化而形成。

< 半導體裝置的製造方法 >

接著，將敘述半導體裝置的製造方法之實例。首先，將參照第7A至7E圖及第8A至8D圖來敘述在下方部分中之電晶體160的製造方法於下文；然後，將參照第9A至9D圖及第10A至10D圖來敘述在上方部分中之電晶體162以及電容器164的製造方法。注意的是，第7A至7E圖、第8A至8D圖、第9A至9D圖、及第10A至10D圖描繪沿著第5A圖及第6A圖中之線A1-A2'及B1-B2所取得的橫剖面，以及該結構之製造方法的實例。也就是說，係顯示左邊的電晶體160、左邊的電晶體162、及左邊的電容器164做為典型之實例，且將敘述其製造方法的實例。注意的是，另外的電晶體及其類似物（例如，右邊的電晶體160，右邊的電晶體162，及右邊的電容器164）之製造方法可與左邊的電晶體160

、左邊的電晶體162、及左邊的電容器164之製造方法相似。

< 在下方部分中之電晶體的製造方法 >

首先，製備包含半導體材料之基板100（請參閱第7A圖）。做為包含半導體材料之基板100，可使用藉由矽、碳化矽、或其類似物所製作的單晶半導體基板或多晶半導體基板；藉由鍍化矽或其類似物所製成的化合物半導體基板；SOI基板；或其類似物。在此，將敘述使用單晶矽基板做為包含半導體材料之基板100的實例。特別地，諸如單晶矽基板之單晶半導體基板係較佳地使用做為包含半導體材料的基板100，因為半導體裝置可更高速度地操作。

注意的是，可將給予導電類型的雜質元素添加至將於稍後作用成為電晶體160之通道形成區116a的區域，以便控制電晶體的臨限電壓。在此，給予導電型的雜質元素係添加使得電晶體160的臨限電壓成為正值。在其中半導體材料係矽的情況中，可使用硼、鋁、鎵、或其類似物做為給予導電類型的雜質。注意的是，爲了要做激活雜質元素或降低雜質元素之添加期間所產生於基板100中的缺陷，在添加給予導電類型的雜質元素之後執行熱處理係較佳的。

用作形成元件隔離絕緣層之罩幕的保護層102係形成於基板100上（請參閱第7A圖）。做為該保護層102，例如，可使用利用氧化矽、氮化矽、氮氧化矽、或其類似物所

形成的絕緣層。

接著，在並未覆蓋有保護層102的區域（亦即，暴露的區域）中之基板100的一部分係藉由使用保護層102做為罩幕之基板100的蝕刻，而予以去除（請參閱第7B圖）。做為該蝕刻，較佳地係執行乾蝕刻，但亦可執行濕蝕刻。蝕刻氣體及蝕刻劑可根據將被蝕刻之層的材料，而適當地加以選擇。

然後，形成絕緣層以便覆蓋基板100，且選擇性地去除該絕緣層；因而，形成元件隔離絕緣層106（請參閱第7C圖）。該絕緣層係使用氧化矽，氮化矽，氮氧化矽，或其類似物而形成。做為用以去除該絕緣層之方法，可使用蝕刻處理、諸如化學機械研磨（CMP）處理之研磨處理、及其類似物處理的任一者。因而，形成與其他半導體區隔離的半導體區104。注意的是，保護層102係在使用該保護層102做為罩幕而蝕刻基板100之後，或在形成元件隔離絕緣層106之後，被去除。

接著，形成絕緣層於半導體區104的表面上，且形成包含導電材料的層於該絕緣層之上。

例如，該絕緣層係將成為閘極絕緣層，且可藉由執行熱處理（例如，熱氧化處理或熱氮化處理），半導體區104的表面上而予以形成。取代該熱處理，可使用高密度電漿處理。高密度電漿處理可使用例如，諸如He、Ar、Kr、或Xe之稀有氣體和諸如氧、氧化氮、氮、氮、或氫之氣體的混合氣體而執行。不用多說地，該絕緣層可使用CVD

、濺鍍法、或其類似方法而形成。較佳地，該絕緣層具有包含氧化矽、氮氧化矽、氮化矽、氮化鉛、氧化鋁、氧化鉬、氧化釷、矽酸鉛 (HfSi_xO_y ($x > 0$, $y > 0$))、添加氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、添加氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、或其類似物之膜的單層結構或堆疊層結構。該絕緣層可具有例如，大於或等於1奈米且小於或等於100奈米，較佳地大於或等於10奈米且小於或等於50奈米的厚度。

包含導電材料的層可使用諸如鋁，銅，鈦，鉍，或鎢之金屬材料而形成。包含導電材料的層可使用諸如多晶矽之半導體材料而形成。在用以形成包含導電材料之層的方法上並無特殊的限制，且可使用諸如蒸鍍法、CVD法、濺鍍法、或旋塗法之各式各樣的膜形成方法。注意的是，在此實施例中，將敘述其中包含導電材料之層係使用金屬材料而形成的情況。

之後，選擇性地蝕刻該絕緣膜及包含導電材料的層，而形成閘極絕緣膜108a及閘極電極110a（請參閱第7D圖）。

將磷（P）、砷（As）、或其類似物添加至半導體區104，而形成通道形成區116a、雜質區120a、及雜質區120b（請參閱第7E圖）。注意的是，在此，電晶體160係n通道電晶體，且諸如磷或砷之給予導電類型的雜質元素係添加至半導體區104，以便形成n通道電晶體。另一方面，在其中電晶體160係p通道電晶體的情況中，諸如硼（B）

或鋁（Al）之給予導電類型的雜質元素係添加至半導體區104；因而，可形成通道形成區116a、雜質區120a、及雜質區120b。在此，所添加之給予導電類型的雜質元素之濃度可加以適當地設定，但在其中電晶體160係急劇地小型化之情況中，較佳地，該濃度應變高。

注意的是，側壁絕緣層係形成在閘極電極110a周圍，且以不同的濃度而添加給予導電類型之雜質元素的複數個雜質區（例如，未與側壁絕緣層重疊之重摻雜雜質區，及與側壁絕緣層重疊之微摻雜雜質區）係形成於半導體區104之中。

然後，金屬層122係形成以覆蓋閘極電極110a、雜質區120a、及雜質區120b（請參閱第8A圖）。該金屬層122可藉由諸如真空沈積法、濺鍍法、及旋塗法之各式各樣的方法而形成。較佳地，該金屬層122係使用可與半導體區104中所包含之半導體材料反應以成為低電阻金屬化合物的金屬材料而形成。該等金屬材料的實例包括鈦，鉭，鎢，鎳，鈷，及鉑。

其次，執行熱處理，使得金屬層122與半導體區104中之表面的半導體材料反應。因而，分別形成與雜質區120a及雜質區120b接觸的金屬化合物區124a及金屬化合物區124b（請參閱第8A圖）。注意的是，當閘極電極110a係使用多晶矽或其類似物而形成時，則金屬化合物區亦形成於閘極電極110a與金屬層122接觸的區域中。金屬化合物區是具有足夠地增加導電率的區域。金屬化合物區的形成可

適當地降低源極、汲極、或其類似物的電阻，且可增進電晶體 160 的元件特徵。

做為熱處理，例如，可使用藉由閃光燈之照射。不用多說地，可使用另外的熱處理方法。然而，為了要增進金屬化合物的形成中之化學反應的可控制性，較佳地，可使用可達成極短時間之熱處理的方法。注意的是，金屬層 122 係在形成金屬化合物區 124a 及 124b 的對之後，被去除。

透過上述步驟，可形成電晶體 160，而該電晶體 160 係使用包含半導體材料的基板 100（請參閱第 8B 圖）。該電晶體 160 具有高速操作的特性。因此，透過電晶體 160 的使用，半導體裝置可高速地讀取資料。

接著，形成絕緣層 128，以便覆蓋以上述處理所形成的電晶體 160（請參閱第 8C 圖）。該絕緣層 128 可使用包含諸如氧化矽，氮氧化矽，氮化矽，或氧化鋁之無機絕緣材料的材料而形成。特別地，具有低介電常數（低 k 材料）之材料係較佳地使用於該絕緣層 128，因為可充分地降低由於電極或佈線之重疊所造成的電容。注意的是，該絕緣層 128 可係使用任何該等材料所形成的多孔絕緣層。多孔絕緣層具有比具備高密度之絕緣層更低的介電常數，且因此，允許由於電極或佈線所產生的電容之進一步的降低。此外，該絕緣層 128 可使用諸如聚醯乙胺或丙烯酸之有機絕緣材料而形成。注意的是，雖然該絕緣層 128 具有單層的結構於此，但在此所揭示的本發明之一實施例並未受限

於此。該絕緣層128可具有二或更多層之堆疊的結構；例如，可使用包含有機絕緣材料之層和包含無機絕緣材料之層的堆疊結構。

之後，做為電晶體162及電容器164的形成之前所執行的處理，可執行絕緣層128的CMP處理，使得閘極電極110的上方表面被暴露出（請參閱第8D圖）。做為用以暴露閘極電極110a之上方表面的處理，可使用蝕刻處理或其類似處理，以取代CMP處理。注意的是，使絕緣層128之表面盡量地平坦化，以便增進電晶體162的特徵，係較佳的。例如，該絕緣層128的表面較佳地具有1奈米或更小之均方根（RMS）粗糙度。

注意的是，在參照第7A至7E圖及第8A至8D圖所敘述的步驟之前或之後，可執行額外的電極、佈線、半導體層、絕緣層、或其類似物的形成步驟。例如，可使用其中堆疊絕緣層及導電層的多層佈線結構做為佈線結構，而可藉以提供高度集積之半導體裝置。

例如，雖然並未被描繪，但可在絕緣層128中形成開口，而該開口將到達以與電晶體160相似的方式所形成之選擇電晶體180或選擇電晶體182的金屬化合物區，且然後，可形成與該金屬化合物區接觸之佈線。例如，可形成與選擇電晶體182之金屬化合物區接觸的佈線，且可使該佈線成為源極線SL。可形成與選擇電晶體180之金屬化合物區接觸的佈線，且可使該佈線連接至稍後形成之佈線158。

< 在上方部分中之電晶體的製造方法 >

其次，將敘述上方部分中之電晶體 162 以及電容器 164 的製造方法。在第 5A 至 5C 圖中之結構（其中氧化物半導體層 144 係設在電極 142 下面的結構）的製造方法將參照第 9A 至 9D 圖來加以敘述。在第 6A 至 6C 圖中之結構（其中氧化物半導體層 144 係設置在電極 142 上面的結構）的製造方法將參照第 10A 至 10D 圖來予以敘述。

首先，將參照第 9A 至 9D 圖來敘述第 5A 至 5C 圖中之結構（其中氧化物半導體層 144 係設置在電極 142 下面的結構）的製造方法。

氧化物半導體層係形成於閘極電極 110a 及絕緣層 128 之上，且被選擇性地蝕刻，而形成氧化物半導體層 144a（請參閱第 9A 圖）。

例如，氧化物半導體層 144a 可使用以下而形成：四成分金屬氧化物之 In-Sn-Ga-Zn-O 為主氧化物半導體；三成分金屬氧化物之 In-Ga-Zn-O 為主氧化物半導體，In-Sn-Zn-O 為主氧化物半導體，In-Al-Zn-O 為主氧化物半導體，Sn-Ga-Zn-O 為主氧化物半導體，Al-Ga-Zn-O 為主氧化物半導體，或 Sn-Al-Zn-O 為主氧化物半導體；二成分金屬氧化物之 In-Zn-O 為主氧化物半導體，In-Ga-O 為主氧化物半導體，Sn-Zn-O 為主氧化物半導體，Al-Zn-O 為主氧化物半導體，Zn-Mg-O 為主氧化物半導體，Sn-Mg-O 為主氧化物半導體，或 In-Mg-O 為主氧化物半導體；一成分金屬氧化物之

In-O 爲主氧化物半導體，Sn-O 爲主氧化物半導體，或 Zn-O 爲主氧化物半導體；或其類似物。特別地，當不具有電場時，In-Ga-Zn-O 爲主氧化物半導體具有足夠高的電阻，且因而，截止狀態電流可充分地降低。此外，藉由高的場效應遷移率，In-Ga-Zn-O 爲主氧化物半導體材料係適用於半導體裝置。此外，任一上述之氧化物半導體均可包含除了 In、Ga、Sn、及 Zn 之外的元素（例如， SiO_2 ）。

注意的是，例如，In-Ga-Zn-O 爲主氧化物半導體意指包含銦（In）、鎵（Ga）、及鋅（Zn）的氧化物膜，且在其組成比上並無限制。

做爲 In-Ga-Zn-O 爲主氧化物半導體材料的典型實例，係給定由 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 所代表者。使用 M 以取代 Ga，則具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所代表的氧化物半導體材料。在此，M 表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）、或其類似物之一或更多個金屬元素。例如，M 可係 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或其類似物。注意的是，上述組成係衍生自氧化物半導體材料可具有的晶體結構，且僅係實例。

在使用 In-Ga-Zn-O 爲主材料於氧化物半導體且藉由濺鍍法而形成氧化物半導體層的情況中，較佳地使用具有 In : Ga : Zn = 1 : x : y 之組成比的靶極（x 係大於或等於 0 以及 y 係大於或等於 0.5 且小於或等於 5）。例如，可使用具有 In : Ga : Zn = 1 : 1 : 1 [原子比]（x = 1，y = 1）（亦即， In_2O_3

： Ga_2O_3 ： ZnO = 1： 1： 2[克分子比]）之組成比的靶極。此外，亦可使用具有 In ： Ga ： Zn = 1： 1： 0.5[原子比]（ $x=1$ ， $y=0.5$ ）之組成比的靶極，具有 In ： Ga ： Zn = 1： 1： 2[原子比]（ $x=1$ ， $y=2$ ）之組成比的靶極，或具有 In ： Ga ： Zn = 1： 0： 1[原子比]（ $x=0$ ， $y=1$ ）之組成比的靶極。在金屬氧化物靶極中之金屬氧化物的相對密度係大於或等於 80%，較佳地大於或等於 95%，更佳地大於或等於 99.9%。具有高相對密度之金屬氧化物靶極的使用可形成具有密質結構的氧化物半導體層 144a。

在其中使用 In-Zn-O 為主材料做為氧化物半導體的情況中，將被使用之靶極具有在原子比中之 In ： Zn = 50： 1 至 1： 2（在克分子比中之 In_2O_3 ： ZnO = 25： 1 至 1： 4），較佳地在原子比中之 In ： Zn = 20： 1 至 1： 1（在克分子比中之 In_2O_3 ： ZnO = 10： 1 至 1： 2），更佳地在原子比中之 In ： Zn = 15： 1 至 1.5： 1（在克分子比中之 In_2O_3 ： ZnO = 15： 2 至 3： 4）的組成比。例如，在使用於具有 In ： Zn ： O = X ： Y ： Z 之原子比的 In-Zn-O 為主氧化物半導體之形成的靶極中，應滿足 $Z > 1.5X + Y$ 的關係。

較佳地，其中形成氧化物半導體層的氛圍係稀有氣體（典型地，氬）氛圍、氧氛圍、或包含稀有氣體（典型地，氬）和氧的混合氛圍。特別地，例如，使用其中諸如氬、水、氫氧基、或氫化物之雜質係去除至 1 ppm 或更小（較佳地，10 ppb 或更小）的濃度之高純度氣體氛圍係較佳的。

在形成氧化物半導體層中，例如，將被處理的物體係保持在處理室中，而該處理室係維持在降低的壓力下，且將被處理的物體係加熱至高於或等於 100°C 及低於 550°C ，較佳地高於或等於 200°C 及低於或等於 400°C 的溫度。選擇性地，在氧化物半導體層的形成中之物體的溫度可係室溫（ $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ）。然後，當去除處理室中之水分時的同時，引入其中去除氫、水、及其類似物的濺鍍氣體至處理室之內，而使用上述靶極之氧化物半導體層係藉以形成。藉由加熱物體且同時形成氧化物半導體層，則可將氧化物半導體層中之雜質降低。此外，亦可將由於濺鍍而在氧化物半導體層 144a 上之損壞降低。爲了要去除處理室中的水分，較佳地使用捕集真空泵。例如，可使用低溫泵、離子泵、鈦昇華泵、或其類似物。可使用設置有冷凝管的渦輪泵。藉由使用低溫泵或其類似物而執行抽空，則可自處理室而去除氫、水、及其類似物；因而，可降低氧化物半導體層中的雜質濃度。

例如，氧化物半導體層可在以下情形之下形成：物體與靶極之間的距離係 170 毫米，壓力係 0.4 帕（Pa），直流（DC）功率係 0.5 千瓦，以及氛圍係氧（氧：100%）氛圍、氬（氬：100%）氛圍、或包含氧和氬的混合氛圍。注意的是，較佳地使用脈波式直流（DC）電源，因爲可降低灰塵（諸如在膜形成中所產生之粉末物質），且可使氧化物半導體層的膜厚度均勻。

注意的是，在藉由濺鍍法而形成氧化物半導體層 144a

之前，可執行其中電漿係以引入之氬氣體而產生的逆濺鍍法，以致使附著至形成表面（例如，絕緣層128的表面）的材料被去除。在此，相較於其中離子與濺鍍靶極碰撞之正規濺鍍法，該逆濺鍍法係其中離子與將被處理的表面碰撞，以致使該表面被修正的方法。用以使離子與將被處理的表面碰撞之方法的實例係其中，在氬氛圍中將高頻電壓施加至將被處理的表面，以致使電漿產生於將被處理之物體的附近之方法。注意的是，可使用氮、氬、氧、或其類似物之氛圍，以取代氬氛圍。

在此實施例中，氧化物半導體層144a係藉由使用In-Ga-Zn-O為主金屬氧化物靶極之濺鍍法而形成。該氧化物半導體層144a之厚度的範圍係自1奈米至50奈米，較佳地係自2奈米至20奈米，更佳地係自3奈米至15奈米。因為適當的厚度會根據氧化物半導體材料或其類似物而不同，所以氧化物半導體層144a的厚度可依據將被使用的材料而選擇。注意的是，當使絕緣層128的表面如上述地盡量均勻時，則即使在具有小的厚度之氧化物半導體層144a的情況中，對應於通道形成區的氧化物半導體層144a之部分的橫剖面亦可成為平坦的。當對應於氧化物半導體層144a中之通道形成區的部分具有平坦的橫剖面形狀時，則電晶體162的漏電流可低於其中氧化物半導體層144a並不具有平坦的橫剖面形狀之情況中之電晶體162的漏電流。

在形成氧化物半導體層144a之後，熱處理（第一熱處理）係較佳地執行於氧化物半導體層144a之上。透過第一

熱處理，可去除氧化物半導體層 144a 中之過量的氫（包含水或氫氧基）、可使氧化物半導體層 144a 的結構有序、以及可降低能隙中的缺陷狀態。例如，第一熱處理的溫度係高於或等於 300℃ 且低於 550℃，較佳地係高於或等於 400℃ 且低於或等於 500℃。

例如，熱處理可以以此方式而執行，亦即，將處理物體引入至其中使用電阻加熱元件或其類似物的電爐內，且在氮氛圍之下予以加熱於 450℃，1 小時的方式。在熱處理之期間，為防止水及氫的進入，該氧化物半導體層並未被暴露至大氣。

熱處理設備並未受限於電爐，且可係用以藉由熱輻射或來自諸如加熱的氣體之熱傳導而加熱物體的設備。例如，可使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備之 RTA（快速熱退火）設備。LRTA 係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射出的光（電磁波）之輻射，而加熱將被處理之物體的設備。GRTA 係用以使用高溫氣體來執行熱處理的設備。做為該氣體，係使用並不會由於熱處理而與將被處理之物體反應的惰性氣體，例如，氮或諸如氫之稀有氣體。

例如，做為第一熱處理，可將 GRTA 處理執行如下。將物體放置於已被加熱的惰性氣體氛圍中，加熱數分鐘，且自該惰性氣體氛圍取出。該 GRTA 處理可致能短時間的高溫熱處理。此外，即使當溫度超過物體的上限溫度時，

亦可使用 GRTA 處理。注意的是，可在處理期間將該惰性氣體切換至包含氧的氣體。此係因為在能隙中之由於氧缺乏的缺陷能階可藉由在包含氧的氛圍中執行第一熱處理，而予以降低。注意的是，做為該惰性氣體氛圍，較佳地使用包含氮或稀有氣體（例如，氮、氖、或氬）做為主要成分，且並不包含水、氫、或其類似物之氛圍。例如，所引入至熱處理設備內的氮或諸如氮、氖、或氬的稀有氣體之純度係大於或等於 6N（99.9999%），較佳地係大於或等於 7N（99.99999%）（亦即，雜質之濃度係小於或等於 1 ppm，較佳地係小於或等於 0.1 ppm）。

形成其中雜質係藉由第一熱處理而降低之 i 型（本徵）或實質 i 型氧化物半導體層 144a，以使電晶體 162 能具有極優異的特徵。

注意的是，已被指出地，氧化物半導體並不靈敏於雜質，因而當大量的金屬雜質係包含於膜之中時，並不具有問題，且因此，亦可使用包含諸如鈉之大量鹼金屬且非為昂貴的鈉鈣玻璃（Kamiya, Nomura, 及 Hosono 之“非晶氧化物半導體的載子傳輸性質及電子結構：現今狀態”，*KOTAI BUTSURI*（*固態物理*），2009 年，第 44 冊，第 621 至 633 頁）。但該考慮並不適當的。鹼金屬並非包含於氧化物半導體中之元素，且因此，係雜質。此外，在其中鹼土金屬並未包含於氧化物半導體之中的狀態中，則鹼土金屬係雜質。當與氧化物半導體層接觸的絕緣膜係氧化物時，則尤其是 Na 的鹼金屬會變成 Na^+ ，且 Na 會擴散至絕緣層

之內。進一步地，在氧化物半導體層中，Na會切斷或進入氧化物半導體中所包含的金屬與氧之間的鍵。因而，發生例如，諸如由於臨限電壓在負方向中的偏移之電晶體的常態導通狀態，或遷移率降低之電晶體特徵的劣化。此外，在特徵中的變化亦會發生。由於該雜質之電晶體特徵的劣化，及在特徵中的變化會明顯地出現在當氧化物半導體層之中的氫濃度非常低時。因此，當氧化物半導體層中之氫濃度係小於或等於 1×10^{18} ／立方公分，較佳地係小於或等於 1×10^{17} ／立方公分時，較佳地，將上述雜質的濃度降低。特別地，藉由二次離子質譜測定法之Na濃度的測量值較佳地係小於或等於 5×10^{16} ／立方公分，更佳地係小於或等於 1×10^{16} ／立方公分，還要更佳地係小於或等於 1×10^{15} ／立方公分。在相似的方式中，Li濃度之測量值較佳地係小於或等於 5×10^{15} ／立方公分，更佳地係小於或等於 1×10^{15} ／立方公分。以相似的方式，K濃度之測量值則較佳地小於或等於 5×10^{15} ／立方公分，更佳地小於或等於 1×10^{15} ／立方公分。

注意的是，氧化物半導體層可係非晶，或可具有晶性。做為具有晶性之氧化物半導體層，具有c軸取向之晶體氧化物半導體層（亦稱為CAAC：c軸配向之晶體氧化物半導體）亦係較佳的，因為可獲得增進電晶體之可靠度的功效。

可執行濺鍍法以形成包含CAAC之氧化物半導體膜。為了要藉由濺鍍法而獲得CAAC，形成六邊形晶體於氧化

物半導體膜之沈積的初始階段中且致使晶體成長自當作核心的六邊形晶體係重要的。爲了要達成此，較佳地，使靶極與基板之間的距離成爲更長（例如，150毫米至200毫米），且使基板加熱溫度成爲 100°C 至 500°C ，更佳地， 200°C 至 400°C ，還要更佳地， 250°C 至 300°C 。除此之外，使沈積的氧化物半導體膜接受熱處理於比沈積中之基板加熱溫度更高的溫度處。因此，可補償膜中的缺陷以及堆疊層之介面處的缺陷。

具體而言，CAAC係非單晶的；當自垂直於a-b平面的方向而觀察時，具有以三角形、六邊形、等邊三角形、或規則之六邊形形狀所配置的原子；以及具有其中金屬原子係以c軸方向而配置於層中的相，或其中金屬原子和氧原子係以c軸方向而配置於層中的相。

在CAAC中，金屬原子和氧原子係以與非晶氧化物半導體相較之有序方式而鍵結。也就是說，在其中氧化物半導體係非晶的情況中，配位數目會在各式各樣的金属原子之間變化，但在CAAC中，金屬原子的配位數目幾乎彼此相同。因此，可減少氧的微觀缺陷，且可降低由於氫原子（包含氫離子）或鹼金屬原子的附著及分離所導致之電荷的不安定及移動。

因而，電晶體係使用包含CAAC之氧化物半導體膜以形成，而可藉以降低在執行光照射及偏壓溫度（BT）應力測試於電晶體上之後所產生之電晶體臨限電壓的偏移量。所以，可形成具有穩定電性特徵的電晶體。

接著，形成導電層於氧化物半導體層 144a 之上，且予以選擇性地蝕刻，而形成電極 142a 及電極 142b（請參閱第 9B 圖）。

導電層可藉由諸如濺鍍法之 PVD，或諸如電漿 CVD 之 CVD 而形成。做為用於導電層之材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、或鎢的元素；包含任何該等元素做為成分的合金；或其類似物。進一步地，可使用選自錳、鎂、銦、銻、釷、及釷之一或更多個材料。

導電層可具有單層的結構或包含二或更多層之成層的結構。例如，該導電膜可具有鈦膜或氮化鈦膜的單層結構，包含矽之鋁膜的單層結構，其中鈦膜係堆疊於鋁膜之上的雙層結構，其中鈦膜係堆疊於氮化鈦膜之上的雙層結構，或其中鈦膜、鋁膜、及鈦膜係以此順序而堆疊的三層結構。注意的是，具有鈦膜或氮化鈦膜之單層結構的導電膜具備其中可易於被處理成為具有錐狀邊緣之電極 142a 及 142b 的優點。

選擇性地，該導電層可使用導電性金屬氧化物而形成。做為導電性金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ），在某些情況中係縮寫為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或包含矽或氧化矽之該等金屬氧化物材料的任一者。

雖然可執行乾蝕刻或濕蝕刻做為該導電層的蝕刻，但是具有高的可控性之乾蝕刻係較佳地使用於小型化。該蝕

刻可被執行使得將形成之源極電極 142a 及汲極電極 142b 具有錐狀邊緣。例如，該錐狀角度可大於或等於 30 度且小於或等於 60 度。

上方電晶體 162 的通道長度 (L) 係藉由電極 142a 的下方邊緣部分與電極 142b 的下方邊緣部分之間的距離所決定。注意的是，對於用以形成使用於其中形成具有小於 25 奈米之通道長度 (L) 之電晶體的情況中之罩幕的光曝射，使用其中波長係短至數奈米到數十奈米的極短紫外光係較佳的。在藉由極短紫外光的光曝射中，解析度高且聚焦深度大。為該等理由之緣故，可將電晶體 162 的通道長度 (L) 設定為小於 2 微米，較佳地，於 10 奈米至 350 奈米 (0.35 微米) 的範圍中，而在該情況中，電路可以以更高的速度而操作。

電極 142a 係電容器 164 之電極對的其中一者。

注意的是，用作電晶體 162 之基底的絕緣層可設置在層間絕緣層 128 上。該絕緣層可藉由 PCD，CVD，或其類似方法而形成。

其次，形成閘極絕緣層 146，以便覆蓋電極 142a、電極 142b、及氧化物半導體層 144a (請參閱第 9C 圖)。

該閘極絕緣層 146 可藉由 CVD，濺鍍法，或其類似方法而形成。較佳地，閘極絕緣層 146 係藉由其中可充分降低氫之方法而形成，因為閘極絕緣層 146 係與氧化物半導體層 144a 接觸。閘極絕緣層 146 係較佳地形成，以便包含氧化矽、氮化矽、氮氧化矽、氧化鋁、氧化鋇、氧化鉛、

氧化鋇、矽酸鈺 (HfSi_xO_y ($x > 0$, $y > 0$))、添加氮的矽酸鈺 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、添加氮的鋁酸鈺 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、或其類似物。閘極絕緣層 146 可具有單層的結構或堆疊的結構。閘極絕緣層 146 的厚度並未受到特別的限制，但在其中使半導體裝置小型化的情況中，該閘極絕緣層 146 係較佳地薄。例如，在其中使用氧化矽做為閘極絕緣層 146 的情況中，可將閘極絕緣層 146 的厚度設定成為大於或等於 1 奈米且小於或等於 100 奈米，較佳地，大於或等於 10 奈米且小於或等於 50 奈米。

如述地，當閘極絕緣層 146 係薄時，具有由於穿隧效應或其類似效應之電晶體 162 的閘極漏洩之問題。為了解決閘極漏洩之問題，較佳地，將諸如氧化鈺、氧化鋇、氧化鋇、矽酸鈺 (HfSi_xO_y ($x > 0$, $y > 0$))、添加氮的矽酸鈺 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、或添加氮的鋁酸鈺 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$)) 之高介電常數 (高 k) 材料使用於閘極絕緣層 146。藉由使用高 k 材料於閘極絕緣層 146，可確保電性特徵，且可使厚度變大以防止閘極漏洩。例如，氧化鈺的相對電容率係大約 15，其係極高於氧化矽的相對電容率 (3 至 4)。透過該高介電常數材料的使用，閘極絕緣層 146 可易於實現具有小於 15 奈米，較佳地，大於或等於 2 奈米且小於或等於 10 奈米之等效氧化物厚度。注意的是，可使用包含高 k 材料之膜和包含氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、

及其類似物之膜的成層結構。

在形成閘極絕緣層 146 之後，第二熱處理係所欲地執行於惰性氣體氛圍或氧氛圍中。該熱處理的溫度係設定在 200℃ 至 450℃，較佳地，在 250℃ 至 350℃ 的範圍中。例如，該熱處理可在氮氛圍中執行於 250℃，1 小時。該第二熱處理可降低電晶體 162 之電性特徵的變化。此外，在其中閘極絕緣層 146 包含氧的情況中，氧會被供應至氧化物半導體層 144a，而蓋滿氧化物半導體層 144a 中之氧缺乏，以致可形成 i 型（本徵半導體）或實質 i 型氧化物半導體層。

注意的是，在此實施例中，第二熱處理係在形成閘極絕緣層 146 之後執行；惟，該第二熱處理的時序並未受限於此。例如，第二熱處理可在形成閘極電極 148a 之後執行。選擇性地，第二熱處理可跟隨在第一熱處理之後而執行，第一熱處理可加倍而做為第二熱處理，或第二熱處理可加倍而做為第一熱處理。爲了要盡量少地包含除了主要成分之外的雜質，至少應執行第一熱處理及第二熱處理的其中一者，而可藉以使氧化物半導體層 144a 純化。

此外，閘極絕緣層 146 係電容器 164 的絕緣層。

注意的是，與氧化物半導體層 144a 接觸的絕緣層（在此實施例中，對應於閘極絕緣層 146、絕緣層 128、設置於絕緣層 128 上且作用成爲電晶體 162 之基底的絕緣層、或其類似物）係較佳地藉由包含第 13 族元素和氧的絕緣材料所形成。許多氧化物半導體材料包含第 13 族元素，且包含第 13 族元素之絕緣材料與氧化物半導體作用良好。藉由使用

包含第13族元素之絕緣材料以供與氧化物半導體接觸的絕緣層之用，則與該氧化物半導體之介面可保持有利的狀態。

包含第13族元素之絕緣材料意指含一或更多個第13族元素的絕緣材料。做為包含屬於第13族之元素的絕緣材料，例如，可給定諸如氧化鎵、氧化鋁、氧化鋁鎵、及氧化鎵鋁之金屬氧化物。在此，氧化鋁鎵意指其中鋁的數量係在原子百分比中比鎵的數量更大，且氧化鎵鋁意指其中鎵的數量係在原子百分比中大於或等於鋁的數量。

例如，在形成與包含鎵之氧化物半導體層144a接觸的絕緣層之情況中，可使用包含氧化鎵之材料於該絕緣層，使得有利的特徵可保持於氧化物半導體層144a與絕緣層之間的介面處。例如，當該氧化物半導體層144a及包含氧化鎵之絕緣層係彼此互相接觸而設置時，則可降低該氧化物半導體層144a與該絕緣層之間介面處的氫堆積。注意的是，在其中使用與氧化物半導體之構成元素相同的族中之元素於絕緣層中，且該絕緣層係與氧化物半導體層144a接觸而形成的情況中，可獲得相似的效應。進一步地，藉由使用包含氧化鋁的材料而形成該絕緣層，係有效的。注意的是，氧化鋁具有不易透水的性質。因此，就防止對於氧化物半導體層144a之水的進入而言，使用包含氧化鋁之材料係較佳的。

與氧化物半導體層144a接觸之絕緣層的一部分或全部較佳地藉由在氧氛圍或氧摻雜下之熱處理，而包含在化學

計量的組成中之在比例中比絕緣層中所包含之絕緣材料更高的氧。“氧摻雜”意指將氧添加至巨塊之內。注意的是，“巨塊”之用語係使用以便闡明：氧不僅被添加至薄膜的表面，而且被添加至薄膜的內部。此外，“氧摻雜”包含“氧電漿摻雜”，其中，製成爲電漿之氧被添加至巨塊。該氧摻雜可使用離子佈植法或離子摻雜法而執行。

例如，在其中與氧化物半導體層 144a 接觸之絕緣層係由氧化鎵所形成的情況中，氧化鎵的組成可藉由在氧氛圍或氧摻雜中之熱處理而設定成爲 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在其中與氧化物半導體層 144a 接觸之絕緣層係由氧化鋁所形成的情況中，氧化鋁的組成可藉由在氧氛圍或氧摻雜中之熱處理而設定成爲 Al_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在其中與氧化物半導體層 144a 接觸之絕緣層係由氧化鎵鋁（氧化鋁鎵）所形成的情況中，氧化鎵鋁（氧化鋁鎵）的組成可藉由在氧氛圍或氧摻雜下之熱處理而設定成爲 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<x<2$ ， $0<\alpha<1$)。

藉由氧摻雜處理，可形成包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料或更高的區域之絕緣層。當該絕緣層係與氧化物半導體層接觸時，則過量地存在於該絕緣層中的氧會供應至氧化物半導體層，且在氧化物半導體層之中或氧化物半導體層與該絕緣層之間的介面處之氧缺乏會降低。因而，可形成 i 型或實質 i 型氧化物半導體層。

可將包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料更高的區域之絕緣層應用為定位在氧化物半導體層的上方側之絕緣層，或定位在氧化物半導體層的下方側之絕緣層，或與氧化物半導體層144a接觸之該等絕緣層。惟，較佳地，要應用該絕緣層為與氧化物半導體層144a接觸之該等絕緣層二者。上述之有利功效可透過以下的結構而進一步地增強，亦即，透過其中各自包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料更高的區域之絕緣層係使用做為與氧化物半導體層144a接觸，且在該氧化物半導體層144a的上方側及下方側之絕緣膜，以便使半導體層144a可介於該等絕緣層之間的結構。

在半導體層144a的上方側及下方側之該等絕緣層可包含相同的構成元素，或不同的構成元素。例如，在上方側及下方側之該等絕緣層均可使用其中組成係 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)的氧化鎵而形成。選擇性地，在上方側及下方側之該等絕緣層的其中一者可使用 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)而形成，且另一者可藉由其中組成係 Al_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)之氧化鋁而形成。

與氧化物半導體層144a接觸之絕緣層可藉由堆疊絕緣層所形成，而該等絕緣層包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料更高的區域。例如，可將氧化物半導體層144a的上方側之絕緣膜形成如下：形成組成係 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)的氧化鎵，且可

形成組成係 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0 < x < 2$, $0 < \alpha < 1$) 的氧化鎵鋁於其上。注意的是，在氧化物半導體層 144a 的下方側之絕緣膜可藉由堆疊絕緣層所形成，而該等絕緣層包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料更高的區域。進一步地，在氧化物半導體層 144a 的上方側及下方側之絕緣膜二者可藉由堆疊絕緣層所形成，而該等絕緣層包含其中在化學計量的組成中氧的比例係比絕緣層中所包含之絕緣材料更高的區域。

接著，形成閘極電極 148a 於閘極絕緣層 146 之上（請參閱第 9C 圖）。

閘極電極 148a 可以以此方式而形成，亦即，導電層係形成於閘極絕緣層 146a 之上，且然後，予以選擇性地蝕刻之方式。將成為閘極電極 148a 之導電層可藉由濺鍍所代表之 PVD 或諸如電漿 CVD 之 CVD 所形成。材料或類似物之細節係與源極電極 142a、汲極電極 142b、及其類似物的材料或類似物之該等細節相似；因而，可引用該等細節。

該閘極電極 148a 係電容器 164 之電極對的另一者。

包含高度純化之氧化物半導體層 144a 及電容器 164 的電晶體 162 係透過上述步驟而完成（請參閱第 9C 圖）。藉由上述之製造方法，在氧化物半導體層 144a 中，可充分降低氫濃度，以致使氧化物半導體層高度地純化，且其中在能隙中之由於氧缺乏的缺陷狀態可藉由充分供應氧而降低。以此方式所形成之氧化物半導體層 144a 係本徵的（i 型）或實質本徵的（i 型）。具有優異的截止狀態電流特徵

之電晶體 162 可藉由使用該氧化物半導體層 144a 於通道形成區而獲得。因此，透過使用該電晶體 162 做為寫入電晶體，可將電荷保持長時間。

接著，形成絕緣層 150 及絕緣層 154 於閘極絕緣層 146 及閘極電極 148a 之上（請參閱第 9D 圖）。絕緣層 150 及絕緣層 154 可藉由 PVD，CVD，或其類似方法所形成。絕緣層 150 及絕緣層 154 可使用包含諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、或氧化鋁之無機絕緣材料的材料而形成，以便具有單層的結構或堆疊層的結構。

注意的是，對於絕緣層 154，較佳地，可使用具有低介電常數的材料，或較佳地，可使用具有低介電常數的結構（例如，多孔性結構）。此係因為藉由降低絕緣層 154 之介電常數，可使佈線與電極之間的電容減低，而將增加操作速度。

注意的是，絕緣層 154 係較佳地形成，以便具有平坦化的表面。藉由形成具有平坦化的表面之絕緣層 154，例如，可將電極、佈線、或其類似物有利地形成於絕緣層 154 之上，即使在其中半導體裝置係小型化的情況中亦然。該絕緣層 154 可藉由諸如化學機械研磨法（CMP）而被平坦化。

其次，形成佈線 158（請參閱第 9D 圖）。佈線 158 係藉由濺鍍所代表之 PVD 或諸如電漿 CVD 之 CVD，且然後，使導電層圖案化而形成。做為用於該導電層的材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、及鎢的元素；包含任何該

等元素做為成分的合金；或其類似物。進一步地，可使用選自錳、鎂、鋅、鈹、釹、及鈦之一或更多者的材料。細節係與電極 142a 及電極 142b 之該等細節相似。

注意的是，雖然並未被描繪，但佈線 158 係在形成到達電極 142a 或電極 142b 的開口於絕緣層 150、絕緣層 154、反其類似物中之後形成，而可藉以形成連接至第一列中之記憶體胞格的電晶體 162 之源極電極或汲極電極的佈線。此外，雖然並未被描繪，但佈線 158 係在形成開口於絕緣層 150、絕緣層 154、及其類似物中，以便到達電性連接至選擇電晶體 180 之金屬化合物區的佈線之後形成，而可藉以形成電性連接至選擇電晶體 180 之源極或汲極的佈線。該開口係藉由使用罩幕或其類似物之選擇性蝕刻所形成。

連接至電晶體 162 之源極電極或汲極電極的佈線 158，及電性連接至選擇電晶體 180 之源極或汲極的佈線 158 各自地作用成為位元線 BL。

透過上述步驟，可製造出具有第 5A 至 5C 圖中所描繪之結構的半導體裝置。

其次，將參照第 10A 至 10D 圖來敘述第 6A 至 6C 中之結構（其中氧化物半導體層 144 係設置於電極 142 上之結構）的製造方法。

第 9A 至 9D 圖中所描繪的製造方法與第 10A 至 10D 圖中之該方法係在用以製造氧化物半導體層 144 及電極 142 的方法中不同。除了用以製造氧化物半導體層 144 及電極 142 的方法之外，第 10A 至 10D 圖中所描繪的製造方法係與第 9A

至 9D 圖中之該方法相似；因此，將省略該說明。

導電層係形成於閘極電極 110a 及絕緣層 128 上，且然後，予以選擇性地蝕刻，而電極 142a 及電極 142b 係藉以形成（請參閱第 10A 圖）。該導電層係使用與第 9A 至 9D 圖中所描繪的製造方法中之用以形成電極 142a 及電極 142b 的導電層相似的材料及方法而形成；因此，將省略該說明。

接著，形成氧化物半導體層 144 於電極 142a 及電極 142b 上（請參閱第 10B 圖）。與第 9A 至 9D 圖中所示之製造方法不同地，該氧化物半導體層 144 可具有延伸至行方向的形狀。因為氧化物半導體層 144 存在，所以電容器 164 之絕緣體的厚度可更大；因而，電容器 164 的漏電流可降低。注意的是，該氧化物半導體層 144 係使用與第 9A 至 9D 圖中所示的製造方法中之用以形成氧化物半導體層 144a 相似的氧化物半導體層及方法而形成；因此，將省略該說明。

其次，形成閘極絕緣層 146，以覆蓋電極 142a、電極 142b、及氧化物半導體層 144（請參閱第 10C 圖）。隨後的製造處理係與第 9A 至 9D 圖中所示的處理相似；因此，將省略該說明。

透過上述步驟，可製造出具有第 6A 至 6C 圖中所描繪之結構的半導體裝置。

注意的是，在參照第 9A 至 9D 圖及第 10A 至 10D 圖所敘述的步驟之前或之後，可執行額外的電極、佈線、半導體層、絕緣層、或其類似物的形成步驟。例如，可使用其中堆疊絕緣層及導電層的多層佈線結構做為佈線結構，而可

藉以提供高度集積之半導體裝置。

在此實施例中所述的方法及結構可與其他實施例中所述之方法及結構的任一者適當地結合。

[實施例 3]

在此實施例中，將參照第 11A 至 11F 圖來敘述其中將上述實施例中所述之半導體裝置施加至電子裝置的情況。在此實施例中，上述之半導體裝置所施加的電子裝置之實例包含電腦、行動電話（亦稱為移動電話或行動電話裝置）、個人數位助理（包含攜帶式遊戲機，聲頻再生裝置，及其類似物）、數位相機、數位攝影機、電子線、及電視裝置（亦稱為電視或電視接收機）。

第 11A 圖描繪膝上型個人電腦，其包含外殼 701、外殼 702、顯示部 703、鍵盤 704、及其類似物。在上述該等實施例之任一者中所述的半導體裝置係設置於外殼 701 及外殼 702 的其中至少一者之中。因此，可實現具有充分低之功率消耗的膝上型個人電腦，而其中資料的寫入和讀取可高速地執行，且資料可長時間地儲存。

第 11B 圖描繪攜帶式資訊終端機（PDA）。主體 711 係設置有顯示部 713、外部介面 715、操作鈕 714、及其類似物。進一步地，設置有用於該攜帶式資訊終端機之操作的尖筆 712 及其類似物。在主體 711 中，係設置上述該等實施例之任一者中所述的半導體裝置。因此，可實現具有充分低之功率消耗的攜帶式資訊終端機（PDA），而其中資料

的寫入和讀取可高速地執行，且資料可長時間地儲存。

第 11C 圖描繪結合電子紙的電子書，其包含外殼 721 及外殼 723 之二外殼。外殼 721 及外殼 723 係分別設置有顯示部 725 及顯示部 727。外殼 721 及 723 係藉由鉸鏈部 737 而連接，且可透過該鉸鏈部 737 而開啓或閉合。外殼 721 係設置有電源供應器 731，操作鍵 733，揚聲器 735，及其類似物。外殼 721 及 723 的其中至少一者係設置有上述該實施例之任一者中所述的半導體裝置。因此，可實現具有充分低之功率消耗的電子書，而其中資料的寫入和讀取可高速地執行，且資料可長時間地儲存。

第 11D 圖描繪行動電話機，其包含外殼 740 及外殼 741 之二外殼。此外，在其中其係如第 11D 圖中所描繪地展開的狀態中之該等外殼 740 及 741 可滑動，以致使其中一者可覆蓋在另一者之上。因此，行動電話機的尺寸可降低，而使該行動電話機適合於到處攜帶。外殼 741 包含顯示面板 742，揚聲器 743，微音器 744，操作鍵 745，指標裝置 746，相機鏡頭 747，外部連接端子 748，及其類似物。外殼 740 包含用以充電手機的太陽能電池 749，外部記憶體槽 750，及其類似物。此外，天線係結合於外殼 741 之中。外殼 740 及外殼 741 的其中至少一者係設置有上述該等實施例之任一者中所述的半導體裝置。因此，可實現其中資料的寫入和讀取係高速地執行，資料係長時間地儲存，且功率消耗係充分地降低的手機。

第 11E 圖描繪數位相機，其包含主體 761、顯示部 767

、目鏡 763、操作開關 764、顯示部 765、電池 766、及其類似物。在主體 761 中，係設置上述該等實施例之任一者中所述的半導體裝置。因此，可實現具有充分低之功率消耗數位相機，而其中資料的寫入和讀取可高速地執行，且資料可長時間地儲存。

第 11F 圖係電視裝置，包含外殼 771、顯示部 773、座 775、及其類似物。電視機 770 的操作可透過外殼 771 的操作開關或遙控器 780 而執行。在上述該等實施例之任一者中所述的半導體裝置係安裝於外殼 771 及遙控器 780 中。因此，可實現其中資料係高速地寫入及讀取，資料可長時間地保持，且功率消耗係充分地降低的電阻裝置。

如上述地，在此實施例中所述之該等電子裝置各自地包含上述該等實施例中所述的半導體裝置；因此，可實現具有低功率消耗的電子裝置。

此申請案根據 2011 年 7 月 27 日在日本專利局所申請之日本專利申請案序號 2010-167836，該申請案的全部內容係結合於本文以供參考。

【圖式簡單說明】

第 1A 及 1B 圖係半導體裝置的電路圖；

第 2 圖係半導體裝置的電路圖；

第 3 圖係時序圖；

第 4 圖係半導體裝置的電路圖；

第 5A 圖係描繪半導體裝置之結構的平面視圖，以及第

5B及5C圖係描繪半導體裝置之結構的橫剖面視圖；

第6A圖係描繪半導體裝置之結構的平面視圖，以及第6B及6C圖係描繪半導體裝置之結構的橫剖面視圖；

第7A至7E圖係描繪半導體裝置之製造方法的圖式；

第8A至8D圖係描繪半導體裝置之製造方法的圖式；

第9A至9D圖係描繪半導體裝置之製造方法的圖式；

第10A至10D圖係描繪半導體裝置之製造方法的圖式；及

第11A至11F圖係各自描繪包含半導體裝置之電子裝置的圖式。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區

106：元件隔離絕緣層

108，108a，108b，146：閘極絕緣層

110，110a，110b，148：閘極電極

116，116a，116b：通道形成區

120，120a，120b，120c：雜質區

122：金屬層

124，124a，124b，124c：金屬化合物區

128，150，154：絕緣層

142，142a，142b，142c：電極

144 , 144a , 144b : 氧化物半導體層
 158 , 400 : 佈線
 160 , 162 , 401 : 電晶體
 164 : 電容器
 180 , 182 : 選擇電晶體
 190 : 記憶體胞格
 402 : 時脈控制的反相器
 403 : 開關
 701 , 702 , 740 , 741 , 771 : 外殼
 703 , 713 , 742 , 765 , 767 , 773 : 顯示部
 704 : 鍵盤
 711 , 761 : 主體
 712 : 尖筆
 714 : 操作鈕
 731 : 電源供應器
 733 , 745 : 操作鍵
 735 , 743 : 揚聲器
 737 : 鉸鏈
 744 : 微音器
 746 : 指標裝置
 747 : 相機鏡頭
 748 : 外部連接端子
 749 : 太陽能電池
 750 : 外部記憶體槽

763：目鏡

764：操作開關

766：電池

775：座

780：遙控器

WL：字線

BL：位元線

SL：源極線

G_1，G_2：選擇線

OS：電晶體包含氧化物半導體材料

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

源極線；

位元線；

$m+1$ 個字線， m 係大於或等於 2 的自然數；

選擇線；

第一至第 m 記憶體胞格，係串聯連接於該源極線與該位元線之間；以及

選擇電晶體，包括閘極端子，該閘極端子係電性連接至該選擇線，

其中該第一至該第 m 記憶體胞格各自包含：

第一電晶體，包括第一閘極端子、第一源極端子、及第一汲極端子；

第二電晶體，包括第二閘極端子、第二源極端子、及第二汲極端子；以及

電容器，

該第二電晶體包括氧化物半導體層，

該第二電晶體的通道係形成於該氧化物半導體層中，

該源極線係透過該選擇電晶體而電性連接至該第 m 記憶體胞格的該第一源極端子，

該位元線係電性連接至該第一記憶體胞格的該第二汲極端子及該第一記憶體胞格的該第一汲極端子，

第 k 字線，係電性連接至第 k 記憶體胞格的該第二閘極端子， k 係大於或等於 1 且小於或等於 m 的自然數，

第 $k+1$ 字線係電性連接至該第 k 記憶體胞格的該電容器之端子的其中一者，

第 j 記憶體胞格的該第二汲極端子係電性連接至第 $j-1$ 記憶體胞格的該第一閘極端子、該第 $j-1$ 記憶體胞格的該第二源極端子、及該第 $j-1$ 記憶體胞格的該電容器之該等端子的另一者， j 係大於或等於 2 且小於或等於 m 的自然數，

該第 m 記憶體胞格的該第一閘極端子、該第 m 記憶體胞格的該第二源極端子、及該第 m 記憶體胞格的該電容器之該等端子的另一者係彼此相互電性連接，且

該第 j 記憶體胞格的該第一汲極端子係電性連接至該第 $j-1$ 記憶體胞格的該第一源極端子。

2. 一種半導體裝置，包含：

源極線；

位元線；

$m+1$ 個字線， m 係大於或等於 2 的自然數；

第一選擇線；

第二選擇線；

第一至第 m 記憶體胞格，係串聯連接於該源極線與該位元線之間；

第一選擇電晶體，包括閘極端子，該閘極端子係電性連接至該第一選擇線；以及

第二選擇電晶體，包括閘極端子，該閘極端子係電性連接至該第二選擇線，

其中該第一至該第 m 記憶體胞格各自包含：

第一電晶體，包括第一閘極端子、第一源極端子、及第一汲極端子；

第二電晶體，包括第二閘極端子、第二源極端子、及第二汲極端子；以及

電容器，

該第二電晶體包括氧化物半導體層，

該第二電晶體的通道係形成於該氧化物半導體層中，

該源極線係透過該第二選擇電晶體而電性連接至該第 m 記憶體胞格的該第一源極端子；

該位元線係電性連接至該第一記憶體胞格的該第二汲極端子，且透過該第一選擇電晶體而電性連接至該第一記憶體胞格的該第一汲極端子，

第 k 字線，係電性連接至第 k 記憶體胞格的該第二閘極端子，且第 $k+1$ 字線係電性連接至該第 k 記憶體胞格的該電容器之端子的其中一者， k 係大於或等於 1 且小於或等於 m 的自然數，

第 j 記憶體胞格的該第二汲極端子係電性連接至第 $j-1$ 記憶體胞格的該第一閘極端子、該第 $j-1$ 記憶體胞格的該第二源極端子、及該第 $j-1$ 記憶體胞格的該電容器之該等端子的另一者， j 係大於或等於 2 且小於或等於 m 的自然數，

該第 m 記憶體胞格的該第一閘極端子、該第 m 記憶體胞格的該第二源極端子、及該第 m 記憶體胞格的該電容器之該等端子的另一者係彼此相互電性連接，且

該第 j 記憶體胞格的該第一汲極端子係電性連接至該

第 j-1 記憶體胞格的該第一源極端子。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，

其中該第一電晶體包含：

通道形成區，係設置在包括除了氧化物半導體外之半導體材料的基板中；

一對雜質區，該通道形成區介於其間；

第一閘極絕緣層，在該通道形成區之上；

第一閘極電極，在該第一閘極絕緣層上，而與該通道形成區重疊；以及

第一源極電極及第二汲極電極，該第一源極電極係電性連接至該對雜質區的其中一者，及該第二汲極電極係電性連接至該對雜質區的另一者，

該第一閘極電極對應於該第一閘極端子，且

該第一源極電極對應於該第一源極端子。

4. 如申請專利範圍第 3 項之半導體裝置，其中包括除了氧化物半導體外之半導體材料的該基板係單晶半導體基板或 SOI 基板。

5. 如申請專利範圍第 1 或 2 項之半導體裝置，

其中該第一電晶體包含：

通道形成區，係形成於絕緣表面上，且設置在包括除了氧化物半導體外之半導體材料的半導體層上；

一對雜質區，該通道形成區介於其間；

第一閘極絕緣層，係與該通道形成區重疊；

第一閘極電極，其係與該通道形成區重疊，而該

第一閘極絕緣層係設置於該第一閘極電極與該通道形成區之間；以及

第一源極電極及第二汲極電極，該第一源極電極係電性連接至該對雜質區的其中一者，及該第二汲極電極係電性連接至該對雜質區的另一者，

該第一閘極電極對應於該第一閘極端子，且

該第一源極電極對應於該第一源極端子。

6.如申請專利範圍第1或2項之半導體裝置，

其中該第二電晶體包含：

第二源極電極及該第二汲極電極，係電性連接至該氧化物半導體層；

第二閘極絕緣層；以及

第二閘極電極，其係與該氧化物半導體層重疊，而該第二閘極絕緣層係設置於該氧化物半導體層與該第二閘極絕緣層之間，

該第二源極電極對應於該第二源極端子，且

該第二汲極電極對應於該第二汲極端子。

7.如申請專利範圍第6項之半導體裝置，其中該第j記憶體胞格的該第二汲極電極及該第j-1記憶體胞格的該第二源極電極係使用一導電層而形成。

8.如申請專利範圍第6項之半導體裝置，其中該第j記憶體胞格的該第二汲極電極、該第j-1記憶體胞格的該第二源極電極、及該第j-1記憶體胞格的該電容器之該等端子的另一者係藉由使用一導電層而形成。

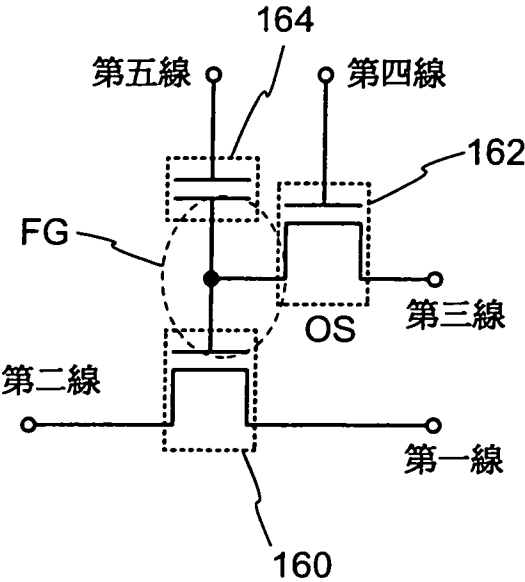
9.如申請專利範圍第6項之半導體裝置，其中該第j記

記憶體胞格的該第二汲極電極、該第 $j-1$ 記憶體胞格的該第二源極電極、該第 $j-1$ 記憶體胞格的該電容器之該等端子的另一者、及該第 $j-1$ 記憶體胞格的該第一閘極電極係藉由使用一導電層而形成。

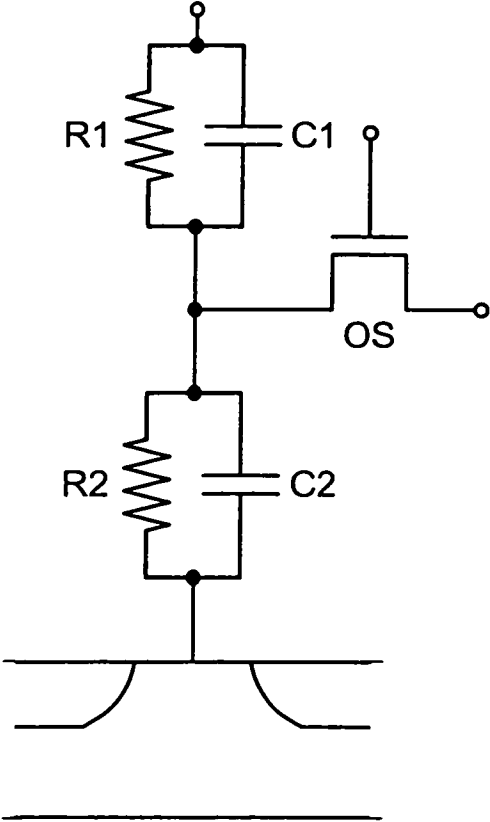
10. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體層包括氧化物半導體材料，該氧化物半導體材料包括 In、Ga、及 Zn。

11. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該半導體裝置係選自由膝上型個人電腦、攜帶式資訊終端機、電子書、行動電話、數位相機、及電視裝置所組成的組群之一者。

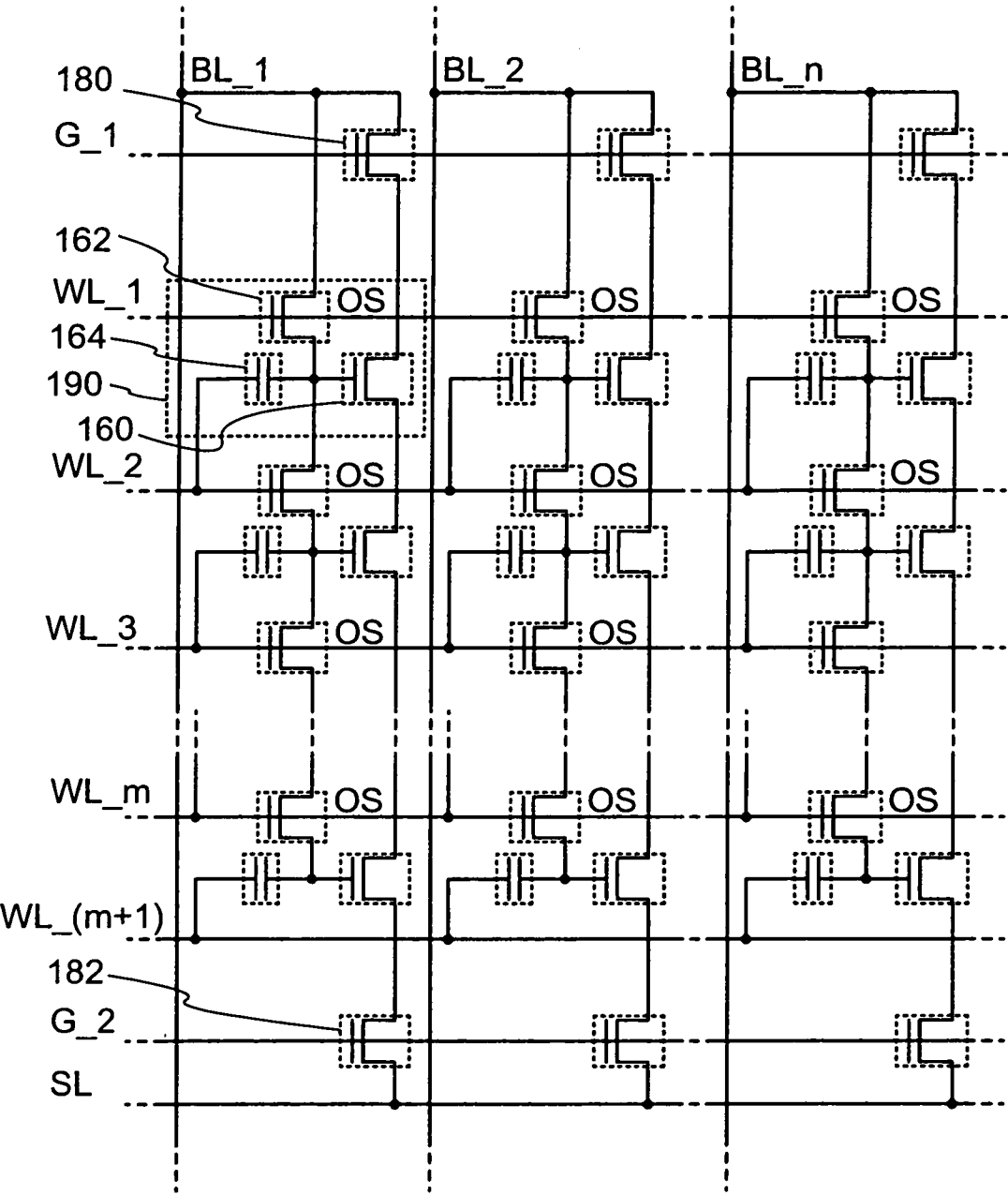
第1A圖



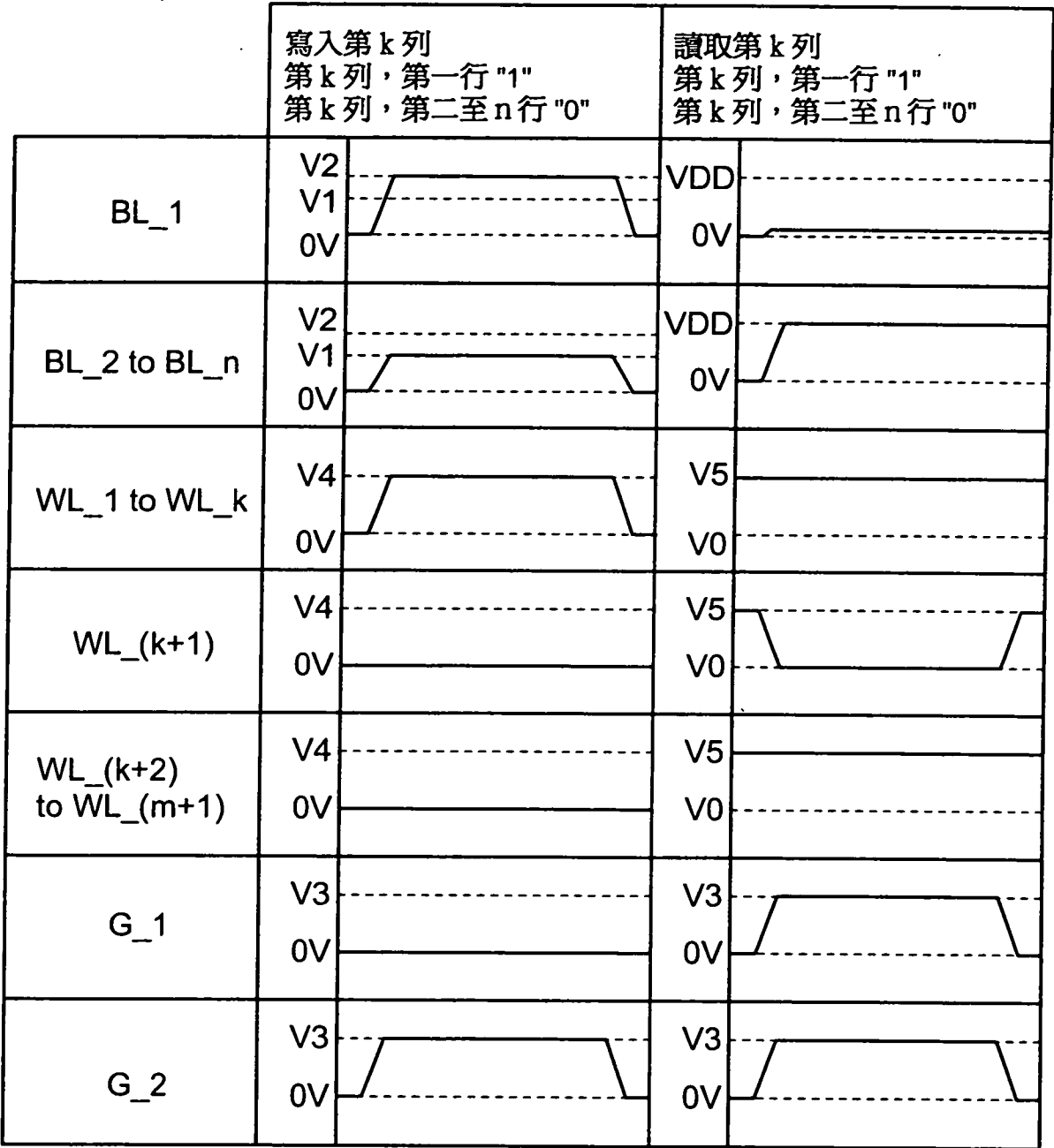
第1B圖



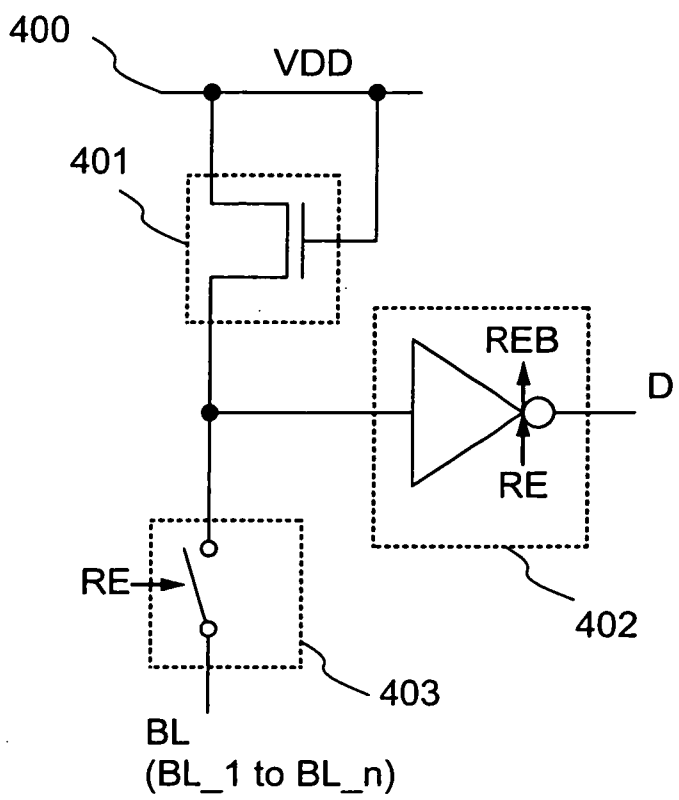
第2圖



第3圖



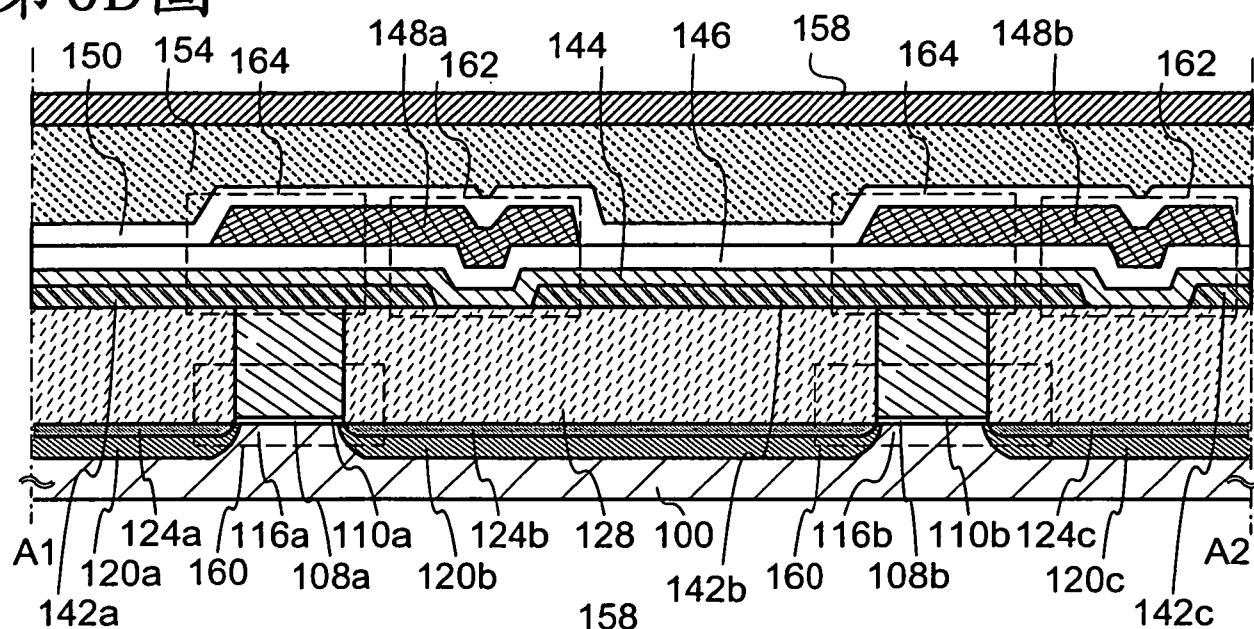
第4圖



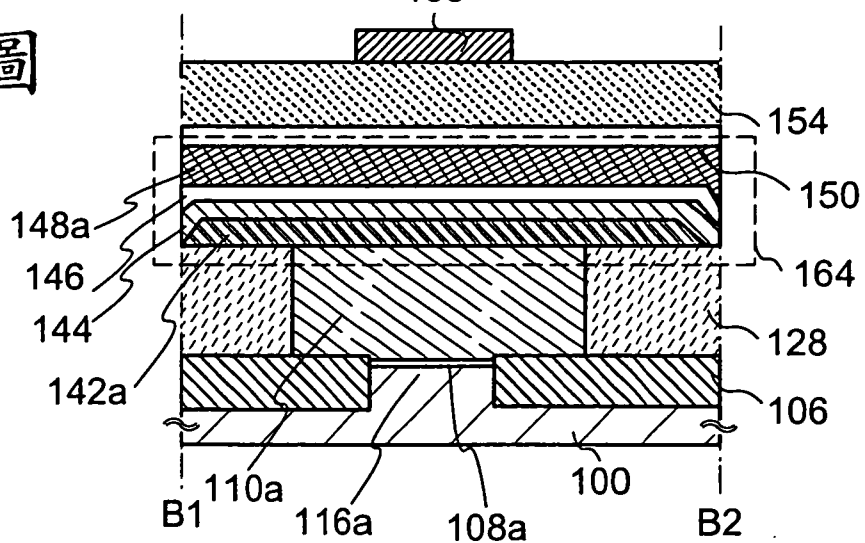
—



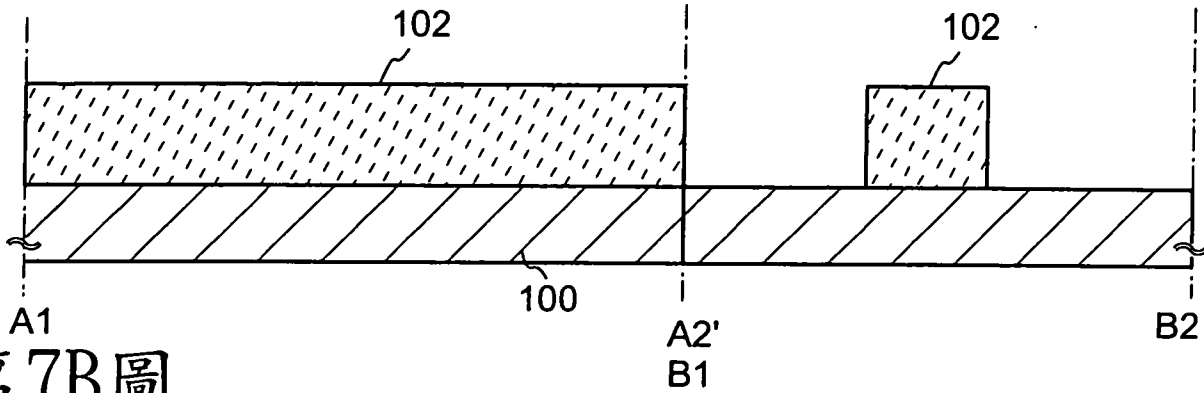
第6B圖



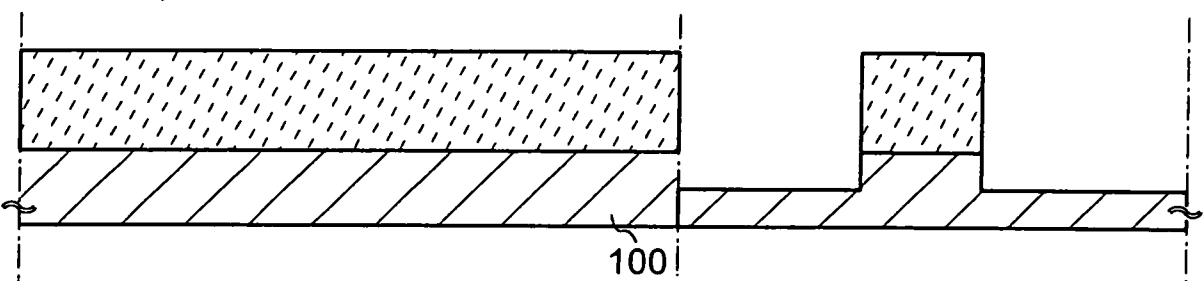
第6C圖



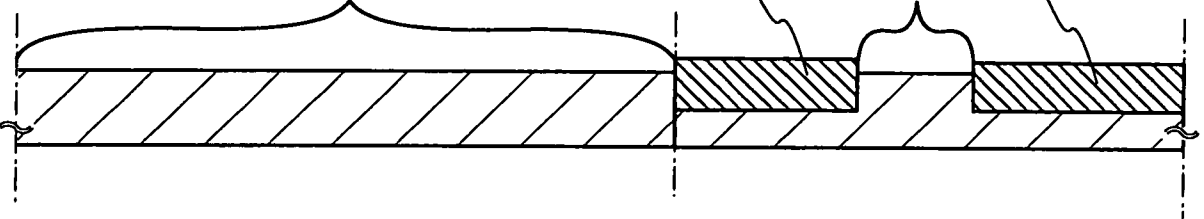
第7A圖



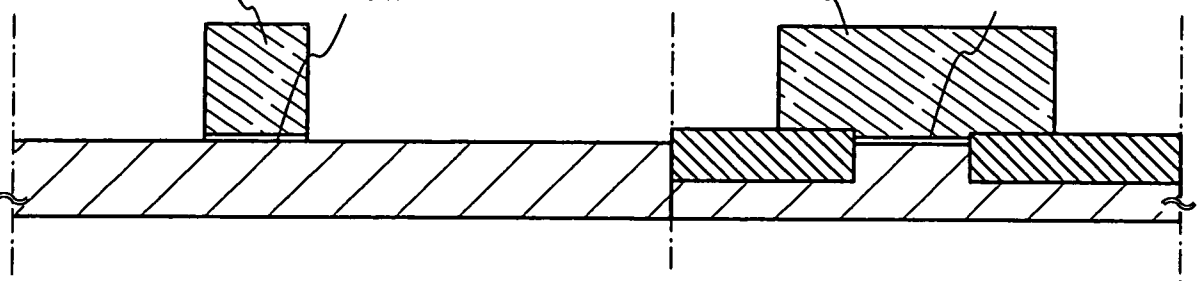
第7B圖



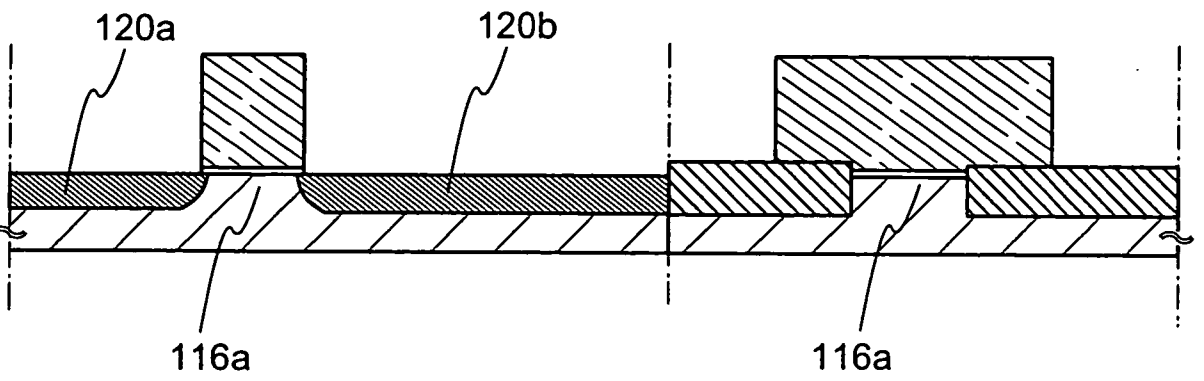
第7C圖



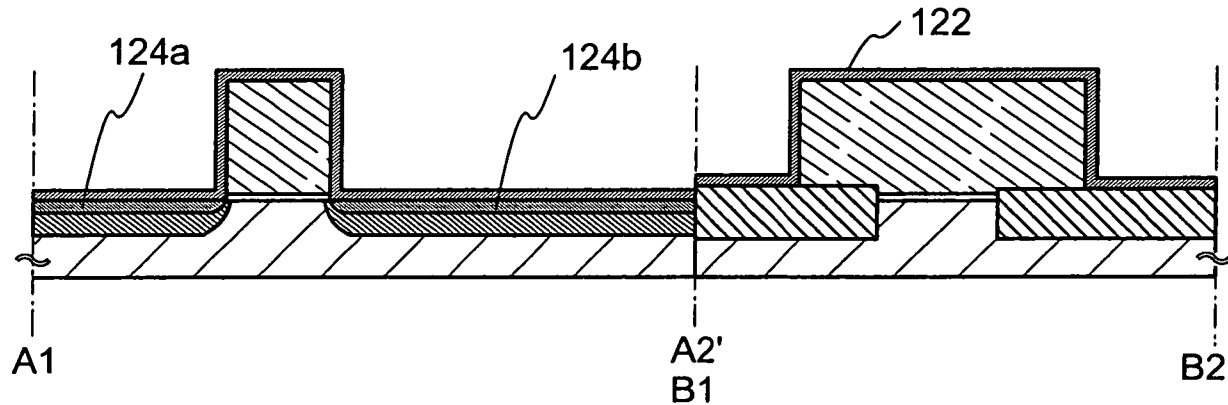
第7D圖



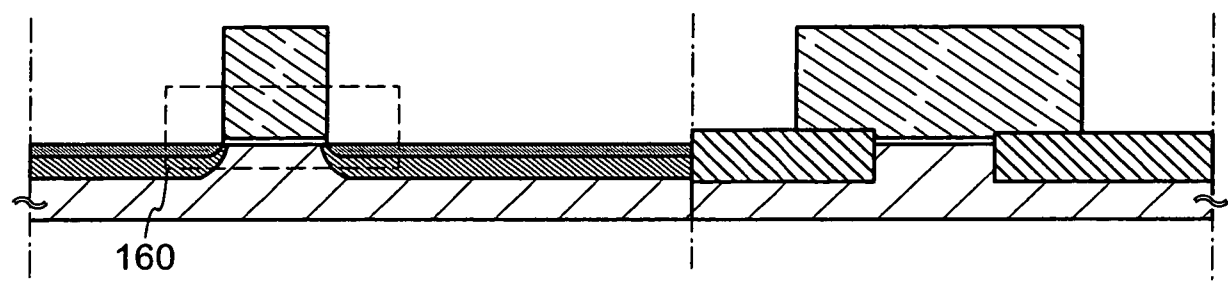
第7E圖



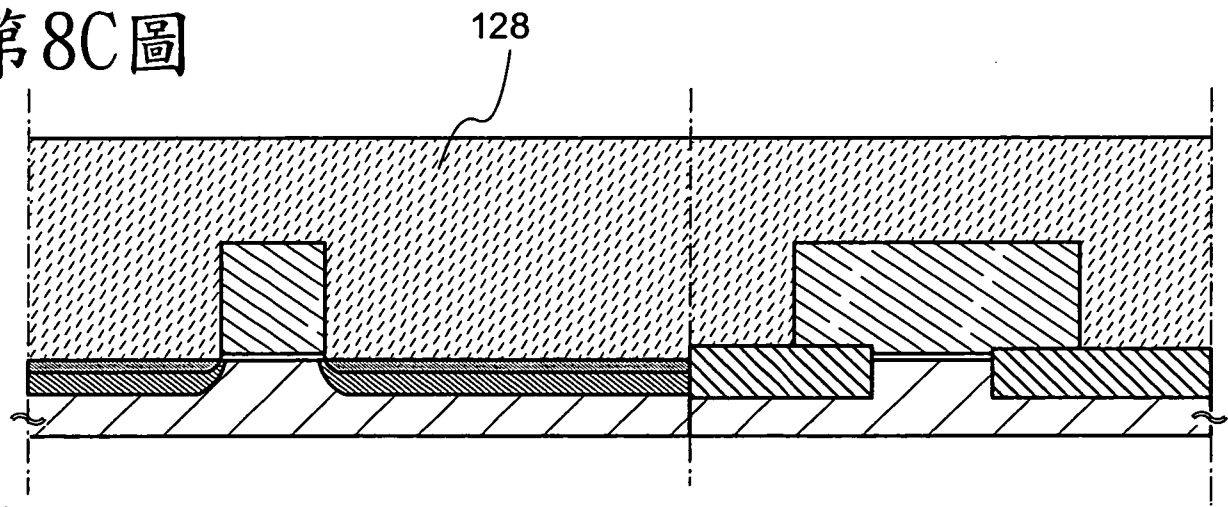
第8A圖



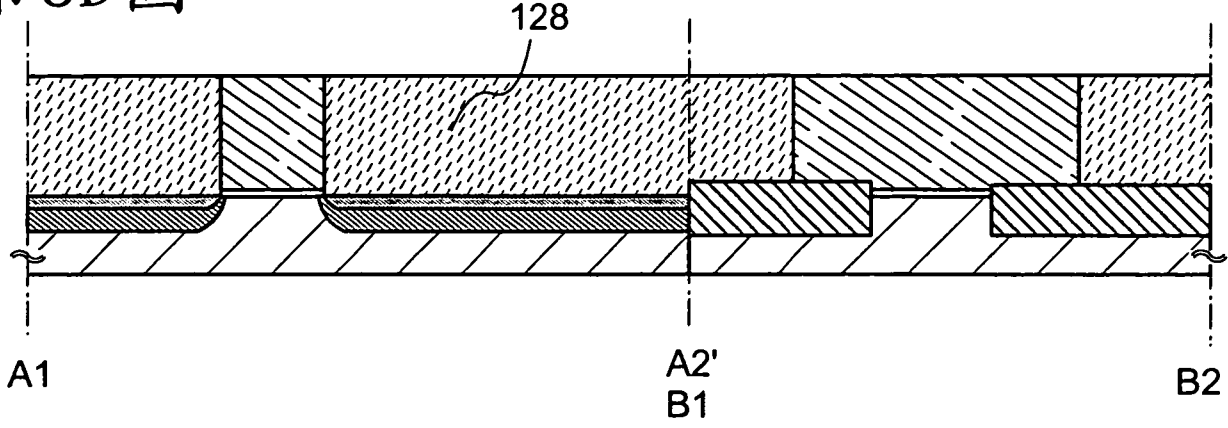
第8B圖



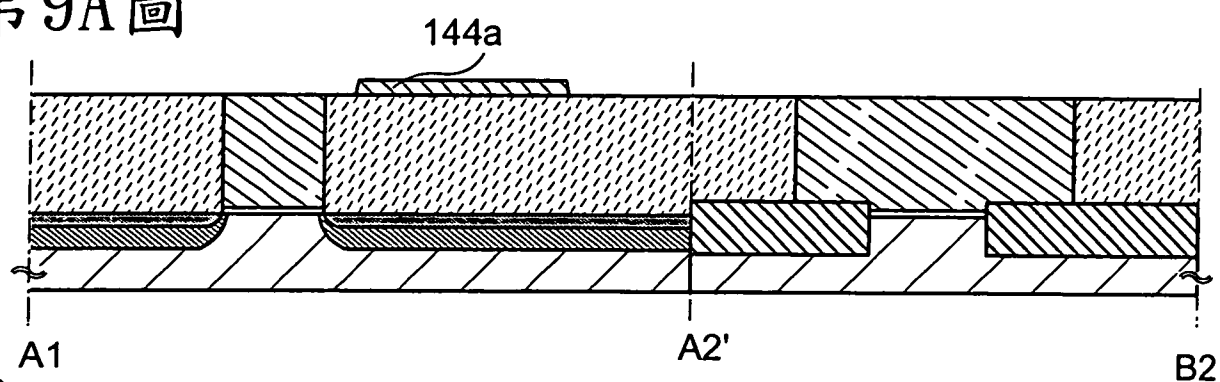
第8C圖



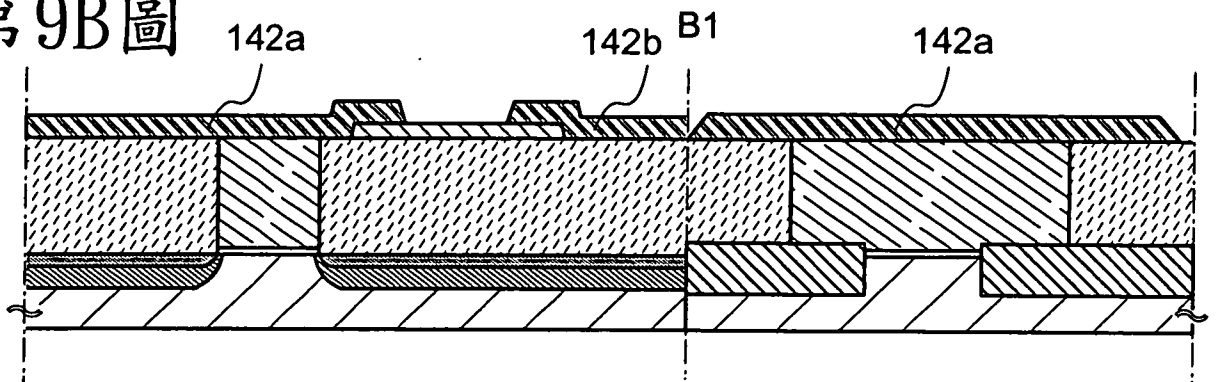
第8D圖



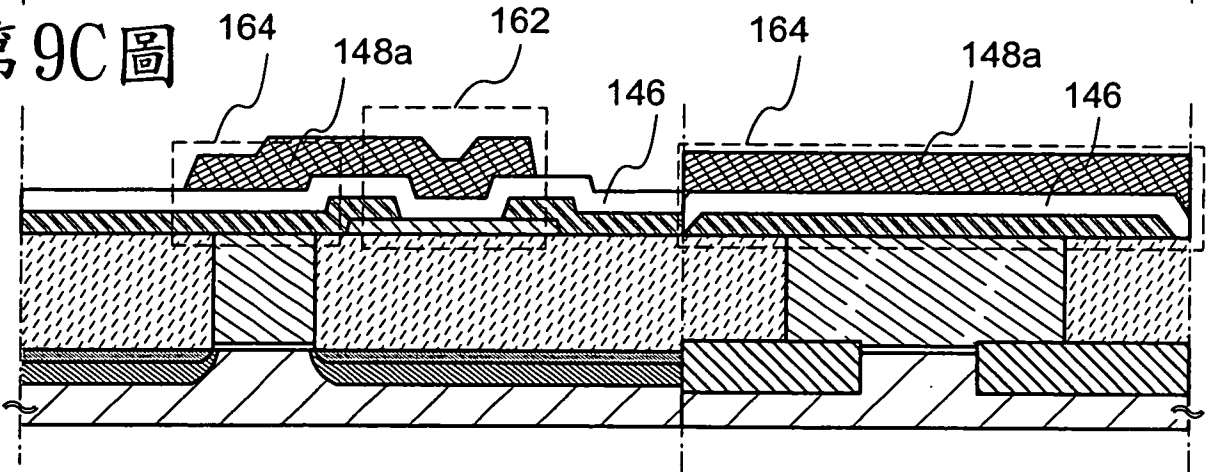
第9A圖



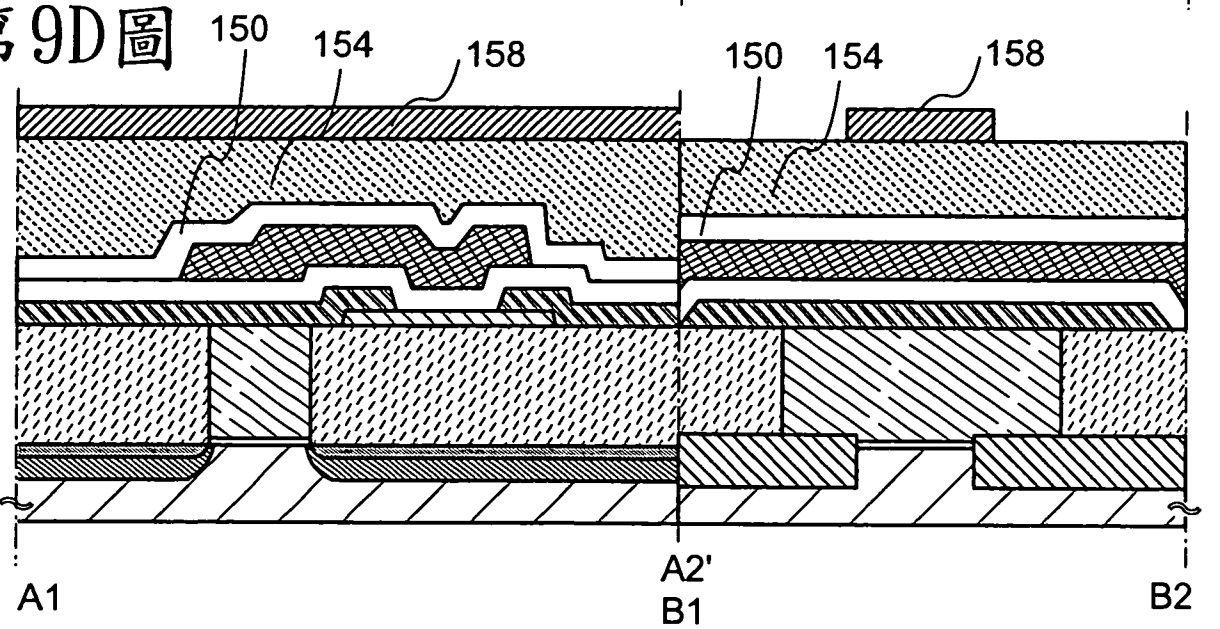
第9B圖



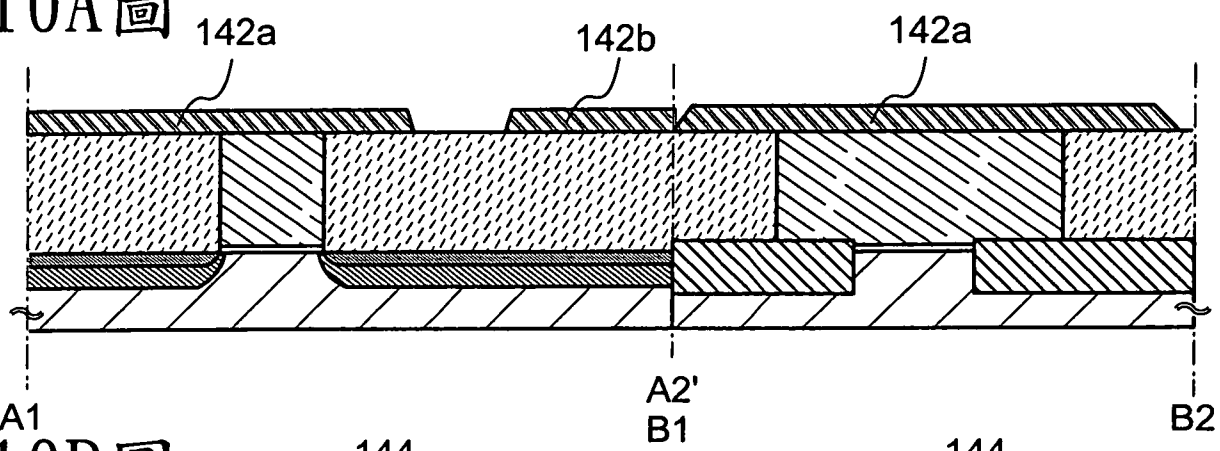
第9C圖



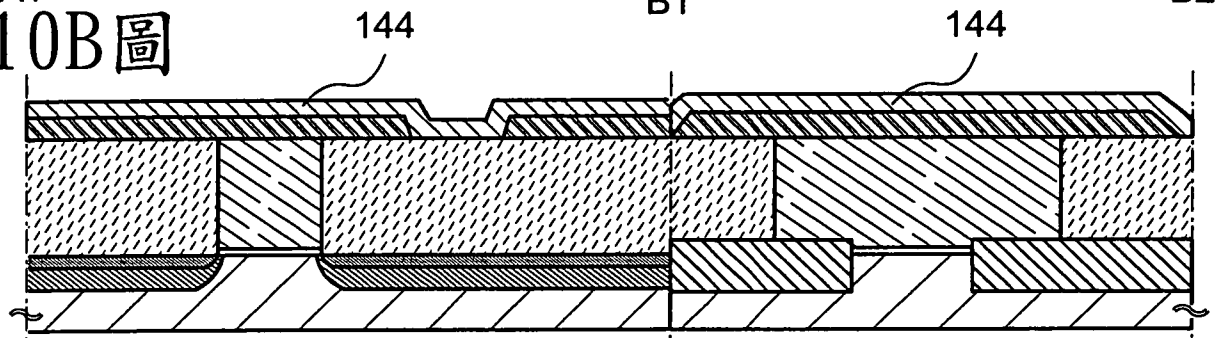
第9D圖



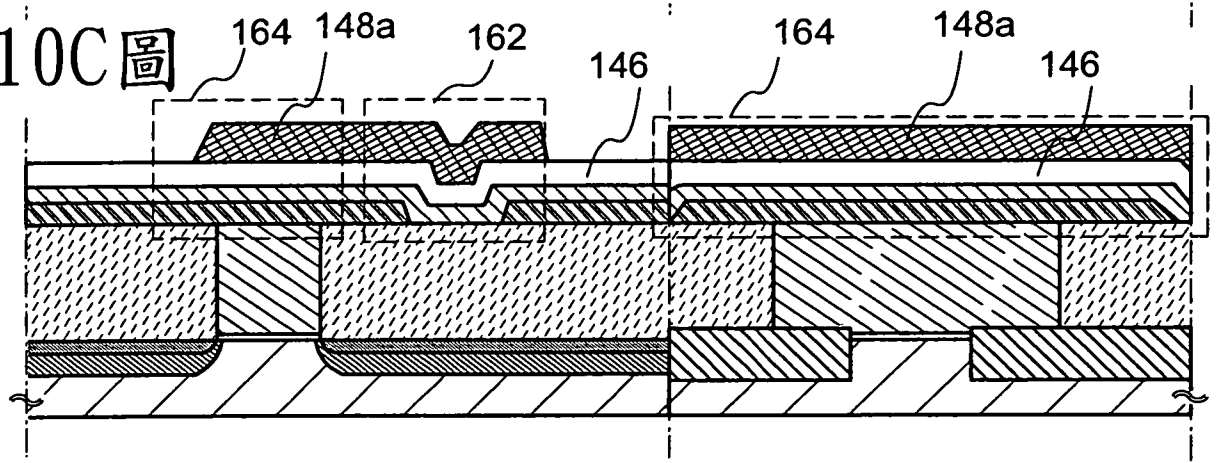
第10A圖



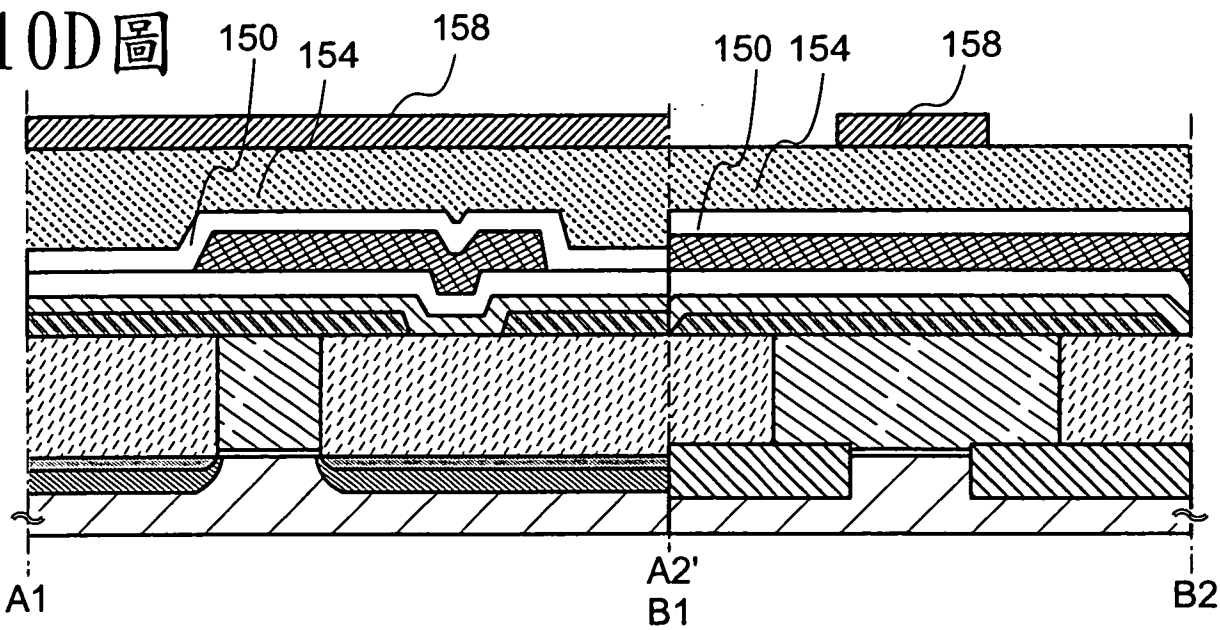
第10B圖



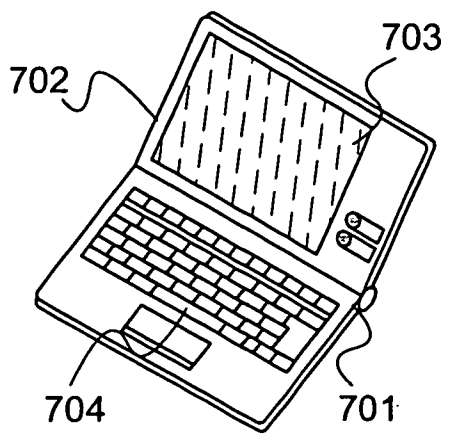
第10C圖



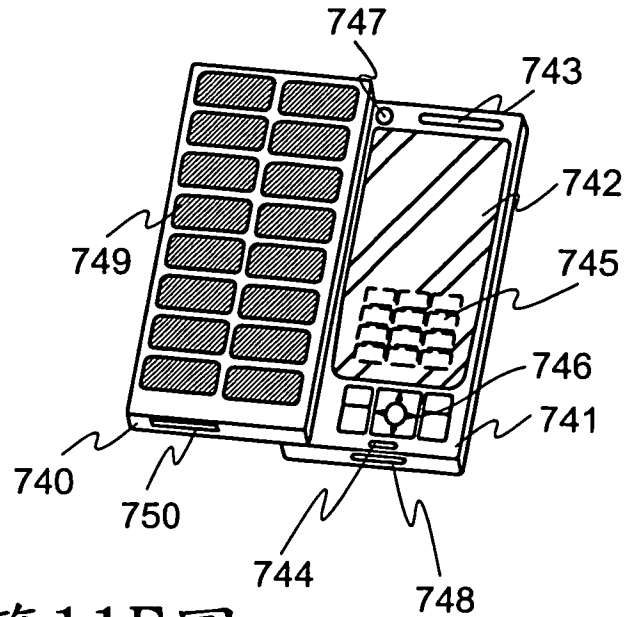
第10D圖



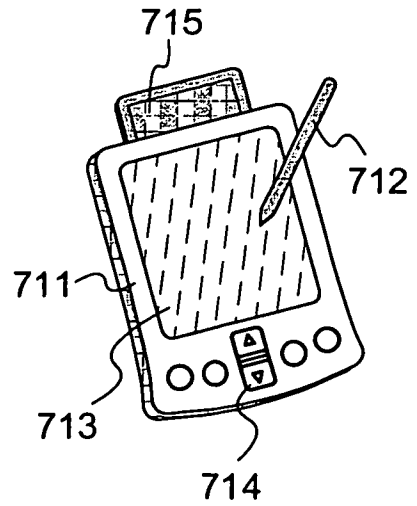
第11A圖



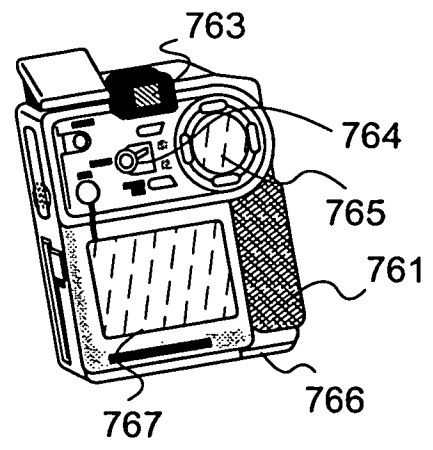
第11D圖



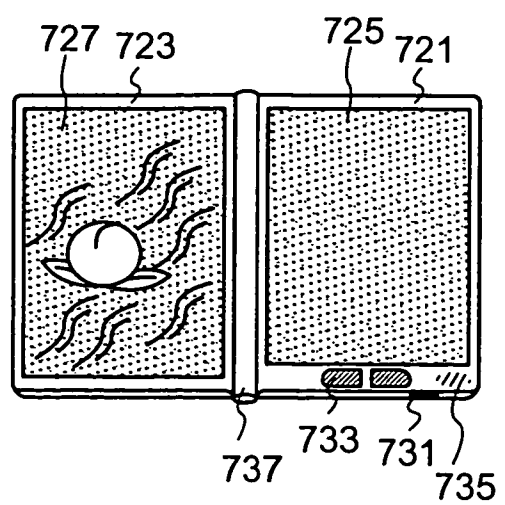
第11B圖



第11E圖



第11C圖



第11F圖

