

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3917193号  
(P3917193)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl.

H03M 3/02 (2006.01)

F I

H03M 3/02

請求項の数 3 (全 7 頁)

(21) 出願番号	特願平11-516482	(73) 特許権者	コーニンクレッカ フィリップス エレク トロニクス エヌ ヴィ オランダ国 5621 ペーアー アイン ドーフエン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成10年8月3日(1998.8.3)	(74) 代理人	弁理士 杉村 興作
(65) 公表番号	特表2001-505038 (P2001-505038A)	(74) 代理人	弁理士 杉村 純子
(43) 公表日	平成13年4月10日(2001.4.10)	(72) 発明者	ファン デル ズワン エリック ユルヘ ン オランダ国 5656 アーアー アイン ドーフエン プロフ ホルストラーン 6
(86) 国際出願番号	PCT/IB1998/001187		
(87) 国際公開番号	W01999/012264		
(87) 国際公開日	平成11年3月11日(1999.3.11)		
審査請求日	平成17年8月3日(2005.8.3)		
(31) 優先権主張番号	97202657.9		
(32) 優先日	平成9年8月29日(1997.8.29)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 利得精度を改善したシグマ-デルタ変調器

## (57) 【特許請求の範囲】

## 【請求項 1】

アナログ入力信号をデジタル出力信号に変換するシグマ - デルタ変調器であって：

- アナログ入力信号に応答して増幅入力信号を供給する第 1 利得段を具備している入力回路網と；

- 前記増幅入力信号と増幅帰還信号との比較結果に応答して差信号を供給する手段と；
- 前記差信号をろ波し且つろ波した差信号を供給するフィルタリング手段と；
- 前記ろ波した差信号をサンプリングすると共に量子化し、且つデジタル出力信号を供給する出力端子を有している手段と；

- 前記デジタル出力信号をアナログ帰還信号に変換するデジタル - アナログ変換器及び前記アナログ帰還信号に응答して前記増幅帰還信号を供給する第 2 利得段を具備している帰還回路網と；

を具備しているシグマ - デルタ変調器において、当該シグマ - デルタ変調器がさらに：

- 前記第 1 利得段と前記第 2 利得段とを規則的に入れ替える交換手段；

を具備し、該交換手段が、前記アナログ入力信号及び増幅帰還信号を受信する入力端子を有すると共に前記第 1 及び第 2 利得段の各入力端子に結合されて、これらの各入力端子にアナログ入力信号及び増幅帰還信号を規則的に入れ替えて供給する出力端子を有している第 1 スイッチング手段を具備していることを特徴とするシグマ - デルタ変調器。

## 【請求項 2】

前記第 1 及び第 2 利得段が、反転出力端子及び非反転出力端子を有する差動トランスコン

10

20

ダクタを具え、前記第 1 利得段の反転出力端子と、前記第 2 利得段の非反転出力端子とを第 1 ノードにて相互接続して、第 1 減算信号を前記フィルタリング手段に供給し、且つ前記第 1 利得段の非反転出力端子と、前記第 2 利得段の反転出力端子とを第 2 ノードにて相互接続して、第 2 減算信号を前記フィルタリング手段に供給するようにしたことを特徴とする請求の範囲 1 に記載のシグマ - デルタ変調器。

### 【請求項 3】

前記第 1 減算信号と、前記第 2 減算信号とを入れ替える第 2 スイッチング手段も具備していることを特徴とする請求の範囲 2 に記載のシグマ - デルタ変調器。

### 【発明の詳細な説明】

本発明は、アナログ入力信号をデジタル出力信号に変換するシグマ - デルタ変調器であ

10

って：

- アナログ入力信号に応答して増幅入力信号を供給する第 1 利得段を具備している入力回路網と；

- 前記増幅入力信号と増幅帰還信号との比較結果に応答して差信号を供給する手段と；

- 前記差信号をろ波し且つろ波した差信号を供給するフィルタリング手段と；

- 前記ろ波した差信号をサンプリングすると共に量子化し、且つデジタル出力信号を供給する出力端子を有している手段と；

- 前記デジタル出力信号をアナログ帰還信号に変換するデジタル - アナログ変換器及び前記アナログ帰還信号に応答して前記増幅帰還信号を供給する第 2 利得段を具備している帰還回路網と；

20

を具備しているシグマ - デルタ変調器に関するものである。

斯種のシグマ - デルタ変調器は既知であり、1994年にKluwer Academic出版社により出版されたRudy van de Plasse著による“Integrated analog-to-digital and digital-to-analog converters”の第11章に記載されている。シグマ - デルタ変調技法は、アナログ入力信号を低分解能で高量子化ノイズを有する量子化手段によってオーバーサンプリングして高分解能で、しかも低量子化ノイズのデジタル出力信号に変換する技法である。デジタル信号は同じ低分解能のデジタル - アナログ変換器によってアナログ帰還信号に再変換され、且つ減算段にてアナログ入力信号から差し引かれる。これら2つの信号の差をアナログローパスフィルタにてろ波して、量子化手段へ供給する。アナログ信号のベースバンド周波数に対して十分に高いループ利得を用いることによって、デジタル出力信号におけるベースバンド内の量子化ノイズを、このベースバンド以上の量子化ノイズが高くなることは犠牲にして、低くするようにする。しかし、デジタルフィルタ技法により、ベースバンド以上のノイズは、例えばオーバーサンプリングしたSDMデジタル出力信号を所望な低いサンプリング速度にて高い分解能の（ビット数が多い）デジタル信号に変換するデシメーティングフィルタによって有効に抑圧することができる。

30

図1はSDMのブロック図を示す。アナログ入力信号Xは入力回路網にて増幅又はバッファされ、この入力回路網の利得を、利得がaの第1利得段によって示してある。アナログ帰還信号が入力信号から差し引かれ、この差が低域ローパスフィルタG(f)にてろ波されて、サンプリング速度 $f_s$ にてサンプリングされ、且つ量子化器Qによって量子化される。量子化器の分解能は1ビット又は多ビットとすることができる。帰還回路網では、デジタル出力信号 $Y_s$ が量子化器Qと同じ分解能を有するデジタル - アナログ変換器DACによってアナログ帰還信号に再変換される。帰還回路網のアナログ利得を、利得がdの第2利得段として示してある。後に示すように、低周波入力（即ち、サンプリング速度 $f_s$ よりも遥かに小さい周波数）の場合には、信号利得が $a/d$ となる。量子化ノイズはローパスフィルタ特性G(f)の逆数によって“整形”される。

40

或る用途、例えば楽器のような用途にとっては、SDMの正確な利得 $a/d$ が重要である。しかし、利得段aとdの利得の不整合により、総合利得が正確でなくなり、所望値からずれてしまい、これらの利得が互いに異なる或るオフセットを含むことになるため、差信号がオフセット及びひずみを有することになる。

本発明の目的は、精度を改善したSDMを提供することにある。このために、本発明は冒

50

頭にて述べたようなシグマ - デルタ変調器において、当該シグマ - デルタ変調器がさらに：

- 前記第 1 利得段と前記第 2 利得段とを規則的に入れ替える交換手段；  
を具え、該交換手段が、前記アナログ入力信号及び増幅帰還信号を受信する入力端子を有すると共に前記第 1 及び第 2 利得段の各入力端子に結合されて、これらの各入力端子にアナログ入力信号及び増幅帰還信号を規則的に入れ替えて供給する出力端子を有している第 1 スイッチング手段を具えていることを特徴とする。

第 1 利得段 a と第 2 利得段 d とを規則的に入れ換える（“チョッピング”）ことにより、双方の利得段の差異及び不整合もチョッピング周波数で変調される。双方の利得段の実効値が a と d との平均値となるため、SDM の利得が正確に単位利得となる。チョッピング周波数で差信号に高周波のリプルが存在するが、チョッピング周波数は当面の関連する周波数帯域以外の周波数に選定することができるため、このようなリプルは無効なものとなる。

完全に差動式の回路を用いることにより、好ましくは第 1 及び第 2 利得段に差動トランスコンダクタを用いることにより、さらに改善することができる。この場合の入力信号と帰還信号との減算は、トランスコンダクタの互いに反対の差動出力信号を相互接続することによって簡単に行なうことができる。

本発明の上述した特徴及び他の特徴及び利点を添付図面を参照して実施例につき説明して明らかにするに、ここに：

図 1 は従来のシグマ - デルタ変調器の回路図であり；

図 2 は図 1 のシグマ - デルタ変調器のリニアモデルの回路図であり；

図 3 は入力回路網及び帰還回路網に完全に差動式のトランスコンダクタを用いる従来のシグマ - デルタ変調器の回路図であり；

図 4 は本発明によるシグマ - デルタ変調器の第 1 実施例の回路図であり；

図 5 は本発明によるシグマ - デルタ変調器の第 2 実施例の回路図であり；

図 6 は本発明によるシグマ - デルタ変調器の第 3 実施例の一部を示す回路図である。

図面及び好適実施例の説明では、同じか、又は極めて似ているものに同様な参照記号を用いている。

図 1 は通常シグマ - デルタ変調器 (SDM) の回路図を示す。アナログ入力信号 X は入力回路網にて増幅されるか、又はバッファされ、この入力回路網の利得を利得が a の第 1 利得段 2 によって示してある。減算器 4 では、増幅又はバッファされた入力信号からアナログ帰還信号が差し引かれ、その差が伝達特性  $G(f)$  を有する低域ループフィルタ 6 にて波されて、サンプリング回路 8 によりサンプリング速度  $f_s$  にてサンプリングされてから、1 ビット又は多ビット分解能を有する量子化器 10 によって量子化されて、デジタル出力信号  $Y_s$  として出力される。帰還回路網では、デジタル出力信号  $Y_s$  が量子化器 10 と同じ分解能を有するデジタル - アナログ変換器 (DAC) 12 によってアナログ帰還信号に再変換される。帰還回路網のアナログ利得を、利得が d の第 2 利得段 14 とし示してある。

図 1 の SDM は通常図 2 に示すようにモデル化される。1 ビット又は多ビットの分解能を有することができる量子化器 10 は、利得が c の利得段 16 と相加性のホワイトノイズ源  $N_s$  とによりモデル化される。帰還 DAC 12 はホールド段 18 及び利得が d の利得段 14 としモデル化することができる。なお、図 2 のシステムは混合連続 - 時間 / 離散 - 時間システムである。離散 - 時間信号をデジタル出力信号  $Y_s$  及び相加性ノイズ  $N_s$  のように指数 S にて示してある。サンプリング回路 8 は連続 - 時間域からの入力信号を離散 - 時間域の信号に変換する。サンプリング回路の出力信号の周波数スペクトルはサンプリング周波数で繰り返す。ホールド段 18 の保持機能は、離散 - 時間域からの入力信号を連続 - 時間域の信号に変換する。周波数域における保持機能を sinc フィルタ  $G_H(f)$  によって示してあり、このフィルタはサンプリング周波数  $f_s$  の多数倍の個所にノッチを有する低域通過特性を有する。図 2 の SDM のデジタル出力信号  $Y_s$  は次のように表わすことができる。

。

10

20

30

40

50

$$Y_s(f) = \frac{a \cdot cG(f)}{1 + cdG(f)G_H(f)} X(f) + \frac{1}{1 + cdG(f)G_H(f)} N_s(f) \quad (1)$$

低周波に対して、保持機能  $G_H(f)$  はほぼ単位利得を呈し、しかもループフィルタ  $G(f)$  が低域フィルタであるため、 $cdG(f) > 1$  であるから、式(1)は次のように単純化される。

$$Y_s(f) \approx \frac{a}{d} X(f) + \frac{1}{dG(f)} N_s(f) \quad (2)$$

低周波入力、即ちサンプリング速度  $f_s$  よりも遥かに小さい周波数に対しては、信号利得が  $a/d$  となる。ノイズはループフィルタ特性  $G(f)$  の逆数によって「整形」される。幾つかの用途、例えば楽器の用途にとっては、SDMの正確な利得  $a/d$  が重要である。實際上シリコンで実現するのに利得  $a$  と  $d$  の最適な整合を得るためには、 $a$  を  $d$  の整数倍としてか、又はその逆として選定するのが賢明である。

図3は、第1利得段2及び第2利得段14を共に等しい相互コンダクタンス  $G_m$  を有する完全に差動式の入力トランスコンダクタ20と、完全に差動式の帰還トランスコンダクタ22とで実現して、SDMの信号利得が単位利得となるようにする具体例を示す。トランスコンダクタ20は正の入力端子36及び負の入力端子38と、正の出力端子24及び負の出力端子26とを有しており、トランスコンダクタ22は正の入力端子40、負の入力端子42、正の出力端子28及び負の出力端子30を有している。この場合のアナログ入力信号と帰還信号との減算は、第1ノード32にて、入力トランスコンダクタ20の正の出力端子24を帰還トランスコンダクタ22の負の出力端子30に相互接続し、且つ第2ノード34にて、入力トランスコンダクタ20の負の出力端子26を帰還トランスコンダクタ22の正の出力端子28に相互接続することにより簡単に行なうことができる。これにより得られる第1及び第2ノード32及び34を経て流れる差電流がループフィルタ6の入力電流を成し、この入力電流は次のように表わされる。

$$I_{in,fr} = G_m(v_{in} - v_{DAC}) \quad (3)$$

ここに、 $V_{in}$  は入力トランスコンダクタ20の差動入力端子36と38における差分アナログ入力信号であり、 $V_{DAC}$  は帰還トランスコンダクタ22の差動入力端子40と42における差分帰還信号である。

トランスコンダクタ20と22の不整合のために、利得が単位利得からずれたりする。これらの利得は互いに異なる所定のオフセットも含むため、差電流  $I_{in,fr}$  がオフセット及び偶数調波のひずみを有することになる。さらに、トランスコンダクタ20と22との非対称性は、入力トランスコンダクタ20がシングルエンデッドの入力端子を有し(他方の入力端子は基準電圧に接続される)、これに対し、帰還トランスコンダクタ22がそれとは違った方法で用いられる場合にも導入される。これによってもオフセット及び偶数調波ひずみが生成される。

図4は図3と同じSDMの構成を示すが、これにはスイッチング回路44を拡張させてある。このスイッチング回路44は、差分入力電圧  $V_{in}$  を受電する正の入力端子46及び負の入力端子48と、入力トランスコンダクタ20の正の入力端子36及び負の入力端子38にそれぞれ接続される出力端子50及び52とを有している。スイッチング回路44はさらに、差分帰還電圧  $V_{DAC}$  を受電するための正の入力端子54及び負の入力端子56と、帰還トランスコンダクタ22の正の入力端子40及び負の入力端子42にそれぞれ接続される出力端子58及び60とを有している。

トランスコンダクタ20と22をスイッチング回路又はチョッパ44により規則的に入れ替える(“チョッピング”)ことにより、両トランスコンダクタ間の差をチョッピング周波数で変調させる。双方のトランスコンダクタの相互コンダクタンスの実効値が平均値  $G_{m,a}$  及び  $G_{m,b}$  となるため、SDMの利得が正確に単位利得となる。差分電流  $I_{in,fr}$  に(チョッピング周波数にて)高周波のリプルがあっても、チョッピング周波数を当面の関連する周波数帯域以外の周波数に選定して、斯かるリプルを無効なものとすることができる

10

20

30

40

50

。減算を行なう必要があるから、トランスコンダクタ 20 及び 22 の出力端子は図 3 に示したと同じように交差結合させる。

差分電流  $I_{in, ftr}$  の正しい位相を維持するために、チョッピングは次のように行わなければならない。

- チョッピングクロック周期の第 1 半部の期間中は、正の入力端子 46 が出力端子 50 に接続され、負の入力端子 48 が出力端子 52 に接続され、正の入力端子 54 が出力端子 58 に接続され、且つ負の入力端子 56 が出力端子 60 に接続されるようにする。

- チョッピングクロック周期の第 2 半部の期間中には、正の入力端子 46 が出力端子 60 に接続され、負の入力端子 48 が出力端子 58 に接続され、正の入力端子 54 が出力端子 52 に接続され、且つ負の入力端子 56 が出力端子 50 に接続されるようにする。

オフセット及び偶数調波ひずみ並びにフリッカーノイズを低減させるために、チョッピングプロセスはノード 32 及び 34 とループフィルタ 6 の入力端子 64 及び 66 との間に第 2 チョップ 62 を付加することによって拡張させることができる。これを図 5 に示してある。第 2 チョップ 62 はトランスコンダクタ 20 及び 22 の減算出力信号を入れ替える。差分電流  $I_{in, ftr}$  の正しい位相を維持するために、この場合には、チョッピングを次のように行わなければならない。

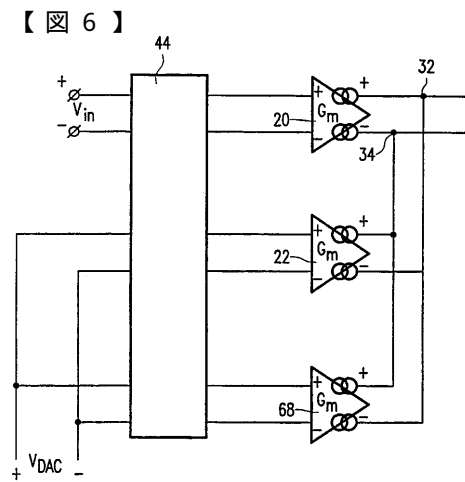
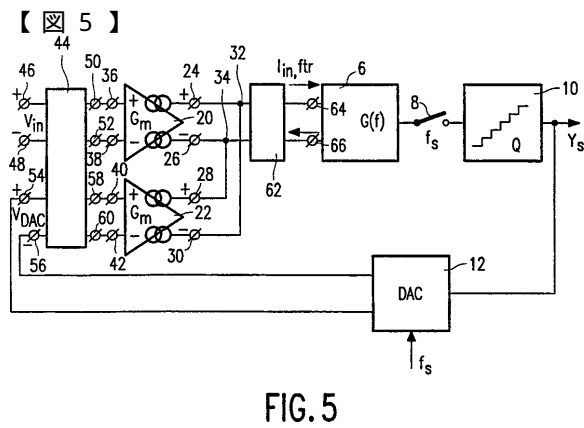
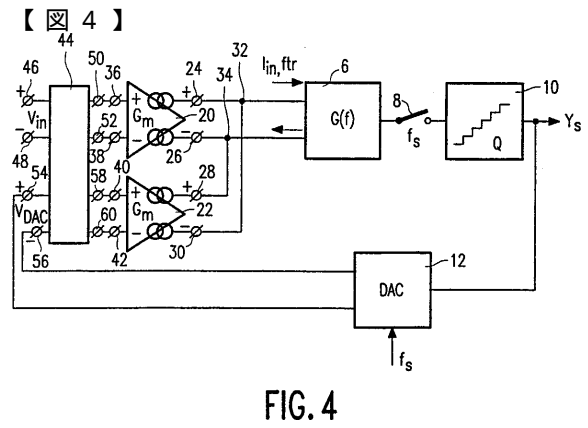
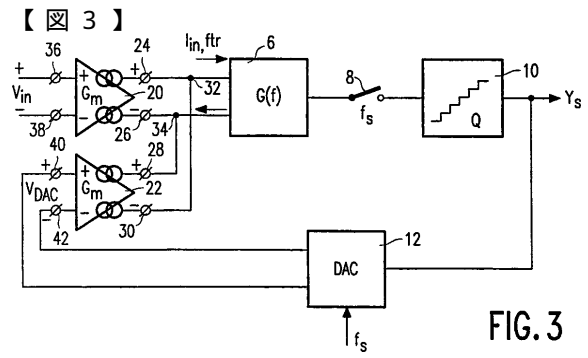
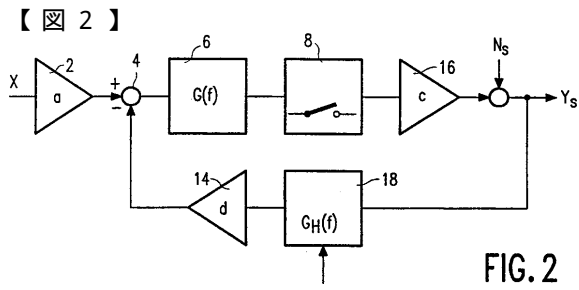
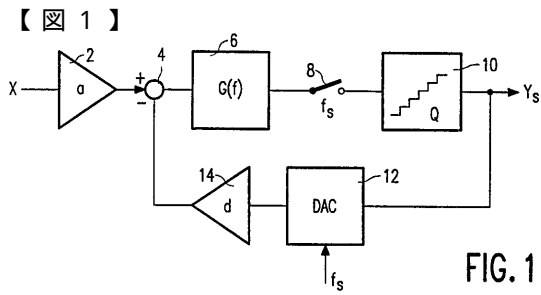
- チョッピングクロック周期の第 1 半部の期間中は、正の入力端子 46 が出力端子 50 に接続され、負の入力端子 48 が出力端子 52 に接続され、正の入力端子 54 が出力端子 58 に接続され、且つ負の入力端子 56 が出力端子 60 に接続され、さらに、第 2 チョップ 62 によって、第 1 ノード 32 が入力端子 64 に接続され、且つ第 2 ノード 34 が入力端子 66 に接続されるようにする。

- チョッピングクロック周期の第 2 半部の期間中には、正の入力端子 46 が出力端子 58 に接続され、負の入力端子 48 が出力端子 60 に接続され、正の入力端子 54 が出力端子 50 に接続され、且つ負の入力端子 56 が出力端子 52 に接続され、さらに、第 2 チョップ 62 によって、第 1 ノード 32 が入力端子 66 に接続され、且つ第 2 ノード 34 が入力端子 64 に接続されるようにする。帰還トランスコンダクタ 22 に並列に、同じ相互コンダクタンス  $G_m$  を有する 1 個以上のトランスコンダクタをさらに付加することによって、単位利得以外の総合利得を得ることができる。図 6 は第 2 の帰還トランスコンダクタ 68 を付加した例を示す。トランスコンダクタ 22 と 68 の対応する出力端子を相互接続するため、帰還回路網での総合相互コンダクタンスは  $2G_m$  となる。両トランスコンダクタ 22 及び 68 は DAC 12 から差分帰還電圧  $V_{DAC}$  を受電する。スイッチング回路 44 は差分帰還電圧  $V_{DAC}$  に接続される別の組の正及び負の入力端子と、第 2 帰還トランスコンダクタ 68 の入力端子に接続される別の組の出力端子とで拡張される。この際、チョッピング期間は、3 つのトランスコンダクタ 20, 22 及び 68 が循環的に入れ替わる 3 つの期間に分けられる。入力トランスコンダクタ 20 に並列に 1 個以上のトランスコンダクタを加えることができる。

10

20

30



---

フロントページの続き

(72)発明者 デイクマン ス アイ ス カレル  
オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

審査官 高野 洋

(56)参考文献 特開平08 - 265158 (JP, A)  
特開平05 - 160735 (JP, A)  
特開平08 - 154058 (JP, A)  
特開平09 - 186601 (JP, A)  
特開平08 - 256059 (JP, A)  
国際公開第97 / 026708 (WO, A1)  
特開平02 - 226818 (JP, A)  
特開平06 - 177769 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H03M 3/02