(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2012 年 10 月 11 日 (11.10.2012)

WIPO | PCT

(10) 国际公布号
WO 2012/135986 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2011/001317

(22) 国际申请日: 2011 年 8 月 9 日 (09.08.2011)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201110083546.4 2011 年 4 月 2 日 (02.04.2011) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **尹海洲 (YIN, Haizhou)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, NY 12603 (US)。 **骆志炯 (LUO, Zhijiong)** [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, NY 12603 (US)。 **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。

(74) 代理人: **中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD)**; 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD FOR MANUFACTURING TRANSISTOR AND SEMICONDUCTOR DEVICE

(54) 发明名称 : 一种制作晶体管和半导体器件的方法

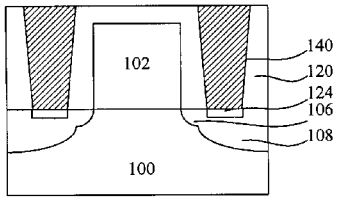

图 6 / Fig. 6

(57) Abstract: A method for manufacturing a transistor and a semiconductor device is provided. The method for manufacturing the transistor may comprise: determining an active region on a semiconductor substrate (100), forming a gate stack layer or pseudo gate layer (102), a source/drain extension region (106), a side wall (104) and a source/drain region (108) on the active region, the source/drain extension region (106) being embedded in the active region and self-aligned with two sides of the gate stack layer or pseudo gate layer (102), the side wall (104) surrounding the gate stack layer or pseudo gate layer (102), and the source/drain region (108) being embedded in the active region and self-aligned with the outside of the side wall (104); removing at least a part of the side wall (104), so as to expose a part of the active region; and forming an interlayer dielectric layer (120), the interlayer dielectric layer (120) covering the gate stack layer or pseudo gate layer (102), the side wall (104) and the exposed active region, the dielectric constant of the material of the interlayer dielectric layer (120) is less than the dielectric constant of the material of the removed side wall (104), thereby being beneficial to reduction of the capacitance between a gate region and the source/drain region (108) and between the gate region and a contact plug (140).

[见续页]

WO 2012/135986 A1

(57) 摘要:

提供一种制作晶体管和半导体器件的方法。制作晶体管的方法可以包括：在半导体衬底（100）上确定有源区，在所述有源区上形成栅叠层或伪栅层（102）、源漏延伸区（106）、侧墙（104）和源漏区（108），所述源漏延伸区（106）嵌于所述有源区中且自对准于所述栅叠层或伪栅叠层（102）两侧，所述侧墙（104）环绕所述栅叠层或伪栅叠层（102），所述源漏区（108）嵌于所述有源区中且自对准于所述侧墙（104）外；至少去除部分所述侧墙（104），以暴露部分所述有源区；形成层间介质层（120），所述层间介质层（120）覆盖所述栅叠层或伪栅叠层（102）、所述侧墙（104）和暴露的所述有源区，所述层间介质层（120）材料的介电常数小于被去除的所述侧墙（104）材料的介电常数，利于减小栅极区域和源漏区(108)之间以及栅极区域和接触塞（140）之间的电容。

一种制作晶体管和半导体器件的方法

本申请要求了2011年4月2日提交的、申请号为201110083546.4、发明名称为“一种制作晶体管和半导体器件的方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明通常涉及半导体技术，更具体地涉及一种制作晶体管和半导体器件的方法。

背景技术

随着例如金属氧化物半导体场效应晶体管（MOSFET）的晶体管尺寸的逐渐缩小，晶体管的栅极区域和源漏区之间的距离以及栅极区域和接触塞之间的距离也逐渐缩小。从电容计算公式 C=kA/d 可知，电容与距离 d 成反比，与介电常数 k 值成正比。这就意味着随着栅极区域和源漏区之间距离逐渐缩小甚至接近于零，栅极区域和源漏区之间的电容将迅速增大。类似地，栅极区域和接触塞之间的电容也会迅速增大。这将使得晶体管的总电容显著增大，进而将会大大影响晶体管的速度和性能。

在本领域中，通常认为 k 值大于 25 的材料为高 k 材料，k 值小于 8.0 但大于 3.85 的材料为中 k 材料，k 值小于 3.85 的材料为低 k 材料。在现有技术中，本领域技术人员为了降低栅极区域和源漏区之间以及栅极区域和接触塞之间的电容，曾经设想使用 k 值不太高的氮化物（诸如氮化硅）作为间隔层，并同时阻止外界氧气在高温退火时进入栅极。然而，由于氮化硅的 k 值大约为 7，属于中 k 材料，所以随着晶体管尺寸的进一步减小，栅极区域和源漏区之间以及栅极区域和接触塞之间的电容仍会显著增加，从而对晶体管的速度和性能的改进非常有限。

为此，在本领域中存在对于晶体管技术进行改进的迫切需要。

发明内容

有鉴于此，本发明提供一种制作晶体管和半导体器件的方法，其能够解决或者至少缓解现有技术中存在的至少一部分缺陷。

根据本发明的第一个方面，提供了一种制作晶体管的方法，包括下列步骤：

在半导体衬底上确定有源区，在所述有源区上形成栅叠层或伪栅叠层、源漏延伸区、侧墙和源漏区，所述源漏延伸区嵌于所述有源区中且自对准于所述栅叠层或伪栅叠层两侧，所述侧墙环绕所述栅叠层或伪栅叠层，所述源漏区嵌于所述有源区中且自对准于所述侧墙外；

至少去除部分所述侧墙，以暴露部分所述有源区；

形成层间介质层，所述层间介质层覆盖所述栅叠层或伪栅叠层、所述侧墙和暴露的所述有源区，所述层间介质层材料的介电常数小于被去除的所述侧墙材料的介电常数。

在本发明的一个实施方式中，在形成层间介质层后，还包括：

在所述层间介质层中形成接触孔，以暴露部分所述有源区；

在暴露的所述有源区上形成接触层。

在本发明的另一个实施方式中，形成所述接触层的步骤包括：

形成金属层，以覆盖所述接触孔的侧壁和暴露的所述有源区；

进行退火，使得所述金属层材料与暴露的所述有源区反应以形成金属半导体材料；

去除未反应的所述金属层材料。

在本发明的再一个实施方式中，所述侧墙包括侧墙基层和形成于所述侧墙基层上的主侧墙，且所述主侧墙材料的介电常数大于所述侧墙基层材料的介电常数时，至少去除部分所述侧墙的步骤包括：去除所述主侧墙。

在本发明的又一个实施方式中，所述半导体衬底材料为硅、所述侧墙基层材料为氧化硅、所述主侧墙材料为氮化硅时，所述层间介质

层材料的介电常数小于氮化硅的介电常数。

在本发明的另一个实施方式中，所述层间介质层材料的介电常数小于氧化硅的介电常数。

在本发明的再一个实施方式中，所述半导体衬底材料为硅时，所述层间介质层材料为碳掺杂的氧化硅玻璃。

在本发明的又一个实施方式中，在形成层间介质层后，还包括：

平坦化所述层间介质层，以暴露所述伪栅叠层；

去除所述伪栅叠层，以形成空腔；

在所述空腔中形成栅叠层。

根据本发明的第二个方面，提供了一种制作半导体器件的方法，可以包括上述的制作晶体管方法的步骤。

借助于本发明的制作晶体管的方法，通过在利用侧墙环绕栅叠层或伪栅叠层后，再至少去除部分所述侧墙，以暴露部分所述有源区，再以其介电常数小于被去除的所述侧墙材料的介电常数的层间介质层覆盖所述栅叠层或伪栅叠层、所述侧墙和暴露的所述有源区，即，以介电常数更小的层间介质层材料替代原侧墙材料在栅极区域和源漏区之间以及栅极区域和接触塞之间形成隔离，相当于减小了栅极区域和源漏区之间以及栅极区域和接触塞之间的介电常数，进而使减小栅极区域和源漏区之间以及栅极区域和接触塞之间的电容成为可能，利于改善晶体管的性能。

通过在形成层间介质层后再形成接触层，利于减少去除至少部分侧墙时采用的工艺对已形成的接触层造成的损伤。

附图说明

通过对结合附图示出的实施方式进行详细说明，本发明的上述以及其他特征将更加明显，其中：

图 1 示意性地示出了根据本发明一个实施方式的制作晶体管方法的流程图。

图 2 至图 6 示意性地示出了根据本发明一个实施方式制作晶体管时各中间结构的结构剖示图。

具体实施方式

首先需要指出的是，在本发明中提到的关于位置和方向的术语，诸如“上”、“下”等，是从附图的纸面正面观察时所指的方向。因此本发明中的“上”、“下”等关于位置和方向的术语仅仅表示附图所示情况下的相对位置关系，这只是出于说明的目的而给出的，并非意在限制本发明的范围。

下面，将结合附图对本发明提供的方案进行详细地说明。图 2 至图 6 是以硅衬底作为实例示出，然而除了硅衬底之外，也可以使用硅锗衬底、III-V族元素化合物衬底、碳化硅衬底、SOI（绝缘体上的硅）衬底等任何适当的半导体衬底。因此，本发明并不局限于示出的硅衬底的情形。

如图 1 和图 2 所示，在步骤 S101 中，在半导体衬底 100 上确定有源区（active area），在所述有源区上形成栅叠层或伪栅叠层 102、源漏延伸区 106、侧墙 104 和源漏区 108，所述源漏延伸区 106 嵌于所述有源区中且自对准于所述栅叠层或伪栅叠层 102 两侧，所述侧墙 104 环绕所述栅叠层或伪栅叠层 102，所述源漏区 108 嵌于所述有源区中且自对准于所述侧墙 104 外。

所述栅叠层或伪栅叠层 102 可以包括形成于所述有源区上的栅介质层和形成于栅介质层上的栅电极。在本实施例中，所述栅介质层可以为氧化硅、氮化硅及其组合形成，在其他实施例中，也可以是高 K 介质（可采用化学气相淀积工艺形成），例如，HfO_2、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、Al_2O_3、La_2O_3、ZrO_2、LaAlO 中的一种或其组合，其厚度可以为 2nm-10nm。所述栅电极可以是掺杂或未掺杂的多晶硅、掺杂或未掺杂的多晶 SiGe、非晶硅，和/或金属（如 Ti 、Co、Ni、Al 或 W 中的一种或其组合），其中，所述伪栅叠层中的栅电极也

可为掺杂或未掺杂的氧化硅及氮化硅、氮氧化硅和/或碳化硅，其厚度可以为 10nm-80nm。此外，在所述伪栅叠层中，也可以不包括所述栅介质层。

接着，以所述栅叠层或伪栅叠层 102 为掩膜，自对准形成源漏延伸区 106；再形成环绕所述栅叠层或伪栅叠层 102 的侧墙 104。所述侧墙 104 材料可为不含氧的电介质材料（如氮化硅或碳化硅），也可为叠层结构（如 ON 结构，即，与所述栅叠层或伪栅叠层 102 相接的部分是氧化硅层，氧化硅层上还承载有氮化硅层，所述氧化硅层和氮化硅层共同构成侧墙 104；类似地，氧化硅层上还可承载其他不含氧的电介质材料以共同构成侧墙 104）。不含氧的电介质材料可以防止在晶体管制作的过程中因使用高温退火工艺造成外界氧气或者氧离子与金属材料制成的栅极反应，从而影响晶体管的性能甚至于集成电路的性能。由于氮化硅的介电常数大约为 7，低于 SiC 的介电常数 9.66，因此优选氮化硅作为侧墙材料。

然后，在半导体衬底上形成源漏区。具体地，可以以一定的剂量注入离子从而形成掺杂区域，然后进行退火，使得注入的离子的分布和活性能够达到预期的目的。例如，对于 NMOS 和 PMOS 晶体管需要注入不同类型的掺杂剂。至于离子注入过程中使用的注入离子、注入剂量、注入时间等工艺参数，本领域技术人员根据所掌握的知识是不难实现的。退火工艺可以在氮气或者氩气等不含氧的气氛下进行。本领域技术人员根据所掌握的知识，根据不同的退火要求，可以容易地确定退火温度和时间。可选的，在退火工艺之后，多次反复进行注入和退火的步骤以得到更好的离子分布和活性效果。

备选地，源漏区也可以通过这样的方式形成，即，以栅叠层或伪栅叠层和侧墙为掩膜，在半导体衬底中自对准地刻蚀出用以形成源漏区的沟槽，然后在沟槽内外延生长（或者附加原位掺杂的方式）形成含硅半导体材料。例如，对于 PMOS 晶体管来讲，可以形成 Si、SiGe；对于 NMOS 晶体管来讲，可以形成 SiC 等。

接下来，如图 1 和图 3 所示，在步骤 S102 中，至少去除部分所述侧墙 104，以暴露部分所述有源区。

优选的是，所述侧墙 104 被完全去除，使得在随后形成层间介质层后，各栅叠层或伪栅叠层间不再包括任何具有较高 k 值的侧墙材料，而仅包括层间介质层材料。

在具有较高 k 值材料的侧墙已经完成其预期任务（即，防止在高温退火过程中氧气或者氧离子迁移到金属栅极中与金属栅极反应，以及，作为自对准形成源漏区的掩膜）的情况下，由于侧墙材料的介电常数较大，如上面记载的氮化硅的介电常数大约为 7，因此，至少去除部分所述侧墙，后续以介电常数更小的层间介质层材料替代原侧墙材料在栅极区域和源漏区之间以及栅极区域和接触塞之间形成隔离，相当于减小了栅极区域和源漏区之间以及栅极区域和接触塞之间的介电常数，进而使减小栅极区域和源漏区之间以及栅极区域和接触塞之间的电容成为可能，利于改善晶体管的性能。

随后，结合图 1 和图 4 所示，在步骤 S103 中，形成层间介质层 120，所述层间介质层 120 覆盖所述栅叠层或伪栅叠层 102、所述侧墙 104 和暴露的所述有源区，所述层间介质层 120 材料的介电常数小于被去除的所述侧墙 104 材料的介电常数。

在本实施例中，优选地，使用的层间介质层 120 材料为中 k 或者低 k 材料。优选地，所述半导体衬底 100 材料为硅、所述侧墙基层材料为氧化硅、所述主侧墙材料为氮化硅时，所述层间介质层 120 材料的介电常数可小于氮化硅的介电常数；在其他实施例中，在所述侧墙 104 包括侧墙基层和形成于所述侧墙基层上的主侧墙，且所述主侧墙材料的介电常数大于所述侧墙基层材料的介电常数时，至少去除部分所述侧墙 104 的步骤可以包括：去除所述主侧墙；此时，所述半导体衬底 100 材料为硅、所述侧墙基层材料为氧化硅、所述主侧墙材料为氮化硅时，所述层间介质层 120 材料的介电常数小于氮化硅的介电常数。甚至，所述层间介质层 120 材料的介电常数小于氧化硅的介电常数。

优选地，所述半导体衬底 100 材料为硅时，所述层间介质层 120 材料为碳掺杂的氧化硅玻璃，这是由于碳掺杂的氧化硅具有更小的 k 值，大约 2.7，属于低 k 材料。

此外，优选的是，在沉积层间介质层 120 材料之后，例如采用化学机械抛光（CMP）的工艺，将所沉积的层间介质层 120 材料的上表面抛光，以保证层间介质层 120 的平坦度。也可以采用公知的其他抛光工艺来实现这一点。

特别地，在形成层间介质层 120 之前形成的是伪栅叠层时，在形成层间介质层 120 后，还可包括：平坦化所述层间介质层 120，以暴露所述伪栅叠层；去除所述伪栅叠层，以形成空腔；在所述空腔中形成栅叠层。

为了进一步制作具体的晶体管器件，如图 5 所示，在形成层间介质层 120 后，还可包括：在所述层间介质层 120 中形成接触孔 122，以暴露部分所述有源区；在暴露的所述有源区上形成接触层 124。其中，形成所述接触层 124 的步骤包括：形成金属层，以覆盖所述接触孔 122 的侧壁和暴露的所述有源区；进行退火，使得所述金属层材料与暴露的所述有源区反应以形成金属半导体材料；去除未反应的所述金属层材料。通过在形成层间介质层 120 后再形成接触层 124，利于减少去除至少部分侧墙 104 时采用的工艺对已形成的接触层 124 造成的损伤。

其中，金属层材料可以为 Ni、含 Ni 的金属合金、Ti 或 Co 中的一种或其组合，在半导体衬底 100 为硅衬底的情况下，接触层 124 材料可以为形成 $NiSi_2$、$TiSi_2$ 或 $CoSi_2$ 等。

根据本发明一个实施方式的制作晶体管的方法，还可以包括在接触孔 122 中填充导电金属以形成接触塞 140，如图 6 所示。形成接触塞的步骤可包括：形成衬垫，以覆盖所述接触孔 122 的侧壁和底壁，所述衬垫可为 Ti/TiN 或 Ta/TaN；再在衬垫上形成导电金属层，所述导电金属层材料可为 Al、W、TiAl 或 Cu 中的一种或其组合。

借助于本发明的制作晶体管的方法，通过在利用侧墙环绕栅叠层

或伪栅叠层后，再至少去除部分所述侧墙，以暴露部分所述有源区，再以其介电常数小于被去除的所述侧墙材料的介电常数的层间介质层覆盖所述栅叠层或伪栅叠层、所述侧墙和暴露的所述有源区，即，以介电常数更小的层间介质层材料替代原侧墙材料在栅极区域和源漏区之间以及栅极区域和接触塞之间形成隔离，相当于减小了栅极区域和源漏区之间以及栅极区域和接触塞之间的介电常数，进而使减小栅极区域和源漏区之间以及栅极区域和接触塞之间的电容成为可能，利于改善晶体管的性能。

需要指出的是，本发明说明书的上述公开内容是以例如 MOSFET 晶体管的制作作为实例，本领域技术人员知晓的是，根据本发明的精神和原理，本发明的制作方法不限于 MOSFET 的情形，而是可以适用于双极晶体管、结型场效应晶体管等其他类型晶体管和其他半导体器件。因此，本发明的保护范围同样涵盖了制作半导体器件的方法，其包括上述的制作晶体管方法的步骤。

虽然已经参考目前考虑到的实施方式描述了本发明，但是应该理解本发明不限于所公开的实施方式。相反，本发明旨在涵盖所附权利要求的精神和范围内所包括的各种修改和等同变型。以下权利要求的范围符合最广泛解释，以便包含所有这样的修改及等同变型。

权 利 要 求

1. 一种制作晶体管的方法，包括下列步骤:

在半导体衬底上确定有源区，在所述有源区上形成栅叠层或伪栅叠层、源漏延伸区、侧墙和源漏区，所述源漏延伸区嵌于所述有源区中且自对准于所述栅叠层或伪栅叠层两侧，所述侧墙环绕所述栅叠层或伪栅叠层，所述源漏区嵌于所述有源区中且自对准于所述侧墙外;

至少去除部分所述侧墙，以暴露部分所述有源区;

形成层间介质层，所述层间介质层覆盖所述栅叠层或伪栅叠层、所述侧墙和暴露的所述有源区，所述层间介质层材料的介电常数小于被去除的所述侧墙材料的介电常数。

2. 根据权利要求 1 所述的方法，在形成层间介质层后，还包括:

在所述层间介质层中形成接触孔，以暴露部分所述有源区;

在暴露的所述有源区上形成接触层。

3. 根据权利要求 2 所述的方法，形成所述接触层的步骤包括:

形成金属层，以覆盖所述接触孔的侧壁和暴露的所述有源区;

进行退火，使得所述金属层材料与暴露的所述有源区反应以形成金属半导体材料;

去除未反应的所述金属层材料。

4. 根据权利要求 1 所述的方法，所述侧墙包括侧墙基层和形成于所述侧墙基层上的主侧墙，且所述主侧墙材料的介电常数大于所述侧墙基层材料的介电常数时，至少去除部分所述侧墙的步骤包括: 去除所述主侧墙。

5. 根据权利要求 4 所述的方法，其中: 所述半导体衬底材料为硅、所述侧墙基层材料为氧化硅、所述主侧墙材料为氮化硅时，所述层间介质层材料的介电常数小于氮化硅的介电常数。

6. 根据权利要求 5 所述的方法，其中: 所述层间介质层材料的介电常数小于氧化硅的介电常数。

7. 根据权利要求 5 所述的方法、其中: 所述半导体衬底材料为硅

时，所述层间介质层材料为碳掺杂的氧化硅玻璃。

8. 根据权利要求 1 所述的方法，在形成层间介质层后，还包括：

平坦化所述层间介质层，以暴露所述伪栅叠层；

去除所述伪栅叠层，以形成空腔；

在所述空腔中形成栅叠层。

9. 一种制作半导体器件的方法，包括根据权利要求 1 至 8 任一项所述的方法的步骤。

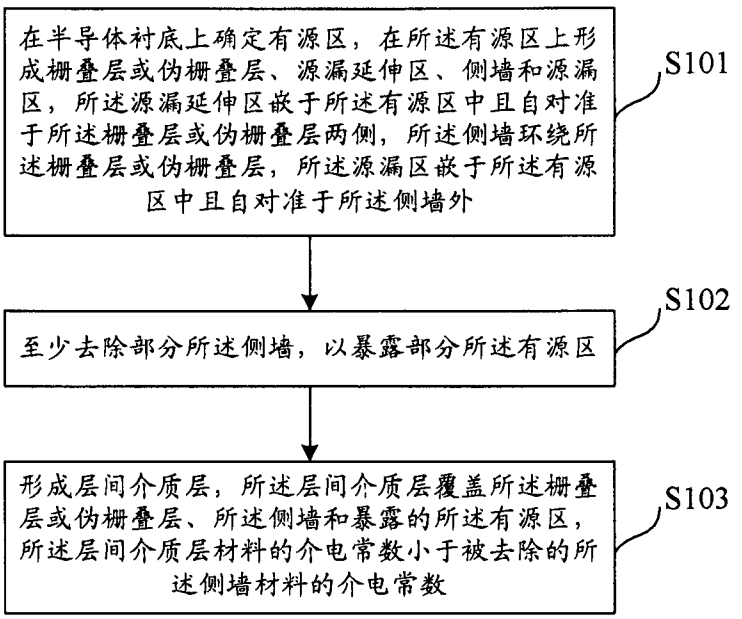
在半导体衬底上确定有源区，在所述有源区上形成栅叠层或伪栅叠层、源漏延伸区、侧墙和源漏区，所述源漏延伸区嵌于所述有源区中且自对准于所述栅叠层或伪栅叠层两侧，所述侧墙环绕所述栅叠层或伪栅叠层，所述源漏区嵌于所述有源区中且自对准于所述侧墙外
S101
至少去除部分所述侧墙，以暴露部分所述有源区
S102
形成层间介质层，所述层间介质层覆盖所述栅叠层或伪栅叠层、所述侧墙和暴露的所述有源区，所述层间介质层材料的介电常数小于被去除的所述侧墙材料的介电常数
S103

图 1

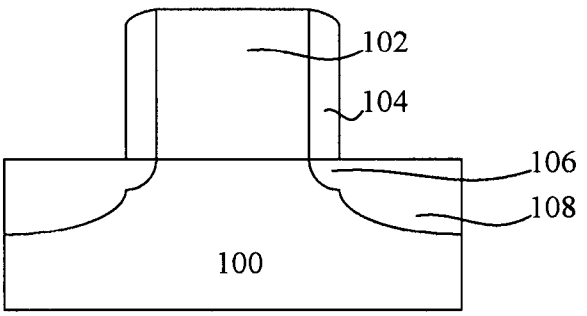
102
104
106
108
100

图 2

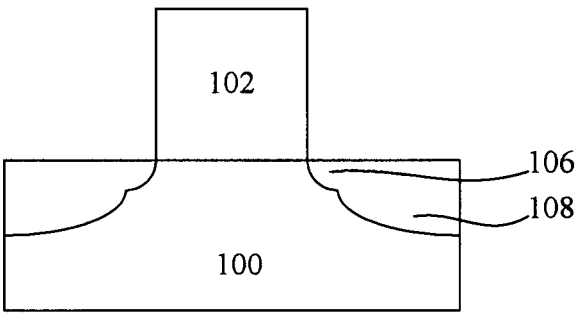
102
106
108
100

图 3

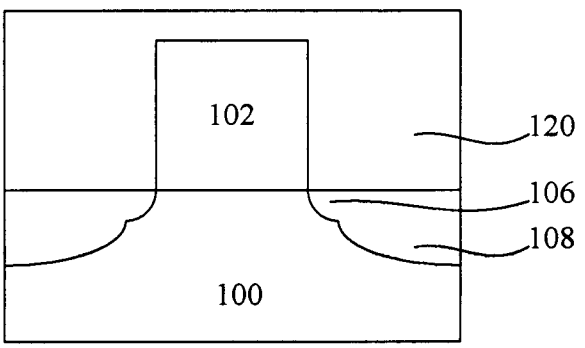
102
120
106
108
100

图 4

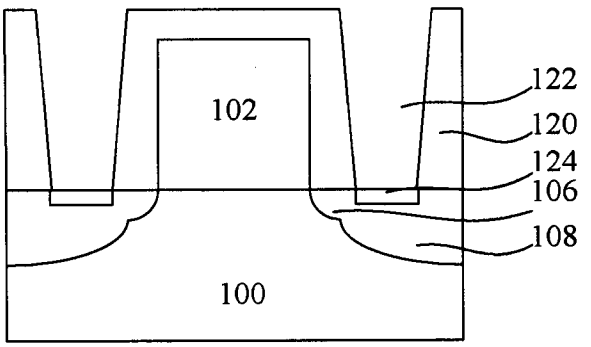

图 5

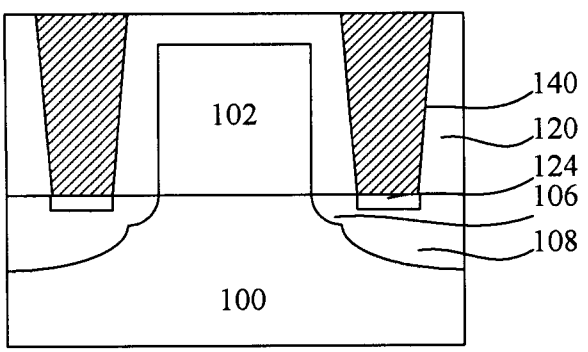

图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/001317

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, PAJ, CNABS, TWABS, CNKI, IEEE: MOSFET, transistor, substrate, insulator, side, wall, gate, etch, hole, source, drain, contact

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN101681841A (INT BUSINESS MACHINES CORP (US)) 24 Mar. 2010 (24.03.2010) claims 1-9, description, pages 6-15 and figures 2A-2C,3A-3H	1,9
A	JP2007311376A (SONY CORP (JP)) 29 Nov. 2007(29.11.2007) the whole document	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 Nov. 2011 (24.11.2011)	19 Jan. 2012 (19.01.2012)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10)62019451

Authorized officer
XIE,Shaojun
Telephone No. (86-10)62411593

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/001317

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101681841A	24.03.2010	WO2009002670A1	31.12.2008
		US2009001480A1	01.01.2009
		US7585716B2	08.09.2009
		TW200924196A	01.06.2009
		US2009321853A1	31.12.2009
		EP2160757A1	10.03.2010
		KR20100108190A	06.10.2010
		US7812411B2	12.10.2010
JP2007311376A	29.11.2007	None	

国际检索报告

国际申请号
PCT/CN2011/001317

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

EPODOC，WPI，CNABS，TWABS，CNKI，IEEE： 晶体管，衬底，堆叠，栅，侧墙，蚀刻，接触，孔，介质，K，源，漏，MOSFET, transistor, substrate, insulator, side, wall, gate, etch, hole, source, drain, contact

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN101681841A（国际商业机器公司（美国）） 24.3 月 2010（24.03.2010）权利要求 1-9，说明书 6-15 页，附图 2A-2C，3A-3H	1,9
A	JP2007311376A（索尼股份公司（日本））29.11 月 2007（29.11.2007）全文	1-9

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
24.11 月 2011（24.11.2011）	**19.1 月 2012 (19.01.2012)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号： (86-10)62019451	受权官员 **谢绍俊** 电话号码：(86-10) **62411593**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/001317

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN101681841A	24.03.2010	WO2009002670A1	31.12.2008
		US2009001480A1	01.01.2009
		US7585716B2	08.09.2009
		TW200924196A	01.06.2009
		US2009321853A1	31.12.2009
		EP2160757A1	10.03.2010
		KR20100108190A	06.10.2010
		US7812411B2	12.10.2010
JP2007311376A	29.11.2007	无	