



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년03월18일  
(11) 등록번호 10-1243807  
(24) 등록일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G11C 19/00 (2006.01)  
H03K 19/00 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2006-0061249  
(22) 출원일자 2006년06월30일  
심사청구일자 2011년06월22일  
(65) 공개번호 10-2008-0002412  
(43) 공개일자 2008년01월04일  
(56) 선행기술조사문헌  
KR1020030020185 A

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김빈  
서울특별시 양천구 목동서로 130, 목동4단지아파트 408동 2003호 (목동)  
문태웅  
경기도 성남시 분당구 중앙공원로 53, 삼성아파트 129동 1301호 (서현동)  
(74) 대리인  
김용인, 심창섭

전체 청구항 수 : 총 15 항

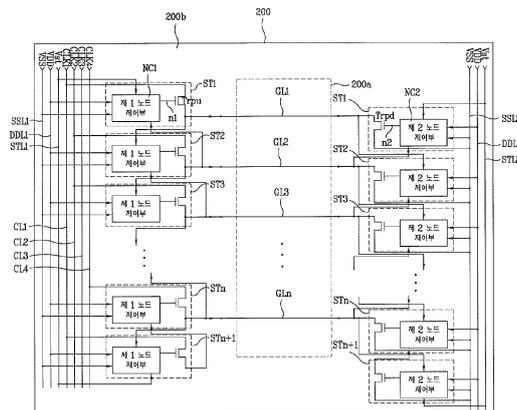
심사관 : 이성현

(54) 발명의 명칭 **쉬프트 레지스터**

**(57) 요약**

본 발명은 액정패널의 비표시부의 면적을 효율적으로 이용할 수 있는 구조를 갖는 쉬프트 레지스터에 관한 것으로, 차례로 출력펄스를 출력하고, 이 출력펄스들을 표시부의 게이트 라인들에 차례로 공급하는 다수의 스테이지를 포함하며; 각 스테이지가, 상기 표시부의 일측에 위치하며, 제 1 노드의 신호상태를 제어하는 제 1 노드 제어부; 상기 표시부의 일측에 위치하며, 상기 제 1 노드의 신호상태에 따라 출력펄스를 출력하여 상기 게이트 라인의 일측에 공급하는 적어도 하나의 풀업 스위칭소자; 상기 표시부의 타측에 위치하며, 제 2 노드의 신호상태를 제어하는 제 2 노드 제어부; 및, 상기 표시부의 타측에 위치하며, 상기 제 2 노드의 신호상태에 따라 방전용 전압원을 출력하여 상기 게이트 라인의 타측에 공급하는 제 1 풀다운 스위칭소자를 포함하는 것이다.

**대표도**



## 특허청구의 범위

### 청구항 1

차례로 출력펄스를 출력하고, 이 출력펄스들을 표시부의 게이트 라인들에 차례로 공급하는 다수의 스테이지를 포함하며;

각 스테이지가,

상기 표시부의 일측에 위치하며, 제 1 노드의 신호상태를 제어하는 제 1 노드 제어부;

상기 표시부의 일측에 위치하며, 상기 제 1 노드의 신호상태에 따라 출력펄스를 출력하여 상기 게이트 라인의 일측에 공급하는 적어도 하나의 풀업 스위칭소자;

상기 표시부의 타측에 위치하며, 제 2 노드의 신호상태를 제어하는 제 2 노드 제어부; 및,

상기 표시부의 타측에 위치하며, 상기 제 2 노드의 신호상태에 따라 방전용 전압원을 출력하여 상기 게이트 라인의 타측에 공급하는 제 1 풀다운 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

### 청구항 2

제 1 항에 있어서,

상기 제 1 노드 제어부는,

외부로부터의 스타트 펄스 또는 전단 스테이지로부터의 출력펄스에 응답하여 충전용 전압원을 제 1 노드에 공급하는 제 1 스위칭소자와, 후단 스테이지로부터의 출력펄스에 응답하여 방전용 전압원을 상기 제 1 노드에 공급하는 제 2 스위칭소자와, 외부로부터의 클럭펄스에 응답하여 상기 제 1 노드와 상기 풀업 스위칭소자의 출력단자간을 전기적으로 연결시키는 제 3 스위칭소자를 포함하며; 그리고,

상기 제 2 노드 제어부는,

후단 스테이지로부터의 출력펄스에 응답하여 충전용 전압원을 제 2 노드에 공급하는 제 4 스위칭소자와, 상기 스타트 펄스 또는 전단 스테이지로부터의 출력펄스에 응답하여 방전용 전압원을 상기 제 2 노드에 공급하는 제 5 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

### 청구항 3

제 2 항에 있어서,

상기 제 2 노드 제어부는, 자신이 구비된 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원을 상기 제 2 노드에 공급하는 제 6 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

### 청구항 4

제 1 항에 있어서,

상기 표시부의 타측에 구비되며, 제 3 노드의 신호상태를 제어하기 위한 제 3 노드 제어부; 및, 상기 제 3 노드의 신호상태에 따라 상기 방전용 전압원을 출력하여 상기 게이트 라인의 타측에 공급하는 제 2 풀다운 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

### 청구항 5

제 4 항에 있어서,

상기 제 1 노드 제어부는,

외부로부터의 스타트 펄스 또는 전단 스테이지로부터의 출력펄스에 응답하여 충전용 전압원을 제 1 노드에 공급하는 제 1 스위칭소자와, 후단 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원을 제 1 노드에 공급하는 제 2 스위칭소자와, 외부로부터의 클럭펄스에 응답하여 상기 제 1 노드와 상기 풀업 스위칭소자의 출력단자간을 전기적으로 연결시키는 제 3 스위칭소자를 포함하며;

상기 제 2 노드 제어부는,

제 1 교류 전압원에 응답하여 상기 제 1 교류 전압원을 출력하는 제 4 스위칭소자와, 전단 스테이지로부터의 출력펄스에 응답하여 방전용 전압원을 출력하는 제 5 스위칭소자와, 자신이 속한 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원을 출력하는 제 6 스위칭소자와, 상기 제 4, 제 5, 및 제 6 스위칭소자로부터의 출력에 응답하여 상기 제 1 교류 전압원을 제 2 노드에 공급하는 제 7 스위칭소자와, 전단 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원을 제 2 노드에 공급하는 제 8 스위칭소자를 포함하며; 그리고,

상기 제 3 노드 제어부는,

제 1 교류 전압원에 대하여 위상반전된 제 2 교류 전압원에 응답하여 상기 제 2 교류 전압원을 출력하는 제 9 스위칭소자와, 전단 스테이지로부터의 출력펄스에 응답하여 방전용 전압원을 출력하는 제 10 스위칭소자와, 자신이 속한 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원을 출력하는 제 11 스위칭소자와, 상기 제 9, 제 10, 및 제 11 스위칭소자로부터의 출력에 응답하여 상기 제 2 교류 전압원을 제 3 노드에 공급하는 제 12 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 6**

제 5 항에 있어서,

상기 제 2 노드 제어부는,

상기 제 2 교류 전압원에 응답하여 상기 방전용 전압원을 상기 제 2 노드에 공급하는 제 14 스위칭소자를 더 포함하며; 그리고,

상기 제 3 노드 제어부는,

상기 제 1 교류 전압원에 응답하여 상기 방전용 전압원을 상기 제 3 노드에 공급하는 제 15 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 7**

제 5 항에 있어서,

상기 제 2 노드 제어부는,

자신이 구비된 스테이지로부터 출력된 출력펄스에 응답하여 상기 방전용 전압원을 상기 제 2 노드에 공급하는 제 14 스위칭소자를 더 포함하며; 그리고,

상기 제 3 노드 제어부는,

자신이 구비된 스테이지로부터 출력된 출력펄스에 응답하여 상기 방전용 전압원을 상기 제 3 노드에 공급하는 제 15 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 8**

제 5 항에 있어서,

상기 제 2 노드 제어부는,

상기 제 2 교류 전압원에 응답하여 상기 방전용 전압원을 상기 제 2 노드에 공급하는 제 14 스위칭소자와, 자신이 구비된 스테이지로부터 출력된 출력펄스에 응답하여 상기 방전용 전압원을 상기 제 2 노드에 공급하는 제 15 스위칭소자를 더 포함하며; 그리고,

상기 제 3 노드 제어부는,

상기 제 1 교류 전압원에 응답하여 상기 방전용 전압원을 상기 제 3 노드에 공급하는 제 16 스위칭소자와, 자신이 구비된 스테이지로부터 출력된 출력펄스에 응답하여 상기 방전용 전압원을 상기 제 3 노드에 공급하는 제 17 스위칭소자를 더 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 9**

제 1 항에 있어서,

상기 표시부의 일측에는 상기 제 1 및 제 2 노드 제어부에 필요한 각종 클럭펄스 및 전원 신호가 공급되는 제 1 신호전송라인들이 형성되어 있고,

상기 표시부의 타측에는 상기 풀업 스위칭소자 및 제 1 풀다운 스위칭소자에 필요한 전원 신호가 공급되는 제 2 신호전송라인들이 형성되어 있으며,

상기 제 1 신호전송라인과 제 2 신호전송라인간에 절연막이 형성된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 10**

제 9 항에 있어서,

상기 제 1 신호전송라인과 제 2 신호전송라인은 서로 다른 재료의 물질로 이루어진 것을 특징으로 하는 쉬프트 레지스터.

**청구항 11**

제 10 항에 있어서,

상기 제 1 신호전송라인은 알루미늄(Al), 알루미늄 합금, 알루미늄 합금과 몰리브덴의 이종 합금, 및 구리 중 어느 하나의 재료로 이루어져 있으며, 상기 제 2 신호전송라인은 크롬(Cr) 및 몰리브덴(Mo) 중 어느 하나의 재료로 이루어진 것을 특징으로 하는 쉬프트 레지스터.

**청구항 12**

제 10 항에 있어서,

상기 제 1 신호전송라인은 상기 게이트 라인과 동일한 물질로 이루어지며, 상기 제 2 신호 전송라인은 상기 표시부의 데이터 라인과 동일한 물질로 이루어진 것을 특징으로 하는 쉬프트 레지스터.

**청구항 13**

제 9 항에 있어서,

제 1 신호전송라인은,

클럭펄스를 전송하는 다수의 클럭전송라인들과, 충전용 전압원을 전송하는 충전용 전원라인과, 방전용 전압원을 전송하는 방전용 전원라인과, 스타트 펄스를 전송하는 스타트 전송라인을 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 14**

제 9 항에 있어서,

제 2 신호전송라인은,

스타트 펄스를 전송하는 스타트 전송라인과, 방전용 전압원을 전송하는 방전용 전원라인을 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 15**

제 14 항에 있어서,

제 2 신호전송라인은,

제 1 교류 전압원을 전송하는 제 1 교류 전원라인과, 제 2 교류 전압원을 전송하는 제 2 교류 전원라인을 더 포함함을 특징으로 하는 쉬프트 레지스터.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0025] 본 발명은 액정표시장치의 쉬프트 레지스터에 관한 것으로, 특히 액정패널의 비표시부의 면적을 효율적으로 이용할 수 있는 구조를 갖는 쉬프트 레지스터에 대한 것이다.
- [0026] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0027] 한편, 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 드라이버와, 상기 데이터 라인들을 구동하기 위한 데이터 드라이버와, 상기 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 콘트롤러와, 액정표시장치에서 사용되는 여러 가지의 구동전압들을 공급하는 전원공급부를 구비한다.
- [0028] 여기서, 상기 게이트 드라이버는 상술한 바와 같은 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비한다. 이를 첨부된 도면을 참조하여 좀 더 구체적으로 설명하면 다음과 같다.
- [0029] 도 1은 종래의 쉬프트 레지스터를 나타낸 도면이다.
- [0030] 종래의 쉬프트 레지스터는, 도 1에 도시된 바와 같이, 서로 종속적으로 연결된 n개의 스테이지들(101 내지 10n)로 구성된다.
- [0031] 여기서, 각 스테이지들(101 내지 10n)은 클럭펄스(CLK)를 공급받아 순차적으로 출력펄스(Vout1 내지 Voutn)를 출력한다. 그리고, 이 출력펄스들(Vout1 내지 Voutn)을 액정패널의 게이트 라인들에 순차적으로 공급하여, 각 게이트 라인들을 차례로 구동시킨다.
- [0032] 액정표시장치가 대면적화됨에 따라 상기 게이트 라인의 수 및 길이도 증가하게 되어 상기 게이트 라인들의 구동 속도가 중요시되는데, 이 게이트 라인들을 빠른 속도로 구동하기 위해서는 상기 스테이지에 구비된 스위칭소자들의 면적이 증가할 수 밖에 없다. 이로 인해, 상기 쉬프트 레지스터의 사이즈가 증가하게 된다.
- [0033] 상기 액정패널은 표시부와, 이 표시부를 주변을 둘러싸는 비표시부를 갖는다.
- [0034] 상기 쉬프트 레지스터에 구비된 스테이지들은 액정패널의 상기 표시부의 일측에 위치한 비표시부에 형성되는데, 상술한 바와 같이 상기 스위칭소자들의 면적이 증가함에 따라 상기 비표시부의 한정된 공간에 많은 수의 스위칭소자들을 집적하기 어려운 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

- [0035] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 각 스테이지에 구비된 스위칭소자들을 기능별로 나누고, 이 나뉜 스위칭소자들을 액정패널의 표시부의 일측에 위치한 비표시부와 상기 표시부의 타측에 위치한 비표시부에 나누어 위치시킴으로써, 전체 비표시부의 면적을 효율적으로 이용할 수 있는 쉬프트 레지스터를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- [0036] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 쉬프트 레지스터는, 차례로 출력펄스를 출력하고, 이 출력펄스들을 표시부의 게이트 라인들에 차례로 공급하는 다수의 스테이지를 포함하며; 각 스테이지가, 상기 표시부의 일측에 위치하며, 제 1 노드의 신호상태를 제어하는 제 1 노드 제어부; 상기 표시부의 일측에 위치하며, 상기 제 1 노드의 신호상태에 따라 출력펄스를 출력하여 상기 게이트 라인의 일측에 공급하는 적어도 하나의 풀업 스위칭소자; 상기 표시부의 타측에 위치하며, 제 2 노드의 신호상태를 제어하는 제 2 노드 제어부; 및, 상기 표시부의 타측에 위치하며, 상기 제 2 노드의 신호상태에 따라 방전용 전압원을 출력하여 상기 게이트 라인의 타측에 공급하는 제 1 풀다운 스위칭소자를 포함함을 그 특징으로 한다.
- [0037] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 쉬프트 레지스터를 설명하면 다음과 같다.
- [0038] 도 2는 본 발명의 제 1 실시예에 따른 쉬프트 레지스터를 나타낸 도면이고, 도 3은 도 2의 쉬프트 레지스터에 공급되는 각종 신호 및 상기 쉬프트 레지스터로부터 출력되는 출력펄스를 나타낸 도면이다.
- [0039] 본 발명의 제 1 실시예에 따른 쉬프트 레지스터는, 도 2에 도시된 바와 같이, 서로 종속적으로 연결된 n개의 스테이지들(ST1 내지 STn), 그리고 더미 스테이지(STn+1)로 구성된다.

- [0040] 상기 스테이지들(ST1 내지 STn+1) 및 더미 스테이지(STn+1)는 액정패널(200)의 비표시부(200b)에 실장된다.
- [0041] 전체 스테이지들은 한 프레임 기간동안 한 번의 출력펄스(Vout1 내지 Voutn+2)를 출력한다. 즉, 상기 제 1 스테이지(ST1)부터 더미 스테이지(STn+1)까지 차례로 출력펄스들(Vout1 내지 Voutn+1)를 출력한다.
- [0042] 이때, 상기 더미 스테이지(STn+1)를 제외한 상기 스테이지들(ST1 내지 STn)로부터 출력된 출력펄스들(Vout1 내지 Voutn)은 표시부(200a)의 게이트 라인들(GL1 내지 GLn)에 순차적으로 공급되어, 상기 게이트 라인들(GL1 내지 GLn)을 순차적으로 스캐닝하게 된다.
- [0043] 각 스테이지(ST1 내지 STn)는 제 1 노드(n1), 제 2 노드(n2), 제 1 노드 제어부(NC1), 제 2 노드 제어부(NC2), 풀업 스위칭소자(Trpu), 및 풀다운 스위칭소자(Trpd)를 포함한다.
- [0044] 이때, 각 스테이지(ST1 내지 STn+1)의 제 1 노드(n1), 제 1 노드 제어부(NC1), 및 풀업 스위칭소자(Trpu)는 표시부(200a)의 좌측에 형성된다. 그리고, 각 스테이지(ST1 내지 STn+1)의 제 2 노드(n2), 제 2 노드 제어부(NC2), 및 풀다운 스위칭소자(Trpd)는 상기 표시부(200a)의 우측에 형성된다.
- [0045] 상기 제 1 노드 제어부(NC1)는 상기 제 1 노드(n1)의 신호상태를 제어한다. 즉, 상기 제 1 노드 제어부(NC1)는 제 1 노드(n1)를 충전 상태로 만들거나, 또는 방전 상태로 만든다.
- [0046] 상기 제 2 노드 제어부(NC2)는 상기 제 2 노드(n2)의 신호상태를 제어한다. 즉, 상기 제 2 노드 제어부(NC2)는 제 2 노드(n2)를 충전 상태로 만들거나, 또는 방전 상태로 만든다.
- [0047] 상기 제 1 및 제 2 노드 제어부(NC1, NC2)는, 상기 제 1 노드(n1)가 충전 상태일 때 상기 제 2 노드(n2)가 방전 상태를 유지하도록 제어하고, 또한 상기 제 1 노드(n1)가 방전 상태일 때 상기 제 2 노드(n2)는 충전 상태를 유지하도록 제어한다.
- [0048] 제 k 스테이지(k는 자연수)에 구비된 풀업 스위칭소자(Trpu)는 상기 제 k 스테이지의 제 1 노드(n1)의 신호상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 클럭전송라인으로부터 공급되는 클럭펄스를 출력펄스로서 출력한다. 그리고, 이 출력된 출력펄스를 제 k-1 스테이지에 구비된 제 1 및 제 2 노드 제어부(NC1, NC2)와, 제 k+1 스테이지에 구비된 제 1 및 제 2 노드 제어부(NC1, NC2)와, 제 k 게이트 라인의 일측에 공급한다.
- [0049] 제 k 스테이지에 구비된 상기 풀다운 스위칭소자(Trpd)는 상기 제 k 스테이지의 제 2 노드(n2)의 신호상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 방전용 전압원(VSS)을 제 k 게이트 라인에 공급한다.
- [0050] 제 k 스테이지에 구비된 제 1 노드 제어부(NC1)는 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 1 노드(n1)를 충전용 전압원(VDD)(또는 클럭펄스)으로 충전시킨다.
- [0051] 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0052] 이때, 상기 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스를 제 k-1 게이트 라인을 통해서 공급받는다. 즉, 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 k-1 출력펄스는 제 k-1 게이트 라인을 경유하여 상기 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)에 공급된다.
- [0053] 한편, 제 1 스테이지(ST1)의 전단에는 스테이지가 존재하지 않으므로, 상기 제 1 스테이지(ST1)에 구비된 제 1 노드 제어부(NC1)는 스타트 전송라인으로부터의 스타트 펄스(Vst)를 공급받아 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 충전용 전압원(VDD)으로 충전시킨다. 그리고, 상기 제 1 스테이지(ST1)에 구비된 제 2 노드 제어부(NC2)는 상기 스타트 전송라인으로부터의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0054] 제 k 스테이지에 구비된 제 1 노드 제어부(NC1)는 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다.
- [0055] 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 2 노드(n2)를 충전용 전압원(VDD)으로 충전시킨다.
- [0056] 이때, 상기 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 상기 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스를 제 k+1 게이트 라인을 통해서 공급받는다. 즉, 상기 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 k+1 출력펄스는 제 k+1 게이트 라인을 경유하여 상기 제 k 스테이지에

구비된 제 2 노드 제어부(NC2)에 공급된다.

- [0057] 한편, 더미 스테이지(STn+1)의 다음단에는 스테이지가 존재하지 않으므로, 상기 더미 스테이지(STn+1)에 구비된 제 1 노드 제어부(NC1)는 스타트 전송라인으로부터의 스타트 펄스(Vst)를 공급받아 상기 더미 스테이지(STn+1)의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다. 그리고, 상기 더미 스테이지(STn+1)에 구비된 제 2 노드 제어부(NC2)는 상기 스타트 전송라인으로부터의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 충전용 전압원(VDD)으로 충전시킨다.
- [0058] 상기 표시부(200a)의 좌측에 위치한 비표시부(200b)에는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 전송하는 제 1 내지 제 4 클럭전송라인들(CL1 내지 CL4)과, 스타트 펄스(Vst)를 전송하는 제 1 스타트 전송라인(STL1)과, 충전용 전압원(VDD)을 전송하는 제 1 충전용 전원라인(DDL1)과, 그리고 방전용 전압원(VSS)을 전송하는 제 1 방전용 전원라인(SSL1)이 형성된다.
- [0059] 또한, 상기 표시부(200a)의 우측에 위치한 비표시부(200b)에는 스타트 펄스(Vst)를 전송하는 제 2 스타트 전송라인(STL2)과, 방전용 전압원(VSS)을 전송하는 제 2 방전용 전원라인(SSL2)이 형성된다.
- [0060] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 위상차를 갖고 출력된다. 즉, 상기 제 2 클럭펄스(CLK2)는 상기 제 1 클럭펄스(CLK1)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)는 상기 제 3 클럭펄스(CLK3)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)보다 한 펄스폭만큼 위상지연되어 출력된다.
- [0061] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)들은 순차적으로 출력되며, 또한 순환하면서 출력된다. 즉, 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된 후, 다시 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된다. 따라서, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)와 제 2 클럭펄스(CLK2) 사이에 해당하는 기간에서 출력된다. 여기서, 상기 제 4 클럭펄스(CLK4)와 상기 스타트 펄스(Vst)를 서로 동기시켜 출력할 수도 있다. 이때는 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)들 중 제 4 클럭펄스(CLK4)가 가장 먼저 출력된다.
- [0062] 한편, 상기 스타트 펄스(Vst)는 상기 제 4 클럭펄스(CLK4)에 동기되어 출력된다. 단, 상기 각 클럭펄스(CLK1 내지 CLK4)는 한 프레임기간동안 여러번 출력되지만, 상기 스타트 펄스(Vst)는 한 프레임 기간동안 단 한번 출력된다.
- [0063] 다시말하면, 각 클럭펄스(CLK1 내지 CLK4)는 한 프레임 기간동안 주기적으로 여러번의 액티브 상태(하이 상태)를 나타내지만, 상기 스타트 펄스(Vst)는 한 프레임 기간동안 단 한 번의 액티브 상태를 나타낸다.
- [0064] 한편, 본 발명에 따른 쉬프트 레지스터는 서로 다른 위상을 2개의 클럭펄스(2상 클럭펄스)를 사용할 수도 있으며, 또는 서로 다른 위상을 갖는 3개의 클럭펄스(3상 클럭펄스)를 사용할 수도 있다. 또한, 본 발명에 따른 쉬프트 레지스터는, 서로 다른 위상을 갖는 5개 이상의 클럭펄스들을 사용할 수도 있다.
- [0065] 본 발명의 제 1 실시예에 따른 쉬프트 레지스터에 공급되는 클럭펄스는 4상의 클럭펄스이므로, 각 스테이지(ST1 내지 STn)(ST1 내지 STn+1)에 구비된 각 풀업 스위칭소자(Trpu)의 드레인단자에는 다음과 같은 클럭펄스가 공급된다.
- [0066] 즉, 제 4g+1 스테이지(g는 0을 포함한 자연수)에 구비된 풀업 스위칭소자(Trpu)는 제 1 클럭펄스(CLK1)를 공급받으며, 제 4g+2 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 2 클럭펄스(CLK2)를 공급받으며, 제 4g+3 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 3 클럭펄스(CLK3)를 공급받으며, 그리고 제 4g+4 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 4 클럭펄스(CLK4)를 공급받는다.
- [0067] 예를 들어, 도 2의 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)는 제 2 클럭펄스(CLK2)를 공급받는다.
- [0068] 상기 충전용 전압원(VDD)과 상기 방전용 전압원(VSS)은 서로 다른 크기를 갖는 전압원으로서, 상기 충전용 전압원(VDD)이 상기 방전용 전압원(VSS)보다 더 큰 전압크기를 갖는다.
- [0069] 일반적으로, 상기 충전용 전압원(VDD)은 정극성을 나타내며, 상기 방전용 전압원(VSS)은 부극성을 나타낸다. 또한, 상기 방전용 전압원(VSS)은 접지전압이 될 수 있다.
- [0070] 이와 같이 구성된 본 발명의 제 1 실시예에 따른 쉬프트 레지스터의 동작을 설명하면 다음과 같다.

- [0071] 먼저, 초기 기간(T0) 동안의 동작을 설명하면 다음과 같다.
- [0072] 상기 초기 기간(T0) 동안에는 스타트 펄스(Vst)만 하이 상태로 유지되고, 나머지 클럭펄스들(CLK1 내지 CLK4)은 로우 상태로 유지된다.
- [0073] 이 하이 상태의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)가 동작한다. 즉, 상기 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 1 노드 제어부(NC1)는 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 충전용 전압원(VDD)(또는 클럭펄스)으로 충전시킨다. 그리고, 상기 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 노드 제어부(NC2)는 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0074] 그러면, 상기 충전된 제 1 노드(n1)에 게이트단자가 접속된 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)가 턴-온되고, 상기 방전된 제 2 노드(n2)에 게이트단자가 접속된 상기 제 1 스테이지(ST1)의 풀다운 스위칭소자(Trpd)가 턴-오프된다.
- [0075] 또한, 상기 스타트 펄스(Vst)는 더미 스테이지(STn+1)의 제 1 및 제 2 노드 제어부(NC1, NC2)에도 공급되며, 이때 상기 더미 스테이지(STn+1)의 제 1 노드 제어부(NC1)는 상기 더미 스테이지(STn+1)에 구비된 풀업 스위칭소자(Trpu)를 턴-오프시키고, 그리고, 상기 더미 스테이지(STn+1)의 제 2 노드 제어부(NC2)는 상기 더미 스테이지(STn+1)에 구비된 풀다운 스위칭소자(Trpd)를 턴-온시킨다.
- [0076] 이후, 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.
- [0077] 제 1 기간(T1) 동안에는 제 1 클럭펄스(CLK1)만 하이 상태로 유지되고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스들(CLK2 내지 CLK4)은 로우 상태로 유지된다.
- [0078] 상기 제 1 클럭펄스(CLK1)는 제 4g+1 스테이지에 구비된 풀업 스위칭소자(Trpu)에 공급된다. 이때, 제 1 노드(n1)가 충전된 스테이지(즉, 인에이블된 스테이지)는 제 1 스테이지(ST1)뿐이므로, 제 4g+1 스테이지들 중 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)만 턴-온상태이고 나머지 스테이지들에 구비된 스테이지들에 구비된 풀업 스위칭소자(Trpu)는 턴-오프상태이다.
- [0079] 따라서, 상기 제 1 기간(T1)에는 상기 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)만이 제 1 클럭펄스(CLK1)를 출력한다. 이 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 1 클럭펄스(CLK1)가 제 1 출력펄스(Vout1)이다.
- [0080] 상기 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)을 구동하기 위한 제 1 스캔펄스로서 기능함과 아울러, 다음단 스테이지 즉 제 2 스테이지(ST2)를 인에이블시키기 위한 스타트 펄스로서 기능한다.
- [0081] 즉, 제 1 기간(T1)에 출력된 제 1 출력펄스(Vout1)는 제 2 스테이지(ST2)의 제 1 노드 제어부(NC1) 및 제 2 노드 제어부(NC2)에 공급된다. 그러면, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 충전되고, 제 2 노드(n2)가 방전된다. 여기서, 상기 제 1 출력펄스(Vout1)는 상기 제 1 게이트 라인(GL1)을 통해 제 2 스테이지(ST2)에 구비된 제 2 노드 제어부(NC2)에 공급된다.
- [0082] 이후, 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.
- [0083] 상기 제 2 기간(T2)동안에는 제 2 클럭펄스(CLK2)만 하이 상태로 유지된다. 그리고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스(CLK1, CLK3, CLK4)와, 제 1 출력펄스(Vout1)는 로우 상태로 유지된다.
- [0084] 상기 제 2 클럭펄스(CLK2)는 제 4g+2 스테이지에 구비된 풀업 스위칭소자(Trpu)에 공급된다. 이때, 제 1 노드(n1)가 충전된 스테이지(즉, 인에이블된 스테이지)는 제 2 스테이지(ST2)뿐이므로, 제 4g+2 스테이지들 중 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)만 턴-온상태이고 나머지 스테이지들에 구비된 스테이지들에 구비된 풀업 스위칭소자(Trpu)는 턴-오프상태이다.
- [0085] 따라서, 상기 제 2 기간(T2)에는 상기 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)만이 제 2 클럭펄스(CLK2)를 출력한다. 이 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 2 클럭펄스(CLK2)가 제 2 출력펄스(Vout2)이다.
- [0086] 상기 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)을 구동하기 위한 제 2 스캔펄스로서 기능함과 아울러, 다음단 스테이지 즉 제 3 스테이지(ST3)를 인에이블시키기 위한 스타트 펄스로서 기능한다.
- [0087] 즉, 제 2 기간(T2)에 출력된 제 2 출력펄스(Vout2)는 제 3 스테이지(ST3)의 제 1 노드 제어부(NC1) 및 제 2 노드

드 제어부(NC2)에 공급된다. 그러면, 상기 제 3 스테이지(ST3)의 제 1 노드(n1)가 충전되고, 제 2 노드(n2)가 방전된다. 여기서, 상기 제 2 출력펄스(Vout2)는 상기 제 2 게이트 라인(GL2)을 통해 제 3 스테이지(ST3)에 구비된 제 2 노드 제어부(NC2)에 공급된다.

- [0088] 또한, 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 전단 스테이지, 즉 제 1 스테이지(ST1)에 공급된다.
- [0089] 즉, 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 제 1 스테이지(ST1)의 제 1 및 제 2 노드 제어부(NC1, NC2)에 공급된다. 여기서, 상기 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)을 통해서 상기 제 2 노드 제어부(NC2)에 공급된다.
- [0090] 상기 제 2 출력펄스(Vout2)를 공급받은 제 1 스테이지(ST1)의 제 1 노드 제어부(NC1)는 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다. 그리고, 상기 제 2 출력펄스(Vout2)를 공급받은 제 1 스테이지(ST1)의 제 2 노드 제어부(NC2)는 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 충전용 전압원(VDD)으로 충전시킨다.
- [0091] 그러면, 상기 방전된 제 1 노드(n1)에 게이트단자를 통해 접속된 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)는 턴-오프되고, 상기 충전된 제 2 노드(n2)에 게이트단자를 통해 접속된 상기 제 1 스테이지(ST1)의 풀다운 스위칭소자(Trpd)는 턴-온된다.
- [0092] 상기 턴-온된 풀다운 스위칭소자(Trpd)를 통해 상기 방전용 전압원(VSS)이 상기 제 1 게이트 라인(GL1)에 공급되며, 이에 의해 상기 제 1 게이트 라인(GL1)이 방전된다.
- [0093] 이와 같은 방식으로, 각 스테이지(ST1 내지 STn)는 전단 스테이지로부터의 출력펄스에 응답하여 인에이블되고, 이 인에이블된 후 자신에게 공급되는 클럭펄스를 출력펄스로서 출력한다. 그리고, 각 스테이지(ST1 내지 STn)는 다음단 스테이지로부터의 출력펄스에 응답하여 디스에이블되어 해당 게이트 라인을 방전시킨다.
- [0094] 이와 같은 동작을 위해, 각 스테이지(ST1 내지 STn)는 다음과 같은 회로 구성을 갖는다.
- [0095] 도 4는 도 2의 제 2 스테이지에 구비된 회로구성을 나타낸 도면이다.
- [0096] 각 스테이지(ST1 내지 STn+1)의 제 1 노드 제어부(NC1)는 제 1 내지 제 3 스위칭소자(Tr1 내지 Tr3)를 포함한다.
- [0097] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 1 스위칭소자(Tr1)는, 제 k-1 스테이지의 풀업 스위칭소자(Trpu)로부터 출력된 제 k-1 출력펄스에 응답하여, 충전용 전압원(VDD)을 상기 제 k 스테이지의 제 1 노드(n1)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 1 스위칭소자(Tr1)의 게이트단자는 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 충전용 전원라인에 접속되며, 그리고 소스단자는 상기 제 k 스테이지의 제 1 노드(n1)에 접속된다.
- [0098] 예를들어, 도 4의 제 2 스테이지(ST2)에 구비된 제 1 스위칭소자(Tr1)는 제 1 스테이지(ST1)로부터의 제 1 출력펄스(Vout1)에 응답하여 상기 제 2 스테이지(ST2)의 제 1 노드(n1)를 충전용 전압원(VDD)으로 충전시킨다.
- [0099] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 2 스위칭소자(Tr2)는, 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 k+1 출력펄스에 응답하여, 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 1 노드(n1)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 2 스위칭소자(Tr2)의 게이트단자는 상기 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 1 노드(n1)에 접속되며, 그리고 소스단자는 제 1 방전용 전원라인(SSL1)에 접속된다.
- [0100] 예를들어, 도 4의 제 2 스테이지(ST2)에 구비된 제 2 스위칭소자(Tr2)는 제 3 스테이지(ST3)로부터의 제 3 출력펄스(Vout3)에 응답하여 상기 제 2 스테이지(ST2)의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다.
- [0101] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 3 스위칭소자(Tr3)는 클럭전송라인으로부터의 클럭펄스에 응답하여, 상기 제 1 노드(n1)와 풀업 스위칭소자(Trpu)의 소스단자간을 전기적으로 연결시킨다. 이를 위해, 상기 제 k 스테이지에 구비된 제 3 스위칭소자(Tr3)의 게이트단자는 상기 제 k 스테이지의 클럭전송라인들 중 어느 하나에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 1 노드(n1)에 접속되며, 그리고 소스단자는 상기 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속된다.
- [0102] 여기서, 상기 제 3 스위칭소자(Tr3)의 게이트단자에 공급되는 클럭펄스는 풀업 스위칭소자(Trpu)의 드레인단자

에 공급되는 클럭펄스와 동일한 위상을 갖는 클럭펄스이다.

- [0103] 예를들어, 도 4의 제 2 스테이지(ST2)에 구비된 제 3 스위칭소자(Tr3)는 제 2 클럭펄스(CLK2)에 응답하여, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)와 풀업 스위칭소자(Trpu)의 소스단자간을 전기적으로 연결시킨다.
- [0104] 각 스테이지(ST1 내지 STn+1)의 제 2 노드 제어부(NC2)는 제 4 및 제 5 스위칭소자(Tr4, Tr5)를 포함한다.
- [0105] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 4 스위칭소자(Tr4)는, 제 k+1 스테이지의 풀업 스위칭소자(Trpu)로부터 출력된 제 k+1 출력펄스에 응답하여, 충전용 전압원(VDD)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 4 스위칭소자(Tr4)의 게이트단자는 제 k+1 게이트 라인을 통하여 상기 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 제 2 충전용 전원라인(DDL2)에 접속되며, 그리고 소스단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속된다.
- [0106] 예를들어, 도 4의 제 2 스테이지(ST2)에 구비된 제 4 스위칭소자(Tr4)는 제 3 스테이지(ST3)로부터의 제 3 출력펄스(Vout3)에 응답하여 상기 제 2 스테이지(ST2)의 제 2 노드(n2)를 충전용 전압원(VDD)으로 충전시킨다.
- [0107] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 5 스위칭소자(Tr5)는, 제 k-1 스테이지의 풀업 스위칭소자(Trpu)로부터 출력된 제 k-1 출력펄스에 응답하여, 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 5 스위칭소자(Tr5)의 게이트단자는 제 k-1 게이트 라인을 통하여 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0108] 예를들어, 도 4의 제 2 스테이지(ST2)에 구비된 제 5 스위칭소자(Tr5)는 제 2 스테이지(ST2)로부터의 제 2 출력펄스(Vout2)에 응답하여 상기 제 2 스테이지(ST2)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0109] 한편, 제 1 스테이지(ST1)의 제 1 노드 제어부(NC1)에 구비된 제 1 스위칭소자(Tr1)는 제 1 스타트 전송라인(STL1)으로부터의 스타트 펄스(Vst)에 응답하여, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 충전용 전압원(VDD)으로 충전시킨다. 그리고, 상기 제 1 스테이지(ST1)의 제 2 노드 제어부(NC2)에 구비된 제 5 스위칭소자(Tr5)는 제 2 스타트 전송라인(STL2)으로부터의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0110] 그리고, 제 n 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 2 스위칭소자(Tr2)는 상기 스타트 전송라인으로부터의 스타트 펄스(Vst)에 응답하여, 상기 제 n 스테이지(STn)의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다.
- [0111] 도 5는 도 2의 제 2 스테이지에 구비된 또 다른 회로구성을 나타낸 도면이다.
- [0112] 각 스테이지(ST1 내지 STn+1)의 제 2 노드 제어부(NC2)는, 도 5에 도시된 바와 같이, 제 6 스위칭소자(Tr6)를 더 포함할 수 있다.
- [0113] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 6 스위칭소자(Tr6)는 상기 제 k 스테이지의 풀업 스위칭소자(Trpu)로부터 출력된 출력펄스에 응답하여 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 6 스위칭소자(Tr6)의 게이트단자는 제 k 게이트 라인을 통하여 상기 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0114] 예를들어, 도 5의 제 2 스테이지(ST2)에 구비된 제 6 스위칭소자(Tr6)는 상기 제 2 스테이지(ST2)로부터의 제 2 출력펄스(Vout2)에 응답하여 상기 제 2 스테이지(ST2)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0115] 이와 같이 구성된 회로구성을 갖는 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- [0116] 도 6은 도 5의 회로구성을 갖는 제 1 내지 제 3 스테이지를 나타낸 도면이다.
- [0117] 먼저, 초기 기간(T0)동안의 동작을 설명하면 다음과 같다.
- [0118] 상기 초기 기간(T0) 동안에는, 도 3에 도시된 바와 같이, 스타트 펄스(Vst)만 하이 상태로 유지되고, 나머지 클럭펄스들(CLK1 내지 CLK4)은 로우 상태로 유지된다.
- [0119] 상기 스타트 펄스(Vst)는 제 1 스테이지(ST1)에 입력된다. 구체적으로, 도 6에 도시된 바와 같이, 상기 스타트 펄스(Vst)는 상기 제 1 스테이지(ST1)에 구비된 제 1 스위칭소자(Tr1)의 게이트단자 및 제 5 스위칭소자(Tr5)의

게이트단자에 공급된다.

- [0120] 그러면, 상기 제 1 스테이지(ST1)의 제 1 스위칭소자(Tr1)는 턴-온되며, 이때, 상기 턴-온된 제 1 스위칭소자(Tr1)를 통해 충전용 전압원(VDD)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 공급된다.
- [0121] 이에 따라, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 상기 충전용 전압원(VDD)에 의해 충전되며, 상기 충전된 제 1 노드(n1)에 게이트단자가 접속된 풀업 스위칭소자(Trpu)가 턴-온된다.
- [0122] 또한, 상기 스타트 펄스(Vst)를 공급받은 제 1 스테이지(ST1)의 제 5 스위칭소자(Tr5)는 턴-온되며, 이때, 상기 턴-온된 제 5 스위칭소자(Tr5)를 통해 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 2 노드(n2)에 공급된다.
- [0123] 이에 따라, 상기 제 1 스테이지(ST1)의 제 2 노드(n2)가 상기 방전용 전압원(VSS)에 의해 방전되며, 상기 방전된 제 2 노드(n2)에 게이트단자가 접속된 풀업 스위칭소자(Trpu)가 턴-오프된다.
- [0124] 한편, 상기 초기 기간(T0)에 제 2 내지 더미 스테이지(ST2 내지 STn+1)로부터의 출력펄스는 없으므로, 상기 제 1 스테이지(ST1)에 구비된 제 2 스위칭소자(Tr2) 및 제 4 스위칭소자(Tr4)는 턴-오프 상태이다.
- [0125] 또 한편, 상기 초기 기간(T0)에 출력된 스타트 펄스(Vst)는 더미 스테이지(STn+1)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자 및 제 4 스위칭소자(Tr4)의 게이트단자에 공급된다.
- [0126] 이에 따라, 상기 제 2 및 제 4 스위칭소자(Tr2, Tr4)가 턴-온된다. 그러면, 상기 턴-온된 제 2 스위칭소자(Tr2)를 통해 방전용 전압원(VSS)이 상기 더미 스테이지(STn+1)의 제 1 노드(n1)에 공급되고, 상기 턴-온된 제 4 스위칭소자(Tr4)를 통해 충전용 전압원(VDD)이 상기 더미 스테이지(STn+1)의 제 2 노드(n2)에 공급된다. 따라서, 상기 초기 기간(T0)에 상기 더미 스테이지(STn+1)의 제 1 노드(n1)가 방전되고, 제 2 노드(n2)가 충전된다.
- [0127] 이어서, 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.
- [0128] 제 1 기간(T1)동안에는, 도 3에 도시된 바와 같이, 제 1 클럭펄스(CLK1)만 하이 상태로 유지되고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스들(CLK2, CLK3, CLK4)은 로우 상태로 유지된다.
- [0129] 따라서, 로우 상태의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 1 스위칭소자(Tr1) 및 제 5 스위칭소자(Tr5)가 턴-오프된다.
- [0130] 이때, 상기 제 1 스위칭소자(Tr1)가 턴-오프됨에 따라, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 플로팅 상태로 유지된다.
- [0131] 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 상기 초기 기간(T0)동안 인가되었던 충전용 전압원(VDD)에 의해 계속 충전 상태로 유지됨에 따라, 상기 제 1 노드(n1)에 게이트단자가 접속된 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)가 턴-온상태로 유지된다.
- [0132] 이때, 상기 턴-온된 풀업 스위칭소자(Trpu)의 드레인단자에 상기 제 1 클럭펄스(CLK1)가 공급된다. 그러면, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 충전된 충전용 전압원(VDD)이 증폭된다(부트스트래핑 현상 bootstrapping). 이와 같은 증폭은 상기 제 1 노드(n1)가 플로팅 상태이기 때문에 발생한다.
- [0133] 따라서, 상기 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자에 공급된 제 1 클럭펄스(CLK1)는 상기 풀업 스위칭소자(Trpu)의 소스단자를 통해 안정적으로 출력된다. 상기 풀업 스위칭소자(Trpu)로부터 출력된 제 1 클럭펄스(CLK1)가 제 1 출력펄스(Vout1)이다.
- [0134] 이 출력된 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)에 공급되어 상기 제 1 게이트 라인(GL1)을 구동시키는 스캔펄스로서 작용한다.
- [0135] 한편, 상기 제 1 기간(T1)에 출력된 제 1 클럭펄스(CLK1)는 상기 제 1 스테이지(ST1)에 구비된 제 3 스위칭소자(Tr3)의 게이트단자에도 공급된다. 그러면, 상기 제 3 스위칭소자(Tr3)는 턴-온되고, 이에 따라 상기 제 1 스테이지(ST1)의 제 1 노드(n1)와 풀업 스위칭소자(Trpu)의 소스단자간이 단락된다.
- [0136] 상기 제 1 기간(T1)에는 상기 풀업 스위칭소자(Trpu)로부터 하이 상태의 제 1 클럭펄스(CLK1)가 출력되므로, 상기 제 1 스테이지(ST1)의 제 1 노드(n1), 상기 풀업 스위칭소자(Trpu)의 드레인단자, 및 소스단자가 모두 하이 상태로 유지된다.

- [0137] 이 제 3 스위칭소자(Tr3)는 상기 제 1 노드(n1)가 충전 상태일 때 상기 풀업 스위칭소자(Trpu)의 출력에 아무런 영향을 주지 않는다. 다만, 이 제 3 스위칭소자(Tr3)는 상기 제 1 노드(n1)가 방전 상태에서 플로팅 되었을 때 상기 제 1 노드(n1)에 주기적으로 방전용 전압원(VSS)을 공급함으로써, 상기 제 1 노드(n1)의 신호상태를 안정화시키는 역할을 한다. 이에 대해서는 이후에 더 구체적으로 설명하기로 한다.
- [0138] 한편, 상기 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)로부터 출력된 제 1 출력펄스(Vout1)는 상기 제 2 스테이지(ST2)에 공급되어 상기 제 2 스테이지(ST2)의 제 1 노드(n1)를 충전시키고, 제 2 노드(n2)를 방전시키기 위한 스타트 펄스(Vst)로서 작용한다.
- [0139] 즉, 제 1 기간(T1)에 상기 제 1 스테이지(ST1)로부터 출력된 제 1 출력펄스(Vout1)는 상기 제 2 스테이지(ST2)에 구비된 제 1 및 제 5 스위칭소자(Tr1, Tr5)의 게이트단자에 공급된다. 이때, 상기 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)을 통해 상기 제 5 스위칭소자(Tr5)의 게이트단자에 공급된다.
- [0140] 그러면, 상기 제 2 스테이지(ST2)의 제 1 및 제 5 스위칭소자(Tr1, Tr5)는 턴-온된다.
- [0141] 이에 따라, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 상기 충전용 전압원(VDD)에 의해 충전되며, 상기 충전된 제 1 노드(n1)에 게이트단자가 접속된 제 2 스테이지(ST2)의 풀업 스위칭소자(Trpu)가 턴-온된다.
- [0142] 한편, 상기 제 1 기간(T1)에 제 3 내지 더미 스테이지(ST3 내지 STn+1)로부터의 출력펄스는 없으므로, 상기 제 2 스테이지(ST2)에 구비된 제 2 및 제 4 스위칭소자(Tr2, Tr4)는 턴-오프 상태이다.
- [0143] 이어서, 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.
- [0144] 상기 제 2 기간(T2)동안에는, 도 3에 도시된 바와 같이, 제 2 클럭펄스(CLK2)만 하이 상태로 유지된다. 반면, 상기 스타트 펄스(Vst)를 포함함 나머지 클럭펄스들(CLK1, CLK3, CLK4), 및 제 1 출력펄스(Vout1)는 로우 상태로 유지된다.
- [0145] 따라서, 로우 상태의 제 1 출력펄스(Vout1)에 응답하여 상기 제 2 스테이지(ST2)의 제 1 및 제 5 스위칭소자(Tr1, Tr5)가 턴-오프된다.
- [0146] 이때, 상기 제 1 스위칭소자(Tr1)가 턴-오프됨에 따라, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 플로팅 상태로 유지된다.
- [0147] 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 상기 제 1 기간(T1)동안 인가되었던 충전용 전압원(VDD)에 의해 계속 충전 상태로 유지됨에 따라, 상기 제 1 노드(n1)에 게이트단자가 접속된 제 2 스테이지(ST2)의 풀업 스위칭소자(Trpu)가 턴-온상태를 유지한다.
- [0148] 이때, 상기 턴-온된 풀업 스위칭소자(Trpu)의 드레인단자에 상기 제 2 클럭펄스(CLK2)가 공급된다. 그러면, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)에 충전된 충전용 전압원(VDD)이 증폭된다.
- [0149] 따라서, 상기 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자에 공급된 제 2 클럭펄스(CLK2)는 상기 풀업 스위칭소자(Trpu)의 소스단자를 통해 안정적으로 출력된다. 상기 풀업 스위칭소자(Trpu)로부터 출력된 제 2 클럭펄스(CLK2)가 제 2 출력펄스(Vout2)이다.
- [0150] 이 출력된 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)에 공급되어 상기 제 2 게이트 라인(GL2)을 구동시키는 스캔펄스로서 작용함과 아울러, 제 3 스테이지(ST3)에 공급되어 상기 제 3 스테이지(ST3)의 제 1 노드(n1)를 충전시키고, 제 2 노드(n2)를 방전시키기 위한 스타트 펄스(Vst)로서 작용한다.
- [0151] 또한, 상기 제 2 기간(T2)에 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 제 1 스테이지(ST1)에 공급되어 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 방전시키고, 제 2 노드(n2)를 충전시키는 역할을 한다. 즉, 상기 제 1 스테이지(ST1)는 상기 제 2 스테이지(ST2)로부터의 제 2 출력펄스(Vout2)에 응답하여 디스에이블된다. 이를 좀 더 구체적으로 설명하면 다음과 같다.
- [0152] 즉, 상기 제 2 기간(T2)에 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 상기 제 1 스테이지(ST1)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자에 공급됨과 아울러, 상기 제 2 게이트 라인(GL2)을 통해 상기 제 1 스테이지(ST1)에 구비된 제 4 스위칭소자(Tr4)의 게이트단자에 공급된다.
- [0153] 그러면, 상기 제 2 스위칭소자(Tr2)가 턴-온되고, 이때 상기 턴-온된 제 2 스위칭소자(Tr2)를 통해 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 공급된다. 그러면, 상기 방전된 제 1 스테이지(ST1)의 제 1 노드(n1)에 게이트단자가 접속된 풀업 스위칭소자(Trpu)가 턴-오프된다.

- [0154] 또한, 상기 2 출력펄스(Vout2)를 공급받는 제 1 스테이지(ST1)의 제 4 스위칭소자(Tr4)가 턴-온된다. 이 턴-온된 제 4 스위칭소자(Tr4)를 통해 충전용 전압원(VDD)이 상기 제 1 스테이지(ST1)의 제 2 노드(n2)에 공급된다. 이에 따라, 상기 제 2 노드(n2)가 충전되고, 이 충전된 제 2 노드(n2)에 게이트단자가 접속된 제 1 스테이지(ST1)의 풀다운 스위칭소자(Trpd)가 턴-온된다. 이 턴-온된 풀다운 스위칭소자(Trpd)를 통해 방전용 전압원(VSS)이 제 1 게이트 라인(GL1)에 공급된다. 이에 따라, 상기 제 1 게이트 라인(GL1)이 방전된다.
- [0155] 이와 같이 제 2 기간(T2)에는 제 2 스테이지(ST2)가 제 2 출력펄스(Vout2)를 출력한다. 이 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)을 구동하고, 제 3 스테이지(ST3)를 인에이블시키고, 그리고 제 1 스테이지(ST1)를 디스에이블시킨다.
- [0156] 이와 같은 방식으로 제 3 및 제 4 기간(T3, T4)에 제 3 및 제 4 스테이지(ST3, ST4)가 제 3 및 제 4 출력펄스(Vout3, Vout4)를 출력한다.
- [0157] 이후, 상기 제 5 기간(T5)에는 제 1 클럭펄스(CLK1)만 다시 하이 상태로 유지된다. 이 제 5 기간(T5)에 출력되는 제 1 클럭펄스(CLK1)는 제 5 스테이지(ST5)에 공급된다. 그러면, 상기 제 5 스테이지(ST5)는 상기 제 1 클럭펄스(CLK1)를 이용하여 제 5 출력펄스(Vout5)를 출력하고, 이를 제 5 게이트 라인, 제 4 스테이지, 및 제 6 스테이지에 공급한다.
- [0158] 한편, 상기 제 5 기간(T5)에 출력된 제 1 클럭펄스(CLK1)는 제 1 스테이지(ST1)에도 공급된다. 즉, 상기 제 1 클럭펄스(CLK1)는 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자 및 제 3 스위칭소자(Tr3)의 게이트단자에 공급된다.
- [0159] 이 제 5 기간(T5)에 상기 제 1 스테이지(ST1)의 제 1 노드(n1)는 방전 상태이므로, 상기 풀업 스위칭소자(Trpu)는 턴-오프상태이다. 따라서, 상기 제 5 기간(T5)에 상기 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)는 출력을 발생하지 않는다.
- [0160] 한편, 상기 제 3 스위칭소자(Tr3)는 상기 제 1 클럭펄스(CLK1)에 의해 턴-온된다. 그러면, 상기 턴-온된 제 3 스위칭소자(Tr3)를 통해 제 1 게이트 라인(GL1)의 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 공급된다.
- [0161] 상기 제 1 게이트 라인(GL1)에는, 상기 제 1 스테이지(ST1)의 풀다운 스위칭소자(Trpd)에 의해 발생하는 방전용 전압원(VSS)이 계속해서 공급되고 있다.
- [0162] 상기 제 1 스테이지(ST1)의 풀다운 스위칭소자(Trpd)는 제 2 기간(T2)부터 이 기간을 포함하는 한 프레임 기간이 종료될 때 까지 턴-온상태를 유지한다. 이는 상기 풀다운 스위칭소자(Trpd)의 게이트단자가 접속된 제 1 스테이지(ST1)의 제 2 노드(n2)가 상기 제 2 기간(T2)부터 한 프레임 기간이 종료될 때 까지 충전용 전압원(VDD)에 의해 충전 상태로 유지되기 때문이다.
- [0163] 이에 따라, 상기 제 1 게이트 라인(GL1)에는 제 2 기간(T2)이후부터 계속해서 방전용 전압원(VSS)으로 유지된다.
- [0164] 상기 제 1 스테이지(ST1)의 제 3 스위칭소자(Tr3)는 제 1 클럭펄스(CLK1)가 출력될 때마다 주기적으로 턴-온되는데, 이 턴-온된 제 3 스위칭소자(Tr3)를 통해 상기 제 1 게이트 라인(GL1)으로부터의 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 주기적으로 공급된다.
- [0165] 따라서, 상기 제 1 스테이지(ST1)가 제 1 출력펄스(Vout1)를 출력한 이후부터, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 안정적으로 방전 상태로 유지된다.
- [0166] 이와 같이 각 스테이지(ST1 내지 STn+1)의 제 3 스위칭소자(Tr3)는 각 스테이지(ST1 내지 STn+1)의 출력을 안정화시키는 역할을 한다.
- [0167] 한편, 각 스테이지(ST1 내지 STn)에 구비된 제 1 스위칭소자(Tr1)의 드레인단자에는 충전용 전압원(VDD) 대신에 클럭펄스가 공급될 수도 있다.
- [0168] 이때, 제 k 스테이지에 구비된 제 1 스위칭소자(Tr1)의 드레인단자에 공급되는 클럭펄스는, 제 k-1 스테이지의 풀업 스위칭소자(Trpu)의 드레인단자에 공급되는 클럭펄스와 동일하다.
- [0169] 이와 같이 하면, 상기 제 1 노드 제어부(NC1)에 충전용 전압원(VDD)을 공급하기 위한 제 1 충전용 전원라인(DDL1)을 제거할 수 있다.

- [0170] 도 7은 본 발명의 제 2 실시예에 따른 쉬프트 레지스터를 나타낸 도면이고, 도 8은 도 7의 쉬프트 레지스터에 공급되는 각종 신호 및 상기 쉬프트 레지스터로부터 출력되는 출력펄스를 나타낸 도면이다.
- [0171] 본 발명의 제 2 실시예에 따른 쉬프트 레지스터는, 도 7에 도시된 바와 같이, 다수의 스테이지들 및 더미 스테이지(STn+1)를 포함한다.
- [0172] 각 스테이지(ST1 내지 STn)는 제 1 노드(n1), 제 2 노드(n2), 제 3 노드(n3), 제 1 노드 제어부(NC1), 제 2 노드 제어부(NC2), 제 3 노드 제어부(NC3), 풀업 스위칭소자(Trpu), 제 1 풀다운 스위칭소자(Trpd1) 및 제 2 풀다운 스위칭소자(Trpd2)를 포함한다.
- [0173] 이때, 각 스테이지(ST1 내지 STn)의 제 1 노드(n1), 제 1 노드 제어부(NC1), 및 풀업 스위칭소자(Trpu)는 표시부(200a)의 좌측에 형성된다. 그리고, 각 스테이지(ST1 내지 STn)의 제 2 노드(n2), 제 3 노드(n3), 제 2 노드 제어부(NC2), 제 3 노드 제어부(NC3), 제 1 풀다운 스위칭소자(Trpd1), 및 제 2 풀다운 스위칭소자(Trpd2)는 상기 표시부(200a)의 우측에 형성된다.
- [0174] 상기 제 1 노드 제어부(NC1)는 상기 제 1 노드(n1)의 신호상태를 제어한다. 즉, 상기 제 1 노드 제어부(NC1)는 제 1 노드(n1)를 충전 상태로 만들거나, 또는 방전 상태로 만든다.
- [0175] 상기 제 2 노드 제어부(NC2)는 상기 제 2 노드(n2)의 신호상태를 제어한다. 즉, 상기 제 2 노드 제어부(NC2)는 제 2 노드(n2)를 충전 상태로 만들거나, 또는 방전 상태로 만든다.
- [0176] 상기 제 3 노드 제어부(NC3)는 상기 제 3 노드(n3)의 신호상태를 제어한다. 즉, 상기 제 3 노드 제어부(NC3)는 제 3 노드(n3)를 충전 상태로 만들거나, 또는 방전 상태로 만든다.
- [0177] 상기 제 1 내지 제 3 노드 제어부(NC1 내지 NC3)는, 상기 제 1 노드(n1)가 충전 상태일 때 상기 제 2 및 제 3 노드(n2, n3)가 모두 방전 상태로 유지되도록 제어하고, 또한 상기 제 1 노드(n1)가 방전 상태일 때 상기 제 2 노드(n2) 및 제 3 노드(n3) 중 어느 하나가 충전 상태로 유지되고 나머지 하나가 방전 상태로 유지되도록 한다.
- [0178] 특히, 상기 제 2 및 제 3 노드(n2, n3)를 p프레임 기간(p는 자연수)을 단위로 하여 교번적으로 충전(또는 방전)된다. 즉, 제 2 노드(n2)가 기수번째 프레임 기간동안 충전 상태로 유지되고 우수번째 프레임 기간동안 방전 상태로 유지된다면, 상기 제 3 노드(n3)는 상기 기수번째 프레임 기간동안 방전 상태로 유지되고 상기 우수번째 프레임 기간동안 충전 상태로 유지된다.
- [0179] 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)는 상기 제 k 스테이지의 제 1 노드(n1)의 신호상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 클럭전송라인으로부터 공급되는 클럭펄스를 출력펄스로서 출력한다. 그리고, 이 출력된 출력펄스를 제 k 라인의 일측과, 제 k 스테이지에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)와, 제 k+1 스테이지에 구비된 제 1 내지 제 3 노드 제어부(NC1 내지 NC3)에 공급한다.
- [0180] 제 k 스테이지에 구비된 제 1 풀다운 스위칭소자(Trpd1)는 상기 제 k 스테이지의 제 2 노드(n2)의 신호상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 방전용 전압원(VSS)을 제 k 게이트 라인에 공급한다.
- [0181] 제 k 스테이지에 구비된 상기 제 2 풀다운 스위칭소자(Trpd2)는 상기 제 k 스테이지의 제 3 노드(n3)의 신호상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 방전용 전압원(VSS)을 제 k 게이트 라인에 공급한다.
- [0182] 제 k 스테이지에 구비된 제 1 노드 제어부(NC1)는 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 1 노드(n1)를 충전용 전압원(VDD)(또는 클럭펄스)으로 충전시킨다.
- [0183] 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시킨다.
- [0184] 이때, 상기 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스를 제 k-1 게이트 라인을 통해서 공급받는다. 즉, 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 k-1 출력펄스는 제 k-1 게이트 라인을 경유하여 상기 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)에 공급된다.
- [0185] 제 k 스테이지에 구비된 제 3 노드 제어부(NC3)는 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 3 노드(n3)를 방전용 전압원(VSS)으로 방전시킨다.
- [0186] 이때, 상기 제 k 스테이지에 구비된 제 3 노드 제어부(NC3)는 상기 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스를 제 k-1 게이트 라인을 통해서 공급받는다. 즉, 상기 제 k-1 스테이지에 구비된 풀

업 스위칭소자(Trpu)로부터 출력된 제 k-1 출력펄스는 제 k-1 게이트 라인을 경유하여 상기 제 k 스테이지에 구비된 제 3 노드 제어부(NC3)에 공급된다.

- [0187] 한편, 제 1 스테이지(ST1)의 전단에는 스테이지가 존재하지 않으므로, 상기 제 1 스테이지(ST1)에 구비된 제 1 노드 제어부(NC1)는 스타트 전송라인으로부터의 스타트 펄스(Vst)를 공급받아 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 충전용 전압원(VDD)으로 충전시킨다. 그리고, 상기 제 1 스테이지(ST1)에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)는 상기 스타트 전송라인으로부터의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 및 제 3 노드(n2, n3)를 방전용 전압원(VSS)으로 방전시킨다.
- [0188] 제 k 스테이지에 구비된 제 1 노드 제어부(NC1)는 제 k+1 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터의 출력펄스에 응답하여 상기 제 k 스테이지의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다.
- [0189] 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 제 1 교류 전압원(Vac1)의 논리상태, 상기 제 k 게이트 라인의 충전 여부, 및 제 k-1 스테이지로부터의 출력 여부에 따라, 상기 제 k 스테이지의 제 2 노드(n2)를 하이 상태의 제 1 교류 전압원(Vac1)으로 충전시키거나 또는 로우 상태의 제 1 교류 전압원(Vac1)(또는 방전용 전압원(VSS))으로 방전시킨다.
- [0190] 구체적으로, 제 k 라인이 충전상태일 때 또는 제 k-1 스테이지로부터의 출력이 있을 때, 상기 제 k 스테이지의 제 2 노드 제어부(NC2)는 제 1 교류 전압원(Vac1)의 논리 상태에 상관없이 상기 제 k 스테이지의 제 2 노드(n2)를 방전시킨다. 그리고, 제 k 라인이 방전상태이고 상기 제 k-1 스테이지로부터의 출력이 없을 때, 상기 제 k 스테이지의 제 2 노드 제어부(NC2)는 상기 제 1 교류 전압원(Vac1)의 논리 상태에 따라 상기 제 k 스테이지의 제 2 노드(n2)를 충전 시키거나 방전시킨다.
- [0191] 제 k 스테이지에 구비된 제 3 노드 제어부(NC3)는 제 2 교류 전압원(Vac2)의 논리상태, 상기 제 k 게이트 라인의 충전 여부, 및 제 k-1 스테이지로부터의 출력 여부에 따라, 상기 제 k 스테이지의 제 3 노드(n3)를 하이 상태의 제 1 교류 전압원(Vac1)으로 충전시키거나 또는 로우 상태의 제 1 교류 전압원(Vac1)(또는 방전용 전압원(VSS))으로 방전시킨다.
- [0192] 구체적으로, 제 k 라인이 충전상태일 때 또는 제 k-1 스테이지로부터의 출력이 있을 때, 상기 제 k 스테이지의 제 3 노드 제어부(NC3)는 제 2 교류 전압원(Vac2)의 논리 상태에 상관없이 상기 제 k 스테이지의 제 3 노드(n3)를 방전시킨다. 그리고, 제 k 라인이 방전상태이고 상기 제 k-1 스테이지로부터의 출력이 없을 때, 상기 제 k 스테이지의 제 3 노드 제어부(NC3)는 상기 제 2 교류 전압원(Vac2)의 논리 상태에 따라 상기 제 k 스테이지의 제 3 노드(n3)를 충전 시키거나 방전시킨다.
- [0193] 상기 제 1 교류 전압원(Vac1)과 제 2 교류 전압원(Vac2)은 프레임 기간 별로 서로 반전된 위상을 갖는다.
- [0194] 특히, 상기 제 1 및 제 2 교류 전압원(Vac1, Vac2)은 p프레임 기간(p는 자연수)을 단위로 하여 서로 다른 논리 상태를 나타낸다. 즉, 제 1 교류 전압원(Vac1)이 기수번째 프레임 기간동안 하이 상태로 유지되고 우수번째 프레임 기간동안 로우 상태로 유지된다면, 상기 제 2 교류 전압원(Vac2)은 상기 기수번째 프레임 기간동안 로우 상태로 유지되고 상기 우수번째 프레임 기간동안 하이 상태로 유지된다.
- [0195] 한편, 더미 스테이지(STn+1)의 다음단에는 스테이지가 존재하지 않으므로, 상기 더미 스테이지(STn+1)에 구비된 제 1 노드 제어부(NC1)는 스타트 전송라인으로부터의 스타트 펄스(Vst)를 공급받아 상기 더미 스테이지(STn+1)의 제 1 노드(n1)를 방전용 전압원(VSS)으로 방전시킨다. 그리고, 상기 더미 스테이지(STn+1)에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)는 스타트 전송라인으로부터의 스타트 펄스(Vst)를 공급받아 상기 더미 스테이지(STn+1)의 제 2 및 제 3 노드(n2, n3) 중 어느 하나를 충전시키고 다른 하나를 방전시킨다.
- [0196] 상기 표시부(200a)의 좌측에 위치한 비표시부(200b)에는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 전송하는 제 1 내지 제 4 클럭전송라인들(CL1 내지 CL4)과, 스타트 펄스(Vst)를 전송하는 제 1 스타트 전송라인(STL1)과, 충전용 전압원(VDD)을 전송하는 제 1 충전용 전원라인(DDL1)과, 그리고 방전용 전압원(VSS)을 전송하는 제 1 방전용 전원라인(SSL1)이 형성된다.
- [0197] 또한, 상기 표시부(200)의 우측에 위치한 비표시부(200b)에는 스타트 펄스(Vst)를 전송하는 제 2 스타트 전송라인(STL2)과, 방전용 전압원(VSS)을 전송하는 제 2 방전용 전원라인(SSL2)과, 제 1 교류 전압원(Vac1)을 전송하는 제 1 교류 전원라인(acL1)과, 그리고 제 2 교류 전압원(Vac2)을 전송하는 제 2 교류 전원라인(acL2)이 형성된다.
- [0198] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4), 스타트 펄스(Vst), 충전용 전압원(VDD), 및 방전용 전압원

(VSS)은 제 1 실시예에서 상술한 그것들과 동일하므로 이에 대한 설명은 생략한다.

- [0199] 본 발명의 제 2 실시예에 따른 쉬프트 레지스터에 공급되는 클럭펄스는 4상의 클럭펄스이므로, 각 스테이지(ST1 내지 STn+1)에 구비된 각 풀업 스위칭소자(Trpu)의 드레인단자에는 다음과 같은 클럭펄스가 공급된다.
- [0200] 즉, 제 4g+1 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 1 클럭펄스(CLK1)를 공급받으며, 제 4g+2 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 2 클럭펄스(CLK2)를 공급받으며, 제 4g+3 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 3 클럭펄스(CLK3)를 공급받으며, 그리고 제 4g+4 스테이지에 구비된 풀업 스위칭소자(Trpu)는 제 4 클럭펄스(CLK4)를 공급받는다.
- [0201] 이와 같이 구성된 본 발명의 제 2 실시예에 따른 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- [0202] 먼저, 초기 기간(T0) 동안의 동작을 설명하면 다음과 같다.
- [0203] 여기서, 제 1 프레임 기간동안 제 1 교류 전압원(Vac1)이 하이 상태로 유지되고, 상기 제 1 프레임 기간동안 제 2 교류 전압원(Vac2)이 로우 상태로 유지된다고 가정하자. 상기 한 프레임 기간은 상기 초기 기간(T0) 내지 제 i 기간(i는 자연수)을 포함한다.
- [0204] 상기 초기 기간(T0) 동안에는 스타트 펄스(Vst)만 하이 상태로 유지되고, 나머지 클럭펄스들(CLK1 내지 CLK4)은 로우 상태로 유지된다.
- [0205] 이 하이 상태의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)가 동작한다.
- [0206] 즉, 상기 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 1 노드 제어부(NC1)는 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 충전용 전압원(VDD)(또는 클럭펄스)으로 충전시킨다.
- [0207] 그리고, 상기 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 2 노드 제어부(NC2)는 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 방전용 전압원(VSS)으로 방전시키고, 제 3 노드 제어부(NC3)는 상기 제 1 스테이지(ST1)의 제 3 노드(n3)를 방전용 전압원(VSS)으로 방전시킨다.
- [0208] 그러면, 상기 충전된 제 1 노드(n1)에 게이트단자가 접속된 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)가 턴-온되고, 상기 방전된 제 2 노드(n2)에 게이트단자가 접속된 상기 제 1 스테이지(ST1)의 제 1 풀다운 스위칭소자(Trpd1)가 턴-오프되고, 그리고 상기 방전된 제 3 노드(n3)에 게이트단자가 접속된 제 1 스테이지(ST1)의 제 2 풀다운 스위칭소자(Trpd2)가 턴-오프된다.
- [0209] 또한, 상기 스타트 펄스(Vst)는 더미 스테이지(STn+1)의 제 1 및 제 2 노드 제어부(NC1, NC2)에도 공급된다.
- [0210] 그러면, 더미 스테이지(STn+1)의 제 1 노드 제어부(NC1)는 상기 더미 스테이지(STn+1)에 구비된 풀업 스위칭소자(Trpu)를 턴-오프시키고, 그리고, 상기 더미 스테이지(STn+1)의 제 2 노드 제어부(NC2)는 제 1 교류 전압원(Vac1)을 이용하여 상기 더미 스테이지(STn+1)에 구비된 제 1 풀다운 스위칭소자(Trpd1)를 턴-온시키고, 제 3 노드 제어부(NC3)는 제 2 교류 전압원(Vac2)을 이용하여 상기 더미 스테이지(STn+1)에 구비된 제 2 풀다운 스위칭소자(Trpd2)를 턴-오프시킨다.
- [0211] 이후, 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.
- [0212] 제 1 기간(T1) 동안에는 제 1 클럭펄스(CLK1)만 하이 상태로 유지되고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스들(CLK2 내지 CLK4)은 로우 상태로 유지된다.
- [0213] 상기 제 1 클럭펄스(CLK1)는 제 4g+1 스테이지에 구비된 풀업 스위칭소자(Trpu)에 공급된다. 이때, 제 1 노드(n1)가 충전된 스테이지(즉, 인에이블된 스테이지)는 제 1 스테이지(ST1)뿐이므로, 제 4g+1 스테이지들 중 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)만 턴-온상태이고 나머지 스테이지들에 구비된 스테이지들에 구비된 풀업 스위칭소자(Trpu)는 턴-오프상태이다.
- [0214] 따라서, 상기 제 1 기간(T1)에는 상기 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)만이 제 1 클럭펄스(CLK1)를 출력한다. 이 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 1 클럭펄스(CLK1)가 제 1 출력펄스(Vout1)이다.
- [0215] 상기 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)을 구동하기 위한 제 1 스캔펄스로서 기능함과 아울러, 다 음단 스테이지 즉 제 2 스테이지(ST2)를 인에이블시키기 위한 스타트 펄스로서 기능한다.
- [0216] 즉, 제 1 기간(T1)에 출력된 제 1 출력펄스(Vout1)는 제 2 스테이지(ST2)의 제 1 내지 제 3 노드(n1 내지 n3)

에 공급된다. 그러면, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 충전되고, 제 2 및 제 3 노드(n2, n3)가 방전된다. 여기서, 상기 제 1 출력펄스(Vout1)는 상기 제 1 게이트 라인(GL1)을 통해 제 2 스테이지(ST2)에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다.

- [0217] 상기 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)을 통해 맞은편에 위치한 제 1 스테이지(ST1)의 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다. 이 제 1 출력펄스(Vout1)에 응답하여 상기 제 2 노드 제어부(NC2)는 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 방전시키고, 상기 제 3 노드 제어부(NC3)는 상기 제 1 스테이지(ST1)의 제 3 노드(n3)를 방전시킨다.
- [0218] 이후, 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.
- [0219] 상기 제 2 기간(T2)동안에는 제 2 클럭펄스(CLK2)만 하이 상태로 유지된다. 그리고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스(CLK1, CLK3, CLK4)와, 제 1 출력펄스(Vout1)는 로우 상태로 유지된다.
- [0220] 상기 제 2 클럭펄스(CLK2)는 제 4g+2 스테이지에 구비된 풀업 스위칭소자(Trpu)에 공급된다. 이때, 제 1 노드(n1)가 충전된 스테이지(즉, 인에이블된 스테이지)는 제 2 스테이지(ST2)뿐이므로, 제 4g+2 스테이지들 중 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)만 턴-온상태이고 나머지 스테이지들에 구비된 풀업 스위칭소자(Trpu)는 턴-오프상태이다.
- [0221] 따라서, 상기 제 2 기간(T2)에는 상기 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)만이 제 2 클럭펄스(CLK2)를 출력한다. 이 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 2 클럭펄스(CLK2)가 제 2 출력펄스(Vout2)이다.
- [0222] 상기 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)을 구동하기 위한 제 2 스캔펄스로서 기능함과 아울러, 다음단 스테이지 즉 제 3 스테이지(ST3)를 인에이블시키기 위한 스타트 펄스로서 기능한다.
- [0223] 즉, 제 2 기간(T2)에 출력된 제 2 출력펄스(Vout2)는 제 3 스테이지(ST3)의 제 1 내지 제 3 노드 제어부(NC1 내지 NC3)에 공급된다. 그러면, 상기 제 3 스테이지(ST3)의 제 1 노드(n1)가 충전되고, 제 2 및 제 3 노드(n2, n3)가 방전된다. 여기서, 상기 제 2 출력펄스(Vout2)는 상기 제 2 게이트 라인(GL2)을 통해 제 3 스테이지(ST3)에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다.
- [0224] 상기 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)을 통해 맞은편에 위치한 제 2 스테이지(ST2)의 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다. 이 제 2 출력펄스(Vout2)에 응답하여 상기 제 2 노드 제어부(NC2)는 상기 제 2 스테이지(ST2)의 제 2 노드(n2)를 방전시키고, 상기 제 3 노드 제어부(NC3)는 상기 제 2 스테이지(ST2)의 제 3 노드(n3)를 방전시킨다.
- [0225] 한편, 이 제 2 기간(T2)에는 상기 제 1 스테이지(ST1)가 디스에이블된다.
- [0226] 즉, 상기 제 2 기간(T2)에 상기 제 1 출력펄스(Vout1)는 로우 상태로 유지되므로, 상기 제 1 게이트 라인(GL1)이 방전된다. 또한, 이 제 2 기간에는 스타트 펄스(Vst)도 로우 상태로 유지된다.
- [0227] 이렇게, 상기 제 1 게이트 라인(GL1)이 방전 상태로 유지되고 상기 스타트 펄스(Vst)가 로우 상태로 유지됨에 따라, 하이 상태의 제 1 교류 전압원(Vac1)을 공급받는 제 1 스테이지(ST1)의 제 2 노드 제어부(NC2)가 동작한다. 즉, 상기 제 2 노드 제어부(NC2)는 상기 제 1 스테이지(ST1)의 제 2 노드(n2)를 상기 하이 상태의 제 1 교류 전압원(Vac1)으로 충전시킨다. 반면, 로우 상태의 제 2 교류 전압원(Vac2)을 공급받는 제 1 스테이지(ST1)의 제 3 노드 제어부(NC3)는 동작하지 않는다. 따라서, 상기 제 1 스테이지(ST1)의 제 3 노드 제어부(NC3)는 이전 기간에 공급된 방전용 전압원(VSS)에 의해서 그대로 방전 상태로 유지된다.
- [0228] 그러면, 상기 방전된 제 2 노드(n2)에 게이트단자가 접속된 제 1 스테이지(ST1)의 제 1 풀다운 스위칭소자(Trpd1)는 턴-온되고, 상기 방전된 제 3 노드(n3)에 게이트단자가 접속된 제 1 스테이지(ST1)의 제 2 풀다운 스위칭소자(Trpd2)는 턴-오프된다.
- [0229] 상기 턴-온된 제 1 풀다운 스위칭소자(Trpd1)를 통해 상기 방전용 전압원(VSS)이 상기 제 1 게이트 라인(GL1)에 공급되며, 이에 의해 상기 제 1 게이트 라인(GL1)이 방전된다.
- [0230] 이와 같은 방식으로, 각 스테이지(ST1 내지 STn)는 전단 스테이지로부터의 출력펄스에 응답하여 인에이블되고, 이 인에이블된 후 자신에게 공급되는 클럭펄스를 출력펄스로서 출력한다. 그리고, 각 스테이지(ST1 내지 STn)는 다음단 스테이지로부터의 출력펄스에 응답하여 디스에이블되어 해당 게이트 라인을 방전시킨다.

- [0231] 다음 제 2 프레임 기간에는 제 1 교류 전압원(Vac1)이 로우 상태로 유지되고 제 2 교류 전압원(Vac2)이 하이 상태로 유지되므로, 각 스테이지(ST1 내지 STn)의 디스에이블 동작시 제 3 노드 제어부(NC3)가 동작하여 상기 제 3 노드(n3)가 충전되고, 제 2 노드(n2)는 방전된다. 따라서, 상기 제 2 프레임 기간에는 제 3 노드(n3)에 접속된 제 2 풀다운 스위칭소자(Trpd2)가 동작한다.
- [0232] 이와 같이, 상기 제 2 노드(n2)와 제 3 노드(n3)가 서로 교번적으로 충전됨에 따라, 어느 하나의 풀다운 스위칭소자(Trpd)가 동작할 때 나머지 풀다운 스위칭소자(Trpd)는 휴지 상태를 갖는다. 따라서, 제 1 및 제 2 풀다운 스위칭소자(Trpd1, Trpd2)의 열화를 방지할 수 있다.
- [0233] 이와 같은 동작을 위해, 각 스테이지(ST1 내지 STn+1)는 다음과 같은 회로 구성을 갖는다.
- [0234] 도 9는 도 7의 제 2 스테이지에 구비된 회로구성을 나타낸 도면이다.
- [0235] 각 스테이지(ST1 내지 STn+1)의 제 1 노드 제어부(NC1)는 제 1 내지 제 3 스위칭소자(Tr1 내지 Tr3)를 포함한다.
- [0236] 도 9의 제 1 내지 제 3 스위칭소자(Tr1 내지 Tr3)는, 상술한 도 4의 제 1 내지 제 3 스위칭소자(Tr3)와 동일하므로 이에 대한 설명은 생략한다.
- [0237] 각 스테이지(ST1 내지 STn+1)의 제 2 노드 제어부(NC2)는 제 4 내지 제 8 스위칭소자(Tr4 내지 Tr8)를 포함한다.
- [0238] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 4 스위칭소자(Tr4)는 제 1 교류 전압원(Vac1)에 응답하여 상기 제 1 교류 전압원(Vac1)을 출력하고, 이를 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다. 이를 위해, 이를 위해, 상기 제 k 스테이지에 구비된 제 4 스위칭소자(Tr4)의 게이트단자 및 드레인단자는 상기 제 1 교류 전원 라인(acL1)에 접속되며, 소스단자는 상기 제 7 스위칭소자(Tr7)의 게이트단자에 접속된다.
- [0239] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 4 스위칭소자(Tr4)는 제 1 교류 전압원(Vac1)에 응답하여 상기 제 1 교류 전압원(Vac1)을 출력하고, 이를 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다.
- [0240] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 5 스위칭소자(Tr5)는 제 k-1 스테이지로부터의 출력펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 5 스위칭소자(Tr5)의 게이트단자는 제 k-1 게이트 라인을 통하여 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 7 스위칭소자(Tr7)의 게이트단자에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0241] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 5 스위칭소자(Tr5)는 제 1 스테이지(ST1)로부터의 제 1 출력 펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다.
- [0242] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 6 스위칭소자(Tr6)는 제 k 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원(VSS)을 출력하고, 이를 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 6 스위칭소자(Tr6)의 게이트단자는 제 k 게이트 라인을 통하여 상기 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 7 스위칭소자(Tr7)의 게이트단자에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0243] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 6 스위칭소자(Tr6)는 제 2 스테이지(ST2)로부터의 제 2 출력 펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 7 스위칭소자(Tr7)의 게이트단자에 공급한다.
- [0244] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 7 스위칭소자(Tr7)는 상기 제 4, 제 5, 및 제 6 스위칭소자(Tr4, Tr5, Tr6)로부터의 출력에 응답하여 상기 제 1 교류 전압원(Vac1)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 7 스위칭소자(Tr7)의 게이트단자는 상기 제 4 스위칭소자(Tr4)의 소스단자, 그리고 상기 제 5 및 제 6 스위칭소자(Tr6)의 드레인단자에 접속된다. 그리고, 상기 제 7 스위칭소자(Tr7)의 드레인단자는 제 1 교류 전원라인에 접속되며, 소스단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속된다.
- [0245] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 7 스위칭소자(Tr7)는 상기 제 4, 제 5, 및 제 6 스위칭소자(Tr4, Tr5, Tr6)로부터의 출력에 응답하여 상기 제 1 교류 전압원(Vac1)을 상기 제 2 스테이지(ST2)의 제 2 노드(n2)에 공급한다.

- [0246] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 8 스위칭소자(Tr8)는, 제 k-1 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 8 스위칭소자(Tr8)의 게이트단자는 제 k-1 게이트 라인을 통하여 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0247] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 8 스위칭소자(Tr8)는 제 1 스테이지(ST1)로부터의 제 1 출력펄스에 응답하여 상기 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 2 노드(n2)에 공급한다.
- [0248] 각 스테이지(ST1 내지 STn)의 제 3 노드 제어부(NC3)는 제 9 내지 제 13 스위칭소자(Tr9 내지 Tr13)를 포함한다.
- [0249] 제 k 스테이지의 제 3 노드 제어부(NC3) 구비된 제 9 스위칭소자(Tr9)는 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2 교류 전압원(Vac2)을 출력하고, 이를 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다. 이를 위해, 이를 위해, 상기 제 k 스테이지에 구비된 제 9 스위칭소자(Tr9)의 게이트단자 및 드레인단자는 상기 제 2 교류 전원라인에 접속되며, 소스단자는 상기 제 9 스위칭소자(Tr9)의 게이트단자에 접속된다.
- [0250] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 9 스위칭소자(Tr9)는 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2 교류 전압원(Vac2)을 출력하고, 이를 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다.
- [0251] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 10 스위칭소자(Tr10)는 제 k-1 스테이지로부터의 출력펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 10 스위칭소자(Tr10)의 게이트단자는 제 k-1 게이트 라인을 통하여 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 12 스위칭소자(Tr12)의 게이트단자에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0252] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 10 스위칭소자(Tr10)는 제 1 스테이지(ST1)로부터의 제 1 출력펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다.
- [0253] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 11 스위칭소자(Tr11)는 제 k 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원(VSS)을 출력하고, 이를 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 11 스위칭소자(Tr11)의 게이트단자는 제 k 게이트 라인을 통하여 상기 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 12 스위칭소자(Tr12)의 게이트단자에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0254] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 11 스위칭소자(Tr11)는 제 2 스테이지(ST2)로부터의 제 2 출력펄스에 응답하여 방전용 전압원(VSS)을 출력하고, 이를 상기 제 12 스위칭소자(Tr12)의 게이트단자에 공급한다.
- [0255] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 12 스위칭소자(Tr12)는 상기 제 9, 제 10, 및 제 11 스위칭소자(Tr9, Tr10, Tr11)로부터의 출력에 응답하여 상기 제 2 교류 전압원(Vac2)을 상기 제 k 스테이지의 제 3 노드(n3)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 12 스위칭소자(Tr12)의 게이트단자는 상기 제 9 스위칭소자(Tr9)의 소스단자, 그리고 상기 제 10 및 제 11 스위칭소자(Tr10, Tr11)의 드레인단자에 접속된다. 그리고, 상기 제 12 스위칭소자(Tr12)의 드레인단자는 제 2 교류 전원라인에 접속되며, 소스단자는 상기 제 k 스테이지의 제 3 노드(n3)에 접속된다.
- [0256] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 12 스위칭소자(Tr12)는 상기 제 9, 제 10, 및 제 11 스위칭소자(Tr9, Tr10, Tr11)로부터의 출력에 응답하여 상기 제 2 교류 전압원(Vac2)을 상기 제 2 스테이지(ST2)의 제 3 노드(n3)에 공급한다.
- [0257] 제 k 스테이지의 제 2 노드 제어부(NC2) 구비된 제 13 스위칭소자(Tr13)는, 제 k-1 스테이지로부터의 출력펄스에 응답하여 상기 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 3 노드(n3)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 8 스위칭소자(Tr8)의 게이트단자는 제 k-1 게이트 라인을 통하여 제 k-1 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 3 노드(n3)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0258] 예를들어, 도 9의 제 2 스테이지(ST2)에 구비된 제 13 스위칭소자(Tr13)는 제 1 스테이지(ST1)로부터의 제 1 출

력펄스에 응답하여 상기 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 3 노드(n3)에 공급한다.

- [0259] 도 10은 도 7의 제 2 스테이지에 구비된 또 다른 회로구성을 나타낸 도면이다.
- [0260] 각 스테이지(ST1 내지 STn)의 제 2 노드 제어부(NC2)는, 도 10에 도시된 바와 같이, 제 14 스위칭소자(Tr14)를 더 포함할 수 있다. 그리고, 각 스테이지(ST1 내지 STn)의 제 3 노드 제어부(NC3)는, 도 10에 도시된 바와 같이, 제 15 스위칭소자(Tr15)를 더 포함할 수 있다.
- [0261] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 14 스위칭소자(Tr14)는 상기 제 2 교류 전압원(Vac2)에 응답하여 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 14 스위칭소자(Tr14)의 게이트단자는 제 2 교류 전원라인에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0262] 예를들어, 도 10의 제 2 스테이지(ST2)에 구비된 제 14 스위칭소자(Tr14)는 상기 제 2 교류 전압원(Vac2)에 응답하여 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 2 노드(n2)에 공급한다.
- [0263] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 15 스위칭소자(Tr15)는 상기 제 1 교류 전압원(Vac1)에 응답하여 방전용 전압원(VSS)을 상기 제 k 스테이지의 제 3 노드(n3)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 15 스위칭소자(Tr15)의 게이트단자는 제 1 교류 전원라인에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 3 노드(n3)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0264] 예를들어, 도 10의 제 2 스테이지(ST2)에 구비된 제 15 스위칭소자(Tr15)는 상기 제 1 교류 전압원(Vac1)에 응답하여 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 3 노드(n3)에 공급한다.
- [0265] 도 11은 도 7의 제 2 스테이지에 구비된 또 다른 회로구성을 나타낸 도면이다.
- [0266] 각 스테이지(ST1 내지 STn)의 제 2 노드 제어부(NC2)는, 도 11에 도시된 바와 같이, 제 16 스위칭소자(Tr16)를 더 포함할 수 있다. 그리고, 각 스테이지(ST1 내지 STn)의 제 3 노드 제어부(NC3)는, 도 11에 도시된 바와 같이, 제 17 스위칭소자(Tr17)를 더 포함할 수 있다.
- [0267] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 16 스위칭소자(Tr16)는 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 출력펄스에 응답하여 방전용 전압원(VSS)을 제 k 스테이지의 제 2 노드(n2)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 16 스위칭소자(Tr16)의 게이트단자는 제 k 게이트 라인을 통하여 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 2 노드(n2)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0268] 예를들어, 도 11의 제 2 스테이지(ST2)에 구비된 제 16 스위칭소자(Tr16)는 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 2 출력펄스에 응답하여 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 2 노드(n2)에 공급한다.
- [0269] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 17 스위칭소자(Tr17)는 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 출력펄스에 응답하여 방전용 전압원(VSS)을 제 k 스테이지의 제 3 노드(n3)에 공급한다. 이를 위해, 상기 제 k 스테이지에 구비된 제 17 스위칭소자(Tr17)의 게이트단자는 제 k 게이트 라인을 통하여 제 k 스테이지에 구비된 풀업 스위칭소자(Trpu)의 소스단자에 접속되며, 드레인단자는 상기 제 k 스테이지의 제 3 노드(n3)에 접속되며, 그리고 소스단자는 제 2 방전용 전원라인(SSL2)에 접속된다.
- [0270] 예를들어, 도 11의 제 2 스테이지(ST2)에 구비된 제 17 스위칭소자(Tr17)는 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)로부터 출력된 제 2 출력펄스에 응답하여 방전용 전압원(VSS)을 상기 제 2 스테이지(ST2)의 제 3 노드(n3)에 공급한다.
- [0271] 이와 같이 구성된 회로구성을 갖는 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- [0272] 도 12는 도 11의 회로구성을 갖는 제 1 내지 제 3 스테이지를 나타낸 도면이다.
- [0273] 먼저, 초기 기간(T0)동안의 동작을 설명하면 다음과 같다.
- [0274] 여기서, 제 1 프레임 기간동안 제 1 교류 전압원(Vac1)이 하이 상태로 유지되고, 상기 제 1 프레임 기간동안 제 2 교류 전압원(Vac2)이 로우 상태로 유지된다고 가정하자. 상기 한 프레임 기간은 상기 초기 기간 내지 제 i 기간을 포함한다.
- [0275] 여기서, 제 1 교류 전압원(Vac1)은 제 1 프레임 기간동안 하이 상태로 유지되므로, 이 제 1 교류 전압원(Vac1)

을 게이트단자를 통해 공급받는 각 스테이지(ST1 내지 STn+1)의 제 4 스위칭소자(Tr4)들 및 각 스테이지(ST1 내지 STn+1)의 제 15 스위칭소자(Tr15)들은 상기 제 1 프레임 기간동안 턴-온 상태로 유지된다. 반면, 제 2 교류 전압원(Vac2)을 공급받는 각 스테이지(ST1 내지 STn+1)의 제 9 스위칭소자(Tr9)들 및 각 스테이지(ST1 내지 STn+1)의 제 14 스위칭소자(Tr14)들은 상기 제 1 프레임 기간동안 턴-오프 상태이다.

- [0276] 상기 초기 기간(T0) 동안에는, 도 8에 도시된 바와 같이, 스타트 펄스(Vst)만 하이 상태로 유지되고, 나머지 클럭펄스들(CLK1 내지 CLK4)은 로우 상태로 유지된다.
- [0277] 상기 스타트 펄스(Vst)는 제 1 스테이지(ST1)에 입력된다. 구체적으로, 도 12에 도시된 바와 같이, 상기 스타트 펄스(Vst)는 상기 제 1 스테이지(ST1)에 구비된 제 1 스위칭소자(Tr1)의 게이트단자, 제 5 스위칭소자(Tr5)의 게이트단자, 제 10 스위칭소자(Tr10)의 게이트단자, 제 8 스위칭소자(Tr8)의 게이트단자, 및 제 13 스위칭소자(Tr13)의 게이트단자에 공급된다.
- [0278] 그러면, 상기 제 1 스테이지(ST1)의 제 1, 제 5, 제 10, 제 8, 및 제 13 스위칭소자(Tr1, Tr5, Tr10, Tr8, Tr13)가 모두 턴-온된다.
- [0279] 상기 턴-온된 제 1 스위칭소자(Tr1)를 통해 충전용 전압원(VDD)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 공급된다. 이에 따라, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 상기 충전용 전압원(VDD)에 의해 충전되며, 상기 충전된 제 1 노드(n1)에 게이트단자가 접속된 풀업 스위칭소자(Trpu)가 턴-온된다.
- [0280] 상기 턴-온된 제 5 스위칭소자(Tr5)를 통해 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 7 스위칭소자(Tr7)의 게이트단자에 공급된다. 또한, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 턴-온된 제 4 스위칭소자(Tr4)를 통해서 하이 상태의 제 1 교류 전압원(Vac1)이 공급된다. 여기서, 상기 제 4 스위칭소자(Tr4)의 채널 폭보다 상기 제 5 스위칭소자(Tr5)의 채널 폭이 더 넓게 설정되므로, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 상기 제 5 스위칭소자(Tr5)에 의해 출력된 방전용 전압원(VSS)이 공급된다. 이에 따라, 상기 제 7 스위칭소자(Tr7)가 턴-오프된다.
- [0281] 상기 턴-온된 제 10 스위칭소자(Tr10)를 통해 방전용 전압원(VSS)이 제 12 스위칭소자(Tr12)의 게이트단자에 공급된다. 이에 따라, 제 12 스위칭소자(Tr12)가 턴-오프된다.
- [0282] 상기 턴-온된 제 8 스위칭소자(Tr8)를 통해 방전용 전압원(VSS)이 제 2 노드(n2)에 공급된다. 이에 따라, 상기 제 1 스테이지(ST1)의 제 2 노드(n2)가 상기 방전용 전압원(VSS)에 의해 방전되며, 상기 방전된 제 2 노드(n2)에 게이트단자가 접속된 제 1 풀다운 스위칭소자(Trpd1)가 턴-오프된다.
- [0283] 상기 턴-온된 제 13 스위칭소자(Tr13)를 통해 방전용 전압원(VSS)이 제 3 노드(n3)에 공급된다. 이에 따라, 상기 제 1 스테이지(ST1)의 제 3 노드(n3)가 상기 방전용 전압원(VSS)에 의해 방전되며, 상기 방전된 제 3 노드(n3)에 게이트단자가 접속된 제 2 풀다운 스위칭소자(Trpd2)가 턴-오프된다.
- [0284] 이 초기 기간(T0)에 제 1 게이트 라인(GL1)은 방전 상태로 유지되므로, 이 제 1 게이트 라인(GL1)에 게이트단자가 접속된 제 6, 제 11, 제 16, 및 제 17 스위칭소자(Tr6, Tr11, Tr16, Tr17)는 턴-오프 상태이다.
- [0285] 그리고, 상기 초기 기간(T0)에는 제 2 스테이지(ST2)로부터의 출력이 없으므로, 상기 제 1 스테이지(ST1)의 제 2 스위칭소자(Tr2)는 턴-오프 상태이다.
- [0286] 한편, 상기 초기 기간(T0)에 출력된 스타트 펄스(Vst)는 더미 스테이지(STn+1)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자에 공급된다.
- [0287] 이에 따라, 상기 제 2 스위칭소자(Tr2)가 턴-온된다. 그러면, 상기 턴-온된 제 2 스위칭소자(Tr2)를 통해 방전용 전압원(VSS)이 상기 더미 스테이지(STn+1)의 제 1 노드(n1)에 공급된다. 따라서, 상기 초기 기간(T0)에 상기 더미 스테이지(STn+1)의 제 1 노드(n1)가 방전된다.
- [0288] 이어서, 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.
- [0289] 제 1 기간(T1)동안에는, 도 8에 도시된 바와 같이, 제 1 클럭펄스(CLK1)만 하이 상태로 유지되고, 상기 스타트 펄스(Vst)를 포함한 나머지 클럭펄스들(CLK2, CLK3, CLK4)은 로우 상태로 유지된다.
- [0290] 따라서, 로우 상태의 스타트 펄스(Vst)에 응답하여 상기 제 1 스테이지(ST1)의 제 1, 제 5, 제 10, 제 8, 및 제 13 스위칭소자(Tr1, Tr5, Tr10, Tr8, Tr13)가 모두 턴-오프된다.
- [0291] 이때, 상기 제 1 스위칭소자(Tr1)가 턴-오프됨에 따라, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 플로팅 상

태로 유지된다.

- [0292] 상기 제 1 스테이지(ST1)의 제 1 노드(n1)가 상기 초기 기간(T0)동안 인가되었던 충전용 전압원(VDD)에 의해 계속 충전 상태로 유지됨에 따라, 상기 제 1 노드(n1)에 게이트단자가 접속된 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)가 턴-온상태로 유지된다.
- [0293] 이때, 상기 턴-온된 풀업 스위칭소자(Trpu)의 드레인단자에 상기 제 1 클럭펄스(CLK1)가 공급된다. 그러면, 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 충전된 충전용 전압원(VDD)이 증폭된다(부트스트래핑 현상 bootstrapping). 이와 같은 증폭은 상기 제 1 노드(n1)가 플로팅 상태이기 때문에 발생한다.
- [0294] 따라서, 상기 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자에 공급된 제 1 클럭펄스(CLK1)는 상기 풀업 스위칭소자(Trpu)의 소스단자를 통해 안정적으로 출력된다. 상기 풀업 스위칭소자(Trpu)로부터 출력된 제 1 클럭펄스(CLK1)가 제 1 출력펄스(Vout1)이다.
- [0295] 한편, 상기 제 1 기간(T1)에 출력된 제 1 클럭펄스(CLK1)는 상기 제 1 스테이지(ST1)에 구비된 제 3 스위칭소자(Tr3)의 게이트단자에도 공급된다. 그러면, 상기 제 3 스위칭소자(Tr3)는 턴-온되고, 이에 따라 상기 제 1 스테이지(ST1)의 제 1 노드(n1)와 풀업 스위칭소자(Trpu)의 소스단자간이 단락된다.
- [0296] 상기 제 1 기간(T1)에는 상기 풀업 스위칭소자(Trpu)로부터 하이 상태의 제 1 출력펄스(Vout1)가 출력되므로, 상기 제 1 스테이지(ST1)의 제 1 노드(n1), 상기 풀업 스위칭소자(Trpu)의 드레인단자, 및 소스단자가 모두 하이 상태로 유지된다.
- [0297] 이 제 3 스위칭소자(Tr3)는 상기 제 1 노드(n1)가 충전 상태일 때 상기 풀업 스위칭소자(Trpu)의 출력에 아무런 영향을 주지 않는다. 다만, 이 제 3 스위칭소자(Tr3)는 상기 제 1 노드(n1)가 방전 상태에서 플로팅 되었을 때 상기 제 1 노드(n1)에 주기적으로 방전용 전압원(VSS)을 공급함으로써, 상기 제 1 노드(n1)의 신호상태를 안정화시키는 역할을 한다. 이에 대해서는 이후에 더 구체적으로 설명하기로 한다.
- [0298] 한편, 상기 출력된 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)에 공급되어 상기 제 1 게이트 라인(GL1)을 구동시키는 스캔펄스로서 작용한다.
- [0299] 상기 제 1 기간(T1)에 출력된 제 1 출력펄스(Vout1)는 상기 제 1 게이트 라인(GL1)을 경유하여, 상기 제 1 스테이지(ST1)의 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다.
- [0300] 즉, 상기 제 1 출력펄스(Vout1)는 상기 제 1 스테이지(ST1)의 제 6, 제 11, 제 16, 및 제 17 스위칭소자(Tr6, Tr11, Tr16, Tr17)의 각 게이트단자에 공급된다.
- [0301] 따라서, 상기 제 1 스테이지(ST1)의 제 6, 제 11, 제 16, 및 제 17 스위칭소자(Tr6, Tr11, Tr16, Tr17)가 모두 턴-온된다.
- [0302] 상기 턴-온된 제 6 스위칭소자(Tr6)를 통해 방전용 전압원(VSS)이 제 7 스위칭소자(Tr7)의 게이트단자에 공급된다. 또한, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 상기 턴-온된 제 4 스위칭소자(Tr4)를 통해서 하이 상태의 제 1 교류 전압원(Vac1)이 공급된다. 여기서, 상기 제 4 스위칭소자(Tr4)의 채널 폭보다 상기 제 6 스위칭소자(Tr6)의 채널 폭이 더 넓게 설정되므로, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 상기 제 6 스위칭소자(Tr6)에 의해 출력된 방전용 전압원(VSS)이 공급된다. 이에 따라, 상기 제 7 스위칭소자(Tr7)는 여전히 턴-오프상태로 유지된다.
- [0303] 상기 턴-온된 제 11 스위칭소자(Tr11)를 통해 방전용 전압원(VSS)이 제 12 스위칭소자(Tr12)의 게이트단자에 공급된다. 따라서, 상기 제 12 스위칭소자(Tr12)는 여전히 턴-오프 상태로 유지된다.
- [0304] 상기 턴-온된 제 16 스위칭소자(Tr16)를 통해 방전용 전압원(VSS)이 제 2 노드(n2)에 공급된다. 따라서, 상기 제 2 노드(n2)에 접속된 제 1 풀다운 스위칭소자(Trpd1)는 여전히 턴-오프 상태로 유지된다.
- [0305] 상기 턴-온된 제 17 스위칭소자(Tr17)를 통해 방전용 전압원(VSS)이 제 3 노드(n3)에 공급된다. 따라서, 상기 제 3 노드(n3)에 접속된 제 2 풀다운 스위칭소자(Trpd2)는 여전히 턴-오프 상태로 유지된다.
- [0306] 한편, 상기 제 1 기간(T1)에 상기 제 1 스테이지(ST1)의 풀업 스위칭소자(Trpu)로부터 출력된 제 1 출력펄스(Vout1)는 제 2 스테이지(ST2)에 공급되어 상기 제 2 스테이지(ST2)의 제 1 노드(n1)를 충전시키는 스타트 펄스로서 작용한다.
- [0307] 이에 따라, 상기 제 2 스테이지(ST2)는, 상술한 초기 기간(T0)동안에 제 1 스테이지(ST1)가 인에이블되듯이, 동

일한 방식으로 인에이블된다.

- [0308] 즉, 제 1 기간(T1)에 상기 제 1 스테이지(ST1)로부터 출력된 제 1 출력펄스(Vout1)는 상기 제 2 스테이지(ST2)에 구비된 제 1 스위칭소자(Tr1)의 게이트단자에 공급된다. 따라서, 상기 제 1 기간(T1)에 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 충전되고, 이 충전된 제 1 노드(n1)에 접속된 풀업 스위칭소자(Trpu)가 턴-온된다.
- [0309] 그리고, 상기 제 1 스테이지(ST1)로부터 출력된 제 1 출력펄스(Vout1)는 제 1 게이트 라인(GL1)을 경유하여, 제 2 스테이지(ST2)의 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급된다.
- [0310] 즉, 상기 제 1 출력펄스(Vout1)는 상기 제 1 게이트 라인(GL1)을 경유하여, 상기 제 2 스테이지(ST2)에 구비된 제 5, 제 10, 제 8, 및 제 13 스위칭소자(Tr5, Tr10, Tr8, Tr13)의 각 게이트단자에 공급된다.
- [0311] 따라서, 상기 제 1 기간(T1)에 상기 제 2 스테이지(ST2)의 제 2 및 제 3 노드(n2, n3)가 모두 방전되어 제 1 및 제 2 풀다운 스위칭소자(Trpd1, Trpd2)가 모두 턴-오프된다.
- [0312] 이어서, 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.
- [0313] 상기 제 2 기간(T2)동안에는, 도 3에 도시된 바와 같이, 제 2 클럭펄스(CLK2)만 하이 상태로 유지된다. 반면, 상기 스타트 펄스(Vst)를 포함함 나머지 클럭펄스들(CLK1, CLK3, CLK4), 및 제 1 출력펄스(Vout1)는 로우 상태로 유지된다.
- [0314] 따라서, 로우 상태의 제 1 출력펄스(Vout1)에 응답하여 상기 제 2 스테이지(ST2)의 제 1, 제 5, 제 10, 제 8, 및 제 13 스위칭소자(Tr1, Tr5, Tr10, Tr8, Tr13)가 모두 턴-오프된다.
- [0315] 이때, 상기 제 1 스위칭소자(Tr1)가 턴-오프됨에 따라, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 플로팅 상태로 유지된다.
- [0316] 상기 제 2 스테이지(ST2)의 제 1 노드(n1)가 상기 제 1 기간(T1)동안 인가되었던 충전용 전압원(VDD)에 의해 계속 충전 상태로 유지됨에 따라, 상기 제 1 노드(n1)에 게이트단자가 접속된 제 2 스테이지(ST2)의 풀업 스위칭소자(Trpu)가 턴-온상태를 유지한다.
- [0317] 이때, 상기 턴-온된 풀업 스위칭소자(Trpu)의 드레인단자에 상기 제 2 클럭펄스(CLK2)가 공급된다. 그러면, 상기 제 2 스테이지(ST2)의 제 1 노드(n1)에 충전된 충전용 전압원(VDD)이 증폭된다.
- [0318] 따라서, 상기 제 2 스테이지(ST2)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자에 공급된 제 2 클럭펄스(CLK2)는 상기 풀업 스위칭소자(Trpu)의 소스단자를 통해 안정적으로 출력된다. 상기 풀업 스위칭소자(Trpu)로부터 출력된 제 2 클럭펄스(CLK2)가 제 2 출력펄스(Vout2)이다.
- [0319] 이 출력된 제 2 출력펄스(Vout2)는 제 2 게이트 라인(GL2)에 공급되어 상기 제 2 게이트 라인(GL2)을 구동시키는 스캔펄스로서 작용한다.
- [0320] 상기 제 2 출력펄스(Vout2)는 상기 제 2 게이트 라인(GL2)을 통해 제 2 스테이지(ST2)에 구비된 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급되어, 상술한 바와 같은 방식으로 상기 제 2 스테이지(ST2)의 제 2 및 제 3 노드(n2, n3)를 방전시킨다.
- [0321] 또한, 상기 제 2 출력펄스(Vout2)는 제 3 스테이지(ST3)에 공급되어 상기 제 3 스테이지(ST3)의 제 1 노드(n1)를 충전시킨다.
- [0322] 또한, 상기 제 2 출력펄스(Vout2)는 상기 제 2 게이트 라인(GL2)을 경유하여 제 3 스테이지(ST3)의 제 2 및 제 3 노드 제어부(NC2, NC3)에 공급되어, 상기 제 3 스테이지(ST3)의 제 2 및 제 3 노드(n2, n3)를 방전시킨다.
- [0323] 또한, 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 제 1 스테이지(ST1)에 공급되어 상기 제 1 스테이지(ST1)의 제 1 노드(n1)를 방전시키고, 제 2 노드(n2)를 충전시키고, 그리고 제 3 노드(n3)를 방전시키는 역할을 한다. 즉, 상기 제 1 스테이지(ST1)는 상기 제 2 스테이지(ST2)로부터의 제 2 출력펄스(Vout2)에 응답하여 디스에이블된다. 이를 좀 더 구체적으로 설명하면 다음과 같다.
- [0324] 즉, 상기 제 2 기간(T2)에 상기 제 2 스테이지(ST2)로부터 출력된 제 2 출력펄스(Vout2)는 상기 제 1 스테이지(ST1)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자에 공급된다.
- [0325] 그러면, 상기 제 2 스위칭소자(Tr2)가 턴-온되고, 이때 상기 턴-온된 제 2 스위칭소자(Tr2)를 통해 방전용 전압원(VSS)이 상기 제 1 스테이지(ST1)의 제 1 노드(n1)에 공급된다. 그러면, 상기 방전된 제 1 스테이지(ST1)의

제 1 노드(n1)에 게이트단자가 접속된 풀업 스위칭소자(Trpu)가 턴-오프된다.

- [0326] 따라서, 상기 제 1 게이트 라인(GL1)에는 로우 상태의 출력펄스가 공급된다. 이에 따라 상기 제 1 게이트 라인(GL1)은 방전되고, 이 방전된 제 1 게이트 라인(GL1)에 게이트단자가 접속된 제 1 스테이지(ST1)의 스위칭소자들이 모두 턴-오프된다.
- [0327] 즉, 상기 제 1 스테이지(ST1)의 제 6, 제 11, 제 16, 및 제 17 스위칭소자(Tr6, Tr11, Tr16, Tr17)들이 모두 턴-오프된다.
- [0328] 또한, 이 제 2 기간(T2)에 스타트 펄스(Vst)로 로우 상태로 유지되므로, 이 로우 상태의 스타트 펄스(Vst)를 게이트단자를 통해 공급받는 제 1 스테이지(ST1)의 스위칭소자들도 모두 턴-오프된다.
- [0329] 즉, 상기 제 1 스테이지(ST1)의 제 5, 제 10, 제 8, 및 제 13 스위칭소자(Tr5, Tr10, Tr8, Tr13)들이 모두 턴-오프된다.
- [0330] 여기서, 상기 제 1 스테이지(ST1)의 제 7 스위칭소자(Tr7)의 게이트단자에 접속된 제 5 및 제 6 스위칭소자(Tr5, Tr6)가 모두 턴-오프됨에 따라, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 상기 턴-온된 제 4 스위칭소자(Tr4)를 통해 출력되는 하이 상태의 제 1 교류 전압원(Vac1)만이 공급된다.
- [0331] 이에 따라, 상기 제 7 스위칭소자(Tr7)는 턴-온되고, 이 턴-온된 제 7 스위칭소자(Tr7)를 통해 상기 제 1 교류 전압원(Vac1)이 상기 제 1 스테이지(ST1)의 제 2 노드(n2)에 공급된다. 따라서, 상기 제 2 노드(n2)가 충전되고, 이 충전된 제 2 노드(n2)에 게이트단자가 접속된 상기 제 1 스테이지(ST1)의 제 1 풀다운 스위칭소자(Trpd1)가 턴-온된다.
- [0332] 이 턴-온된 제 1 풀다운 스위칭소자(Trpd1)를 통해 방전용 전압원(VSS)이 상기 제 1 게이트 라인(GL1)에 공급된다. 이에 따라, 상기 제 1 게이트 라인(GL1)이 방전된다.
- [0333] 여기서, 상기 제 7 스위칭소자(Tr7)의 게이트단자에는 제 2 기간부터 제 1 프레임 기간이 종료될 때까지 하이 상태의 제 1 교류 전압원(Vac1)이 공급되므로, 상기 제 7 스위칭소자(Tr7)는 상기 기간동안 계속 턴-온상태로 유지된다.
- [0334] 따라서, 상기 턴-온된 제 7 스위칭소자(Tr7)를 통해 제 1 교류 전압원(Vac1)을 공급받는 제 1 스테이지(ST1)의 제 2 노드(n2)도 상기 기간동안 충전 상태로 유지된다.
- [0335] 따라서, 상기 제 2 노드(n2)에 접속된 제 1 풀다운 스위칭소자(Trpd1)도 상기 기간동안 턴-온 상태로 유지된다.
- [0336] 따라서, 상기 턴-온된 제 1 풀다운 스위칭소자(Trpd1)를 통해 방전용 전압원(VSS)을 공급받는 제 1 게이트 라인(GL1)도 상기 기간동안 방전 상태로 유지된다. 따라서, 상기 기간동안 제 1 게이트 라인(GL1)이 플로팅되는 것을 방지할 수 있다.
- [0337] 이와 같은 방식으로 제 3 및 제 4 기간(T3, T4)에 제 3 및 제 4 스테이지(ST3, ST4)가 제 3 및 제 4 출력펄스(Vout3, Vout4)를 출력하고, 상기와 같은 방식으로 동작한다.
- [0338] 이후, 상기 제 5 기간(T5)에는 제 1 클럭펄스(CLK1)만 다시 하이 상태로 유지된다. 이 제 5 기간(T5)에 출력되는 제 1 클럭펄스(CLK1)는 제 5 스테이지(ST5)에 공급된다. 그러면, 상기 제 5 스테이지(ST5)는 상기 제 1 클럭펄스(CLK1)를 이용하여 제 5 출력펄스를 출력하고, 이를 제 5 게이트 라인, 제 4 스테이지, 및 제 6 스테이지에 공급한다.
- [0339] 한편, 상기 제 5 기간(T5)에 출력된 제 1 클럭펄스(CLK1)는 제 1 스테이지(ST1)에도 공급된다. 즉, 상기 제 1 클럭펄스(CLK1)는 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Trpu)의 드레인단자 및 제 3 스위칭소자(Tr3)의 게이트단자에 공급된다.
- [0340] 이 제 3 스위칭소자(Tr3)는 제 1 실시예에서 상술한 제 3 스위칭소자(Tr3)와 동일하게 동작한다. 즉, 상기 제 3 스위칭소자(Tr3)는 각 스테이지(ST1 내지 STn)의 출력을 안정화시키는 역할을 한다.
- [0341] 다음 제 2 프레임 기간에는 제 1 교류 전압원(Vac1)이 로우 상태로 유지되고 제 2 교류 전압원(Vac2)이 하이 상태로 유지되므로, 각 스테이지(ST1 내지 STn)의 디스에이블 동작시 제 3 노드 제어부(NC3)가 동작하여 상기 제 3 노드(n3)가 충전되고, 제 2 노드(n2)는 방전된다. 따라서, 상기 제 2 프레임 기간에는 제 3 노드(n3)에 접속된 제 2 풀다운 스위칭소자(Trpd2)가 동작하여 해당 게이트 라인을 방전시킨다.

- [0342] 한편, 상기 스타트 펄스(Vst) 및 클럭펄스들(CLK1 내지 CLK4)은 다음과 같은 특성을 가질 수 있다.
- [0343] 도 13은 도 2 및 도 7의 쉬프트 레지스터에 공급되는 또 다른 신호 및 상기 쉬프트 레지스터로부터 출력되는 신호의 타이밍도를 나타낸 도면이다.
- [0344] 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 위상차를 갖고 출력된다. 즉, 상기 제 2 클럭펄스(CLK2)는 상기 제 1 클럭펄스(CLK1)보다 1/3 펄스폭만큼 위상지연되어 출력되고, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)보다 1/3 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)는 상기 제 3 클럭펄스(CLK3)보다 1/3 펄스폭만큼 위상지연되어 출력되고, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)보다 1/3 펄스폭만큼 위상지연되어 출력된다.
- [0345] 한편, 상기 스타트 펄스(Vst)는 상기 제 4 클럭펄스(CLK4)에 동기되어 출력된다. 단, 상기 각 클럭펄스(CLK1 내지 CLK4)는 한 프레임 기간동안 여러번 출력되지만, 상기 스타트 펄스(Vst)는 한 프레임 기간동안 단 한번 출력된다.
- [0346] 각 클럭펄스(CLK1 내지 CLK4)들은 서로 동일한 펄스폭 및 듀티율을 갖는다. 그리고, 인접한 기간에 출력되는 클럭펄스들은 일정 기간동안 서로 동시에 하이 상태를 유지한다.
- [0347] 예를 들어, 제 1 클럭펄스(CLK1)의 펄스폭(하이 상태의 펄스폭)과 제 2 클럭펄스(CLK2)의 펄스폭(하이 상태의 펄스폭)은 동일하며, 상기 제 1 클럭펄스(CLK1)의 후반부가 제 2 클럭펄스(CLK2)의 전반부와 중첩된다. 이때, 상기 제 1 클럭펄스(CLK1)의 펄스폭과 제 2 클럭펄스(CLK2)의 펄스폭간의 중첩 구간은 약1/3 펄스폭 구간에 해당한다.
- [0348] 한편, 스타트 펄스(Vst)의 후반부는 상기 제 1 클럭펄스(CLK1)의 전반부와 중첩한다.
- [0349] 이와 같이 출력 기간이 중첩된 클럭펄스들을 사용할 경우 각 스테이지(ST1 내지 STn+1)로부터 출력되는 출력펄스들도 출력 기간이 서로 중첩된다.
- [0350] 이와 같은 클럭펄스를 사용할 경우, 제 k 스테이지는 제 k-1 스테이지로부터의 출력펄스에 의해 인에이블되고, 제 k+2 스테이지로부터의 출력펄스에 의해 디스에이블된다.
- [0351] 도 14는 본 발명의 실시예에 따른 쉬프트 레지스터가 적용된 액정패널에서, 게이트 라인들과 공통 라인들간의 단락 검사를 설명하기 위한 도면이다.
- [0352] 액정패널(200)에는 다수의 게이트 라인들(GL1 내지 GLn)과 다수의 공통 라인들(CL1 내지 CLm)이 서로 평행하도록 일방향으로 배열되어 있다.
- [0353] 액정패널(200)의 중심부에는 화상을 표시하기 위한 영역인 표시부(200a)가 위치하며, 상기 표시부(200a)의 주변에는 비표시부(200b)가 위치한다. 상기 비표시부(200b)에는 상기 표시부(200a)의 화소들에 필요한 신호들을 전송하기 위한 각종 배선들과, 상기 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 쉬프트 레지스터가 형성된다.
- [0354] 각 공통 라인(CL1 내지 CLm)은 각 게이트 라인(GL1 내지 GLn) 사이에 위치한다.
- [0355] 상기 공통 라인들(CL1 내지 CLm)은 화소셀의 보조용량 커패시터를 형성하기 위한 것으로, 이 공통 라인(CL1 내지 CLm)은 각 화소셀의 화소전극과 중첩한다. 이 공통 라인(CL1 내지 CLm)과 화소전극이 중첩되는 부분에서 보조용량 커패시터가 형성된다.
- [0356] 한편, 상기 공통 라인(CL1 내지 CLm)은 횡전계방식 액정표시장치에서의 공통전극으로 사용될 수도 있다.
- [0357] 상기 표시부(200a)의 좌측에 위치한 비표시부(200b)에는 다수의 제 1 노드 제어부(NC1)들 및 다수의 풀업 스위칭소자(Trpu)들을 구동하는데 필요한 각종 신호를 전송하는 다수의 제 1 신호전송라인들(441a)이 형성되며, 상기 표시부(200a)의 우측에 위치한 비표시부(200b)에는 제 2 및 제 3 노드 제어부(NC2, NC3)와 제 1 및 제 2 풀다운 스위칭소자(Trpd1, Trpd2)들을 구동하는데 필요한 각종 신호를 전송하는 다수의 제 2 신호전송라인들(441b)이 형성된다.
- [0358] 본 발명의 제 1 실시예에 따른 쉬프트 레지스터가 상기 액정패널(200)에 형성될 경우, 상기 제 1 신호전송라인들(441a)은 스타트 펄스(Vst)를 전송하는 제 1 스타트 전송라인(STL1), 충전용 전압원(VDD)을 전송하는 제 1 충전용 전원라인(DDL1), 방전용 전압원(VSS)을 전송하는 제 1 방전용 전원라인(SSL1), 그리고 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 전송하는 제 1 내지 제 4 클럭전송라인들(CL1 내지 CL4)을 포함한다.

- [0359] 그리고, 상기 제 2 신호전송라인들(441b)은, 상기 스타트 펄스(Vst)를 전송하는 제 2 스타트 전송라인(STL2), 상기 충전용 전압원(VDD)을 전송하는 제 2 충전용 전원라인(DDL2), 상기 방전용 전압원(VSS)을 전송하는 제 2 방전용 전원라인(SSL2),
- [0360] 본 발명의 제 2 실시예에 따른 쉬프트 레지스터가 상기 액정패널(200)에 형성될 경우, 상기 제 1 신호전송라인들(441a)은 상술한 바와 같은 신호선들을 포함한다.
- [0361] 그리고, 제 2 신호전송라인들(441b)은, 상기 제 2 스타트 전송라인(STL2), 상기 제 2 방전용 전원라인(SSL2), 제 1 교류 전압원(Vac1)을 전송하는 제 1 교류 전원라인(acL1), 그리고 제 2 교류 전압원(Vac2)을 전송하는 제 2 교류 전원라인(acL2)을 포함한다.
- [0362] 상기 게이트 라인들(GL1 내지 GLn), 상기 공통 라인들(CL1 내지 CLm), 및 제 1 신호전송라인들(441a)은 동일 물질로 이루어진다. 즉, 상기 게이트 라인들(GL1 내지 GLn), 상기 공통 라인들(CL1 내지 CLm), 및 제 1 신호전송라인들(441a)은 포토리소그래피(photolithography) 공정을 통해 만들어지는데, 이 게이트 라인들(GL1 내지 GLn), 공통 라인들(CL1 내지 CLm), 및 상기 제 1 신호전송라인들(441a)은 하나의 마스크 공정으로 제조된다.
- [0363] 상기 게이트 라인(GL1 내지 GLn)과 공통 라인(CL1 내지 CLm)은 서로 인접하게 위치하여 단락의 위험이 있으므로, 이 게이트 라인(GL1 내지 GLn)과 공통 라인(CL1 내지 CLm)을 형성한 후에는 반드시 단락 검사를 하게 된다.
- [0364] 이를 위해서, 상기 게이트 라인들(GL1 내지 GLn)의 각 좌측 끝단을 제 2 비표시부(200b)에 형성될 제 2 신호전송라인들(441b)을 교차하여 지나가도록 상기 액정패널(200)의 끝단까지 연장시키고, 이 연장된 게이트 라인들(GL1 내지 GLn)의 각 좌측 끝단을 서로 전기적으로 연결시킨다. 또한 상기 공통 라인들(CL1 내지 CLm)의 각 우측 끝단을 서로 연결한다.
- [0365] 그리고, 상기 게이트 라인들(GL1 내지 GLn)이 연결된 부분의 끝단에 제 1 검사패드부(460a)를 형성하고, 상기 공통 라인들(CL1 내지 CLm)이 연결된 부분의 끝단에 제 2 검사패드부(460b)를 형성한다.
- [0366] 이후, 상기 제 1 검사패드(460a)와 제 2 검사패드(460b)를 통해 상기 게이트 라인들(GL1 내지 GLn)과 상기 공통 라인들(CL1 내지 CLm)에 전원을 공급한다. 이때, 상기 게이트 라인들(GL1 내지 GLn)과 공통 라인들(CL1 내지 CLm)간이 단락되어 있으면 전류가 흐르게 되고, 상기 게이트 라인들(GL1 내지 GLn)과 공통 라인들(CL1 내지 CLm)간이 서로 분리되어 있으면 전류가 흐르지 않게 된다. 이렇게 함으로써, 상기 게이트 라인들(GL1 내지 GLn)과 공통 라인들(CL1 내지 CLm)간의 단락 여부를 확인할 수 있다.
- [0367] 이러한 단락 검사 이후, 상기 게이트 라인들(GL1 내지 GLn)간을 서로 전기적으로 분리하기 위해, 상기 게이트 라인들(GL1 내지 GLn)간의 연결된 부분이 위치한 액정패널(200) 부분을 스크라이빙 라인을 따라 절단하여 제거한다.
- [0368] 한편, 공통 라인들(CL1 내지 CLm)에는 모두 동일한 전압원이 공급되므로 이 공통 라인들(CL1 내지 CLm)간은 서로 분리할 필요가 없다.
- [0369] 이와 같이, 상기 단락 검사를 위해서는 상기 게이트 라인(GL1 내지 GLn)의 끝단이 상기 제 2 신호전송라인들(441b)을 교차하여 지나갈 수 밖에 없으므로, 상기 제 2 신호전송라인들(441b)은 상기 게이트 라인(GL1 내지 GLn)과 다른 물질을 사용하여야 한다.
- [0370] 이때, 상기 제 1 신호전송라인들(441a)에 포함된 제 1 내지 제 4 클럭전송라인들(CL1 내지 CL4)은 각 스테이지(ST1 내지 STn+1)의 출력으로 사용되는 신호이다. 따라서, 이 신호들을 전송하는 제 1 내지 제 4 클럭전송라인들(CL1 내지 CL4)은 상기 게이트 라인(GL1 내지 GLn)과 같이 저항이 작고 전도성이 우수한 물질을 사용하는 것이 바람직하다.
- [0371] 그리고, 정전압을 전송하는 라인들, 즉 제 2 신호전송라인들(441b)에 포함된 제 2 충전용 전원라인(DDL2), 제 2 방전용 전원라인(SSL2), 제 1 교류 전원라인(acL1), 및 제 2 교류 전원라인(acL2)은 데이터 라인과 같이 저항이 다소 높은 재질을 사용하여도 무방하다.
- [0372] 상기 게이트 라인들(GL1 내지 GLn), 공통 라인들, 및 제 1 신호전송라인들(441a)은 전도성이 우수한 금속 재질, 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 알루미늄 합금과 몰리브덴의 이중 합금, 또는 구리(Cu)로 만들어진다.
- [0373] 한편, 상기 제 2 신호전송라인들(441b)은 데이터 라인과 동일한 물질로 만들어진다. 즉, 상기 제 2 신호전송라

인들(441b)은 크롬(Cr) 또는 몰리브덴(Mo)과 같은 물질로 제조된다.

- [0374] 상기 제 2 신호전송라인들(441b)과 상기 동일 물질을 사용하는 신호선들(제 1 신호전송라인들(441a), 게이트 라인들(GL1 내지 GLn), 및 공통 라인들(CL1 내지 CLm))간에는 절연막이 형성된다.
- [0375] 이와 같이 제 1 비표시부(200b)에 제 1 신호전송라인들(441a)을 형성하고, 제 2 비표시부(200b)에 상기 제 1 신호전송라인들(441a)과 다른 물질로 이루어진 제 2 신호전송라인들(441b)을 사용함으로써, 상기 게이트 라인과 공통 라인(CL1 내지 CLm)간의 단락 검사를 용이하게 진행할 수 있다.
- [0376] 한편, 종래에는 게이트 라인(GL1 내지 GLn)의 충전속도를 높이기 위해, 상기 게이트 라인(GL1 내지 GLn)을 양측에서 구동하는 양방향 슈프트 레지스터를 사용하였다.
- [0377] 이 양방향 슈프트 레지스터는 상기 게이트 라인들(GL1 내지 GLn)의 일측에 접속된 제 1 슈프트 레지스터와, 상기 게이트 라인들(GL1 내지 GLn)의 타측에 접속된 제 2 슈프트 레지스터를 포함한다.
- [0378] 각 슈프트 레지스터에는 동일한 수의 스테이지들이 형성되어 있으며, 동일 게이트 라인을 구동하는 한 쌍의 스테이지에 구비된 스위칭소자들은 서로 같은 사이즈를 갖는다. 즉, 상기 한쌍의 스테이지에 구비된 서로 동일한 역할을 하는 스위칭소자간은 서로 동일한 사이즈를 갖는다.
- [0379] 따라서, 종래의 양방향 슈프트 레지스터는, 본 발명의 슈프트 레지스터에 구비된 스위칭소자들보다 2배 많은 스위칭소자들을 갖는다.
- [0380] 본 발명의 각 스테이지(ST1 내지 STn+1)에 구비된 스위칭소자들은 종래의 스위칭소자보다 2배 넓은 채널 폭을 가질 수 있다. 이렇게 함으로써, 본 발명의 스위칭소자들로부터 출력되는 출력의 크기를 상기 종래의 양방향 슈프트 레지스터만큼 증가시킬 수 있다.
- [0381] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**발명의 효과**

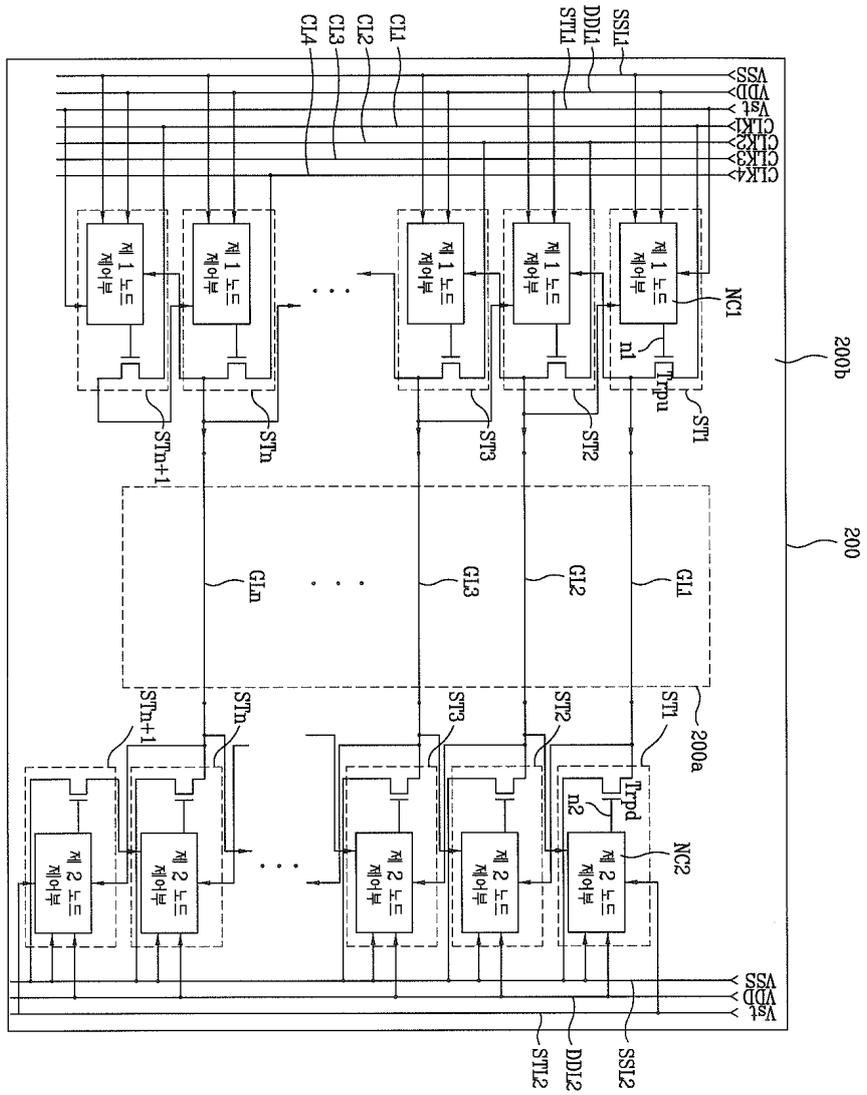
- [0382] 이상에서 설명한 바와 같은 본 발명에 따른 슈프트 레지스터에는 다음과 같은 효과가 있다.
- [0383] 본 발명의 실시예에 따른 슈프트 레지스터에는 다수의 스테이지가 구비되어 있으며, 각 스테이지는 각 노드를 제어하기 위한 다수의 노드 제어부를 갖는다.
- [0384] 본 발명에서는 각 노드 제어부에 구비된 스위칭소자들을 표시부의 일측에 형성된 비표시부 및 상기 표시부의 타측에 형성된 비표시부에 나누어 위치시킴으로써, 비표시부의 면적을 효율적으로 이용할 수 있다.

**도면의 간단한 설명**

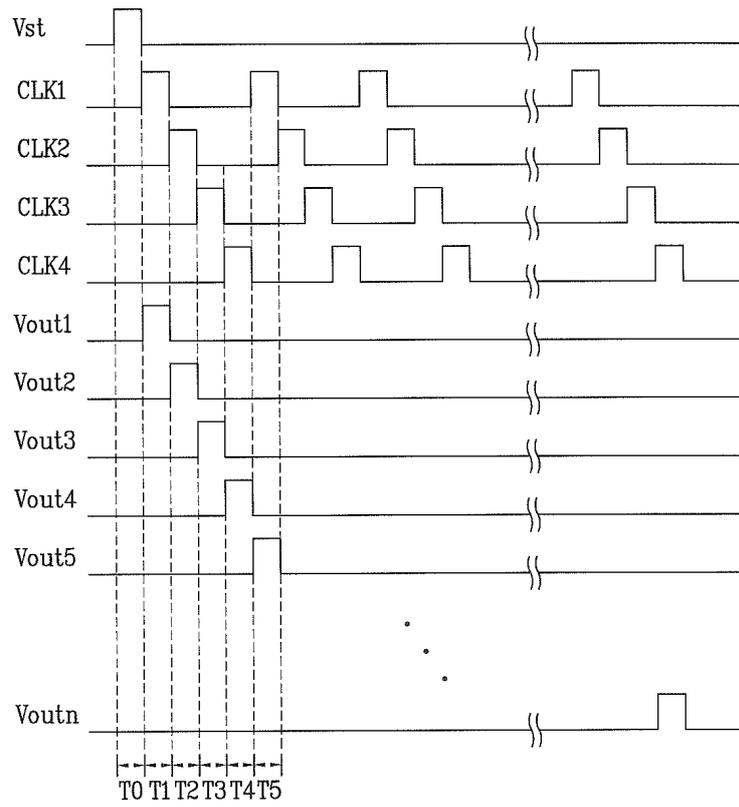
- [0001] 도 1은 종래의 슈프트 레지스터를 나타낸 도면
- [0002] 도 2는 본 발명의 제 1 실시예에 따른 슈프트 레지스터를 나타낸 도면
- [0003] 도 3은 도 2의 슈프트 레지스터에 공급되는 각종 신호 및 상기 슈프트 레지스터로부터 출력되는 출력펄스를 나타낸 도면
- [0004] 도 4는 도 2의 제 2 스테이지에 구비된 회로구성을 나타낸 도면
- [0005] 도 5는 도 2의 제 2 스테이지에 구비된 또 다른 회로구성을 나타낸 도면
- [0006] 도 6은 도 5의 회로구성을 갖는 제 1 내지 제 3 스테이지를 나타낸 도면
- [0007] 도 7은 본 발명의 제 2 실시예에 따른 슈프트 레지스터를 나타낸 도면
- [0008] 도 8은 도 7의 슈프트 레지스터에 공급되는 각종 신호 및 상기 슈프트 레지스터로부터 출력되는 출력펄스를 나타낸 도면
- [0009] 도 9는 도 7의 제 2 스테이지에 구비된 회로구성을 나타낸 도면
- [0010] 도 10은 도 7의 제 2 스테이지에 구비된 또 다른 회로구성을 나타낸 도면



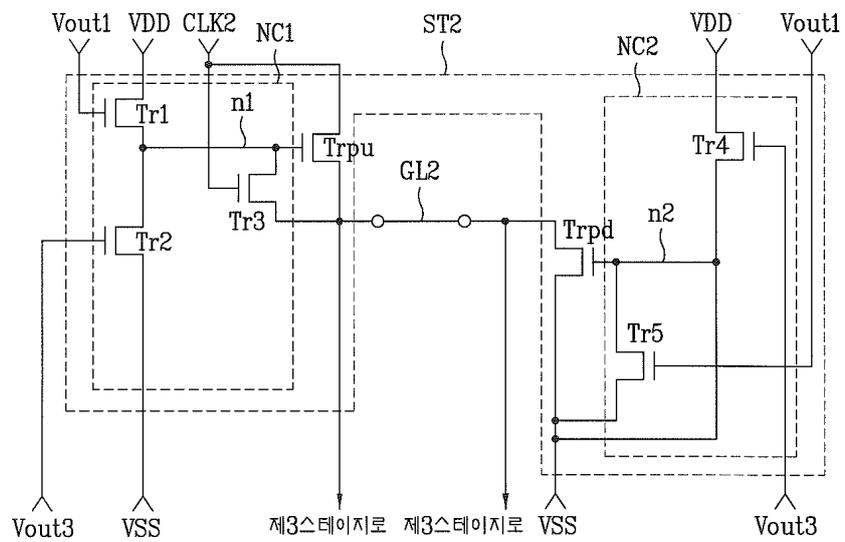
도면2



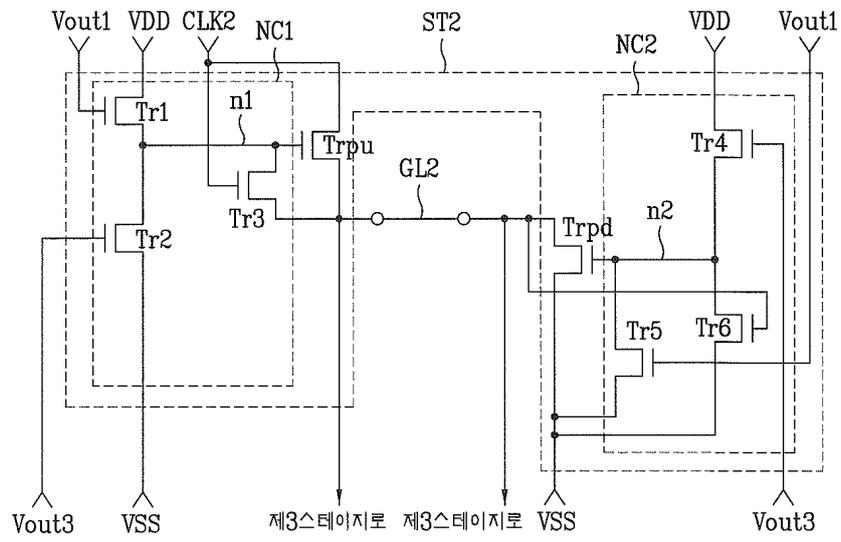
도면3



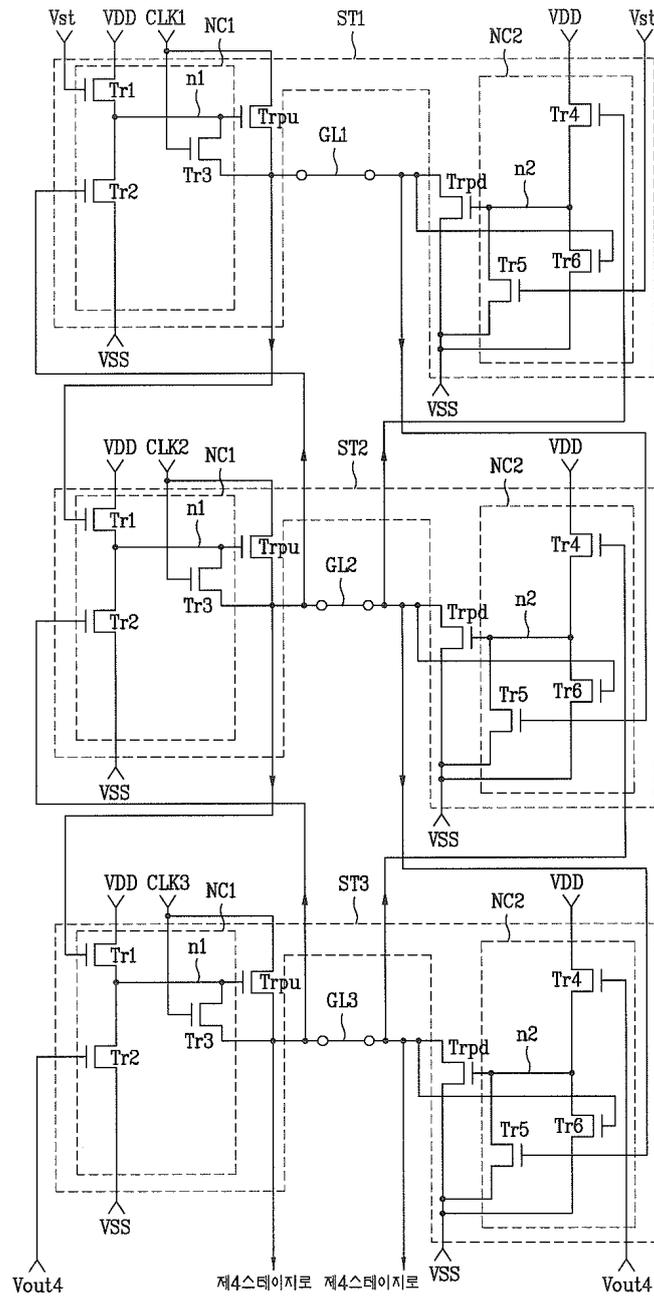
도면4



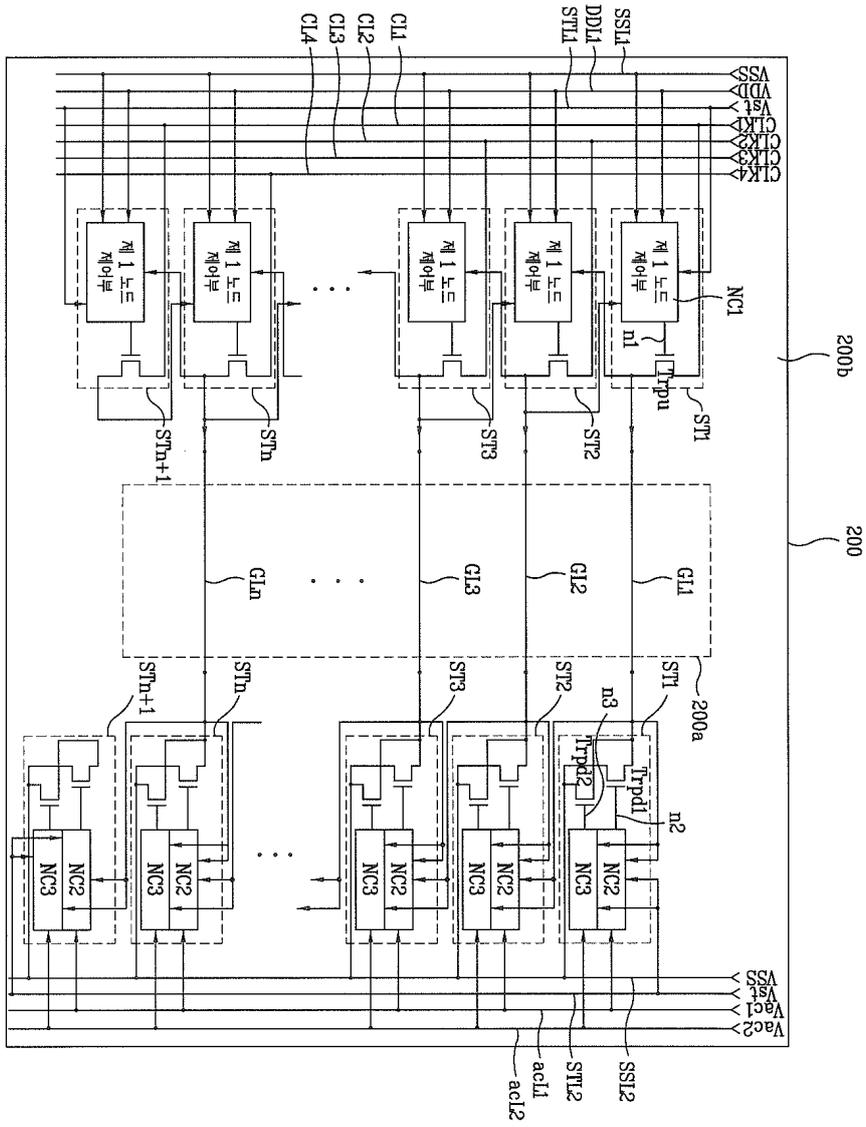
도면5



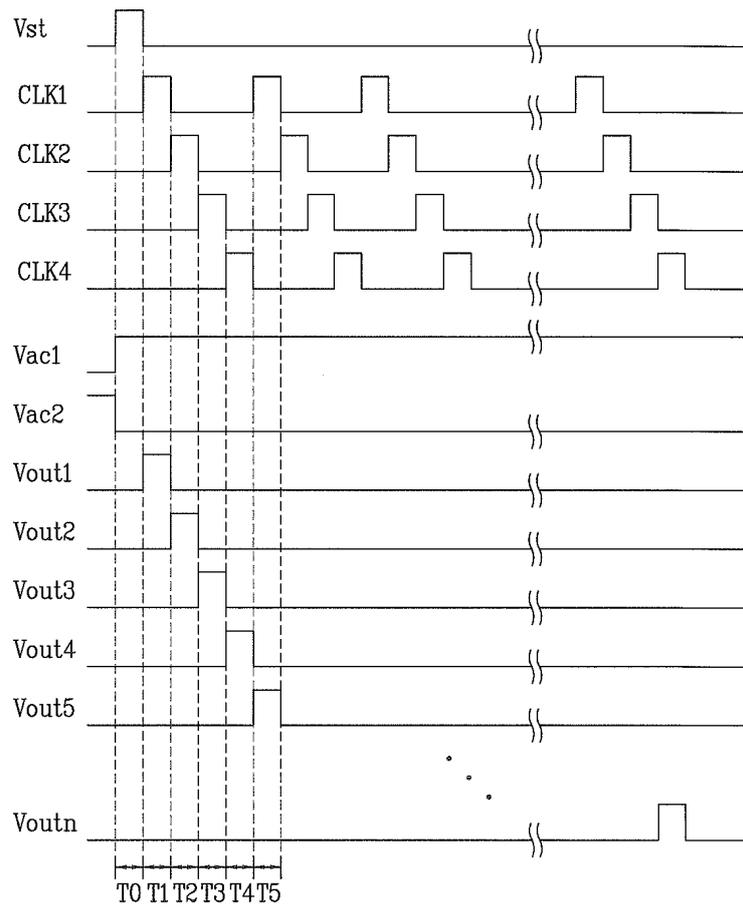
도면6



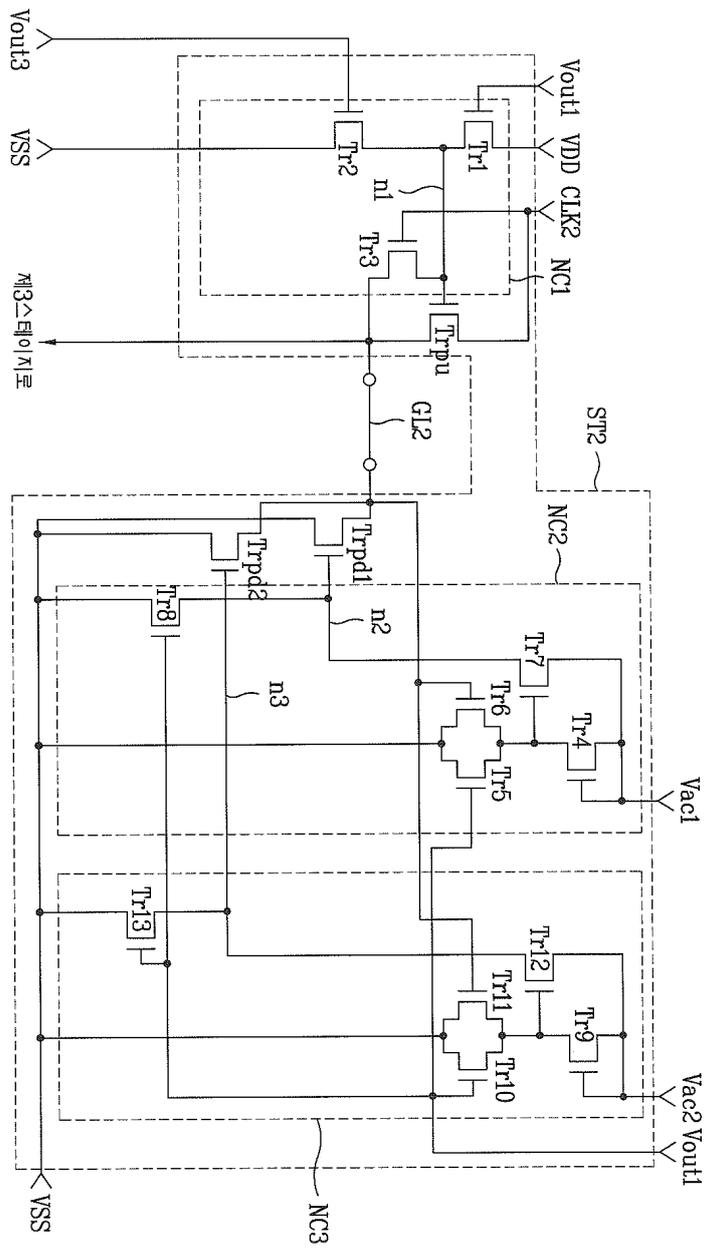
도면7



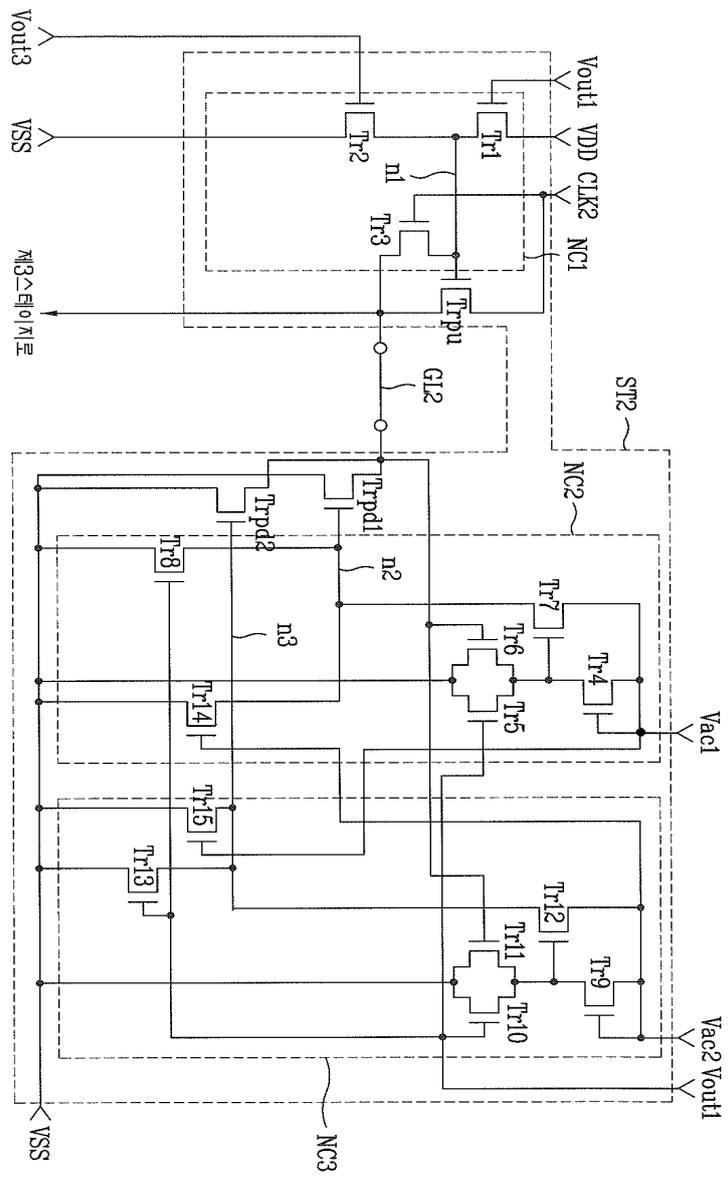
도면8



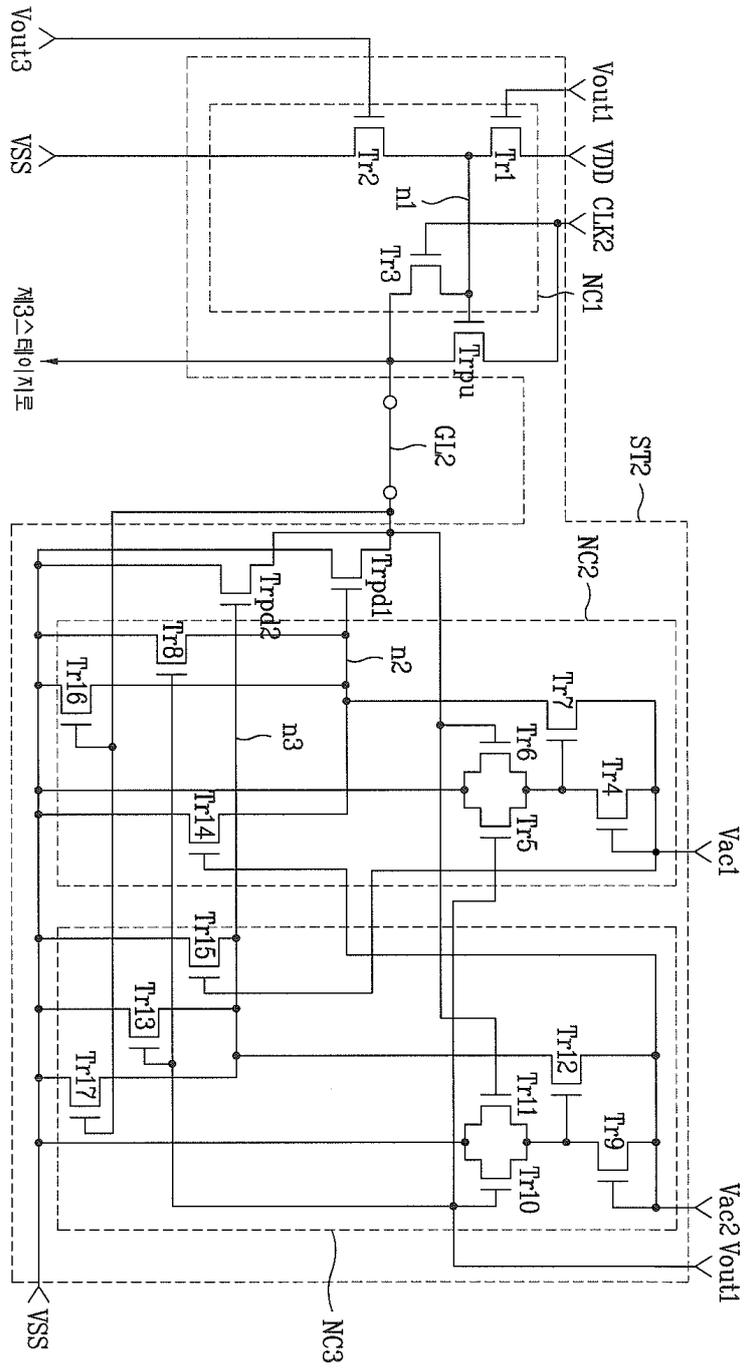
도면9



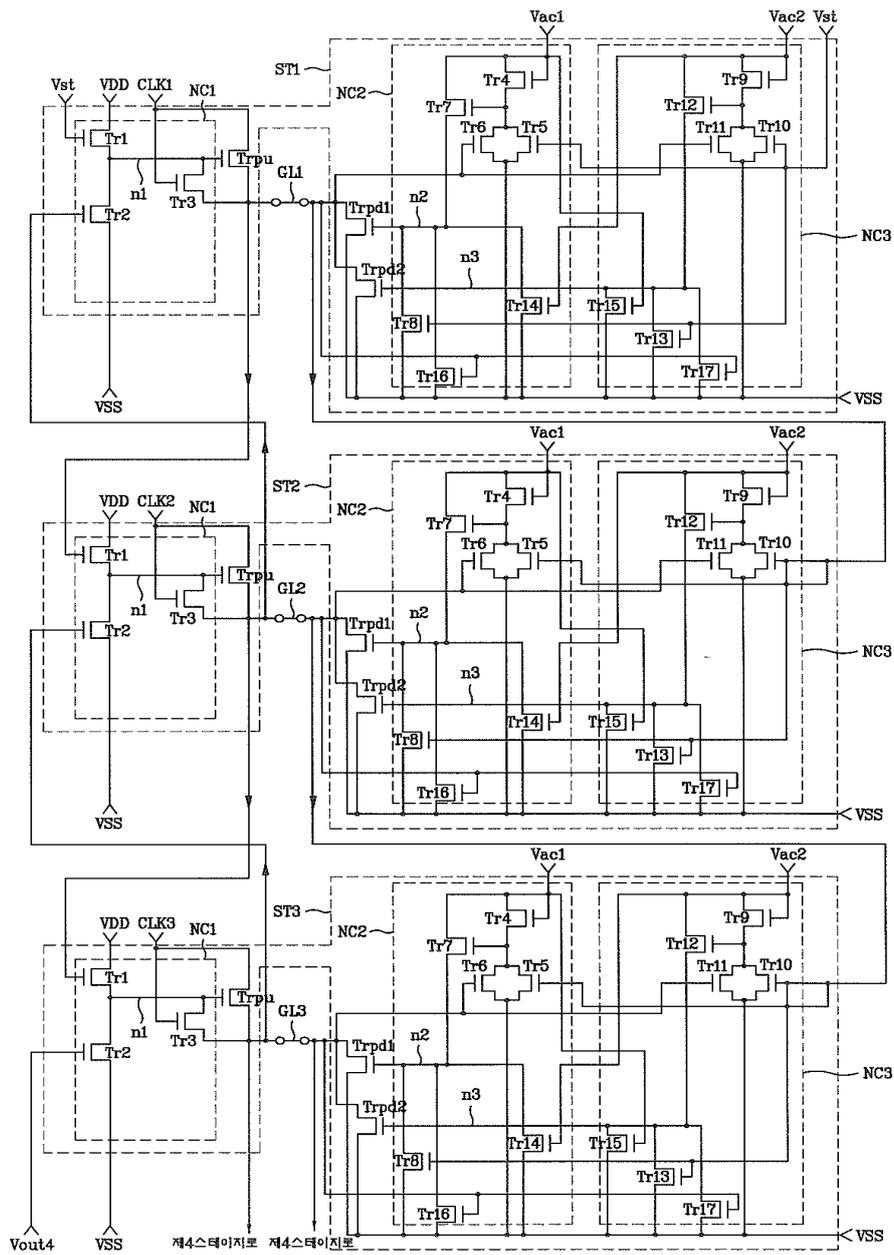
도면10



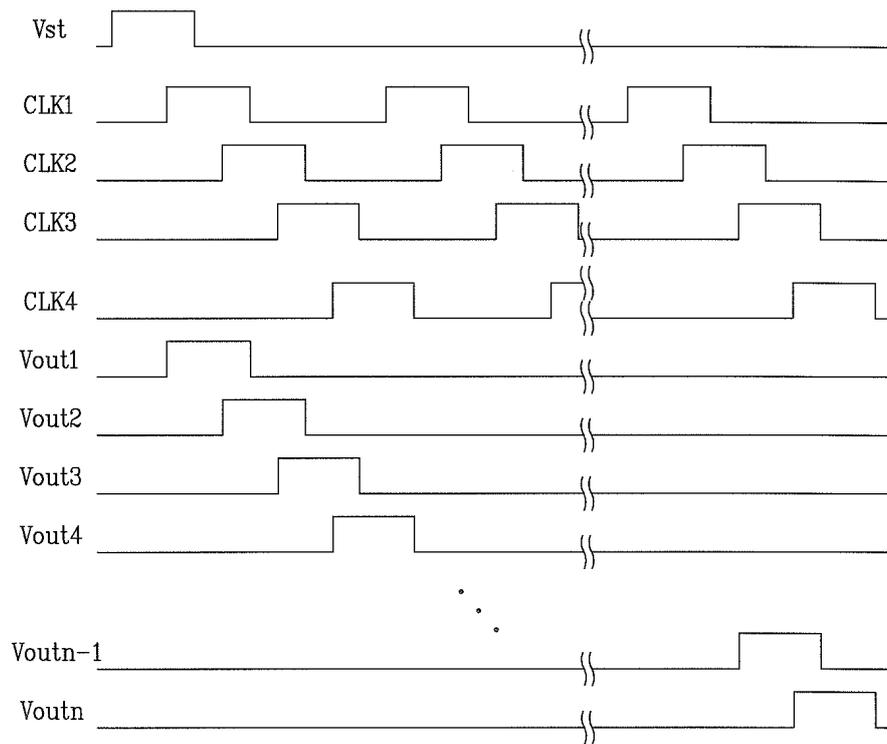
도면11



도면12



도면13



도면14

