



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 951732

(61) Дополнительное к авт. свид-ву № 884163

(22) Заявлено 11.01.80 (21) 2867925/18-09

с присоединением заявки № -

(51) М. Кл.³

H 04 L 1/10
H 03 K 13/32

(23) Приоритет -

Опубликовано 15.08.82. Бюллетень № 30

(53) УДК 621.294.
.14(088.8)

Дата опубликования описания 17.08.82

(72) Авторы
изобретения

А.К. Грешневилов, В.И. Ключко, Ю.И. Николаев,
Н.М. Родичев и С.В. Кузнецов

(71) Заявитель

(54) УСТРОЙСТВО ДЛЯ АДАПТИВНОГО МАЖОРИТАРНОГО ДЕКОДИРОВАНИЯ ТЕЛЕМЕХАНИЧЕСКИХ ДУБЛИРОВАННЫХ СИГНАЛОВ

1

Изобретение относится к телемеханике и вычислительной технике и может быть использовано в адаптивных системах передачи дискретной информации по каналам связи низкого качества для коррекции ошибок при многократном дублировании сообщений.

По основному авт. св. № 884163 известно устройство для адаптивного мажоритарного декодирования телемеханических дублированных сигналов, содержащее два регистра сдвига, первый элемент И решающий блок, два элемента И, третий регистр сдвига и последовательно соединенные ключ и счетчик, выходы которого подключены к первым входам элементов И, объединенные вторые входы которых подключены к сбросовому входу ключа, к управляющему входу которого подключен выход решающего блока, при этом выходы регистров сдвига подключены ко входам решающего блока и установоч-

2

ным входам счетчика, а выходы элементов И соответственно подключены ко входам регистров сдвига и дополнительным входам решающего блока, при этом блок выполнен в виде трех каналов, каждый из которых состоит из последовательно соединенных переключателя, элемента И, элемента ИЛИ и ключа, причем выход ключа каждого из каналов подключен ко входам дополнительного элемента ИЛИ, при этом во второй канал введен дополнительный элемент И, включенный между выходом элемента И и вторым входом элемента ИЛИ, а второй вход дополнительного элемента И объединен с первым входом элемента И первого канала и вторым входом элемента И третьего канала, второй вход элемента И первого канала объединен с первым входом элемента И второго канала и через четвертый ключ подключен к четвертому входу дополнительного элемента ИЛИ, к пятому входу которого через пятый

ключ подключен второй вход элемента ИЛИ второго канала, выход которого подключен к второму входу элемента ИЛИ третьего канала, первый вход которого подключен к второму входу элемента ИЛИ первого канала, третий вход которого подключен к второму входу элемента И второго канала и через шестой ключ к шестому входу дополнительного элемента ИЛИ [1].

Однако известное устройство обладает ограниченностью функциональных возможностей, проявляющейся в том, что оно не может осуществлять цикловое фазирование принимаемой информации. Это снижает помехоустойчивость, так как приводит к потере информации или к приему искаженных сообщений.

Целью изобретения является повышение помехоустойчивости.

Для достижения этой цели в устройстве для адаптивного мажоритарного декодирования телемеханических дублированных сигналов, содержащее два регистра сдвига, первый элемент И и решающий блок, два элемента И, третий регистр сдвига и последовательно соединенные ключ и источник, выходы которого подключены к первым входам элементов И, объединенные вторые входы которых подключены к сбросовому входу ключа, к управляющему входу которого подключен выход решающего блока, при этом выходы регистров сдвига подключены ко входам решающего блока и установочным входам счетчика, а выходы элементов И соответственно подключены ко входам регистров сдвига и дополнительным входам решающего блока, при этом решающий блок выполнен в виде трех каналов, каждый из которых состоит из последовательно соединенных переключателя, элемента И, элемента ИЛИ и ключа, причем выход ключа каждого из каналов подключен ко входам дополнительного элемента ИЛИ, при этом во второй канал введен дополнительный элемент И, включенный между выходом элемента и вторым входом элемента ИЛИ, а второй вход дополнительного элемента И объединен с первым входом элемента И первого канала и вторым входом элемента И третьего канала, второй вход элемента И первого канала объединен с первым входом элемента И второго канала и через четвертый ключ подключен к четвертому входу допол-

нительного элемента ИЛИ, к пятому входу которого через пятый ключ подключен второй вход элемента ИЛИ второго канала, выход которого подключен к второму входу элемента ИЛИ третьего канала, первый вход которого подключен к второму входу элемента ИЛИ первого канала, третий вход которого подключен к второму входу элемента И второго канала и через шестой ключ к шестому входу дополнительного элемента ИЛИ, введены последовательно соединенные анализатор фазированного сигнала и селектор, выход которого подсоединен к первому дополнительному входу решающего блока, второй дополнительный вход которого является вторым выходом анализатора фазированного сигнала, вход которого подключен к дополнительному выходу решающего блока.

На чертеже приведена структурная электрическая схема предложенного устройства.

Устройство содержит ключ 1, счетчик 2, накопитель 3, решающий блок 4, анализатор 5 фазированного сигнала и селектор 6.

Устройство работает следующим образом.

Ключ 1 открывается, когда устанавливается факт начала поступления информации (например, по выделению несущей частоты и др.). Этот момент в общем случае может не совпадать с началом приема первого элемента принимаемого подблока. Допустим устройство начало работать с момента приема $(i+1)$ -го элемента. Тогда через n тактов в первый регистр накопителя 3 через счетчик 2 сначала записывается $(n-1)$ конечных элементов первого подблока и затем i начальных элементов второго подблока. При приеме последующих элементов счетчик 2 подсчитывает число единиц V_j ($j=1, 2, \dots, n$) в одноименных элементах, сдвинутых на i тактов последовательностях и соответствующие цифровые коды записывает в накопитель 3. На каждом $n(3\beta-1)+1$ такте (где $\beta=1, 3, 5, \dots, k$) начинается попытка выделения сигнала циклового фазирования. Так, например, для $\beta=1$ на $2n+1$ такте цифровые коды, помимо записи в накопитель 3, поступают в решающий блок 4, который работает следующим образом:

а) если выполняются неравенства $0,5\beta < V_j < 1,5\beta$ или $V_j > 2,5\beta$ (1) то в j -ом разряде фазирующего сигнала формируется "1";

б) при невыполнении неравенств (1) формируется "0".

Формируемая последовательность поступает в анализатор 5 фазирующего сигнала. Если ошибки отсутствуют, то анализатор 5 идентифицирует сформированную в блоке 4 последовательность, как фазирующую, однако сдвинутую на i -тактов. На такое же число тактов сдвинуты цифровые коды, а следовательно, и сообщение в накопителе 3. Последовательно, прежде чем начать выделение сообщения, необходимо цифровые коды в накопителе 3 циклически сдвинуть на $(n-i)$ тактов, чтобы однозначно зафиксировать начало сообщения. Для этого при выделении фазирующего сигнала анализатор 5 формирует управляющий сигнал, который поступает через решающий блок 4 на ключ 1, закрывая его. Информация на вход счетчика 2 прекращает поступать и цифровые коды с выхода накопителя через счетчик 2 перезаписываются на вход накопителя 3 без изменения. Одновременно и синхронно с циклической перезаписью цифровых кодов селектор 6 отслеживает фазовое положение сигнала циклового фазирования. Этот процесс продолжается до момента, когда селектор 6 зафиксирует заданную (начальную) фазу. Тогда сигнал с выхода селектора 6 поступает в решающий блок 4, который начинает работать по правилу:

а) если выполняется неравенство $V_j > 1,5\beta$ (2) то в j -ом разряде сообщения формируется "1";

б) при невыполнении неравенства (2) формируется "0".

В рассматриваемом случае ($\beta=1$) сформированное сообщение выводится на выход устройства.

Если в принятых подблоках имеют место ошибки (при $\beta=1$), то фазирующий сигнал не будет выделен и устройство продолжает прием последующих подблоков. На $8n+1$ такте ($\beta=3$) осуществляется вторая попытка выделения фазирующего сигнала с исправлением части ошибок. При этом сформированная из цифровых кодов по правилу (1)

последовательность поступает в анализатор 5. Если все ошибки были исправлены правильно, что анализатор 5 идентифицирует сформированную в блоке 4 последовательность, как фазирующую. При этом через блок 4 подается управляющий сигнал на ключ 1, который закрывается. Осуществляется циклический сдвиг цифровых кодов в накопителе 3 и поиск начальной фазы фазирующего сигнала аналогично рассмотренному ранее. В момент выделения начальной фазы селектор 6 формирует управляющий сигнал, который изменяет режим работы решающего блока 4. Сообщение формируется по правилу (2) из цифровых кодов, поступающих из накопителя 4, и выдается на выход устройства.

Если в принятых подблоках ($\beta=3$) имеют место неисправляемые ошибки, то фазирующий сигнал не будет выделен и продолжается прием последующих подблоков.

На $14n+1$ такте ($\beta=5$) осуществляется третья попытка выделения фазирующего сигнала с исправлением ошибок большей кратности. При этом сформированная по правилу (1) последовательность поступает в анализатор 5.

Если все ошибки были исправлены правильно, то анализатор 5 идентифицирует сформированную последовательность как фазирующую. При этом закрывается ключ 1, осуществляется циклический сдвиг цифровых кодов в накопителе 3 и поиск начальной фазы фазирующего сигнала. При выделении начальной фазы селектор 6 изменяет режим работы решающего блока 4, и сообщение, сформированное (для $\beta=5$) по правилу (2), поступает на выход устройства.

Таким образом, предложенное устройство обладает более высокой технико-экономической эффективностью, чем известное. Известное устройство позволяет подвергать мажоритарной обработке кодовые слова, начало которых известно. Предлагаемое устройство дополнительно подвергает мажоритарной обработке кодовые слова, прием которых может быть начат в произвольный момент времени и, следовательно, начало кодовых слов неизвестно. Это расширяет функциональные возможности устройства и повышает помехоустойчивость, так как устройство становится малочувствительным к ошиб-

кам, нарушающим фазирование по циклам. Если в известном устройстве нижняя граница вероятности сбоя фазирования P_{Φ} , определяется вероятностью искажения одного элемента P_0 , то в предлагаемом устройстве вероятность сбоя фазирования оценивается выражением

$$P_{\Phi 2} \approx P_0^{0.5n}$$

что в η раз меньше, чем в известном устройстве, а именно

$$\eta = \frac{P_{\Phi 1}}{P_{\Phi 2}} \approx P_0^{-(0.5n-1)}$$

если $P_0 = 10^{-3}$, $n = 20$, то $\eta = 10^{27}$

Формула изобретения

Устройство для адаптивного мажоритарного декодирования телемехани-

ческих дублированных сигналов по авт. св. № 884163, отличающемся тем, что, с целью повышения помехоустойчивости, введены последовательно соединенные анализатор фазирующего сигнала и селектор, выход которого подсоединен к первому дополнительному входу решающего блока, второй дополнительный вход которого является вторым выходом анализатора фазирующего сигнала, вход которого подключен к дополнительному выходу решающего блока.

15 Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 884163, кл. Н 04 L 1/10, 1980.

