

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>5</sup>  
H03L 7/00

(45) 공고일자 1992년08월06일  
(11) 공고번호 92-006439

(21) 출원번호	특 1989-0005159	(65) 공개번호	특 1989-0016774
(22) 출원일자	1989년04월19일	(43) 공개일자	1989년11월30일

(30) 우선권주장	88-102012 1988년04월25일 일본(JP)
(71) 출원인	미쓰비시덴끼 가부시끼가이샤 시기 모리야 일본국 도오교오도 지요다구 마루노우찌 2조메 2-3

(72) 발명자	사나다 가즈노리 일본국 고우베시 효고꾸 와다사끼쪼 1조메 1방 2고 미쓰비시덴끼 가부시 끼가이샤 세이교세이사꾸쇼내 가와이 쇼우지 일본국 고우베시 효고꾸 와다사끼쪼 1조메 1방 2고 미쓰비시덴끼 가부시 끼가이샤 세이교세이사꾸쇼내
(74) 대리인	김영길

**심사관 : 이택수 (책자공보 제2884호)**

**(54) 위상동기회로**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

위상동기회로

[도면의 간단한 설명]

제1도는 이 발명의 한 실시예에 의한 위상동기회로의 전체회로 구성도.

제2도는 제1도의 위상비교회로(1)의 구체적 회로도.

제3도는 제2도의 회로의 입출력 파형도.

제4도는 제1도의 마이크로 컴퓨터(3)의 처리를 표시하는 플로우챠트.

제5도는 위상동기회로의 다른 실시예의 전체회로 구성도.

제6도는 제5도의 구성에서 위상동기를 행하기 위한 플로우챠트.

제7도는 임의에 위상차를 가져오는 처리를 표시하는 다른 실시예의 플로우챠트.

제8도는 종래의 위상동기회로 전체회로 구성도.

제9도는 그 종래의 위상동기회로 내의 위상비교 회로의 구체적 회로도.

제10도는 제9도의 회로의 입출력 파형도이다.

\* 도면의 주요부분에 대한 부호의 설명

1 : 위상비교회로                    2 : 펄스폭 측정회로

3 : 마이크로 컴퓨터(연산회로)    4 : ROM

9 : 레이트 멀티플라이어(rate multiplier)(가변주파수발진회로)

10 : 카운터

5 : RAM

또한 도중에서 동일부호는 동일, 도는 상당부분을 표시한다

### [발명의 상세한 설명]

이 발명은, 입력신호의 주파수와 같은 위상의 주파수의 신호를 출력하는 위상동기회로에 관한 것이다.

제8도는 예를들면, 총합전자 출판사 소화 58년 5월 20일 발행, 야나기사와겐지(柳澤健奢)「PLL(위상동기루프) 응용회로」 P.28~29에 표시된 종래의 위상동기회로의 구성도이다.

위상비교기(18)는 목표 주파수를 가지는 구형(矩形)파 신호( $P_1$ )와 귀환신호( $P_2$ )를 입력한다. 주파수 전환 게이트회로(19)는 위상비교기(18)의 출력신호( $q$ ) 및 게이트 클럭( $f_1$ ), ( $q_1$ )을 입력이라 한다.

또, N단분주기(N段分周器)(20)는 주파수전환 게이트회로(19)의 출력신호( $R$ ) 즉, 게이트 클럭( $f_1$ ) 또는( $q_1$ )을 입력으로 하고, 그 출력(신호( $P_2$ )는 위상 비교기(18)에 귀환신호( $P_2$ )로서 귀환하는 것이다. 다음에 동작에 관하여 제9도, 제10도를 참조하면서 설명한다.

입력신호로서 구형파신호( $P_1$ )를 생각하면, 위상 비교기(18)의 입출력파형은 제10도(a),(c)에 각각 표시하는 것과 같이 된다.

이 입출력 파형은 제9도의 SR형 플립플롭(flip-flop)에 의한 위상비교기(18)에 의한 것으로서, 구형파신호( $P_1$ )의 상승으로서 상기 플립플롭이 셋트하여, 귀환신호( $P_2$ )의 상승에서 리세트하는 것에 의하여 출력신호( $q$ )를 얻는다.

여기서, 제10도 중에 표시하는  $\psi$ 는, 2개의 상승 에지(edge)의 시간차이다.

다음에 주파수전환 게이트회로(19)에서 입력레벨이 "1"일때 주파수  $f_1$ 의 게이트 클럭  $f_1$ , "0"일때 주파수  $q_1$ 의 게이트 클럭  $q_1$ 을 택일적으로 전환하여 출력하고 N단분주기(20)에 출력한다.

그리하여 N단분주회로(20)에 의하여 분주된 신호는 위상비교기(18)에 귀환신호( $P_2$ )로서 귀환한다.

즉, 입력신호( $P_1$ )와 귀환신호( $P_2$ )의 위상차를 2개의 신호의 상승 에지에서 검출하여, 그 위상관계에 의하여 "1"레벨과 "0"레벨의 비율( $f_1$ 과  $q_1$ 의 비율)이 제10도(d)의 게이트 클럭  $f_1$ ,  $q_1$ 과 같이 변화하여, 귀환신호( $P_2$ )의 주파수와 위상을 제어한다.

상기와 같이, 목표신호  $P_1$ 과 귀환신호  $P_2$ 의 상승 에지를 비교하는 방법에 의하여, 목표 주파수를 가지는 구형파신호( $P_1$ )와 동기(同期)한 출력이 얻어진다. 종래의 위상동기회로는 이상과 같이 구성되어 있으므로, 입력신호(구형파신호  $P_1$ )의 1주기에 1회 밖에 제어를 걸수가 없어서, 해당 입력신호( $P_1$ )의 변동에 대한 추종성이 불량하는 등의 문제점이 있었다. 이 발명의 상기와 같은 문제점을 해결하기 위하여 이루어진 것으로서, 입력신호의 변동에 대한 추종성과 정도의 향상이 되는 위상동기회로를 얻는 것을 목적으로 한다.

이 발명에 관한 위상동기회로는, 위상비교회로를 그 입력신호의 상승 에지와 귀환신호의 하강 에지 와의 비교에 의한 반주기(반사이클)마다의 위상차 정보를 얻도록 구성하고, 이 위상차를 기초로하여, 예를들면 마이크로 컴퓨터로부터 이루어지는 연산회로에 의하여 위상제어연산을 행하여, 그리하여 그 연산결과에 응하여 가변주파수 발진회로에서 대응하는 주파수 신호를 출력하는 것에 의하여 위상의 일치를 행하도록 한것이다

이 발명에 있어서의 위상동기회로의 위상 차 검출회로는 입력신호의 상승 에지와 귀환신호의 하강 에지와를 비교하는 것에 의하여, 1주기에 2회 위상차정보를 얻는다.

그리고 이 위상차정보를 기초로하여 연산회로가 위상제어연산을 행하여, 그 연산결과에 응한 주파수 신호가 가변주파수 발진회로에서 나오고, 또한 상기 입력신호와 귀환신호의 위상일치를 도모할 수 있다.

### [실시예]

이하, 이 발명의 한 실시예를 도면에 관하여 설명한다.

제1도에 있어서, 1은 제2도에 그 상세한 것을 표시하는 것과 같이, 플립플롭(1a)으로부터 이루어져서, 목표 주파수를 가지는 구형파신호( $X_1$ )와 카운터(10)의 출력의 최상위 비트신호( $X_2$ )를 입력하여 양신호의 위상차 정보를 1사이클에 2회 검출하고, 위상차정보를 출력하는 위상비교회로로서, 2는 구형파신호( $X_1$ )의 펄스폭을 그 폭에 응한 수치로 변환하는, 내부 클럭을 카운트하는 카운트로부터 이루어지는 펄스폭 측정회로이며, 3은 위상차 검출회로 및 연산회로로서의 마이크로 컴퓨터이고, 위상 제어연산을 실행한다. 4는 리드온 메모리(ROM)이며, 위상동기를 행하기 위한 소프트웨어를 격납하고 있다. 5는 랜덤액세스 메모리(RAM)이며, 데이터의 일시 기억을 행한다. 6은 마이크로 컴퓨터(3)의 운전시에, 해당 마이크로 컴퓨터(3)를 리세트하기 위한 리세트회로이다. 7은 어드레스.데코더로서, 어드레스를 선택하기 위한 회로이며, 구체적으로는 마이크로 컴퓨터(3)에서 리드신호(RD) 및 라이트 신호(WR)를 도입하고 어드레스(11)에서 어드레스 데이터를 도입하고, ROM(4), RAM(5)에 리드 인에이블신호(RE) 및 라이트 인에이블신호(WE)를 공급하는 회로이다. 8은 수정발진기로서, 9는 이 수정발진기(8)의 출력 주파수를 기초로하여 마이크로 컴퓨터(3)의 출력에 응한 주파수를 출력하는, 가변주파수 발진회로로서의 레이트 멀티플라이어이며, 10은 8비트카운터이고, 이 출력의 최상위 비트신호( $X_2$ )가 위상비교회로(1)의 귀환신호로 된다

다음에 상기 실시예의 동작을 제2도~제4도를 참조하면서 설명한다

제2도는 위상비교회로(1)의 상세 회로도이며, 플립플롭(1a), 인버터(1b)로부터 이루어져 있다.

제3도는 위상비교회로(1)의 입출력 파형도, 제4도는 ROM(4)에 기억된 위상동기 프로그램을 표시하는 플로우챠트이다.

위상비교회로(1)에 의하여 목표 주파수를 가지는 구형파신호( $X_1$ )와 귀환신호인 최상위 비트신호( $X_2$ )의 위상비교를 행한다. 예를들면, 제3도(a)와 같은 구형파신호( $X_1$ )의 입력의 경우, 제2도에 표시하는 회로에 의하여  $X_1$ 의 상승 에지에서 플립플롭(1a)을 세트하고,  $X_2$ 의 하강 에지를 인버터(1b)를 사이에 둔 신호에서 다음에 리셋하는 것으로서 (c)와 같은 출력신호( $y$ )를 얻는다.

여기서 (c)의 "1"의 구간을 A, "0"의 구간을 B라 한다.

다음에 펄스폭 측정회로(2)에 A와 B(표시한 예에서는  $A_1, A_2$ , 또,  $B_1, B_2$ 로서 표시한다.)의 펄스폭을, 각각 펄스폭의 기간만큼 내부클럭을 카운터에 의하여 카운트한다는 방법으로 측정하고, 펄스폭에 응한 수치에 변환하고, 그것을 마이크로 컴퓨터(3)에 부여한다.

다음에 펄스폭 측정회로(2)에 의하여 측정한 값을 기초로하여 마이크로 컴퓨터(3)가 실행하는 제4도의 플로우챠트의 동작을 다음에 설명한다.

우선 마이크로 컴퓨터(3)에 집어넣은 상기 값이 A인지 B인지를 스텝 ST1에서 판단하여, A으면 ST2에서 레지스터 new에 A를, B으면 ST3에서 레지스터 old에 B를 대입한다.

다음에 스텝 ST4에서 new에서 old를 빼고 그 차를 레지스터 DEL(n)에 세트한다.

따라서 스텝 ST1~ST4는, 항상 A를 기준으로 한 A과 B의 차, 즉  $X_1$ 과  $X_2$ 의 위상차를 구하는 것이다.

따라서,

$$\text{DEL}(1) = A_1 - B_1$$

$$\text{DEL}(2) = A_2 - B_2$$

$$\text{DEL}(3) = A_3 - B_2$$

$$\text{DEL}(4) = A_3 - B_2$$

.

.

.

$$\text{DEL}(n) = A[\text{INT}(n/2)+1] - B[\text{INT}(n+1/2)]$$

이 된다. 다음에 스텝 ST5~ST7은 비례-적분제어를 행하는 것이다.

스텝 ST5에서 위상차 DEL(n)과 비례 계인(gain) Kp의 적(積)을 구하여 이것을 비례요소 Np로 한다.

$$K_p \cdot \sum_{k=1}^n \text{DEL}(k)$$

스텝 ST6에서 위상차 DEL(n)과 적분 계인 K<sub>i</sub>과의 적의 학(和)  $N_s$ 를 구하고, 이것을 적분요소 N<sub>i</sub>으로 한다.

다음의 스텝 ST7에서, 비례요소 N<sub>p</sub>와 적분요소 N<sub>i</sub>과의 학 N<sub>s</sub>를 구하고, 이것을 마이크로 컴퓨터(3)의 출력으로 한다.

또한, 이 프로그램은 예를들면 구간 A의 종료시 및 구간 B의 종료시에 기동에 따른 삽입처리 프로그램으로써 실현된다.

다음에 레이트 멀티플라이어(9)에서, 수정 발진기(8)의 발진 주파수를 마이크로 컴퓨터(3)의 출력에 응한 주파수신호로 변환하고, 카운터(10)에서 분주하고, 그 출력을 최상위 비트신호 X<sub>2</sub>로서 위상비교회로(1)에 귀환한다.

이상의 동작을 반복하는 것에 의하여 비교-적분제어의 적분요소 N<sub>i</sub>에 상위차(相違差)가 축적되어 가서, X<sub>1</sub>과 X<sub>2</sub>의 위상이 가까워져서, A와 B가 동등하게 되어진다. A와 B가 일치할 때 위상차가 없어지고 X<sub>1</sub>과 X<sub>2</sub>가 동기한다.

또한 상기 실시예에서는, 목표 주파수를 갖은 구형파 신호와 귀환신호인 카운터(10)의 최상위 비트 신호의 위상을 비교한 결과 신호를 마이크로 컴퓨터(3)의 입력신호로 하였으나, 상기 구형파신호와 최상위 비트신호와를 직접 마이크로 컴퓨터(3)에 입력하여, 위상비교를 소프트웨어로서 처리하면, 위상비교회로(1) 없이 위상동기를 행할 수 있다. 상술한 구성에 의한 다른 실시예의 블럭도를 제5도에 표시한다.

이 도면은, 제1도의 실시예의 위상비교회로(1)와 펄스폭 측정회로(2)를 제외하고, 구형파신호 X<sub>1</sub>과 최상위 비트신호 X<sub>2</sub>를 마이크로 컴퓨터(3)에 입력한 것이다.

또, 제6도는 이 시스템에서 위상동기를 행하기 위한 소프트웨어의 플로우챠트이다.

다음에 동작에 관하여 제6도를 참조하면서 설명한다. 우선 A의 상승 에지신호인지, B의 하강 에지신호인지, 입력되지 않은 경우에는 카운터(K)가 인크리먼트 되기만 한다. 거기서, A의 상승 또는 B의 하강신호가 입력되면, A의 상승신호의 경우 스텝 ST24에 가서, 레지스터 이이에 카운터 K의 값을 대입하고, 다른쪽 B의 하강신호가 입력된 경우에는, 스텝 ST25로 가서, 레지스터 new에 카운터 K의 값을 대입한다.

그후 스텝 ST4~7까지 상기 실시예와 같이 비례-적분 제어를 행하고, 레이트 멀티플라이어(9)에 출력한다.

다음의 스텝 ST26에서, 카운트값 K의 값을 스텝 ST21,22,24 또는 ST25, 및 ST4~7(루프2)의 처리에 가진 시간  $\alpha$ 의 값으로 바꾸어 넣고, 이 처리중에 경과시간  $\alpha$  값으로 놓고 이 처리중의 경과시간을 카운터값 K에 대한 보정값으로 한다.

이같이, 이 프로그램은 통상은 루프 1에서 카운터의 작용을 하고, A의 상승 에지신호 또는 B의 하강에지신호가 입력되면 비례-적분제어를 행하고,  $X_1$ 과  $X_2$ 의 위상을 일치시킨다.

또한, 이 프로그램은 A의 상승시와 B의 하강시에 기동되는 삽입처리 프로그램을 포함하고 있다.

또, 상술한 실시예에서는, 구형파신호  $X_1$ 과 귀환 신호  $X_2$ 와의 위상차를 없애는 제어를 하였으나, 제7도와 같이, 삼기 스텝 ST4와 5의 사이에

$$DEL(n) = DEL(n) + \beta$$

라는 연산의 스텝 ST27을 부가하면,  $\beta$ 의 값의 분만큼의 위상차를 얻을 수가 있다.

따라서  $\beta$ 의 값을 임의로 바꾸면, 위상차도 임의로 바꿀수가 있다. 더욱,  $\beta$ 의 값은 마이크로 컴퓨터(3)의 버스에 접속된 포트(port)(표시하지 않음)에서 준다.

이상과 같이, 이 발명에 의하면 위상동기회로를 입력신호의 상승 에지와, 귀환신호의 하강 에지와를 비교하는 것에 의하여, 반동기(반사이클)마다 위상차 정보를 얻도록 구성하였으므로, 목표 주파수에 대한 출력주파수의 추종성의 향상이 되며, 또 정밀도의 높은 것이 얻어지는 효과가 있다.

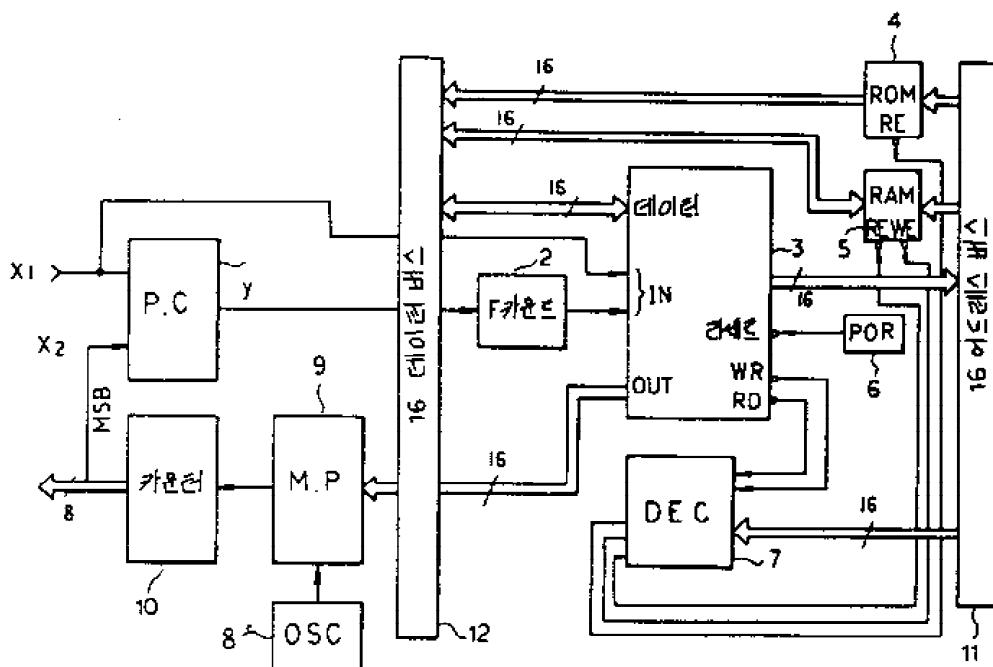
### (57) 청구의 범위

청구항 1

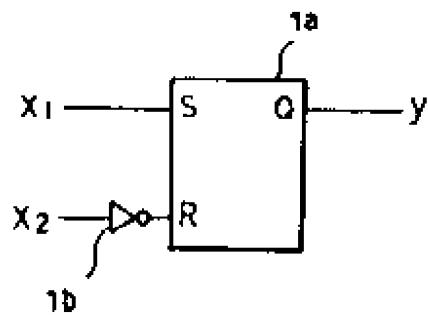
입력신호의 상승에지 및 귀환신호의 하강에지를 검출하는 위상비교회로와, 상기 상승에지에서 상기 하강에지까지의 제1기간 및 상기 하강에지에서 상기 상승에지까지의 제2기간을 계측하는 펄스폭 측정회로와, 상기 제1기간과 제2기간과를 감산하여, 1주기에 2회 위상차를 검출하는 위상차 검출회로와, 이 위상차 검출회로가 출력한 위상차를 입력하여, 비례-적분 연산을 행하는 연산회로와, 이 연산회로의 연산결과에 비례한 주파수 신호인 상기 귀환신호를 출력하는 가변주파수 발진회로를 구비한 위상동기회로.

도연

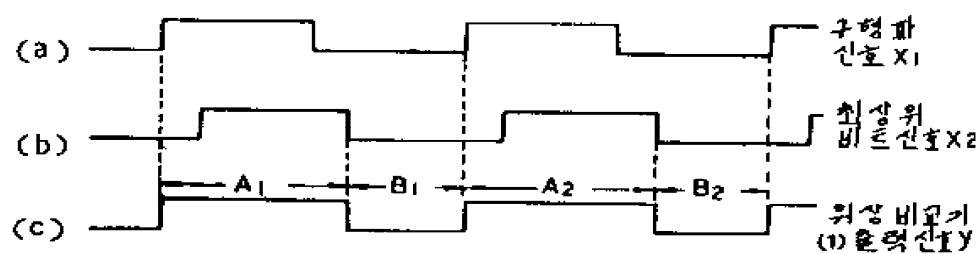
도면1



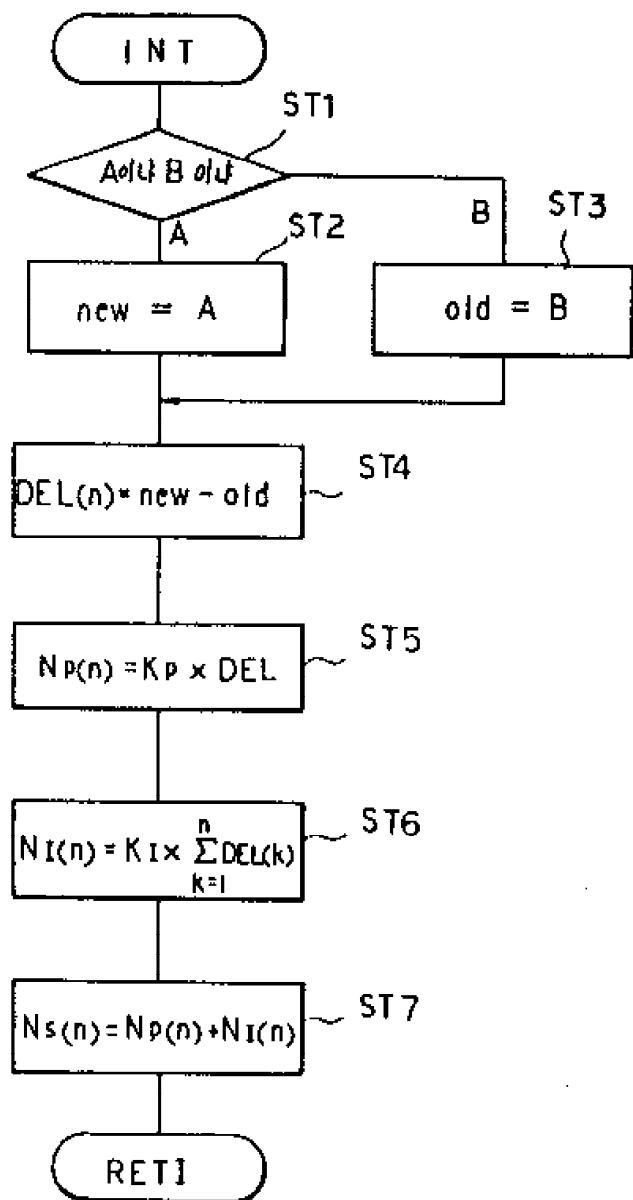
도면2



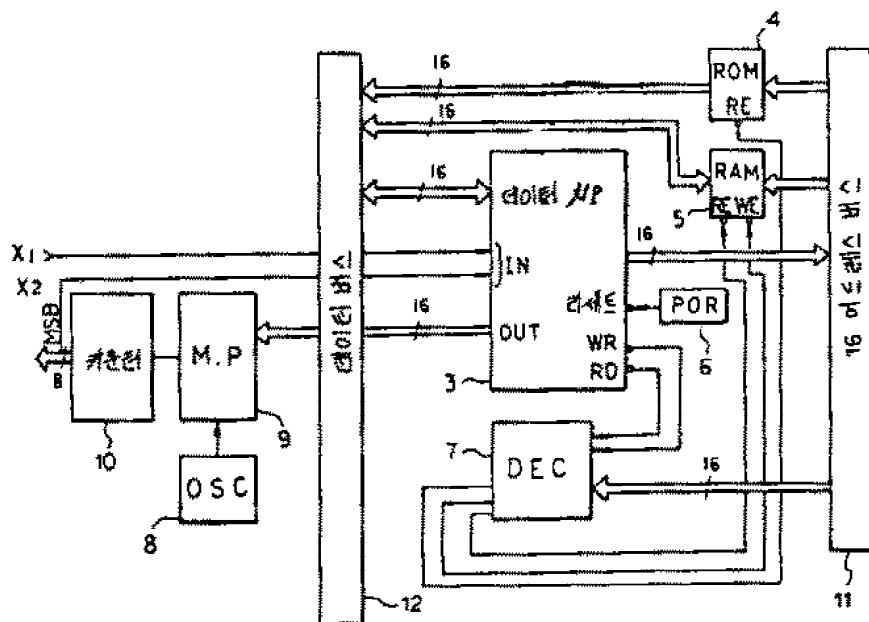
도면3



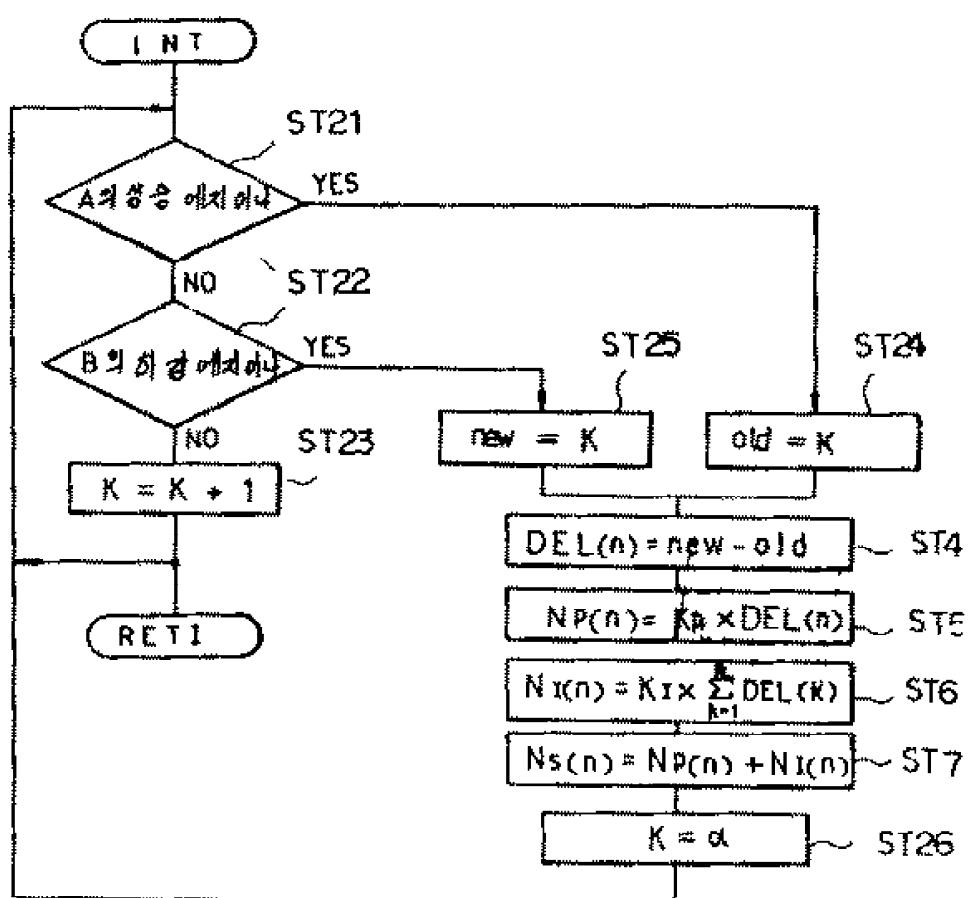
도면4



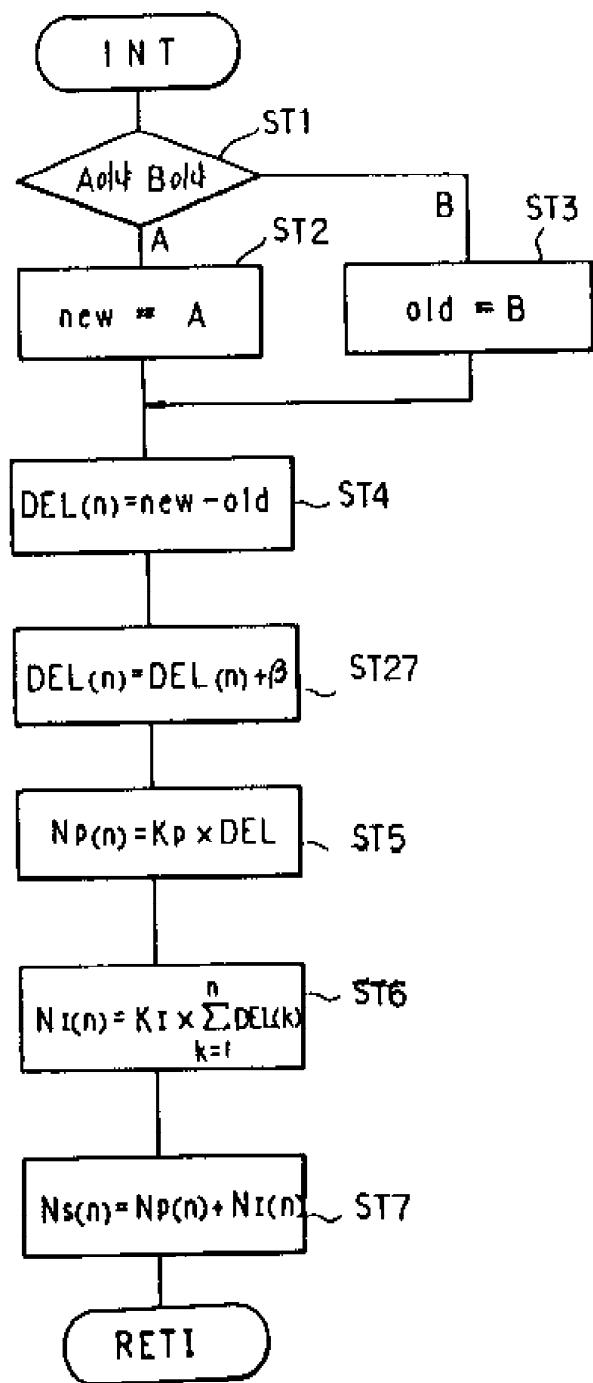
도면5



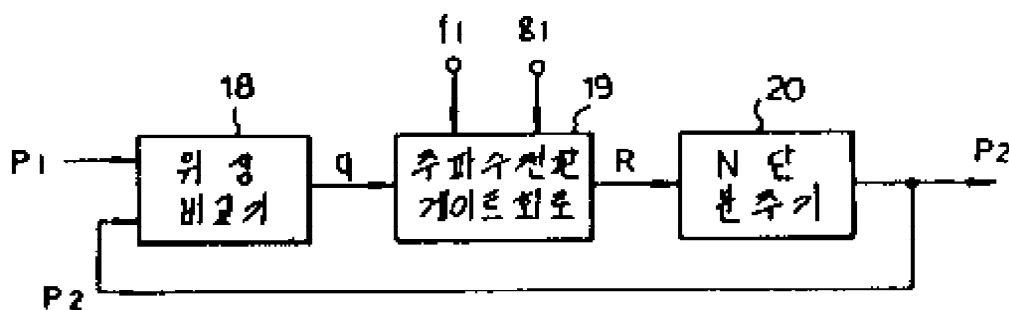
도면6



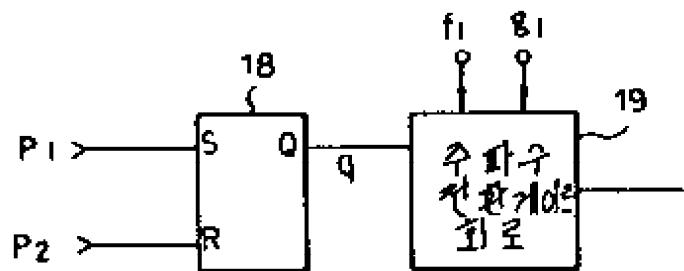
## 도면7



## 도면8



도면9



도면10

