

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/407

(45) 공고일자 2005년03월21일
(11) 등록번호 10-0477809
(24) 등록일자 2005년03월10일

(21) 출원번호 10-2002-0028119
(22) 출원일자 2002년05월21일

(65) 공개번호 10-2003-0090122
(43) 공개일자 2003년11월28일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 곽종태
경기도이천시대월면사동리현대전자아파트101-1003

(74) 대리인 특허법인 신성

심사관 : 안병일

(54) 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티사이클 교정 방법

요약

본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법은, 혼합 회로(blend circuit)를 이용하여 듀티 에러를 교정하고, 50%의 듀티 사이클을 갖는 내부 클럭 신호를 생성할 수 있는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 외부 클럭 신호를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하는 버퍼; 상기 클럭 입력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 출력하는 딜레이 라인부; 상기 딜레이 라인부에서 제2 클럭 신호가 활성화되지 않는 동안에는 상기 제1 클럭 신호를 바이패스하고, 상기 제2 클럭 신호가 활성화되면, 상기 제1 클럭 신호와 상기 제2 클럭 신호를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호를 생성하는 혼합 회로; 상기 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호를 생성하는 딜레이 모듈부; 상기 외부 클럭 신호를 입력받아 상기 보상 클럭 신호와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부에 출력하는 직접 위상 감지기; 및 상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받고, 그 위상을 감지하여 제2 비교 신호를 생성한 후 상기 딜레이 라인부로 출력하는 위상 감지기를 포함한다.

대표도

도 1

색인어

듀티 사이클, DLL, 위상 혼합, 혼합 인에이블 신호, 클럭

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도,

도 2는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치의 동작을 나타낸 타이밍도,

도 3은 본 발명의 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도,

도 4는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 딜레이 라인을 나타낸 블록도,

도 5는 본 발명의 또 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도,

도 6은 본 발명의 또 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 신호 생성 수단을 나타낸 블록도,

도 7a 및 도 7b는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 위상 혼합기를 나타낸 블록도,

도 7c는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 위상 혼합기의 동작을 나타낸 예시도,

도 8은 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 혼합 회로를 나타낸 예시도,

도 9는 본 발명의 일 실시예에 의한 디지털 디엘엘 장치의 듀티 사이클 교정 방법을 나타낸 동작흐름도,

* 도면의 주요 부분에 대한 부호의 설명 *

110 : 버퍼

120 : 딜레이 라인부

130 : 듀티 에러 조정부

140 : 제1 딜레이 모델부

150 : 제1 직접 위상 감지기

160 : 제2 딜레이 모델부

170 : 제2 직접 위상 감지기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법에 관한 것으로, 외부 클럭과 내부 클럭 간의 스큐(skew)를 보상하는 클럭 발생 장치를 필요로 하는 모든 반도체 장치 및 컴퓨터 시스템에 사용되는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법에 관한 것이다.

일반적으로, 지연 교정 루프(DLL)란 반도체메모리 장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 에러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하게 동기되도록 하기 위해서 사용한다.

종래에, 이러한 DLL 회로의 클럭 신호를 조정하기 위해 여러 가지 기술이 있었다.

먼저, 미국 특허 제 5808498호에는, 공통 노드를 갖는 소스 커플링 쌍의 형태를 형성하고, 입력 기준 신호 및 그 상보 신호를 수신하는 입력 쌍 및 한 쌍의 출력 노드를 포함하는 한 쌍의 전계 효과 트랜지스터를 포함하고, 각각 복수개의 출력 노드 및 제1 공급 레일 사이에 커플링된 제1 및 제2 전류 소스를 포함하며, 상기 제1 및 제2 전류 소스는 I 암페어의 전류값을 생성하고, 공통 노드와 제2 공급 레일 사이에 커플링된 제3 전류 소스를 포함하며, 상기 제3 전류 소스는 2I 암페어의 전류값을 싱킹하는(sinking) 제1 차동 증폭기와, 복수개의 출력 노드를 교차하여 커플링되고, 입력 기준 신호 및 그 상보 신호에 응답하여 상기 차동 증폭기의 출력 노드에 한 쌍의 상보적 삼각파 신호를 생성하도록 하는 필터 회로와, 한 쌍의 상보적 삼각파 신호를 수신하는 커플링된 한 쌍의 입력을 갖고, 한 쌍의 상보적 삼각파 신호 사이의 비교에 응답하여 입력 기준 신호와 소정의 위상 관계를 갖는 출력 신호를 생성하는 비교기를 포함하는 위상 시프팅 회로가 개시되어 있다.

둘째로, 일본 특허 공개 제 2001-6399호에는, 외부 클럭을 위상 조정하고 내부 클럭을 발생하는 위상 조정부를 포함하는 반도체 장치에 있어서, 상기 외부 클럭의 주파수가 상기 위상 주파수의 위상 조정 범위에서 벗어난 것을 검출하는 검출기와, 외부에서 입력되는 제어 신호에 의해 전환되는 제1 동작 모드 및 제2 동작 모드를 포함하고, 상기 제1 동작 모드에서는 상기 검출기의 검출 결과에 관계없이 소정의 출력 신호를 출력하고, 상기 제2 동작 모드에서는

상기 검출기의 검출 결과에 의해 소정의 출력 상태로 되는 출력 회로를 포함하는 것을 특징으로 하는 반도체 장치가 개시되어 있다.

마지막으로, 일본 특허 공개 평11-353878호에는, 입력된 제1 클럭의 위상을 조정해서 외부 클럭에 대해 소정의 위상만큼 지연된 제2 클럭을 생성하는 클럭 위상 조정 회로를 포함하고, 상기 제1 클럭 또는 상기 제2 클럭 중 어느 한 쪽과 동기되는 데이터를 출력하는 반도체 장치에 있어서, 상기 클럭 위상 조정 회로 내의 상기 제1 클럭의 지연량을 나타낸 표시 신호에 응답하여 상기 제1 클럭의 주파수를 판정하고, 제어 신호를 출력하는 클럭 주파수 판정부와, 상기 제어 신호에 응답하여 상기 제1 클럭 또는 제2 클럭 중 한 쪽을 선택하는 클럭 선택부를 구비하는 것을 특징으로 하는 반도체 장치가 개시되어 있다.

상술한 종래의 DDR 메모리에서 사용되는 것과 같은 DLL은 클럭 신호에 있어서 기준 신호 및 상보 신호를 이용하여 전체 위상의 지연을 조정할 뿐, 외부 클럭의 데이터 처리에 있어서 듀티 에러(duty error)가 발생하는 경우에는 이를 교정할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여 안출된 본 발명은 혼합 회로(blend circuit)를 이용하여 듀티 에러를 교정하고, 50%의 듀티 사이클을 갖는 내부 클럭 신호를 생성할 수 있는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치는, 외부 클럭 신호를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하는 버퍼; 상기 클럭 입력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 출력하는 딜레이 라인부; 상기 딜레이 라인부에서 제2 클럭 신호가 활성화되지 않는 동안에는 상기 제1 클럭 신호를 바이패스하고, 상기 제2 클럭 신호가 활성화되면, 상기 제1 클럭 신호와 상기 제2 클럭 신호를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호를 생성하는 혼합 회로; 상기 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호를 생성하는 딜레이 모델부; 상기 외부 클럭 신호를 입력받아 상기 보상 클럭 신호와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부에 출력하는 직접 위상 감지기; 및 상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받고, 그 위상을 감지하여 제2 비교 신호를 생성한 후 상기 딜레이 라인부로 출력하는 위상 감지기를 포함한다.

또한, 상기 목적을 달성하기 위하여 본 발명의 디지털 디엘엘 장치의 듀티 사이클 교정 방법은, 외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는지를 검사하는 단계; 상향 에지가 일치하는 경우에는 제2 클럭 신호를 활성화하는 단계; 상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는지를 검사하는 단계; 및 상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 경우에는 상기 제1 클럭 신호 및 제2 클럭 신호 사이의 위상을 취하여 듀티가 50%인 혼합 클럭 신호를 생성하는 단계를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 도 1은 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도로서, 본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치는, 버퍼(110), 딜레이 라인부(120), 혼합 회로(130), 딜레이 모델부(140), 직접 위상 감지기(150) 및 위상 감지기(160)를 포함한다.

버퍼(110)는, 외부 클럭 신호(ext_clk)를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하고, 상기 클럭 입력 신호를 후술하는 딜레이 라인부(120)에 출력하는 역할을 한다.

또한, 딜레이 라인부(120)는, 상기 버퍼(110)에서 상기 클럭 입력 신호를 입력받고, 후술하는 직접 위상 감지기(150) 및 후술하는 위상 감지기(160)의 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 후술하는 혼합 회로(130)로 출력하는 역할을 한다. 여기서, 상기 딜레이 라인부(120)는 제1 제어 수단(121), 제1 딜레이 라인(122), 제2 제어 수단(123) 및 제2 딜레이 라인(124)을 포함한다.

상기 딜레이 라인부(120) 내에 장착된 제1 제어 수단(121)은, 후술하는 직접 위상 감지기(150)의 제1 비교 신호에 따라 딜레이 양을 조절하는 제1 제어 신호를 생성하고, 상기 제1 제어 신호를 후술하는 제1 딜레이 라인(122)에 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(120) 내에 장착된 제1 딜레이 라인(122)은, 상기 제1 제어 수단(121)에서 상기 제1 제어 신호를 입력받고, 상기 버퍼(110)에서 상기 클럭 입력 신호를 입력받으며, 상기 제1 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시켜 제1 클럭 신호(intclk1)를 생성하고, 상기 제1 클럭 신호(intclk1)를 후술하는 혼합 회로(130)로 출력하는 역할을 한다.

한편, 상기 딜레이 라인부(120) 내에 장착된 제2 제어 수단(123)은, 후술하는 위상 감지기(160)의 제2 비교 신호에 따라 딜레이 양을 조절하는 제2 제어 신호를 생성하고, 상기 제2 제어 신호를 후술하는 제2 딜레이 라인(124)에 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(120) 내에 장착된 제2 딜레이 라인(124)은, 상기 제2 제어 수단(123)에서 상기 제2 제어 신호를 입력받고, 상기 버퍼(110)에서 상기 클럭 입력 신호를 입력받으며, 상기 제2 제어 신호에 따라 상기 클럭 입

력 신호를 소정 시간 지연시킨 후 제2 클럭 신호(intclk2)를 생성하고, 상기 제2 클럭 신호(intclk2)를 후술하는 혼합 회로(130)로 출력하는 역할을 한다.

한편, 혼합 회로(130)는, 상기 딜레이 라인부(120)에서 제2 클럭 신호(intclk2)가 활성화되지 않는 동안에는 상기 제1 클럭 신호(intclk1)를 바이패스하고, 상기 딜레이 라인부(120)에서 상기 제2 클럭 신호(intclk2)가 활성화되면, 상기 제1 클럭 신호(intclk1)와 상기 제2 클럭 신호(intclk2)를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호(int_clk)를 생성하고, 상기 혼합 클럭 신호(int_clk)를 외부 및 후술하는 딜레이 모델부(140)에 출력하는 역할을 한다.

한편, 딜레이 모델부(140)는, 상기 혼합 회로(130)로부터 듀티가 조절된 상기 혼합 클럭 신호(int_clk)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호(iclk)를 생성하여 후술하는 직접 위상 감지기(150)로 출력하는 역할을 한다.

또한, 직접 위상 감지기(150)는, 상기 외부 클럭 신호(ext_clk)를 입력받아 상기 딜레이 모델부(140)에서 입력된 상기 보상 클럭 신호(iclk)와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부(120)에 출력하는 역할을 한다.

한편, 위상 감지기(160)는, 상기 딜레이 라인부(120)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받고, 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 위상을 감지하여 제2 비교 신호를 생성하고, 상기 제2 비교 신호를 상기 딜레이 라인부(120)로 출력하는 역할을 한다.

도 2는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치의 동작을 나타낸 타이밍도로서, 이를 참조하여 본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치의 동작을 설명하면 다음과 같다.

먼저, 외부 클럭 신호(ext_clk)가 버퍼(110)에서 버퍼링되어 나타난 신호가 딜레이 라인부(120) 내 제1 딜레이 라인(122) 및 제2 딜레이 라인(124)으로 인가된다. 제1 딜레이 라인(122)에서 출력되는 신호인 제1 클럭 신호(intclk1)는 초기에 혼합 회로(130)를 그대로 통과(bypass)하고, 다시 딜레이 모델부(140)를 거쳐서 나타난 보상 클럭 신호(iclk)가 직접 위상 감지기(150)에서 외부 클럭과 그 상향 에지 위상을 비교하여 같은 위상을 가질 수 있도록 딜레이 라인부(120)의 지연량을 조절하게 된다. 이런 과정을 거쳐 제1 클럭 신호(intclk1)가 혼합 회로(130) 및 딜레이 모델부(140)를 통과하여 나타난 신호인 보상 클럭 신호(iclk)가 외부 클럭 신호(ext_clk)와 그 상향 에지의 위상이 정확히 일치되었다고 판단되면, 제2 딜레이 라인(124)이 동작하게 된다. 이렇게 제2 딜레이 라인(124)에서 반전되어 나타난 신호인 제2 클럭 신호(intclk2)는 위상 감지기(160)에서 제1 클럭 신호(intclk1)의 상향 에지와 비교되어, 항상 두 상향 에지의 위상이 동일하도록 제2 딜레이 라인(124)의 지연량이 조절된다. 도 2에 나타난 바와 같이 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치된 후에 혼합 회로(130)가 동작을 수행하게 된다. 즉, 혼합 회로(130)는, 초기에는 제1 클럭 신호(intclk1)를 그대로 통과시키고 있다가, 상술한 상향 에지 일치 과정이 종료한 후에 두 입력 신호의 위상을 혼합하는 것이다.

도 3은 본 발명의 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도로서, 이러한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치는, 버퍼(310), 딜레이 라인부(320), 혼합 회로(330), 딜레이 모델부(340), 직접 위상 감지기(350) 및 위상 감지기(360)를 포함한다.

버퍼(310)는, 외부 클럭 신호(ext_clk)를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하고, 상기 클럭 입력 신호를 후술하는 딜레이 라인부(320)에 출력하는 역할을 한다.

또한, 딜레이 라인부(320)는, 상기 버퍼(310)에서 상기 클럭 입력 신호를 입력받고, 후술하는 직접 위상 감지기(350) 및 후술하는 위상 감지기(360)의 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 후술하는 혼합 회로(330)로 출력하는 역할을 한다. 여기서, 상기 딜레이 라인부(320)는 제3 제어 수단(321), 제1 시프트 레지스터(322), 제3 딜레이 라인(323), 제4 제어 수단(324), 제2 시프트 레지스터(325) 및 제4 딜레이 라인(326)을 포함한다.

상기 딜레이 라인부(320) 내에 장착된 제3 제어 수단(321)은, 후술하는 직접 위상 감지기(350)의 제1 비교 신호에 따라 딜레이 양을 조절하는 제1 왼쪽 시프트 신호 또는 제1 오른쪽 시프트 신호를 생성하고, 상기 제1 왼쪽 시프트 신호 또는 상기 제1 오른쪽 시프트 신호를 후술하는 제1 시프트 레지스터(322)에 출력하는 역할을 한다.

한편, 상기 딜레이 라인부(320) 내에 장착된 제1 시프트 레지스터(322)는, 상기 제3 제어 수단(321)의 상기 제1 왼쪽 시프트 신호 또는 상기 제1 오른쪽 시프트 신호를 입력받아 출력 신호를 좌우로 이동하여 딜레이 양을 제어하는 제3 제어 신호를 생성하고, 상기 제3 제어 신호를 후술하는 제3 딜레이 라인(323)으로 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(320) 내에 장착된 제3 딜레이 라인(323)은, 상기 제1 시프트 레지스터(322)에서 상기 제3 제어 신호를 입력받고, 상기 버퍼(310)에서 상기 클럭 입력 신호를 입력받으며, 상기 제3 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시켜 제1 클럭 신호(intclk1)를 생성하고, 상기 제1 클럭 신호(intclk1)를 후술하는 혼합 회로(330)로 출력하는 역할을 한다. 즉, 상기 제3 딜레이 라인(323) 내에는 복수개의 유닛 딜레이 셀(Unit delay cell)이 순차적으로 연결된 장치를 가지고 있는데, 상기 제1 시프트 레지스터(322)에서 출력된 제3 제어 신호에 의해 상기 클럭 입력 신호를 원하는 개수 만큼의 유닛 딜레이 셀을 거치도록 함으로써 딜레이를 조정하게 된다.

한편, 상기 딜레이 라인부(320) 내에 장착된 제4 제어 수단(324)은, 후술하는 위상 감지기(360)의 제2 비교 신호에 따라 딜레이 양을 조절하는 제2 왼쪽 시프트 신호 또는 제2 오른쪽 시프트 신호를 생성하고, 상기 제2 왼쪽 시프트 신호 또는 상기 제2 오른쪽 시프트 신호를 후술하는 제1 시프트 레지스터(322)에 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(320) 내에 장착된 제2 시프트 레지스터(325)는, 상기 제4 제어 수단(324)의 상기 제2 왼쪽 쉬프트 신호 또는 상기 제2 오른쪽 쉬프트 신호를 입력받아 출력 신호를 좌우로 이동하여 딜레이 양을 제어하는 제4 제어 신호를 생성하고, 상기 제4 제어 신호를 후술하는 제4 딜레이 라인(326)으로 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(320) 내에 장착된 제4 딜레이 라인(326)은, 상기 제2 시프트 레지스터(325)에서 상기 제4 제어 신호를 입력받고, 상기 버퍼(310)에서 상기 클럭 입력 신호를 입력받으며, 상기 제4 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시킨 후 반전하여 제2 클럭 신호(intclk2)를 생성하고, 상기 제2 클럭 신호(intclk2)를 후술하는 혼합 회로(330)로 출력하는 역할을 한다. 즉, 상기 제4 딜레이 라인(326) 내에는 복수개의 유닛 딜레이 셀(Unit delay cell)이 순차적으로 연결된 장치를 가지고 있는데, 상기 제2 시프트 레지스터(325)에서 출력된 제4 제어 신호에 의해 상기 클럭 입력 신호를 원하는 개수 만큼의 유닛 딜레이 셀을 거치도록 함으로써 딜레이를 조정하게 된다.

한편, 혼합 회로(330)는, 상기 딜레이 라인부(320)에서 제2 클럭 신호(intclk2)가 활성화되지 않는 동안에는 상기 제1 클럭 신호(intclk1)를 바이패스하고, 상기 딜레이 라인부(320)에서 상기 제2 클럭 신호(intclk2)가 활성화되면, 상기 제1 클럭 신호(intclk1)와 상기 제2 클럭 신호(intclk2)를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호(int_clk)를 생성하고, 상기 혼합 클럭 신호(int_clk)를 외부 및 후술하는 딜레이 모델부(340)에 출력하는 역할을 한다.

한편, 딜레이 모델부(340)는, 상기 혼합 회로(330)로부터 듀티가 조절된 상기 혼합 클럭 신호(int_clk)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호(iclk)를 생성하여 후술하는 직접 위상 감지기(350)로 출력하는 역할을 한다.

또한, 직접 위상 감지기(350)는, 상기 외부 클럭 신호(ext_clk)를 입력받아 분주하고, 분주된 신호와 상기 딜레이 모델부(340)에서 입력된 상기 보상 클럭 신호(iclk)를 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부(320)에 출력하는 역할을 한다.

한편, 위상 감지기(360)는, 상기 딜레이 라인부(320)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받고, 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 위상을 감지하여 제2 비교 신호를 생성하고, 상기 제2 비교 신호를 상기 딜레이 라인부(320)로 출력하는 역할을 한다.

도 4는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 딜레이 라인(323, 326)을 나타낸 블록도로서, 이러한 딜레이 라인(323, 326)은, 코스 딜레이 라인(Coarse Delay Line)(401) 및 제1 위상 혼합기(402)를 포함하고 있다.

상기 딜레이 라인(323, 326) 내에 장착된 코스 딜레이 라인(401)은, 순차적으로 연결된 복수개의 유닛 딜레이 셀을 구비하고, 활성화된 유닛 딜레이 셀의 개수에 따른 지연 시간을 갖는 두 개의 신호를 생성하고, 상기 두 개의 신호를 후술하는 제1 위상 혼합기(402)로 출력한다.

또한, 상기 딜레이 라인(323, 326) 내에 장착된 제1 위상 혼합기(402)는, 상기 코스 딜레이 라인(401)으로부터 상기 두 개의 신호를 입력받아 지연 시간을 세밀하게 튜닝하는 역할을 한다.

도 5는 본 발명의 또 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도로서, 본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치는, 버퍼(510), 딜레이 라인부(520), 혼합 회로(530), 딜레이 모델부(540), 직접 위상 감지기(550) 및 위상 감지기(560)를 포함한다.

버퍼(510)는, 외부 클럭 신호(ext_clk)를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하고, 상기 클럭 입력 신호를 후술하는 딜레이 라인부(520)에 출력하는 역할을 한다.

또한, 딜레이 라인부(520)는, 상기 버퍼(510)에서 상기 클럭 입력 신호를 입력받고, 후술하는 직접 위상 감지기(550) 및 후술하는 위상 감지기(560)의 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 후술하는 혼합 회로(530)로 출력하는 역할을 한다. 여기서, 상기 딜레이 라인부(520)는 복수개의 딜레이 셀(521), 제5 제어 수단(522), 제1 신호 생성 수단(523), 제6 제어 수단(524) 및 제2 신호 생성 수단(525)을 포함한다.

상기 딜레이 라인부(520) 내에 장착된 복수개의 딜레이 셀(521)은, 상기 버퍼(510)에서 상기 클럭 입력 신호를 입력받고, 상기 클럭 입력 신호에 의해 생성된 복수개의 다중 위상 신호를 후술하는 제1 신호 생성 수단(523) 및 후술하는 제2 신호 생성 수단(525)에 출력하는 역할을 한다.

상기 딜레이 라인부(520) 내에 장착된 제5 제어 수단(522)은, 후술하는 직접 위상 감지기(550)의 제1 비교 신호에 따라 딜레이 양을 조절하는 제5 제어 신호를 생성하고, 상기 제5 제어 신호를 후술하는 제1 신호 생성 수단(523)에 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(520) 내에 장착된 제1 신호 생성 수단(523)은, 상기 제5 제어 수단(522)에서 상기 제5 제어 신호를 입력받고, 상기 복수개의 딜레이 셀(521)에서 상기 다중 위상 신호를 입력받으며, 상기 제5 제어 신호에 따라 상기 다중 위상 신호 중 이웃하는 두 개의 신호를 선택하고, 상기 두 개의 신호를 혼합하여 제1 클럭 신호(intclk1)를 생성하며, 상기 제1 클럭 신호(intclk1)를 후술하는 혼합 회로(530)로 출력하는 역할을 한다.

한편, 상기 딜레이 라인부(520) 내에 장착된 제6 제어 수단(524)은, 후술하는 위상 감지기(560)의 제2 비교 신호에 따라 딜레이 양을 조절하는 제6 제어 신호를 생성하고, 상기 제6 제어 신호를 후술하는 제2 딜레이 라인(124)에 출력하는 역할을 한다.

또한, 상기 딜레이 라인부(520) 내에 장착된 제2 신호 생성 수단(525)은, 상기 제6 제어 수단(524)에서 상기 제6 제어 신호를 입력받고, 상기 복수개의 딜레이 셀(521)에서 상기 다중 위상 신호를 입력받으며, 상기 제6 제어 신호에 따라 상기 다중 위상 신호 중 이웃하는 두 개의 신호를 선택하고, 상기 두 개의 신호에 의해 제2 클럭 신호(intclk2)를 생성하며, 상기 제2 클럭 신호(intclk2)를 후술하는 혼합 회로(530)로 출력하는 역할을 한다.

한편, 혼합 회로(530)는, 상기 딜레이 라인부(520)에서 제2 클럭 신호(intclk2)가 활성화되지 않는 동안에는 상기 제1 클럭 신호(intclk1)를 바이패스하고, 상기 딜레이 라인부(520)에서 상기 제2 클럭 신호(intclk2)가 활성화되면, 상기 제1 클럭 신호(intclk1)와 상기 제2 클럭 신호(intclk2)를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호(int_clk)를 생성하고, 상기 혼합 클럭 신호(int_clk)를 외부 및 후술하는 딜레이 모델부(540)에 출력하는 역할을 한다.

한편, 딜레이 모델부(540)는, 상기 혼합 회로(530)로부터 듀티가 조절된 상기 혼합 클럭 신호(int_clk)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호(iclk)를 생성하여 후술하는 직접 위상 감지기(550)로 출력하는 역할을 한다.

또한, 직접 위상 감지기(550)는, 상기 외부 클럭 신호(ext_clk)를 입력받아 상기 딜레이 모델부(540)에서 입력된 상기 보상 클럭 신호(iclk)와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부(520)에 출력하는 역할을 한다.

한편, 위상 감지기(560)는, 상기 딜레이 라인부(520)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받고, 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 상향 에지 중 어느 것이 앞서는지를 나타내는 제2 비교 신호를 생성하고, 상기 제2 비교 신호를 상기 딜레이 라인부(520)로 출력하는 역할을 한다.

도 6은 본 발명의 또 다른 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 신호 생성 수단(523, 524)을 나타낸 블록도로서, 이러한 신호 생성 수단(523, 524)은 MUX(601) 및 제2 위상 혼합기(602)를 포함한다.

상기 신호 생성 수단(523, 524) 내에 장착된 MUX(601)는, 상기 제어 수단(522, 524)에서 입력 받은 제어 신호에 의해, 상기 복수개의 딜레이 셀(521)에서 입력받은 상기 복수개의 다중 위상 신호 중 Δ (한 개의 유닛 딜레이 셀에 의한 지연 시간)만큼의 차를 갖는 이웃하는 두 개의 신호를 선택하고, 상기 두 개의 신호를 후술하는 제2 위상 혼합기(602)로 출력하는 역할을 한다.

또한, 상기 신호 생성 수단(523, 524) 내에 장착된 제2 위상 혼합기(602)는, 상기 MUX(601)에서 입력받은 두 개의 신호에 의해 한 개의 신호를 생성한 후, 이를 상기 혼합 회로(530)로 출력하는 역할을 한다.

도 7a 및 도 7b는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 위상 혼합기(402, 602)를 나타낸 블록도이고, 도 7c는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 위상 혼합기(402, 602)의 동작을 나타낸 예시도로서, 이러한 본 발명의 위상 혼합기(402, 602)에 대해 설명하면 아래와 같다.

위상 혼합기(402, 602) 내에 장착된 복수개의 제1 혼합 셀(701)은, 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호를 한 단자(s)로 입력받고, 다른 단자(IN)로 지연 시간이 다른 두 신호 중 한 신호(X1)를 입력받으며, 상기 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호가 제1 논리 단계(low)인 경우에는 하이-지(High-Z) 신호를 출력하고, 상기 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호가 제2 논리 단계(high)인 경우에는 상기 지연 시간이 다른 두 신호 중 한 신호(X1)를 반전하여 출력하는 역할을 한다. 여기서, 상기 제1 혼합셀(701)은, 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제1 NMOS 트랜지스터(N1) 및 제2 NMOS 트랜지스터(N2)를 포함한다.

상기 제1 혼합 셀(701) 내에 장착된 제1 PMOS 트랜지스터(P1)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자로 지연 시간이 다른 두 신호 중 한 신호(X1)를 입력받는다.

또한, 상기 제1 혼합 셀(701) 내에 장착된 제2 PMOS 트랜지스터(P2)는, 소스 단자는 상기 제1 PMOS 트랜지스터(P1)의 드레인 단자에 연결되고, 게이트 단자로 상기 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자(OUT)에 연결된다.

한편, 상기 제1 혼합 셀(701) 내에 장착된 제1 NMOS 트랜지스터(N1)는, 소스 단자는 접지되고, 게이트 단자로 지연 시간이 다른 두 신호 중 한 신호(X1)를 입력받는다.

또한, 상기 제1 혼합 셀(701) 내에 장착된 제2 NMOS 트랜지스터(N2)는, 소스 단자는 상기 제1 NMOS 트랜지스터(N1)의 드레인 단자에 연결되고, 게이트 단자로 상기 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자(OUT)에 연결된다.

또한, 위상 혼합기(402, 602) 내에 장착된 복수개의 제2 혼합 셀(702)은, 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호를 한 단자(s)로 입력받고, 다른 단자(IN)로 지연 시간이 다른 두 신호 중 다른 한 신호(X2)를 입력

받으며, 상기 제2 신호가 제1 논리 단계(low)인 경우에는 하이-지(High-Z) 신호를 출력하고, 상기 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호가 제2 논리 단계(high)인 경우에는 상기 지연 시간이 다른 두 신호 중 다른 한 신호(X2)를 반전하여 출력하는 역할을 한다. 여기서, 상기 제2 혼합 셀(702)은, 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제1 NMOS 트랜지스터(N1) 및 제2 NMOS 트랜지스터(N2)를 포함한다.

상기 제2 혼합 셀(702) 내에 장착된 제1 PMOS 트랜지스터(P1)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자로 지연 시간이 다른 두 신호 중 다른 한 신호(X2)를 입력받는다.

또한, 상기 제2 혼합 셀(702) 내에 장착된 제2 PMOS 트랜지스터(P2)는, 소스 단자는 상기 제1 PMOS 트랜지스터(P1)의 드레인 단자에 연결되고, 게이트 단자로 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자(OUT)에 연결된다.

한편, 상기 제2 혼합 셀(702) 내에 장착된 제1 NMOS 트랜지스터(N1)는, 소스 단자는 접지되고, 게이트 단자로 지연 시간이 다른 두 신호 중 다른 한 신호(X2)를 입력받는다.

또한, 상기 제2 혼합 셀(702) 내에 장착된 제2 NMOS 트랜지스터(N2)는, 소스 단자는 상기 제1 NMOS 트랜지스터(N1)의 드레인 단자에 연결되고, 게이트 단자로 제어 수단(321, 324, 522, 524)으로부터의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자(OUT)에 연결된다.

한편, 위상 혼합기(402, 602) 내에 장착된 제1 인버터(703)는, 상기 제1 혼합 셀(701) 및 제2 혼합 셀(702)이 출력한 복수개의 신호를 반전하여 출력하는 역할을 한다.

도 7c는 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 위상 혼합기의 동작을 나타낸 예시도로서, 두 개의 입력 신호(X1, X2)가 출력 단자(OUT)로 출력될 때는 혼합 제어 신호에 의해 두 신호(X1, X2)의 사이의 위상을 갖는 신호(Y)를 출력하게 된다.

도 8은 본 발명의 일 실시예에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치 내에 장착된 혼합 회로(130, 330, 530)를 나타낸 예시도로서, 이에 관해 설명하면 다음과 같다.

제2 인버터(810)는, 혼합 인에이블 신호(Blend_enb)를 입력받아 반전하여 출력하는 역할을 한다.

또한, 제1 클럭 신호 처리부(820)는, 상기 혼합 인에이블 신호(Blend_enb)가 제2 논리 단계인 경우에는 제1 클럭 신호를 입력받아 그대로 출력하고, 상기 혼합 인에이블 신호(Blend_enb)가 제1 논리 단계인 경우에는 제1 클럭 신호를 이용하여 제1 혼합 신호를 생성한 후 후술하는 제3 인버터(840)로 출력하는 역할을 한다. 여기서, 상기 제1 클럭 신호 처리부(820)는, 항상 인버터 회로로 동작하는 k개의 제1 제어가능 인버터 및 상기 혼합 인에이블 신호(Blend_enb)가 제2 논리 단계인 경우에는 인버터로 동작하고, 상기 혼합 인에이블 신호(Blend_enb)가 제1 논리 단계인 경우에는 턴 오프되는 n-k개의 제2 제어가능 인버터를 포함하고 있다.

한편, 제2 클럭 신호 처리부(830)는, 상기 혼합 인에이블 신호(Blend_enb)가 제2 논리 단계인 경우에는 동작하지 않고, 상기 혼합 인에이블 신호(Blend_enb)가 제1 논리 단계인 경우에는 제2 클럭 신호를 이용하여 제2 혼합 신호를 생성한 후 후술하는 제3 인버터(840)로 출력하는 역할을 한다. 여기서, 상기 제2 클럭 신호 처리부(830)는, 항상 턴 오프 상태인 k개의 제3 제어가능 인버터 및 상기 혼합 인에이블 신호(Blend_enb)가 제1 논리 단계인 경우에는 인버터로 동작하고, 상기 혼합 인에이블 신호(Blend_enb)가 제2 논리 단계인 경우에는 턴 오프되는 n-k개의 제4 제어가능 인버터를 포함하고 있다.

또한, 제3 인버터(840)는, 상기 제1 혼합 신호 및 상기 제2 혼합 신호를 취합하여 반전함으로써 상기 혼합 클럭 신호(int_clk)를 생성하는 역할을 한다.

도 9는 본 발명의 일 실시예에 의한 디지털 디엘엘 장치의 듀티 사이클 교정 방법을 나타낸 동작흐름도로서, 이에 관하여 설명하면 아래와 같다.

먼저, 직접 위상 감지기(150)에 의해 외부 클럭 신호(ext_clk)와 보상 클럭 신호(iclck)의 상향 에지가 일치하는 지를 검사한다(S901).

외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는 지를 검사하는 단계;

상향 에지가 일치하는 경우, 제2 딜레이 라인(124)이 활성화되어 제2 클럭 신호(intclk2)를 활성화하게 된다(S902).

다음에, 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치하는 지를 검사한다(S903).

제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치하면, 혼합 회로(130)에서 상기 제1 클럭 신호 및 제2 클럭 신호의 중간 위상을 취하여 듀티가 50%인 혼합 클럭 신호를 생성하게 된다(S904).

만약, 외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하지 않는 경우에는 딜레이 과정을 통하여 일치시킨 후, 외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는 지를 다시 검사하게 된다(S905).

한편, 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치하지 않으면, 제2 클럭 신호(intclk2)의 딜레이를 조정 한 후 다시 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치하는 지를 검사하는 단계로 돌아간다(S906).

이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

발명의 효과

본 발명은, 종래의 듀티 사이클 교정이 어려웠던 디지털형 디엘엘 장치와는 달리, 혼합 회로를 이용하여 듀티 에러를 교정하고, 50%의 듀티 사이클을 갖는 내부 클럭 신호를 생성할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

외부 클럭 신호를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성하는 버퍼;

상기 클럭 입력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시킨 후 출력하는 딜레이 라인부;

상기 딜레이 라인부에서 제2 클럭 신호가 활성화되지 않는 동안에는 상기 제1 클럭 신호를 바이패스하고, 상기 제2 클럭 신호가 활성화되면, 상기 제1 클럭 신호와 상기 제2 클럭 신호를 혼합하여 각각의 하향 에지의 중간 위상을 가지는 혼합 클럭 신호를 생성하는 혼합 회로;

상기 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 보상 클럭 신호를 생성하는 딜레이 모델부;

상기 외부 클럭 신호를 입력받아 상기 보상 클럭 신호와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부에 출력하는 직접 위상 감지기; 및

상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받고, 그 위상을 감지하여 제2 비교 신호를 생성한 후 상기 딜레이 라인부로 출력하는 위상 감지기

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 2.

제1항에 있어서, 상기 딜레이 라인부는,

상기 제1 비교 신호에 따라 딜레이 양을 조절하는 제1 제어 신호를 생성하는 제1 제어 수단;

상기 제1 제어 신호를 입력받고, 상기 클럭 입력 신호를 입력받으며, 상기 제1 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시켜 제1 클럭 신호를 생성하는 제1 딜레이 라인;

상기 제2 비교 신호에 따라 딜레이 양을 조절하는 제2 제어 신호를 생성하는 제2 제어 수단; 및

상기 제2 제어 신호를 입력받고, 상기 클럭 입력 신호를 입력받으며, 상기 제2 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시킨 후 반전하여 제2 클럭 신호를 생성하는 제2 딜레이 라인

을 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 3.

제1항에 있어서, 상기 딜레이 라인부는,

상기 제1 비교 신호에 따라 딜레이 양을 조절하는 제1 왼쪽 시프트 신호 또는 제1 오른쪽 시프트 신호를 생성하여 출력하는 제3 제어 수단;

상기 제1 왼쪽 시프트 신호 또는 상기 제1 오른쪽 시프트 신호를 입력받아 출력 신호를 좌우로 이동하여 딜레이 양을 제어하는 제3 제어 신호를 생성하여 출력하는 제1 시프트 레지스터;

상기 제3 제어 신호를 입력받고, 상기 버퍼에서 상기 클럭 입력 신호를 입력받으며, 상기 제3 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시켜 제1 클럭 신호를 생성하여 상기 혼합 회로로 출력하는 제3 딜레이 라인;

상기 제2 비교 신호에 따라 딜레이 양을 조절하는 제2 왼쪽 시프트 신호 또는 제2 오른쪽 시프트 신호를 생성하여 출력하는 제4 제어 수단;

상기 제2 왼쪽 시프트 신호 또는 상기 제2 오른쪽 시프트 신호를 입력받아 출력 신호를 좌우로 이동하여 딜레이 양을 제어하는 제4 제어 신호를 생성하여 출력하는 제2 시프트 레지스터; 및

상기 제4 제어 신호를 입력받고, 상기 버퍼에서 상기 클럭 입력 신호를 입력받으며, 상기 제4 제어 신호에 따라 상기 클럭 입력 신호를 소정 시간 지연시킨 후 반전하여 제2 클럭 신호를 생성하고, 상기 제2 클럭 신호를 상기 혼합 회로로 출력하는 제4 딜레이 라인

을 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 4.

제3항에 있어서, 상기 제3 딜레이 라인은,

순차적으로 연결된 복수개의 유닛 딜레이 셀을 구비하고, 활성화된 유닛 딜레이 셀의 개수에 따른 지연 시간을 갖는 두 개의 신호를 생성하여 출력하는 코스 딜레이 라인; 및

상기 코스 딜레이 라인으로부터 상기 두 개의 신호를 입력받아 지연 시간을 세밀하게 튜닝하는 제1 위상 혼합기를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 5.

제3항에 있어서, 상기 제4 딜레이 라인은,

순차적으로 연결된 복수개의 유닛 딜레이 셀을 구비하고, 활성화된 유닛 딜레이 셀의 개수에 따른 지연 시간을 갖는 두 개의 신호를 생성하여 출력하는 코스 딜레이 라인; 및

상기 코스 딜레이 라인으로부터 상기 두 개의 신호를 입력받아 지연 시간을 세밀하게 튜닝하는 제1 위상 혼합기를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 6.

제1항에 있어서, 상기 딜레이 라인부는,

상기 버퍼에서 상기 클럭 입력 신호를 입력받고, 상기 클럭 입력 신호에 의해 생성된 복수개의 다중 위상 신호를 출력하는 복수개의 딜레이 셀;

상기 제1 비교 신호에 따라 딜레이 양을 조절하는 제5 제어 신호를 생성하여 출력하는 제5 제어 수단;

상기 제5 제어 신호에 따라 상기 다중 위상 신호 중 이웃하는 두 개의 신호를 선택하고, 상기 두 개의 신호를 튜닝하여 생성된 제1 클럭 신호를 상기 혼합 회로로 출력하는 제1 신호 생성 수단;

상기 제2 비교 신호에 따라 딜레이 양을 조절하는 제6 제어 신호를 생성하여 출력하는 제6 제어 수단; 및

상기 제6 제어 신호에 따라 상기 다중 위상 신호 중 이웃하는 두 개의 신호를 선택하고, 상기 두 개의 신호를 튜닝하고 반전함으로써 생성된 제2 클럭 신호를 상기 혼합 회로로 출력하는 제2 신호 생성 수단

을 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 7.

제6항에 있어서, 상기 제1 신호 생성 수단은,

상기 제5 제어 신호에 의해, 상기 복수개의 딜레이 셀에서 입력받은 상기 복수개의 다중 위상 신호 중 한 개의 유닛 딜레이 셀에 의한 지연 시간만큼의 차를 갖는 이웃하는 두 개의 신호를 선택하여 출력하는 MUX; 및

상기 MUX에서 두 개의 신호를 입력받아 튜닝하여 생성된 한 개의 신호를 상기 혼합 회로로 출력하는 제2 위상 혼합기

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 8.

제6항에 있어서, 상기 제2 신호 생성 수단은,

상기 제6 제어 신호에 의해, 상기 복수개의 딜레이 셀에서 입력받은 상기 복수개의 다중 위상 신호 중 한 개의 유닛 딜레이 셀에 의한 지연 시간만큼의 차를 갖는 이웃하는 두 개의 신호를 선택하여 출력하는 MUX; 및

상기 MUX에서 두 개의 신호를 입력받아 튜닝하여 생성된 한 개의 신호를 상기 혼합 회로로 출력하는 제2 위상 혼합기

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 9.

제4항 또한 제5항에 있어서, 상기 제1 위상 혼합기는,

상기 제3 제어 수단 또는 상기 제4 제어 수단으로부터의 복수개의 혼합 제어 신호 중 한 신호를 한 단자로 입력받고, 다른 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 한 신호를 입력받으며, 상기 혼합 제어 신호가 제1 논리 단계인 경우에는 하이-지 신호를 출력하고, 상기 혼합 제어 신호가 제2 논리 단계인 경우에는 상기 코스 딜레이 라인에서 출력된 두 신호 중 한 신호를 반전하여 출력하는 복수개의 제1 혼합 셀;

상기 제3 제어 수단 또는 상기 제4 제어 수단으로부터의 복수개의 혼합 제어 신호 중 한 신호를 한 단자로 입력받고, 다른 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 나머지 한 신호를 입력받으며, 상기 혼합 제어 신호가 제1 논리 단계인 경우에는 하이-지 신호를 출력하고, 상기 혼합 제어 신호가 제2 논리 단계인 경우에는 상기 코스 딜레이 라인에서 출력된 두 신호 중 나머지 한 신호를 반전하여 출력하는 제2 혼합 셀; 및

상기 제1 혼합 셀 및 제2 혼합 셀이 출력한 복수개의 신호를 반전하여 출력하는 인버터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 10.

제7항 또는 제8항에 있어서, 상기 제2 위상 혼합기는,

상기 제5 제어 수단 또는 제6 제어 수단으로부터의 복수개의 혼합 제어 신호 중 한 신호를 한 단자로 입력받고, 다른 단자로 상기 MUX에서 출력된 두 신호 중 한 신호를 입력받으며, 상기 혼합 제어 신호가 제1 논리 단계인 경우에는 하이-지 신호를 출력하고, 상기 혼합 제어 신호가 제2 논리 단계인 경우에는 상기 MUX에서 출력된 두 신호 중 한 신호를 반전하여 출력하는 복수개의 제1 혼합 셀;

상기 제5 제어 수단 또는 제6 제어 수단으로부터의 복수개의 혼합 제어 신호 중 한 신호를 한 단자로 입력받고, 다른 단자로 상기 MUX에서 출력된 두 신호 중 나머지 한 신호를 입력받으며, 상기 혼합 제어 신호가 제1 논리 단계인 경우에는 하이-지 신호를 출력하고, 상기 혼합 제어 신호가 제2 논리 단계인 경우에는 상기 MUX에서 출력된 두 신호 중 나머지 한 신호를 반전하여 출력하는 제2 혼합 셀; 및

상기 제1 혼합 셀 및 제2 혼합 셀이 출력한 복수개의 신호를 반전하여 출력하는 인버터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 11.

제9항에 있어서, 상기 제1 혼합 셀은,

소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 한 신호를 입력받는 제1 PMOS 트랜지스터;

소스 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 PMOS 트랜지스터;

소스 단자는 접지되고, 게이트 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 한 신호를 입력받는 제1 NMOS 트랜지스터; 및

소스 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 12.

제10항에 있어서, 상기 제1 혼합 셀은,

소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 MUX에서 출력된 두 신호 중 한 신호를 입력받는 제1 PMOS 트랜지스터;

소스 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 PMOS 트랜지스터;

소스 단자는 접지되고, 게이트 단자로 상기 MUX에서 출력된 두 신호 중 한 신호를 입력받는 제1 NMOS 트랜지스터; 및

소스 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 13.

제9항에 있어서, 상기 제2 혼합 셀은,

소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 나머지 한 신호를 입력받는 제1 PMOS 트랜지스터;

소스 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 PMOS 트랜지스터;

소스 단자는 접지되고, 게이트 단자로 상기 코스 딜레이 라인에서 출력된 두 신호 중 나머지 한 신호를 입력받는 제1 NMOS 트랜지스터; 및

소스 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 14.

제10항에 있어서, 상기 제2 혼합 셀은,

소스 단자는 전원 전압에 연결되고, 게이트 단자로 상기 MUX에서 출력된 두 신호 중 나머지 한 신호를 입력받는 제1 PMOS 트랜지스터;

소스 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호의 반전된 값을 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 PMOS 트랜지스터;

소스 단자는 접지되고, 게이트 단자로 상기 MUX에서 출력된 두 신호 중 나머지 한 신호를 입력받는 제1 NMOS 트랜지스터; 및

소스 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 제어 신호를 입력받으며, 드레인 단자는 출력 단자에 연결되는 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 15.

제1항에 있어서, 상기 혼합 회로는,

혼합 인에이블 신호를 입력받아 반전하여 출력하는 제2 인버터;

상기 혼합 인에이블 신호가 제2 논리 단계인 경우에는 제1 클럭 신호를 입력받아 그대로 출력하고, 상기 혼합 인에이블 신호가 제1 논리 단계인 경우에는 제1 클럭 신호를 이용하여 제1 혼합 신호를 생성하는 제1 클럭 신호 처리부;

상기 혼합 인에이블 신호가 제2 논리 단계인 경우에는 동작하지 않고, 상기 혼합 인에이블 신호가 제1 논리 단계인 경우에는 제2 클럭 신호를 이용하여 제2 혼합 신호를 생성하는 제2 클럭 신호 처리부; 및

상기 제1 혼합 신호 및 상기 제2 혼합 신호를 취합하여 반전함으로써 상기 혼합 클럭 신호를 생성하는 제3 인버터를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 16.

제15항에 있어서, 상기 제1 클럭 신호 처리부는,

항상 인버터 회로로 동작하는 k개의 제1 제어가능 인버터; 및

상기 혼합 인에이블 신호가 제2 논리 단계인 경우에는 인버터로 동작하고, 상기 혼합 인에이블 신호가 제1 논리 단계인 경우에는 턴 오프되는 n-k개의 제2 제어가능 인버터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 17.

제16항에 있어서,

상기 복수개의 제1 제어가능 인버터 및 제2 제어가능 인버터의 크기는 동일한 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 18.

제16항 또는 제17항에 있어서,

상기 복수개의 제1 제어가능 인버터 및 제2 제어가능 인버터의 개수는 동일한 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 19.

제15항에 있어서, 상기 제2 클럭 신호 처리부는,

항상 턴 오프 상태인 k개의 제3 제어가능 인버터; 및

상기 혼합 인에이블 신호가 제1 논리 단계인 경우에는 인버터로 동작하고, 상기 혼합 인에이블 신호가 제2 논리 단계인 경우에는 턴 오프되는 n-k개의 제4 제어가능 인버터

를 포함하는 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 20.

제19항에 있어서,

상기 복수개의 제1 제어가능 인버터 및 제2 제어가능 인버터의 크기는 동일한 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 21.

제19항 또는 제20항에 있어서,

상기 복수개의 제1 제어가능 인버터 및 제2 제어가능 인버터의 개수는 동일한 것을 특징으로 하는 듀티 사이클 교정이 가능한 디지털 디엘엘 장치.

청구항 22.
삭제

청구항 23.

외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는 지를 검사하는 단계;

상향 에지가 일치하는 경우에는 제2 클럭 신호를 활성화하는 단계;

상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 지를 검사하는 단계;

상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 경우에는 상기 제1 클럭 신호 및 제2 클럭 신호 사이의 위상을 취하여 듀티가 50%인 혼합 클럭 신호를 생성하는 단계; 및

외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하지 않는 경우에는 딜레이 과정을 통하여 에지를 일치시킨 후, 외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는 지 검사하는 단계로 돌아가는 단계

를 포함하는 것을 특징으로 하는 디지털 디엘엘 장치의 듀티 사이클 교정 방법.

청구항 24.

외부 클럭 신호와 보상 클럭 신호의 상향 에지가 일치하는 지를 검사하는 단계;

상향 에지가 일치하는 경우에는 제2 클럭 신호를 활성화하는 단계;

상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 지를 검사하는 단계;

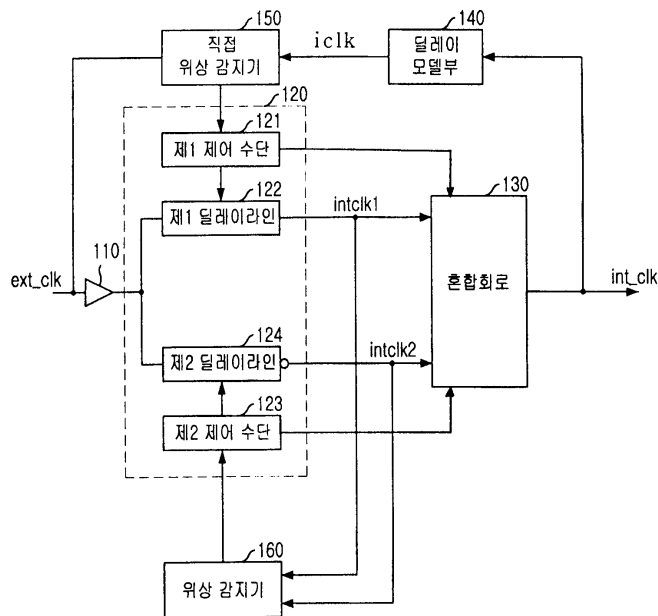
상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 경우에는 상기 제1 클럭 신호 및 제2 클럭 신호 사이의 위상을 취하여 듀티가 50%인 혼합 클럭 신호를 생성하는 단계; 및

상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하지 않는 경우에는 상기 제2 클럭 신호의 딜레이 과정을 통하여 에지를 일치시킨 후, 상기 제1 클럭 신호 및 제2 클럭 신호의 상향 에지가 일치하는 지 검사하는 단계로 돌아가는 단계

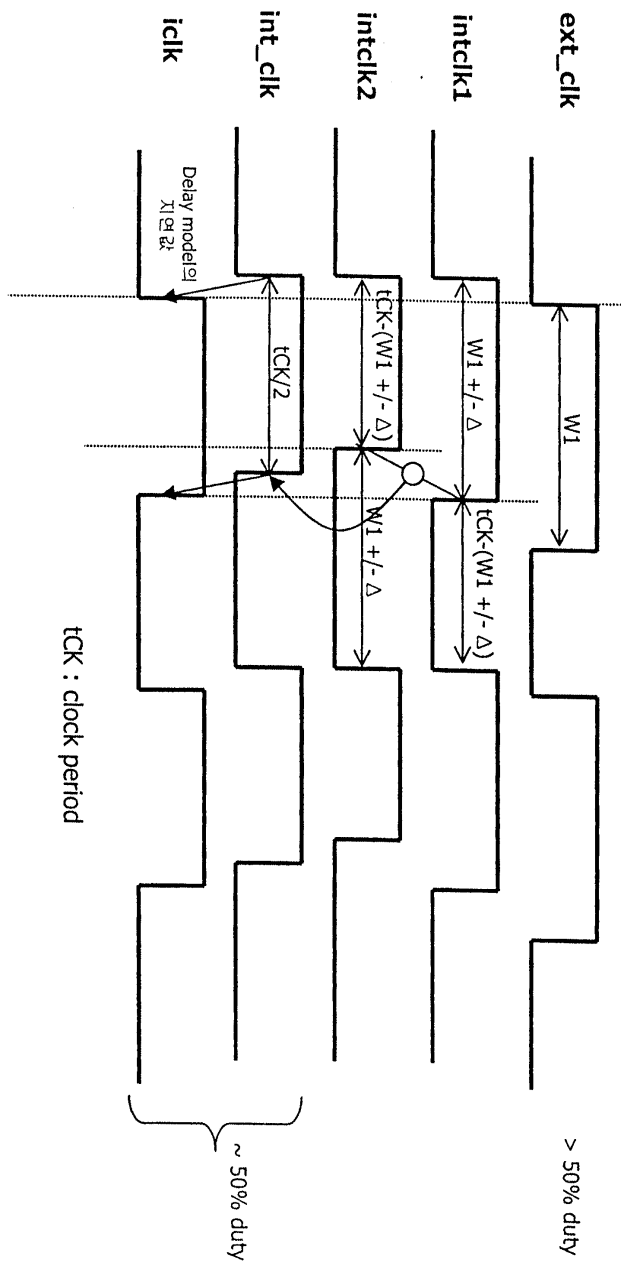
를 포함하는 것을 특징으로 하는 디지털 디엘엘 장치의 듀티 사이클 교정 방법.

도면

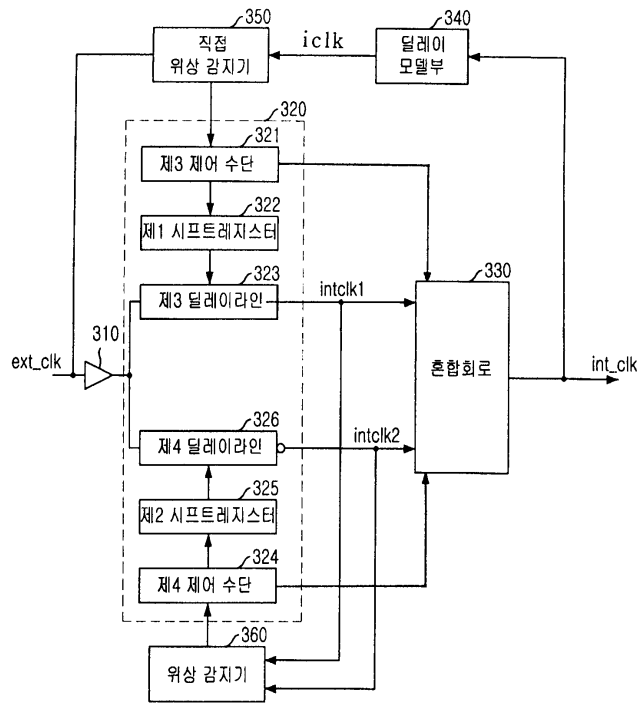
도면1



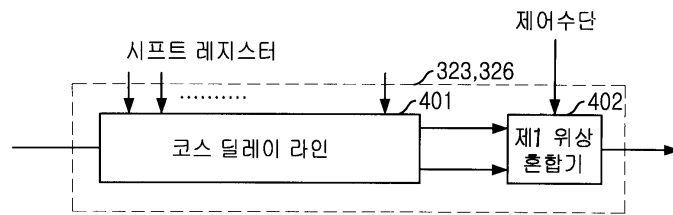
도면2



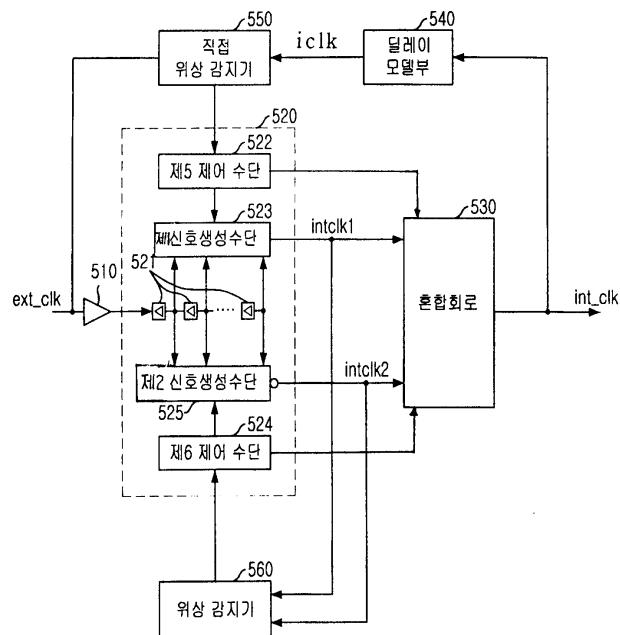
도면3



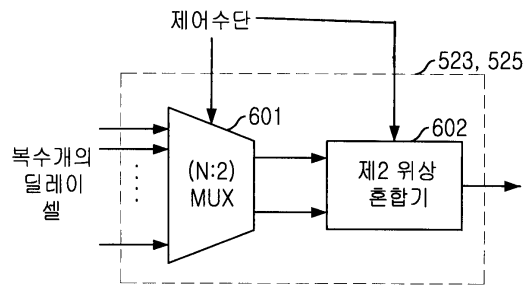
도면4



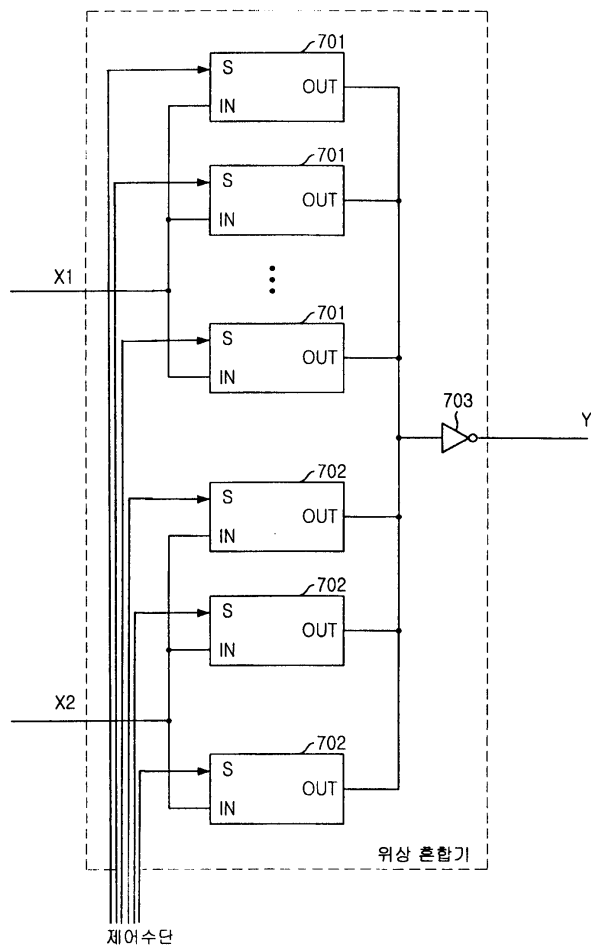
도면5



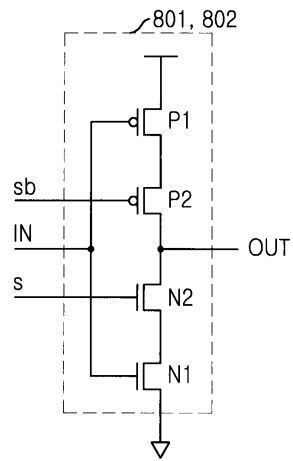
도면6



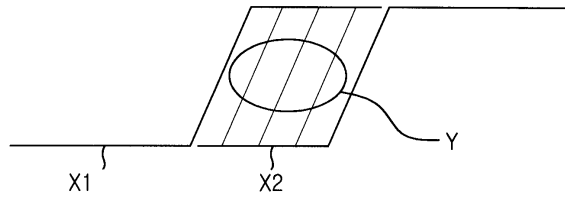
도면7a



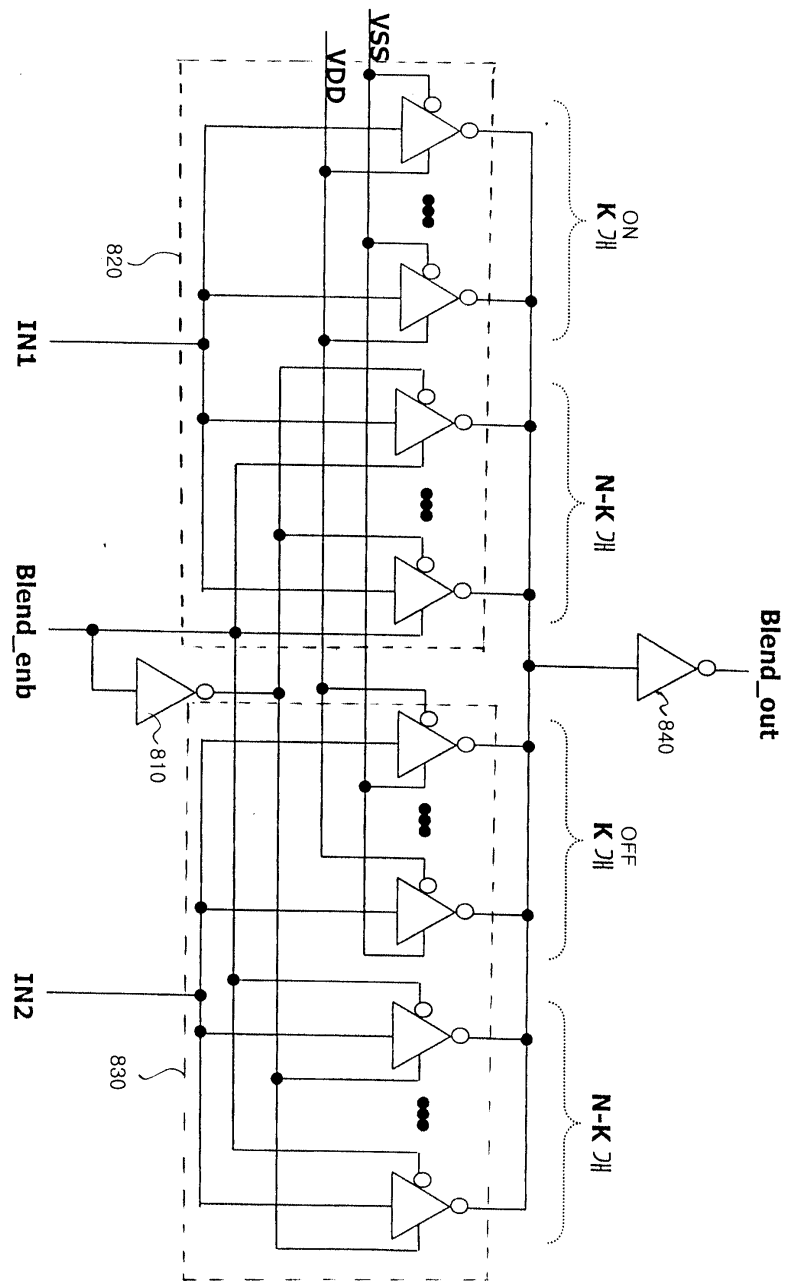
도면7b



도면7c



도면8



도면9

