

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5465652号
(P5465652)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年1月31日(2014.1.31)

(51) Int.Cl.		F I			
HO2J	9/06	(2006.01)	HO2J	9/06	504B
HO2M	7/48	(2007.01)	HO2M	7/48	N
HO2M	7/487	(2007.01)	HO2M	7/487	

請求項の数 3 (全 18 頁)

(21) 出願番号	特願2010-270600 (P2010-270600)	(73) 特許権者	501137636 東芝三菱電機産業システム株式会社 東京都港区三田三丁目13番16号
(22) 出願日	平成22年12月3日(2010.12.3)	(74) 代理人	110001195 特許業務法人深見特許事務所
(65) 公開番号	特開2012-120407 (P2012-120407A)	(72) 発明者	佐藤 エドワード カズヒデ 東京都港区三田三丁目13番16号 東芝 三菱電機産業システム株式会社内
(43) 公開日	平成24年6月21日(2012.6.21)	(72) 発明者	木下 雅博 東京都港区三田三丁目13番16号 東芝 三菱電機産業システム株式会社内
審査請求日	平成25年3月13日(2013.3.13)	審査官	宮本 秀一

最終頁に続く

(54) 【発明の名称】 無停電電源装置

(57) 【特許請求の範囲】

【請求項1】

直流正母線および直流負母線の間に接続され、中性点を備えたコンデンサからなる平滑回路と、

平滑回路の直流端子および中性点に接続され、スイッチング素子のスイッチング動作によって平滑回路からの直流電力を三相交流電力に変換して、三相交流ラインへ出力するインバータ回路と、

インバータ回路と三相交流ラインとの間に介挿接続された第1のスイッチと、

中性点と三相交流負荷の中性点とを結ぶ中性相ラインと、

三相交流ラインと中性相ラインとの間に接続され、三相交流ラインに三相交流電力を供給する三相交流電源と、

三相交流電源と三相交流ラインとの間に介挿接続された第2のスイッチと、

インバータ回路の出力電流を検出する電流センサと、

インバータ回路の出力電圧を検出する電圧センサと、

インバータ回路の電力変換動作を制御する制御装置とを備え、

第1および第2のスイッチは、同時に導通状態となるラップ期間を挟んで相補に導通状態/非導通状態とされ、

制御装置は、

三相電圧指令と電圧センサの出力電圧検出値との偏差に基づいて三相電流指令を生成する出力電圧制御回路と、

10

20

零相電圧指令と電圧センサの出力電圧検出値から抽出される零相電圧との偏差に基づいて零相電流指令を生成する零相電圧制御回路と、

三相電流指令に零相電流指令を加算してインバータ回路の出力電流指令を生成し、出力電流指令と電流センサの出力電流検出値との偏差に基づいてインバータ回路の出力電圧指令を生成する出力電流制御回路と、

出力電圧指令に従ってインバータ回路のスイッチング素子をオン/オフするゲート信号を出力するゲート信号出力回路とを含み、

零相電圧制御回路は、第1および第2のスイッチがラップ期間にないときには、零相電圧が零電圧となるように零相電圧指令を生成する一方で、第1および第2のスイッチがラップ期間にあるときには、電流センサの出力電流検出値から導出されるインバータ回路を流れる零相電流を抑制するように零相電圧指令を生成する、無停電電源装置。

10

【請求項2】

零相電圧制御回路は、

零相電圧が零電圧となるように零相電圧指令を出力する第1の零相電圧指令手段と、

電流センサの出力電流検出値から抽出されるインバータ回路を流れる零相電流に基づいて零相電圧指令を出力する第2の零相電圧指令手段と、

第1および第2のスイッチがラップ期間にあるか否かを判定する判定手段と、判定手段による判定結果に応じて、第1の零相電圧指令生成手段および第2の零相電圧指令手段のいずれか一方を選択する選択手段とを含む、請求項1に記載の無停電電源装置。

【請求項3】

20

インバータ回路は、三相4線式非絶縁型インバータである、請求項1または2に記載の無停電電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、無停電電源装置に関し、より特定的には、三相4線式非絶縁型無停電電源装置に関する。

【背景技術】

【0002】

この種の無停電電源装置としては、たとえば特開2010-63328号公報(特許文献1)に記載されるように、三相4線式非絶縁型電力変換装置を複数台並列接続し、並列運転させるものがある。三相4線式非絶縁型電力変換装置とは、絶縁トランスを用いずに負荷に電力を供給することができる電力変換装置であり、一例として、交流-直流変換を行なう順変換回路と、直流-交流変換を行なう逆変換回路とで構成され、順変換回路と逆変換回路との共通部分である直流回路の正極と負極との間に、ダイオードが逆並列接続された半導体スイッチング素子を2個直列接続したN相アームを接続し、順変換回路の交流入力側と逆変換回路の交流出力側に接続されたフィルタコンデンサの接続方法をスター結線とし、その中性点とN相アームの直列接続点とをリアクトルを介して接続している。

30

【0003】

この特許文献1に記載される三相4線式非絶縁型電力変換装置の並列冗長システムにおいては、複数台の電力変換装置の並列運転時に装置間を零相電流が循環することにより、各電力変換装置の出力電流が不均等となる。そのため、特許文献1では、N相アームで出力電圧零相成分補正制御を、逆変換回路で出力電圧ノーマル成分補正制御を、各々行なうことによって、負荷に供給する電流を各電力変換装置で均等分担している。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-63328号公報

【特許文献2】特開2009-124836号公報

【特許文献3】特許第3057332号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

ここで、たとえば特許第3057332号公報(特許文献3)は、負荷への電力供給を中断させないために、商用交流電源と無停電電源装置とを無瞬断で切替える無瞬断無停電電源装置を開示する。このような無瞬断無停電電源装置においては、2つの電源の切替えスイッチを用い、該切替えスイッチの切り替えを、一定のラップ期間、商用交流電源と無停電電源装置とを共通に負荷に接続させて行なう。

【0006】

しかしながら、商用交流電源と上記の三相4線式非絶縁型電力変換装置とを、当該切替えスイッチを用いて無瞬断で切替えようとする場合には、ラップ期間中において、商用交流電源と電力変換装置との間に零相電流が流れる経路が形成される。そして、この経路を通じて、零相電流は電力変換装置と商用交流電源とに分流される。電力変換装置を流れる零相電流が電力変換装置の制御に干渉することにより、電力変換装置の制御が不安定となり、負荷への安定した電力供給の信頼性を低下させるという問題があった。

【0007】

それゆえ、この発明は、かかる課題を解決するためになされたものであり、その目的は、交流電源からの給電と無停電電源装置からの給電との切替えを無瞬断で、かつ安定的に行なうことができる無停電電源装置を提供することである。

【課題を解決するための手段】

【0008】

この発明のある局面に従う無停電電源装置は、直流正母線および直流負母線の間接続され、中性点を備えたコンデンサからなる平滑回路と、平滑回路の直流端子および中性点に接続され、スイッチング素子のスイッチング動作によって平滑回路からの直流電力を三相交流電力に変換して、三相交流ラインへ出力するインバータ回路と、インバータ回路と三相交流ラインとの間に介挿接続された第1のスイッチと、中性点と三相交流負荷の中性点とを結ぶ中性相ラインと、三相交流ラインと中性相ラインとの間に接続され、三相交流ラインに三相交流電力を供給する三相交流電源と、三相交流電源と三相交流ラインとの間に介挿接続された第2のスイッチと、インバータ回路の出力電流を検出する電流センサと、インバータ回路の出力電圧を検出する電圧センサと、インバータ回路の電力変換動作を制御する制御装置とを備える。第1および第2のスイッチは、同時に導通状態となるラップ期間を挟んで相補に導通状態/非導通状態とされる。制御装置は、三相電圧指令と電圧センサの出力電圧検出値との偏差に基づいて三相電流指令を生成する出力電圧制御回路と、零相電圧指令と電圧センサの出力電圧検出値から抽出される零相電圧との偏差に基づいて零相電流指令を生成する零相電圧制御回路と、三相電流指令に零相電流指令を加算してインバータ回路の出力電流指令を生成し、出力電流指令と電流センサの出力電流検出値との偏差に基づいてインバータ回路の出力電圧指令を生成する出力電流制御回路と、出力電圧指令に従ってインバータ回路のスイッチング素子をオン/オフするゲート信号を出力するゲート信号出力回路とを含む。零相電圧制御回路は、第1および第2のスイッチがラップ期間にないときには、零相電圧が零電圧となるように零相電圧指令を生成する一方で、第1および第2のスイッチがラップ期間にあるときには、電流センサの出力電流検出値から導出されるインバータ回路を流れる零相電流を抑制するように零相電圧指令を生成する。

【0009】

好ましくは、零相電圧制御回路は、零相電圧が零電圧となるように零相電圧指令を出力する第1の零相電圧指令手段と、電流センサの出力電流検出値から抽出されるインバータ回路を流れる零相電流に基づいて零相電圧指令を出力する第2の零相電圧指令手段と、第1および第2のスイッチがラップ期間にあるか否かを判定する判定手段と、判定手段による判定結果に応じて、第1の零相電圧指令生成手段および第2の零相電圧指令手段のいずれか一方を選択する選択手段とを含む。

【 0 0 1 0 】

好ましくは、インバータ回路は、三相４線式非絶縁型インバータである。

【発明の効果】

【 0 0 1 1 】

この発明によれば、三相交流電源からの給電とインバータ回路からの給電とのラップ期間において、該インバータ回路を流れる零相電流を抑制することができる。この結果、三相交流電源からの給電とインバータ回路からの給電との切替えを無瞬断で、かつ安定的に行なうことができるため、負荷への安定した電力供給の信頼性を向上することができる。

【図面の簡単な説明】

【 0 0 1 2 】

10

【図 1】この発明の実施の形態に係る無停電電源装置の主回路構成を示す概略ブロック図である。

【図 2】図 1 に示すインバータの構成を詳細に説明する回路図である。

【図 3】基準発生回路により生成される基準値の波形図である。

【図 4】図 1 に示した出力電圧制御回路の機能ブロック図である。

【図 5】図 1 に示した零相電圧制御回路の機能ブロック図である。

【図 6】論理和回路から出力されるラップ期間検出信号 D E T を説明するためのタイミングチャートである。

【図 7】図 1 に示した出力電流制御回路の機能ブロック図である。

【図 8】図 1 に示したゲート制御回路の機能ブロック図である。

20

【図 9】図 2 に示した 3 レベルインバータの一相分の構成を示す等価回路図である。

【図 1 0】3 レベルインバータの一相分の構成を示す等価回路図である。

【図 1 1】3 レベルインバータの一相分の P W M 制御を説明するための波形図である。

【図 1 2】3 レベルインバータの一相分の構成を示す等価回路図である。

【図 1 3】ラップ期間以外の期間における無停電電源装置の構成を示す等価回路図である。

【図 1 4】ラップ期間中の無停電電源装置の構成を示す等価回路図である。

【図 1 5】ラップ期間中の零相電圧制御を説明するための機能ブロック図である。

【図 1 6】本願発明が適用されるインバータの他の例を示す回路図である。

【発明を実施するための形態】

30

【 0 0 1 3 】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中の同一または相当する部分には同一符号を付してその説明は繰返さない。

【 0 0 1 4 】

図 1 は、この発明の実施の形態に係る無停電電源装置の主回路構成を示す概略ブロック図である。本発明の実施の形態に係る無停電電源装置 1 0 0 は、三相４線式非絶縁型無停電電源装置であって、三相交流負荷 2 への電力供給を、商用交流電源 1 との間で無瞬断で切換えて行なう。

【 0 0 1 5 】

図 1 に示す構成において、無停電電源装置 1 0 0 は、蓄電池 3 と、コンデンサ C 1 , C 2 と、インバータ 4 と、三相交流ライン 1 1 と、中性相ライン 1 3 と、リアクトル L と、コンデンサ C と、電流センサ 5 と、電圧センサ 6 と、制御装置 1 0 とを備える。

40

【 0 0 1 6 】

蓄電池 3 は、直流正母線 7 および直流負母線 8 の間に直流電力を供給する。なお、本実施の形態では、蓄電池は無停電電源装置 1 0 0 に内蔵されているが、無停電電源装置 1 0 0 の外部に設置されていてもよい。

【 0 0 1 7 】

コンデンサ C 1 , C 2 は、直流正母線 7 および直流負母線 8 の間に直列に接続されて、直流正母線 7 および直流負母線 8 の間の電圧を平滑化する。平滑回路を構成するコンデンサ C 1 , C 2 の接続点である中性点 N には、直流中性点母線 9 が接続される。中性点 N は

50

、さらに、中性相ライン 13 を介して三相交流負荷 2 の中性点と接続される。

【0018】

インバータ 4 は、平滑回路から直流正母線 7、直流中性点母線 9 および直流負母線 8 を介して供給される直流電力を、三相交流電力に変換する。後述するように、インバータ 4 は 3 レベルインバータにより構成される。

【0019】

インバータ 4 からの三相交流電力は、リアクトル L およびコンデンサ C により構成された出力フィルタを介して三相交流負荷 2 に供給される。出力フィルタは、リアクトル L (リアクトル L_u , L_v , L_w) およびコンデンサ C (コンデンサ C_u , C_v , C_w) により構成された三相の LC フィルタ回路であって、インバータ 4 の動作により生じた高調波を除去する。

10

【0020】

電流センサ 5 は、三相交流ライン 11 (U 相ライン、V 相ライン、W 相ライン) に介挿され、インバータ 4 から出力される三相電流 i_a (U 相ラインの電流 i_{au} , V 相ラインの電流 i_{av} , W 相ラインの電流 i_{aw}) を検出し、三相電流 i_a を示す三相電流信号を制御装置 10 へ出力する。電圧センサ 6 は、三相交流ライン 11 の電圧 V_o (U 相ラインの電圧 V_{ou} , V 相ラインの電圧 V_{ov} , W 相ラインの電圧 V_{ow}) を検出し、三相電圧 V_o を示す三相電圧信号を制御装置 10 へ出力する。

【0021】

三相交流ライン 11 と三相交流負荷 2 との間にはスイッチ SW 1 が介挿接続される。スイッチ SW 1 は、インバータ 4 から三相交流負荷 2 に対する電力供給経路を導通 / 遮断する。スイッチ SW 1 は、図示しない制御部からの信号により導通 / 非導通 (オン / オフ) される。スイッチ SW 1 は、スイッチ SW 1 の導通 / 非導通を示す信号を生成して制御装置 10 へ出力する。

20

【0022】

商用交流電源 1 は、三相交流負荷 2 に対して無停電電源装置 100 と並列に接続される。商用交流電源 1 は、三相交流電源である。三相交流電源の三相交流ライン 15 と三相交流負荷 2 との間にはスイッチ SW 2 が介挿接続される。三相交流負荷 2 の中性点は、三相交流電源の接地ライン 17 を介して接地されている。スイッチ SW 2 は、商用交流電源 1 から三相交流負荷 2 に対する電力供給経路を導通 / 遮断する。スイッチ SW 2 は、図示しない制御部からの信号により導通 / 非導通 (オン / オフ) される。スイッチ SW 2 は、スイッチ SW 2 の導通 / 非導通を示す信号を生成して制御装置 10 へ出力する。

30

【0023】

制御装置 10 は、インバータ 4 の電力変換動作を制御する。後に詳細に説明するが、インバータ 4 は、半導体スイッチング素子により構成される。本実施の形態では、半導体スイッチング素子としては、たとえば IGBT (Insulated Gate Bipolar Transistor) が適用される。また、本実施の形態では、半導体スイッチング素子の制御方式として、PWM (Pulse Width Modulation) 制御を適用することができる。制御装置 10 は、電流センサ 5 からの三相電流信号、電圧センサ 6 からの三相電圧信号およびスイッチ SW 1, SW 2 からの導通 / 非導通を示す信号を受けて PWM 制御を実行する。

40

【0024】

次に、本実施の形態に係る無停電電源装置 100 の動作について説明する。

商用交流電源 1 が正常に交流電力を供給可能である場合には、スイッチ SW 2 が導通 (オン) されるとともに、スイッチ SW 1 が非導通 (オフ) される。よって、商用交流電源 1 からの三相交流電力が、三相交流ライン 15 を介して三相交流負荷 2 に供給される。

【0025】

これに対して、商用交流電源 1 が停電した場合には、スイッチ SW 1 がオンされるとともに、スイッチ SW 2 がオフされる。この場合、制御装置 10 は、蓄電池 3 からの直流電力を三相交流電力に変換するようにインバータ 4 を動作させることにより、三相交流負荷 2 に対する電力供給を継続させる。

50

【 0 0 2 6 】

ここで、商用交流電源 1 からの給電からインバータ 4 からの給電に切換えるときには、スイッチ S W 2 をオン状態としたままでスイッチ S W 1 をオンさせ、その後スイッチ S W 2 をオフさせるように制御する。同様に、インバータ 4 からの給電から商用交流電源 1 からの給電に切換えるときには、スイッチ S W 1 をオン状態としたままでスイッチ S W 2 をオンさせ、その後スイッチ S W 1 をオフさせるように制御する。このように、スイッチ S W 1 , S W 2 のオン / オフを切換える際に、スイッチ S W 1 , S W 2 がともにオンされている期間であるラップ期間を設けることによって、商用交流電源 1 とインバータ 4 とを無瞬断で切換えることができる。

【 0 0 2 7 】

(インバータの構成)

図 2 は、図 1 に示すインバータ 4 の構成を詳細に説明する回路図である。

【 0 0 2 8 】

図 2 を参照して、インバータ 4 は、U 相アーム 4 U と、V 相アーム 4 V と、W 相アーム 4 W と、ゲート駆動回路 4 0 とを含む。

【 0 0 2 9 】

インバータ 4 の各相アーム 4 U , 4 V , 4 W は、3 レベル回路として構成され、4 つの I G B T 素子と、6 つのダイオードとを含む。詳細には、U 相アーム 4 U は、I G B T 素子 Q 1 U ~ Q 4 U と、ダイオード D 1 U ~ D 6 U とを含む。V 相アーム 4 V は、I G B T 素子 Q 1 V ~ Q 4 V と、ダイオード D 1 V ~ D 6 V とを含む。W 相アーム 4 W は、I G B T 素子 Q 1 W ~ Q 4 W と、ダイオード D 1 W ~ D 6 W とを含む。

【 0 0 3 0 】

以下では、インバータ 4 の各相アームを総括的に説明するために、符号 U , V , W をまとめて符号「 x 」と示す。I G B T 素子 Q 1 x ~ Q 4 x は、直流正母線 7 と直流負母線 8 との間に直列に接続される。ダイオード D 1 x ~ D 4 x は、I G B T 素子 Q 1 x ~ Q 4 x にそれぞれ逆並列接続される。ダイオード D 5 x は、I G B T 素子 Q 1 x , Q 2 x の接続点と中性点 N とに接続される。ダイオード D 6 x は、I G B T 素子 Q 3 x , Q 4 x の接続点と中性点 N とに接続される。なお、ダイオード D 5 x のカソードは I G B T 素子 Q 1 x , Q 2 x の接続点に接続され、ダイオード D 5 x のアノードは中性点 N に接続される。ダイオード D 6 x のアノードは I G B T 素子 Q 3 x , Q 4 x の接続点に接続され、ダイオード D 6 x のカソードは中性点 N に接続される。ダイオード D 1 x ~ D 4 x は還流ダイオードとして機能し、ダイオード D 5 x , D 6 x はクランプダイオードとして機能する。

【 0 0 3 1 】

インバータ 4 の各相アーム 4 U , 4 V , 4 W においては、ダイオード D 5 x , D 6 x の接続点が直流入力端子に対応し、I G B T 素子 Q 2 x , Q 3 x の接続点が交流出力端子に対応する。インバータ 4 の各相アーム各相アーム 4 U , 4 V , 4 W の直流入力端子は、中性点 N に接続される。また、インバータ 4 の各相アーム 4 U , 4 V , 4 W の交流出力端子は、対応する線 (U 相ライン U L , V 相ライン V L , W 相ライン W L) に接続される。

【 0 0 3 2 】

各 I G B T 素子 Q 1 x ~ Q 4 x は、ゲート駆動回路 4 0 から与えられる信号によってオン / オフされる。ゲート駆動回路 4 0 は、制御装置 1 0 内部のゲート制御回路 2 4 から出力されるゲート信号 s g を受けると、このゲート信号 s g に基づいて各 I G B T 素子 Q 1 x ~ Q 4 x をオン / オフするための信号を生成し、その生成した信号を対応する I G B T 素子へ出力する。

【 0 0 3 3 】

(制御装置の構成)

図 1 に示す構成において、制御装置 1 0 は、論理和回路 1 2 と、基準発生回路 1 4 と、出力電圧制御回路 1 6 と、零相電圧制御回路 1 8 と、加算部 2 0 と、出力電流制御回路 2 2 と、ゲート制御回路 2 4 とを含む。

【 0 0 3 4 】

10

20

30

40

50

基準発生回路14は、三相電圧 V_o (U相電圧 V_{ou} , V相電圧 V_{ov} , W相電圧 V_{ow})の振幅基準値である三相基準値 V_r (U相基準値 V_{ru} , V相基準値 V_{rv} , W相基準値 V_{rw})を生成する。図3は、基準発生回路14により生成される基準値 V_{ru} , V_{rv} , V_{rw} の波形図である。なお、図3では、基準値として、U相、V相、W相の各相について振幅が一定の正弦波電圧を生成する場合を例示したが、たとえばVVVF-可変電圧可変周波数電源、ソフトスタートのように、基準値の振幅が時間とともに変化する場合であってもよい。基準発生回路14で生成された基準値 V_r は、出力電圧制御回路16へ出力される。

【0035】

図4は、図1に示した出力電圧制御回路16の機能ブロック図である。

10

図4を参照して、出力電圧制御回路16は、三相基準値 V_r と電圧センサ6により検出された三相電圧 V_o との偏差を演算し、その偏差に応じて三相電流の基準値である三相電流指令値 I_r^* を算出する。具体的には、出力電圧制御回路16は、減算部160, 162, 164と、PI制御回路166, 168, 170とを含む。

【0036】

減算部160は、U相基準値 V_{ru} と電圧センサ6により検出されたU相電圧 V_{ou} との偏差を算出する。PI制御回路166は、少なくとも比例要素(P:proportional element)および積分要素(I:integral element)を含んで構成され、U相基準値 V_{ru} とU相電圧 V_{ou} との偏差を入力として比例積分演算を行ない、その演算結果としてU相電流指令値 I_{ru}^* を生成する。

20

【0037】

同様に、減算部162は、V相基準値 V_{rv} と電圧センサ6により検出されたV相電圧 V_{ov} との偏差を算出する。PI制御回路168は、V相基準値 V_{rv} とV相電圧 V_{ov} との偏差を入力として比例積分演算を行ない、その演算結果としてV相電流指令値 I_{rv}^* を生成する。

【0038】

また、減算部164は、W相基準値 V_{rw} と電圧センサ6により検出されたW相電圧 V_{ow} との偏差を算出する。PI制御回路170は、W相基準値 V_{rw} とW相電圧 V_{ow} との偏差を入力として比例積分演算を行ない、その演算結果としてW相電流指令値 I_{rw}^* を生成する。

30

【0039】

なお、図4では、電圧制御としてPI制御を用いているが、比例要素(P)、積分要素(I)および微分要素(D:derivative element)を含むPID制御を用いてもよい。また、これらに代えて、その他一般的な制御手法や現代制御理論を用いた制御回路を構成してもよい。

【0040】

出力電圧制御回路16により算出された三相電流指令値 I_r^* は、加算部20(図1)に入力される。加算部20には、さらに、零相電圧制御回路18からの零相電流指令値 I_{rz}^* が入力される。加算部20は、三相電流指令値 I_r^* と零相電流指令値 I_{rz}^* とを加算し、その加算結果を出力電流指令値 i_a^* (U相電流指令値 i_{au}^* , V相電流指令値 i_{av}^* , W相電流指令値 i_{aw}^*)として出力電流制御回路22へ出力する。

40

【0041】

図5は、図1に示した零相電圧制御回路18の機能ブロック図である。

図5を参照して、零相電圧制御回路18は、零相電圧の基準値である零相基準値 V_{rz} を生成するとともに、電圧センサ6により検出された三相電圧 V_o (U相電圧 V_{ou} , V相電圧 V_{ov} , W相電圧 V_{ow})から零相電圧 V_{oz} を抽出する。そして、零相電圧制御回路18は、零相基準値 V_{rz} と零相電圧 V_{oz} との偏差に応じて零相電流指令値 I_{az}^* を生成する。

【0042】

具体的には、零相電圧制御回路18は、零相基準値 V_{rz} を生成する基準発生回路とし

50

て、零電圧発生部 180 と、加算部 192 と、乗算部 194 , 196 と、リミッタ 198 と、切替回路 182 とを含む。

【0043】

零電圧発生部 180 は、零相基準値 V_{rz} として零電圧を生成し、切替回路 182 へ出力する。

【0044】

加算部 192 は、電流センサ 5 により検出された三相電流 i_a (U相電流 i_{au} , V相電流 i_{av} , W相電流 i_{aw}) を加算し、その加算結果を乗算部 194 へ出力する。乗算部 194 は、加算部 192 からの加算結果を $1/3$ 倍することにより、零相電流 i_{az} を算出する ($i_{az} = 1/3 (i_{au} + i_{av} + i_{aw})$)。乗算部 196 は、乗算部 194 からの零相電流 i_{az} を k 倍 (k は 0 以上 1 以下の定数) することにより零相基準値 V_{rs} を算出する。リミッタ 198 は、乗算部 196 から受けた零相基準値 V_{rs} を予め定められた所定範囲を超えないように制限して切替回路 182 へ出力する。

10

【0045】

なお、このように零相基準値 V_{rs} を制限する構成としたのは、たとえば電流センサ 5 におけるセンサ誤差が大きくなる場合には、電流センサ 5 により検出された三相電流 i_a に従って零相基準値を生成することによって、却って正常な制御ができなくなるためである。

【0046】

切替回路 182 は、論理和回路 12 (図 1) からのラップ期間検出信号 DET に応じて、零電圧発生部 180 およびリミッタ 198 と減算部 184 との接続を切替可能に構成される。具体的には、切替回路 182 が I 側に接続されると、零電圧発生部 180 と減算部 184 とが接続される。これに対して、切替回路 182 が II 側に接続されると、リミッタ 198 と減算部 184 とが接続される。

20

【0047】

この切替回路 182 を I 側および II 側のいずれに接続するかの制御は、論理和回路 12 から出力されるラップ期間検出信号 DET に応じて行なわれる。このラップ期間検出信号 DET は、図 1 に示す無停電電源装置 100 が、インバータ 4 からの給電と商用交流電源 1 からの給電とを切替える際のラップ期間にあるか否かを示す信号である。

【0048】

図 6 は、論理和回路 12 から出力されるラップ期間検出信号 DET を説明するためのタイミングチャートである。図 6 (a) は、インバータ 4 からの給電から商用交流電源 1 からの給電に切替えるときのタイミングチャートである。図 6 (b) は、商用交流電源 1 からの給電からインバータ 4 からの給電に切替えるときのタイミングチャートである。

30

【0049】

図 6 (a) を参照して、最初に、時刻 t_0 においては、スイッチ SW1 が導通 (オン) されるとともに、スイッチ SW2 が非導通 (オフ) されている。よって、商用交流電源 1 から三相交流負荷 2 へ電力を供給する電路が遮断されるため、インバータ 4 からの三相交流電力が三相交流ライン 11 を介して三相交流負荷 2 に供給される。このとき、論理和回路 12 は、L (論理ロー) レベルのラップ期間検出信号 DET を出力する。

40

【0050】

次に、時刻 t_1 において、スイッチ SW2 がオンされると、スイッチ SW1 および SW2 がともにオンされているラップ状態となる。これにより、インバータ 4 からの三相交流電力が三相交流ライン 11 を介して三相交流負荷 2 に供給されるとともに、商用交流電源 1 からの三相交流電力が三相交流ライン 15 を介して三相交流負荷 2 に供給される。論理和回路 12 は、スイッチ SW1 および SW2 がともにオンされると、H (論理ハイ) レベルのラップ期間検出信号 DET を出力する。

【0051】

そして、このスイッチ SW2 がオンされた時刻 t_1 より遅れて、時刻 t_2 においてスイッチ SW1 がオフされると、ラップ期間検出信号 DET は H レベルから L レベルに立下が

50

る。なお、時刻 t_2 以降においては、インバータ 4 から三相交流負荷 2 へ電力を供給する電路が遮断されるため、商用交流電源 1 からの三相交流電力が三相交流ライン 15 を介して三相交流負荷 2 に供給される。

【0052】

図 6 (b) を参照して、商用交流電源 1 からの給電からインバータ 4 からの給電に切替えるときも同様に、スイッチ SW 1 がオンされた時刻 t_1 からスイッチ SW 2 がオフされる時刻 t_2 までは、スイッチ SW 1 および SW 2 がともにオンされているラップ状態となる。この時刻 t_1 から時刻 t_2 までのラップ期間において、論理和回路 12 は、H レベルのラップ期間検出信号 DET を出力する。

【0053】

再び図 5 を参照して、切替回路 182 は、ラップ期間検出信号 DET が L レベルのときには I 側に接続される。したがって、ラップ期間以外の期間においては、零電圧発生部 180 からの零電圧が零相基準値 V_{rz} として減算部 184 へ出力される。

【0054】

これに対して、切替回路 182 は、ラップ期間検出信号 DET が H レベルのときには II 側に接続される。したがって、ラップ期間においては、リミッタ 198 からの零相基準値 V_{rs} が零相基準値 V_{rz} として減算部 184 へ出力される。

【0055】

加算部 188 は、電圧センサ 6 により検出された三相電圧 V_o (U 相電圧 V_{ou} , V 相電圧 V_{ov} , W 相電圧 V_{ow}) を加算し、その加算結果を乗算部 190 へ出力する。乗算部 190 は、加算部 188 からの加算結果を $1/3$ 倍することにより、零相電圧 V_{oz} を算出する ($V_{oz} = 1/3 (V_{ou} + V_{ov} + V_{ow})$)。

【0056】

減算部 184 は、零相基準値 V_{rz} と零相電圧 V_{oz} との偏差を算出する。PI 制御回路 186 は、零相基準値 V_{rz} と零相電圧 V_{oz} との偏差を入力として比例積分演算を行ない、その演算結果として零相電流指令値 I_{rz}^* を生成する。

【0057】

再び図 1 に戻って、加算部 20 は、出力電圧制御回路 16 からの三相電流指令値 i_r^* と零相電圧制御回路 18 からの零相電流指令値 i_{rz}^* とを加算することによって出力電流指令値 i_a^* を生成し、出力電流制御回路 22 へ出力する。

【0058】

出力電流制御回路 22 は、加算部 20 から出力電流指令値 i_a^* を受け、電圧センサ 6 により検出された三相電圧 V_o を受け、電流センサ 5 により検出された三相電流 i_a を受ける。出力電流制御回路 22 は、これらの入力に基づいて出力電圧指令値 V_o^* (U 相電圧指令値 V_{ou}^* , V 相電圧指令値 V_{ov}^* , W 相電圧指令値 V_{ow}^*) を生成し、その生成した出力電圧指令値 V_o^* をゲート制御回路 24 へ出力する。

【0059】

図 7 は、図 1 に示した出力電流制御回路 22 の機能ブロック図である。

図 7 を参照して、出力電流制御回路 22 は、減算部 220, 222, 224 と、P 制御回路 226, 228, 230 と、加算部 232, 234, 236 とを含む。

【0060】

減算部 220 は、U 相電流指令値 i_{au}^* と電流センサ 5 により検出された U 相電流 i_{au} との偏差を算出する。P 制御回路 226 は、少なくとも比例要素 (P: proportional element) を含んで構成され、U 相電流指令値 i_{au}^* と U 相電流 i_{au} との偏差を入力として比例演算を行ない、その演算結果を加算部 232 へ出力する。加算部 232 は、P 制御回路 226 の出力と電圧センサ 6 により検出された U 相電圧 V_{ou} とを加算し、その加算結果を U 相電圧指令値 V_{ou}^* としてゲート制御回路 24 (図 1) へ出力する。

【0061】

同様に、減算部 222 は、V 相電流指令値 i_{av}^* と電流センサ 5 により検出された V 相電流 i_{av} との偏差を算出する。P 制御回路 228 は、V 相電流指令値 i_{av}^* と V 相

10

20

30

40

50

電流 I_{av} との偏差を入力として比例演算を行ない、その演算結果を加算部 234 へ出力する。加算部 234 は、P 制御回路 228 の出力と電圧センサ 6 により検出された V 相電圧 V_{ov} とを加算し、その加算結果を V 相電圧指令値 V_{ov}^* としてゲート制御回路 24 へ出力する。

【0062】

また、減算部 224 は、W 相電流指令値 i_{aw}^* と電流センサ 5 により検出された W 相電流 i_{aw} との偏差を算出する。P 制御回路 230 は、W 相電流指令値 i_{aw}^* と W 相電流 I_{aw} との偏差を入力として比例演算を行ない、その演算結果を加算部 236 へ出力する。加算部 236 は、P 制御回路 230 の出力と電圧センサ 6 により検出された W 相電圧 V_{ow} とを加算し、その加算結果を W 相電圧指令値 V_{ow}^* としてゲート制御回路 24 へ出力する。

10

【0063】

図 8 は、図 1 に示したゲート制御回路 24 の機能ブロック図である。

図 8 を参照して、ゲート制御回路 24 は、減算部 240, 242, 244 と、搬送波生成部 246 と、増幅器 248, 250, 252 と、ゲート信号出力回路 254, 256, 258 とを含む。

【0064】

搬送波生成部 246 は、三角波からなる搬送波信号を生成し、その生成した搬送波信号を減算部 240, 242, 244 へ出力する。

【0065】

減算部 240 は、出力電流制御回路 22 から受ける U 相電圧指令値 V_{ou}^* から搬送波生成部 246 から受ける搬送波信号を減算し、その減算結果を増幅器 248 へ出力する。増幅器 248 は、減算部 240 の出力を増幅してゲート信号出力回路 254 へ出力する。ゲート信号出力回路 254 は、増幅器 248 の出力に応じて U 相アーム 4U の 4 つの IGBT 素子 $Q_{1u} \sim Q_{4u}$ のオン/オフを制御するための U 相ゲート信号 s_{gu} を生成し、その生成した U 相ゲート信号 s_{gu} をインバータ 4 内のゲート駆動回路 40 (図 2) へ出力する。

20

【0066】

同様に、減算部 242 は、出力電流制御回路 22 から受ける V 相電圧指令値 V_{ov}^* から搬送波生成部 246 から受ける搬送波信号を減算し、その減算結果を増幅器 250 へ出力する。増幅器 250 は、減算部 242 の出力を増幅してゲート信号出力回路 256 へ出力する。ゲート信号出力回路 256 は、増幅器 250 の出力に応じて V 相アーム 4V の 4 つの IGBT 素子 $Q_{1v} \sim Q_{4v}$ のオン/オフを制御するための V 相ゲート信号 s_{gv} を生成し、その生成した V 相ゲート信号 s_{gv} をインバータ 4 内のゲート駆動回路 40 (図 2) へ出力する。

30

【0067】

また、減算部 244 は、出力電流制御回路 22 から受ける U 相電圧指令値 V_{ow}^* から搬送波生成部 246 から受ける搬送波信号を減算し、その減算結果を増幅器 252 へ出力する。増幅器 252 は、減算部 244 の出力を増幅してゲート信号出力回路 258 へ出力する。ゲート信号出力回路 258 は、増幅器 252 の出力に応じて W 相アーム 4W の 4 つの IGBT 素子 $Q_{1w} \sim Q_{4w}$ のオン/オフを制御するための W 相ゲート信号 s_{gw} を生成し、その生成した W 相ゲート信号 s_{gw} をインバータ 4 内のゲート駆動回路 40 (図 2) へ出力する。

40

【0068】

インバータ 4 においては、ゲート駆動回路 40 は、ゲート制御回路 24 から入力されるゲート信号 s_g (U 相ゲート信号 s_{gu} , V 相ゲート信号 s_{gv} , W 相ゲート信号 s_{gw}) に応じて、各相アームの 4 つの IGBT 素子 $Q_{1x} \sim Q_{4x}$ のオン/オフを制御するための信号を生成する。なお、この 4 つの IGBT 素子のオン/オフを制御するための信号には、IGBT 素子 $Q_{1x} \sim Q_{4x}$ が同時にオンすることを防止するためのデッドタイムが設定される。

50

【 0 0 6 9 】

上述したように、本実施の形態に従う無停電電源装置 100 においては、インバータ 4 からの給電と商用交流電源 1 からの給電とを切替える際に、スイッチ SW 1 および SW 2 がともに導通（オン）されているラップ期間が設けられている。このラップ期間中においては、三相交流負荷 2 に対してインバータ 4 および商用交流電源 1 が互いに並列に接続される。そのため、インバータ 4 および商用交流電源 1 の間に零相電流が流れる経路が形成されることとなる。

【 0 0 7 0 】

ここで、ラップ期間以外の期間においては、インバータ 4 を流れる零相電流は商用交流電源 1 に分流されることがないため、図 5 に示す零相電圧制御回路を用いて、零電圧となるように零相電圧をフィードバック制御することにより、零相電流を抑制することができる。その一方で、ラップ期間中は、インバータ 4 を流れる零相電流の一部が商用交流電源 1 に分流されるため、上記のフィードバック制御によっては、零相電流を抑制することができないという問題が生じてしまう。

10

【 0 0 7 1 】

このような不具合を回避するため、本実施の形態に係る無停電電源装置では、零相電圧制御回路 18 は、ラップ期間とラップ期間以外の期間とで、零相基準値 V_{rz} を切替え可能に構成される。具体的には、零相電圧制御回路 18 は、ラップ期間以外の期間においては、零相電圧が零電圧となるように零相基準値 V_{rz} を設定するのに対して、ラップ期間中は、インバータ 4 を流れる零相電流を抑制するように零相基準値 V_{rz} を設定する。

20

【 0 0 7 2 】

以下に、図 9 に示す零相等価回路を参照して、無停電電源装置 100 のラップ期間中にインバータ 4 を流れる零相電流の抑制するための制御構造について説明する。

【 0 0 7 3 】

図 9 は、図 2 に示した 3 レベルインバータの一相分の構成を示す等価回路図である。なお、以下の説明では、x 相アームに含まれる 4 つの IGBT 素子の符号を $Q_1 \sim Q_4$ と表す。

【 0 0 7 4 】

図 9 に示す等価回路において、コンデンサ C_1 の電圧を E_p とし、コンデンサ C_2 の電圧を E_n とする。なお、直流正母線 7 および直流負母線 8 の間の電圧は E (E は所定値) である。中性点 N を接地して考えると、電圧 E_p 、 E_n はいずれも $E/2$ である。また、直流正母線 7 を流れる電流を i_p とし、直流負母線 8 に流れる電流を i_n とし、直流中性点母線 9 に流れる電流を i_c とする。

30

【 0 0 7 5 】

x 相アームに含まれる 4 つの IGBT 素子 $Q_1 \sim Q_4$ をオン / オフさせるスイッチング制御を行なうことにより、x 相ライン（交流ライン）の接続先は、直流正母線 7、直流中性点母線 9 および直流負母線 8 の間で切換えられる。すなわち、図 10 に示すように、x 相アームは、直流正母線 7、直流中性点母線 9 および直流負母線 8 の間で x 相ラインの接続先を切換えるスイッチと等価である。そして、このスイッチが動作することにより、x 相ラインの電圧 V_x は、 $E_p (= +E/2)$ 、 0 、 $E_n (= -E/2)$ の間で切換わる。図 10 の等価回路において、交流出力は、3 つの電位状態 (p 、 c 、 n) のいずれかとなる。このように 3 レベルインバータは、直流電圧 E を 3 つの値 (E_p 、 0 、 E_n) を有する交流電圧に変換する。

40

【 0 0 7 6 】

図 11 は、図 1 に示す制御装置 10 により、インバータ 4（3 レベルインバータ）の一相分の PWM 制御を説明するための波形図である。まず、図 11 を用いて 3 レベルインバータの動作について説明する。交流電圧 V_x と参照信号 θ_1 、 θ_2 との高低が比較され、その比較結果に基づいて IGBT 素子 $Q_1 \sim Q_4$ のオン / オフの組合せが決定される。

【 0 0 7 7 】

交流電圧 V_x のレベルが参照信号 θ_1 、 θ_2 のレベルよりも高い期間 ($t_1 \sim t_2$ 、 t

50

3 ~ t 4) は、IGBT素子 Q 1, Q 2 がオンされ、IGBT素子 Q 3, Q 4 がオフされ、x 相ラインと直流正母線 7 とが接続される。

【0078】

交流電圧 V x のレベルが参照信号 1, 2 のレベルの間にある期間 (t 0 ~ t 1, t 2 ~ t 3, t 4 ~ t 5, t 6 ~ t 7) は、IGBT素子 Q 2, Q 3 がオンされ、IGBT素子 Q 1, Q 4 がオフされ、x 相ラインと直流中性点母線 9 とが接続される。

【0079】

交流電圧 V x のレベルが参照信号 1, 2 のレベルよりも低い期間 (t 5 ~ t 6, t 7 ~ t 8) は、IGBT素子 Q 3, Q 4 がオンされ、IGBT素子 Q 1, Q 2 がオフされ、x 相ラインと直流負母線 8 とが接続される。

10

【0080】

この結果、x 相ラインには、交流電圧 V x と同じ位相の 3 レベル (E p, 0, E n) の交流電圧が供給される。ここで、インバータのスイッチング周期 T における交流出力が p 電位となる期間を規定するデューティ比を d p とし、スイッチング周期 T における交流出力が n 電位となる期間を規定するデューティ比を d n とすると、x 相アームから x 相ラインへ出力される電圧 V および電流 i a は、式 (1) ~ (3) により表わされる。

【0081】

$$V = d p \cdot E p - d n \cdot E n \quad (1)$$

$$i p = d p \cdot i a \quad (2)$$

$$i n = - (d n \cdot i a) \quad (3)$$

20

上記の式 (1) ~ (3) を用いることにより、図 1 0 に示す一相分の等価回路は、図 1 2 のように置換えることができる。そして、図 1 2 に示される一相分の等価回路を用いて三相 3 レベルインバータを構成すると、図 1 3 に示すような等価回路が形成される。

【0082】

ここで、図 1 3 に示す等価回路においては、直流正母線 7 を流れる電流 i p, 直流負母線 8 を流れる電流 i n および直流中性点母線 9 を流れる電流 i c は、式 (4) ~ (6) により表わすことができる。

【0083】

$$i p = d p u \cdot i a u + d p v \cdot i a v + d p w \cdot i a w \quad (4)$$

$$i n = - (d n u \cdot i a u + d n v \cdot i a v + d n w \cdot i a w) \quad (5)$$

$$i c = i a u + i a v + i a w - i p - i n \quad (6)$$

30

ただし、d p u, d p v, d p w は、U 相アーム, V 相アーム, W 相アームの交流出力 V u, V v, V w がそれぞれ p 電位となる期間を規定するデューティ比を示し、d n u, d n v, d n w は交流出力 V u, V v, V w がそれぞれ n 電位となる期間を規定するデューティ比を示す。

【0084】

ここで、3 レベルインバータにおいて、零相電流 i z は、U 相電流 i a u, V 相電流 i a v, W 相電流 i a w を用いて、式 (7) によって定義される。

【0085】

$$i z = i a u + i a v + i a w \quad (7)$$

40

この式 (7) を上記の式 (6) に代入することにより、式 (8) に示す関係が導かれる。

【0086】

$$i c = i z - i p - i n \quad (8)$$

図 1 3 に示す単機の三相 3 レベルインバータの場合には、零相電流 i z が流れる経路が存在しないため、i z = 0 となる。そのため、インバータの制御は零相電流の影響を受けることなく、デューティ比 d p u, d p v, d p w, d n u, d n v, d n w を適切に調整することができる。

【0087】

これに対して、インバータ 4 からの給電と商用交流電源 1 からの給電とを切替える際の

50

ラップ期間中においては、三相交流負荷 2 の中性点と三相 3 レベルインバータの中性点 N との間に商用交流電源 1 が接続されるため、図 1 4 に示すような等価回路が形成されることとなる。

【 0 0 8 8 】

図 1 4 に示す構成において、零相電流 i_z は、各相ラインに流れる経路と、三相交流負荷 2 の中性点を經由して商用交流電源 1 に流れ込む経路とが形成される。このように、ラップ期間中は零相電流 i_z が流れる経路ができることによって、零相電流 i_z がインバータの制御に干渉するという不具合が発生する。

【 0 0 8 9 】

このような不具合を回避するため、本実施の形態に係る無停電電源装置 1 0 0 は、ラップ期間においては、電流センサ 5 により検出される三相電流 i_{au} , i_{av} , i_{aw} から零相電流 i_z を算出し、この算出した零相電流 i_z を抑制するように、零相電圧をフィードバック制御する。

【 0 0 9 0 】

図 1 5 は、ラップ期間中の零相電圧制御を説明するための機能ブロック図である。この図 1 5 に示す機能ブロック図は、図 5 に示した零相電圧制御回路 1 8 において切替回路 1 8 2 が I I 側に接続されているときに実現される制御構造を図示したものである。

【 0 0 9 1 】

図 1 5 を参照して、零相電圧制御回路 1 8 は、ラップ期間中にインバータ 4 を流れる零相電流を抑制するための制御回路として、加算部 1 9 2、乗算部 1 9 4、1 9 6 およびミッタ 1 9 8 からなる零相電流抑制回路 2 0 0 を有している。この零相電流抑制回路 2 0 0 は、電流センサ 5 により検出される三相電流 i_{au} , i_{av} , i_{aw} をフィードバックさせて零相電流 i_z を算出する。そして、この算出した零相電流 i_z に基づいて、零相電流を抑制するように零相基準値 V_{rz} を出力する。零相電圧制御回路 1 8 は、この零相基準値 V_{rz} と零相電圧 V_{oz} との偏差に応じて零相電流指令値 I_{az}^* を生成する。

【 0 0 9 2 】

この零相電流抑制分を含む零相電流指令値 I_{az}^* は、加算部 2 0 2、2 0 4、2 0 6 において、出力電圧制御回路 1 6 により算出された三相電流指令値 I_r^* に加算されると、出力電流指令値 i_a^* (U 相電流指令値 i_{au}^* , V 相電流指令値 i_{av}^* , W 相電流指令値 i_{aw}^*) として出力電流制御回路 2 2 へ出力される。

【 0 0 9 3 】

出力電流制御回路 2 2 は、出力電流指令値 i_a^* と、電流センサ 5 により検出された三相電流 i_a とに基づいて、三相電圧指令値 V_o^* (U 相電圧指令値 V_{ou}^* , V 相電圧指令値 V_{ov}^* , W 相電圧指令値 V_{ow}^*) を生成し、その生成した三相電圧指令値 V_o^* をゲート制御回路 2 4 (図 2) へ出力する。ラップ期間中において、電流センサ 5 により検出された三相電流 i_a には、三相電流成分 i_{au_i} , i_{av_i} , i_{aw_i} と零相電流成分 i_{az} とが含まれている。この三相電流 i_a と零相電流抑制分を含む出力電流指令値 i_a^* とに基づいて三相電圧指令値 V_o^* を生成することにより、インバータ 4 を流れる零相電流を効果的に抑制することができる。

【 0 0 9 4 】

以上のように、この発明の実施の形態によれば、インバータからの給電と商用交流電源からの給電とを切替える際のラップ期間中には、インバータを流れる零相電流を抑制するように零相電圧制御が行なわれるため、商用交流電源とインバータとを無瞬断で安定的に切替えることができる。この結果、負荷への安定した電力供給の信頼性を向上できる。特に、不平衡負荷に対しては、本願発明により中性相に流れる電流の影響を大幅に低減することが可能となる。

【 0 0 9 5 】

(変更例)

なお、上述した実施例では、インバータの一例として、図 2 に示す 3 レベルインバータについて例示したが、本願発明は、図 1 6 に示す構成からなる 3 レベルインバータにも適

10

20

30

40

50

用できることは自明である。

【0096】

図16は、本願発明が適用されるインバータの他の例を示す回路図である。図16の例では、インバータ4の各相アーム4U, 4V, 4Wは、4つのIGBT素子Q1x~Q4xと、4つのダイオードD1x~D4xを含む。ダイオードD1x~D4xは、IGBT素子Q1x~Q4xにそれぞれ逆並列接続される。

【0097】

IGBT素子Q1x, Q4xは、直流正母線7と直流負母線8との間に直列に接続される。IGBT素子Q2x, Q3xは、IGBT素子Q1x, Q4xの接続点と中性点Nとの間に直列に接続される。IGBT素子Q2xのエミッタはIGBT素子Q1x, Q4xの接続点に接続され、そのコレクタはIGBT素子Q3xのコレクタに接続される。IGBT素子Q3xのエミッタは中性点Nに接続される。なお、ダイオードD1x, D4xが還流ダイオードとして機能するのに対し、ダイオードD2x, D3xはクランプダイオードとして機能する。

10

【0098】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

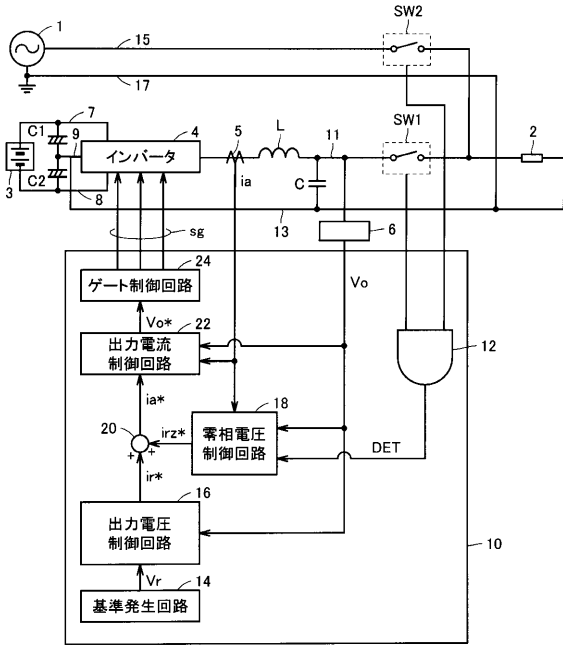
20

【0099】

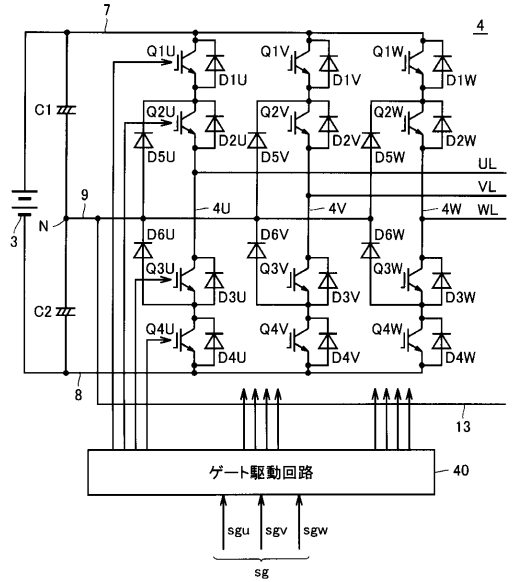
1 商用交流電源、2 三相交流負荷、3 蓄電池、4 インバータ、4U U相アーム、4V V相アーム、4W W相アーム、5 電流センサ、6 電圧センサ、7 直流正母線、8 直流負母線、9 直流中性点母線、10 制御装置、11 三相交流ライン、12 論理和回路、13 中性相ライン、14 基準発生回路、15 三相交流ライン、16 出力電圧制御回路、17 接地ライン、18 零相電圧制御回路、20, 192, 202, 204, 206, 232, 234, 236 加算部、22 出力電流制御回路、24 ゲート制御回路、40 ゲート駆動回路、100 無停電電源装置、160, 162, 164, 184, 220, 222, 224, 240, 242, 244 減算部、166, 168, 170, 186 PI制御回路、180 零電圧発生部、182 切替回路、190, 194, 196 乗算部、198 リミッタ、200 零相電流抑制回路、226, 228, 230 P制御回路、246 搬送波生成部、248, 250, 252 増幅器、254, 256, 258 ゲート信号出力回路、C1, C2 コンデンサ、L リアクトル。

30

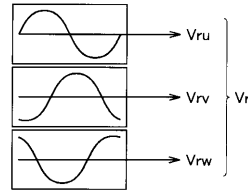
【図1】



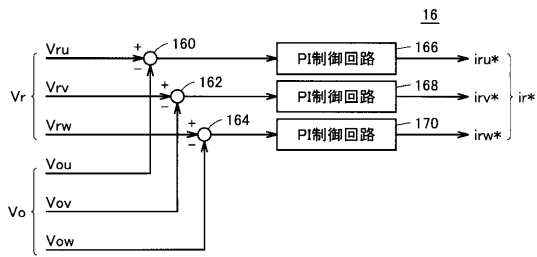
【図2】



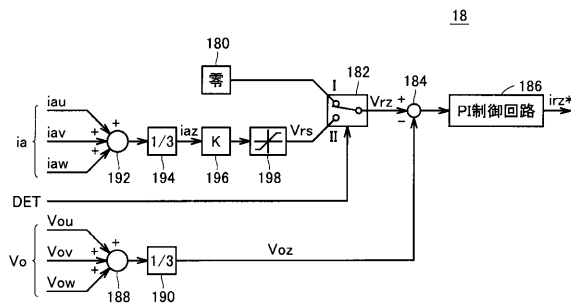
【図3】



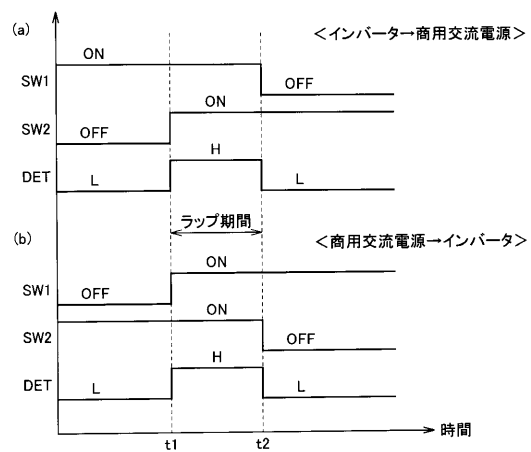
【図4】



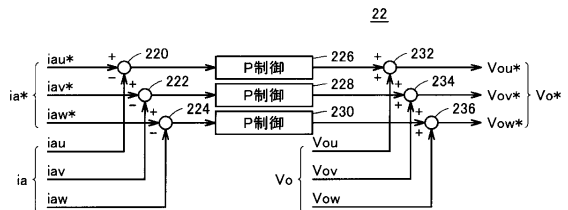
【図5】



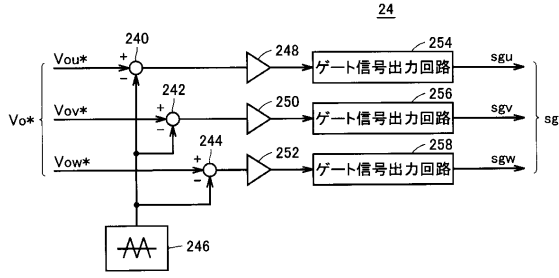
【図6】



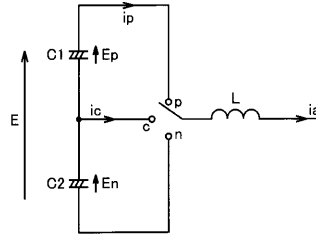
【図7】



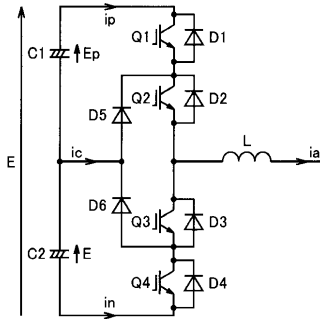
【図 8】



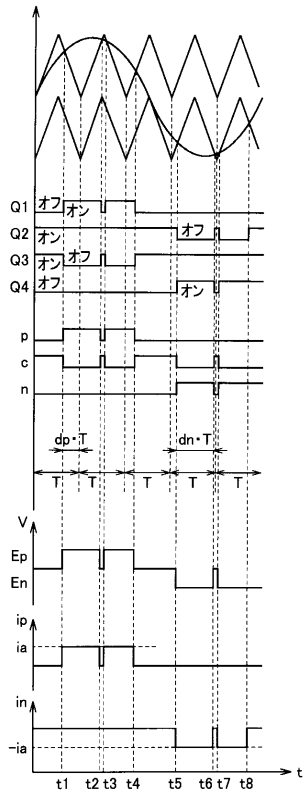
【図 10】



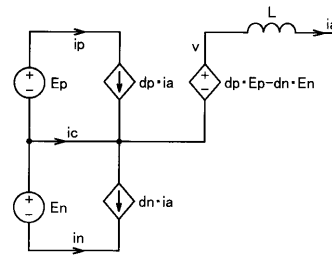
【図 9】



【図 11】



【図 12】



フロントページの続き

- (56)参考文献 特開平04 - 133633 (JP, A)
特開2005 - 253262 (JP, A)
特開2009 - 124836 (JP, A)
特開平11 - 055950 (JP, A)
特開平11 - 004544 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02J 9/00 - 11/00、
H02M 7/42 - 7/98